

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2019-518300

(P2019-518300A)

(43) 公表日 令和1年6月27日(2019.6.27)

(51) Int.Cl. F I テーマコード (参考)
G 1 1 C 11/22 (2006.01) G 1 1 C 11/22 1 1 0
G 1 1 C 11/22 2 3 4

審査請求 有 予備審査請求 未請求 (全 53 頁)

(21) 出願番号 特願2018-551984 (P2018-551984)
(86) (22) 出願日 平成29年3月23日 (2017. 3. 23)
(85) 翻訳文提出日 平成30年11月22日 (2018. 11. 22)
(86) 国際出願番号 PCT/US2017/023907
(87) 国際公開番号 W02017/176467
(87) 国際公開日 平成29年10月12日 (2017. 10. 12)
(31) 優先権主張番号 15/090, 789
(32) 優先日 平成28年4月5日 (2016. 4. 5)
(33) 優先権主張国 米国 (US)

(71) 出願人 595168543
マイクロン テクノロジー, インク.
アメリカ合衆国, アイダホ州 83716
-9632, ボイズ, サウス フェデラル
ウェイ 8000
(74) 代理人 100074099
弁理士 大菅 義之
(74) 代理人 100106851
弁理士 野村 泰久
(72) 発明者 ヴィメルカーティ, ダニエーレ
アメリカ合衆国, アイダホ州 83716
-9632, ボイズ, サウス フェデラル
ウェイ 8000, マイクロン テクノ
ロジー, インク. 内

最終頁に続く

(54) 【発明の名称】 強誘電体メモリセルからの電荷抽出

(57) 【要約】

強誘電体メモリセルあるいは複数のセルを動作するための方法、システム、デバイスが述べられている。メモリセル強誘電体のキャパシタはデジット線を介して検出キャパシタと電子的に通信を行う。このデジット線はメモリセルの強誘電体キャパシタはデジット線を介して検出キャパシタとコミュニケーションをすることができる。デジット線はメモリセルの検出の間に仮想的に接地され、デジット線の電圧ドロップをメモリセルが制限するまたは避け、強誘電体キャパシタの蓄積された電荷の全てのまたは殆ど全てが抽出され、検出キャパシタへ送出することを可能とする。デジット線を仮想的に接地することはそのデジット線と電子的に通信を行っているスイッチングコンポーネント（例えばp型電荷効果型トランジスタ）を活性化することによって達成することができる。強誘電体キャパシタの電荷はスイッチングコンポーネントを介して送出される。センスアンプはメモリセルの記憶された論理状態を決定するためその検出キャパシタの電圧と参照電圧とを比較する。

【選択図】 図4

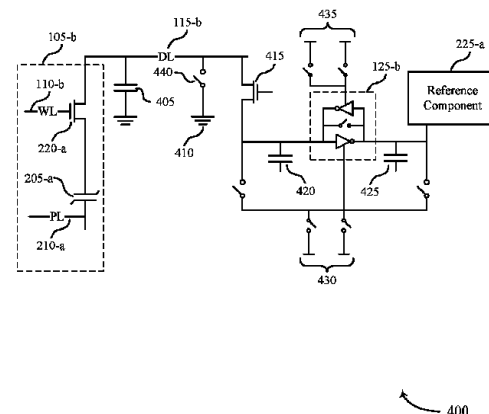


FIG. 4

【特許請求の範囲】**【請求項 1】**

強誘電体メモリセルを動作する方法であって、
デジット線と電子的に通信する前記強誘電体メモリセルを選択し、
前記デジット線を仮想的に接地し、
前記デジット線の仮想的接地に少なくとも一部基づいて、前記デジット線と電子通信を行うセンスアンプを活性化することからなる方法。

【請求項 2】

請求項 1 記載の方法であって、
前記センスアンプを活性化することは、
さらに、前記デジット線は仮想的に接地されている間、前記センスアンプを活性化することからなる方法。

10

【請求項 3】

請求項 1 記載の方法であって、
前記デジット線を仮想的に接地することは、
前記デジット線と前記センスアンプとの間の電子通信において存在するスイッチングコンポーネントを活性化することを含む方法。

【請求項 4】

請求項 1 に記載の方法であって、
さらに、電圧を前記強誘電体メモリセルの強誘電体キャパシタへ印加し、
前記デジット線が仮想的には接地されている間、前記電圧を前記強誘電体キャパシタへ印加することに少なくとも一部基づいて、前記デジット線と電子的に通信する検出キャパシタを充電し、
前記センスアンプを活性化することに少なくとも一部分基づいて、前記検出キャパシタの電圧と参照電圧とを比較することからなる方法。

20

【請求項 5】

強誘電体メモリセルを動作する方法であって、
デジット線を仮想的に接地するために前記デジット線と電子的通信を行うスイッチングコンポーネントを活性化し、前記強誘電体メモリセルが前記デジット線と電子的に通信し、
前記デジット線が仮想的に接地されている間、前記強誘電体メモリセルと電子的な通信を行う検出キャパシタを充電し、前記デジット線が仮想的に接地されて、前記充電は、前記強誘電体メモリセルに印加される電圧に少なくとも一部基づいていて、前記スイッチングコンポーネントを介して前記強誘電体メモリセルの蓄積された電荷を前記検出キャパシタへ送出し、
前記検出キャパシタの電圧を参照電圧と比較することからなる方法。

30

【請求項 6】

請求項 5 に記載の方法であって、
さらに強誘電体キャパシタと電子的に通信する選択コンポーネントを使って前記強誘電体メモリセルを選択することであって、前記強誘電体メモリセルは前記選択コンポーネントと前記強誘電体キャパシタとからなり、
前記スイッチングコンポーネントは活性化され、前記電圧は前記強誘電体メモリセルの選択に少なくとも一部基づいて前記強誘電体キャパシタへ印加されることからなる方法。

40

【請求項 7】

請求項 5 に記載の方法であって、
さらに前記スイッチングコンポーネントを非活性化して前記デジット線を仮想接地から分離することからなる方法。

【請求項 8】

請求項 5 記載の方法であって、
前記スイッチングコンポーネントは、前記検出キャパシタと直列に接続されたトランジ

50

スタからなり、

前記方法は、さらに充電電圧を前記検出キャパシタに印加し、前記トランジスタは非活性化していることと、

前記検出キャパシタを前記充電電圧から電氣的に分離することからなる方法。

【請求項 9】

請求項 8 に記載の方法であって、

前記スイッチングコンポーネントを活性化することは、ゲート電圧を前記トランジスタのゲートに加え、前記ゲート電圧は負であり、前記トランジスタの閾値電圧の大きさと等しいかより大きい大きさをもっていて、前記検出キャパシタに加えられる前記充電電圧が負であることからなる方法。

10

【請求項 10】

請求項 8 の方法であって、

前記トランジスタは p 型電解効果トランジスタ (FET) からなる方法。

【請求項 11】

請求項 5 記載の方法であって、

前記スイッチングコンポーネントは、キャパシタと並列に接続されたトランジスタからなり、前記スイッチングコンポーネントを活性化することは、

充電電圧を前記キャパシタに印加し、

前記キャパシタの第 1 の端子を前記充電電圧から電氣的に分離し、

前記キャパシタの第 2 の端末を仮想接地から電氣的に分離することからなる方法。

20

【請求項 12】

請求項 11 記載の方法であって、

前記充電電圧を前記キャパシタに印加することは、

正の充電電圧を印加することからなる方法。

【請求項 13】

請求項 5 記載の方法であって、

前記検出キャパシタの電圧を前記参照電圧と比較することは、

前記検出キャパシタと電子的に通信するセンスアンプを活性化させることからなる方法

。

【請求項 14】

請求項 13 にかかる方法であって、

前記検出キャパシタの電圧を前記参照電圧と比較することは、

前記センスアンプと電子的に通信する参照キャパシタを充電し、

前記検出キャパシタの電圧と前記参照キャパシタの電圧とを比較することからなる方法

30

。

【請求項 15】

電子メモリ装置であって、

強誘電体キャパシタと、デジット線と電子的に通信する選択コンポーネントとからなる強誘電体メモリセルと、

スイッチングコンポーネントを介して前記デジット線と電子的に通信する検出キャパシタと、

前記検出キャパシタと電子的に通信するセンスアンプからなる装置。

40

【請求項 16】

請求項 15 記載の電子メモリ装置は、

前記スイッチングコンポーネントが、前記検出キャパシタと前記強誘電体メモリセルの前記選択素子とに直列に接続されている装置。

【請求項 17】

請求項 16 記載の電子メモリ装置であって、さらに

前記デジット線と電子的に通信する追加のスイッチングコンポーネントからなり、前記デジット線は、前記追加のスイッチングコンポーネントを介して仮想的接地と電子的通信

50

を行う装置。

【請求項 18】

請求項 15 記載の電子メモリ装置であって、
前記検出キャパシタのキャパシタンスは、前記デジット線の固有なキャパシタンスよりも大きい装置。

【請求項 19】

請求項 15 記載の電子メモリ装置であって、
さらに前記センスアンプと電子的に通信する参照キャパシタからなる装置。

【請求項 20】

請求項 19 記載の電子メモリ装置であって、
前記参照キャパシタと前記検出キャパシタは同じキャパシタンスを有する装置。

10

【請求項 21】

請求項 15 記載の電子メモリ装置であって、
前記スイッチングコンポーネントは、p 型電界効果トランジスタ（FET）からなる装置。

【請求項 22】

電子的メモリ装置であって、
強誘電体キャパシタと選択コンポーネントとからなる強誘電体メモリセルと、
デジット線を介して前記選択コンポーネントと電子的に通信するセンスアンプと、
前記選択コンポーネントおよび前記センスアンプと電子的に通信するコントローラであ
って、前記コントローラは、
前記デジット線を仮想的に接地するようにスイッチングコンポーネントを動作し、そし
て前記デジット線を仮想的に接地することに少なくとも一部基づいて前記センスアンプを
活性化することからなる装置。

20

【請求項 23】

請求項 22 に記載の電子メモリ装置であって、
前記デジット線が仮想的に接地されている間、
前記コントローラは、前記センスアンプを活性化するように動作することが可能である
装置。

【請求項 24】

請求項 22 記載の電子メモリ装置であって、
さらに前記スイッチングコンポーネントを介して前記デジット線と電子的に通信を行う
検出キャパシタからなる装置。

30

【請求項 25】

請求項 24 にかかる電子メモリ装置であって、
さらに前記センスアンプと電子的に通信を行う参照キャパシタからなる装置。

【請求項 26】

請求項 25 に記載の電子メモリ装置において、
前記コントローラは、前記検出キャパシタの電圧と前記参照キャパシタの電圧とを比較
し、前記強誘電体メモリセルの論理値を読み取るように動作可能である装置。

40

【請求項 27】

請求項 22 記載の電子メモリデバイスは、
前記コントローラが、前記強誘電体メモリセルと電氣的に通信する前記デジット線を仮
想的に接地するように前記スイッチングコンポーネントを動作し、
前記選択コンポーネントをアクティブにし、前記強誘電体メモリセルを選択するように
、前記強誘電体メモリセルの前記強誘電体キャパシタを動作させて、前記強誘電体メモリ
セルの選択に少なくとも一部分基づいて前記検出キャパシタを充電する装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

この特許出願は「強誘電体メモリセルからの電荷抽出」という名称のベマラカッティ (Vimer cat i) による米国特許出願 15/090, 789 であって 2016 年の 4 月 5 日に出願され譲受人に譲渡された出願に対する優先権を請求する。

【背景技術】

【0002】

以下は一般的にメモリデバイスに係り、特により具体的には強誘電体メモリセルからの電荷の抽出に関する。

【0003】

メモリデバイスはコンピュータやワイヤレス通信デバイス、カメラ、デジタルディスプレイ等のような各種の電子デバイスにおいて情報を記憶するために広く使われている。情報はメモリデバイスの異なった状態をプログラミングすることによって記憶される。例えばバイナリデバイスは 2 つの状態を持ちこれは論理 1 または論理 0 によって示されることが多い。他のシステムにおいては 2 より多い状態が記憶される。この記憶された情報にアクセスするために電子デバイスのコンポーネントはそのメモリデバイスにおける記憶された状態を読み出しまたは検出する。情報を記憶するために電子デバイスのコンポーネントはメモリデバイスにおける状態を書き込みまたはプログラムし得る。

【0004】

多数のタイプのメモリデバイスが存在し、これらはランダムアクセスメモリ (RAM)、読み出し専用メモリ (ROM)、ダイナミック RAM (DRAM)、同期ダイナミック RAM (SDRAM)、強誘電体 RAM (FeRAM)、磁氣的 RAM (MRAM)、抵抗変化型 RAM (RRAM)、フラッシュメモリ及びその他のものを含む。メモリデバイスは揮発性であってもよく、また不揮発性であってもよい。不揮発性メモリは例えばフラッシュメモリであり、これは外部電源が存在しないときにでさえも長い期間の間データを記憶することができる。揮発性メモリデバイスは例えば DRAM であって、それらが周期的に外部電源によってリフレッシュされないなら時間が経過すると記憶された状態を失う。バイナリメモリデバイスは例えば充電された、または放電されたキャパシタを含む。充電されたキャパシタは漏えい電流を介して時間がたつと放電され得、その結果記憶された情報を失うことになる。揮発性メモリのある側面は例えばより速い読み出しまたは書き込み速度のような性能上の利点を提供し得る。一方不揮発性の側面は例えば周期的なリフレッシュなくしてデータを記憶する能力が利点であり得る。

【0005】

FeRAM は揮発性メモリと同様なデバイス構造を有するが、記憶デバイスとして強誘電体キャパシタを使用するために不揮発性特性を有し得る。FeRAM デバイスはしたがって他の不揮発性および揮発性メモリデバイスと比較して改善された性能を有し得る。いくつかの FeRAM 検出構成はしかしながら記憶された論理状態を決定するときに強誘電体キャパシタの記憶された電荷の一部分のみを抽出し得る。これは検出動作の信頼性を減少させメモリセル (またはアレイ) のそうでなければ成されたかもしれないサイズ減少を制限し得る。

【図面の簡単な説明】

【0006】

開示の実施形態は以下の図面を参照して説明される。

【0007】

【図 1】本開示の各種の実施形態にしたがって強誘電体メモリセルからの電荷の抽出をサポートするメモリアレイの例を図示する。

【図 2】本開示の各種の実施形態にしたがって強誘電体メモリセルからの電荷の抽出をサポートする回路の例を図示する。

【図 3】本開示の各種の実施形態にしたがって電荷の抽出をサポートする強誘電体メモリセルに対するヒステリシス曲線の例を図示する。

【図 4】本開示の各種の実施形態にしたがって強誘電体メモリセルからの電荷の抽出をサポートする回路の例を図示する。

【図 5】本開示の各種の実施形態にしたがって電荷の抽出をサポートする強誘電体メモリセルを動作するためのタイミング図を例示する。

【図 6】本開示の実施形態にしたがって強誘電体メモリセルからの電荷の抽出をサポートする回路の例を図示する。

【図 7】本開示の各種の実施形態にしたがって電荷の抽出をサポートする強誘電体メモリセルを動作するタイミング図を例示する。

【図 8】本開示の各種の実施例にしたがって強誘電体メモリセルからの電荷の抽出をサポートするメモリアレイを例示する。

【図 9】本開示の各種の実施例にしたがって強誘電体メモリセルからの電荷の抽出をサポートするメモリアレイを含むシステムを例示する。

【図 10】本開示の各種の実施形態にしたがって電荷の抽出のために強誘電体メモリセルを動作する方法を例示するフローチャートである。

【図 11】本開示の各種の実施形態にしたがって電荷の抽出のために強誘電体メモリセルを動作する方法を例示するフローチャートである。

【発明を実施するための形態】

【0008】

メモリセルの検出の信頼性を増加することはメモリセルの強誘電体キャパシタの十分な電荷あるいは実質的に十分な電荷が抽出されることを可能とする検出構成によって実現され得る。メモリアレイ内の F e R A M セルを含むメモリセルはしばしばワード線とデジット線によってアクセスされる。単一のデジット線は多くのメモリセルを接続し、活性化されたときにメモリセルの記憶された論理状態を決定するセンスアンプ（検出アンプ）に接続され得る。十分な電荷の抽出を容易にするために、メモリアレイのデジット線は読み出し動作の間接地され得て、強誘電体キャパシタの十分な電荷は検出キャパシタすなわち検出または読み出し動作に対して用いられるキャパシタと共有され得る。検出キャパシタの電圧はその後参照（または基準）電圧と比較され得る。

【0009】

これはどの状態がメモリセルに記憶されたかを検出するためにデジット線の固有のキャパシタンスによるあるいは固有のキャパシタンスにしたがう他の F e R A M 検出構成と対比される。メモリセルがアクセスされたときに検出するためのデジット線による構成において、メモリセルとデジット線の間で共有する電荷はそのデジット線上に電圧を生じさせ得る。そのデジット線へ送られる電荷の量およびしたがって最終のデジット線の電圧はメモリセルの記憶された論理状態により得る。デジット線の電圧は読み出し動作中に強誘電体キャパシタの電圧を有効に減少させ得る。したがってこのタイプの検出構成は例えば強誘電体キャパシタの抗電圧のようにメモリセルの物理的特徴に敏感であり得る。強誘電体キャパシタのより高い抗電圧値はしたがって検出ウインドウの減少となり得、すなわち論理 1 または論理 0 に対する電圧の差がより小さくなり結果として読み出し動作時の正確性が減少し得る。

【0010】

ここに開示されたようにデジット線が読み出し動作時に非 0 電圧を生ずることを避ける検出構成は全てのまたは実質的に全ての記憶された電荷が強誘電体セルから抽出されることを可能とする。これによって以下に述べるように抽出された電荷の増加がセンスアンプに対してより高い信号を生ずることとなり得るので検出ウインドウを増加し得る。

【0011】

読み出し動作の間にほぼ 0 電圧にデジット線を維持する検出構成は、メモリセルサイズのより一層の減少も可能とし得る。例えば、メモリセルの強誘電体キャパシタのサイズはそのキャパシタに蓄積された電荷に比例し得る。比較的小さなキャパシタから十分な電荷が抽出されることを可能とする検出構成はより大きなキャパシタから一部分の電荷が抽出される構成に対して比較的信頼できる結果となり得る。言い換えれば十分な抽出を検出する構成は信頼できる結果を、電荷が一部分抽出構成から同様な結果を得る必要なしに提供し、信頼性への妥協が殆どないか全くなしにメモリセルサイズの減少をサポートし得る。

【0012】

以下に述べるようにデジット線はデジット線と電子的に通信する例えばp型電解効果トランジスタ(FET)のような活性スイッチングコンポーネントを使って仮想的に(または事実上)接地され得る。そのメモリセルが選択されると電荷は検出キャパシタへと流れ得る。p型FETによって仮想的に接地されることにより全ての電荷は検出キャパシタへ流れ得る。センスアンプはその記憶された論理状態を決定するために検出キャパシタの電圧を参照電圧と比較し得る。検出キャパシタの電圧は前の検出構成に使われたデジット線の電圧よりもより大きくできる。

【0013】

以下に述べられた例では、活性スイッチングコンポーネント(例えばFET)はデジット線と直列に接続されメモリセルと検出キャパシタとの間に配置され得る。この場合負電圧がスイッチングコンポーネントを活性化するように印加され得る。以下に説明する他の例において、活性スイッチングコンポーネントはメモリセルと検出キャパシタとの間の点でデジット線と電子的に通信し得る。この場合他のキャパシタが活性スイッチングコンポーネントと並列に接続され得、これは正電圧によって活性スイッチングコンポーネントを活性化させ負電圧をメモリアレイへ印加する必要性をなくし得る。

【0014】

上記に提示された開示の実施形態はメモリアレイのコンテキストにおいて以下に更に説明される。特定の例ではその後、メモリセルの蓄積された電荷を抽出することをメモリが検出している間デジット線を仮想的に接地することをサポートする回路が説明される。回路の動作のタイミングのプロット例もまた示される。開示のこれらのおよび他の実施形態はさらに強誘電体メモリセルから電荷を抽出することに関する装置図、システム図、およびフローチャートについて更に例示され説明される。

【0015】

図1はこの開示の各種の実施例にしたがって強誘電体メモリから電荷を抽出することをサポートするメモリアレイ100の例を図示する。メモリアレイ100は電子メモリ装置として参照され得る。メモリアレイ100は異なった状態を記憶するようにプログラムされたメモリセル105を含む。各メモリセル105は論理0、および論理1として示される2つの状態を記憶するようにプログラムされ得る。幾つかのケースではメモリセル105は2より多い状態を記憶するように構成される。メモリセル105はプログラムされた状態、例えば充電された或いは充電されていないキャパシタは2つの論理状態を示すのであるがそれらを示す電荷を蓄積するためのキャパシタを含み得る。DRAM構成は一般にそのような設計を使い得て、そして採用されるキャパシタは線形電気分極特性を持った誘電体物質を含み得る。対照的に、強誘電体メモリセルは誘電体物質として強誘電体を有するキャパシタを含み得る。強誘電体キャパシタの電荷の異なったレベルは異なった論理状態を示し得る。強誘電体物質は非線形分極特性を有し、強誘電体メモリセル105の詳細と利点とは以下に述べられる。

【0016】

読み出しおよび書き込み動作が適当なワード線110とデジット線115を活性化または選択することによってメモリセル105上で行われ得る。ワード線110またはデジット線115の活性化または選択は各線へ電圧を印加することを含み得る。いくつかの場合、デジット線115はビット線としても参照され得る。いくつかの場合、ワード線110とデジット線115は導電性物質からなり得る。いくつかの例ではワード線110とデジット線115は金属(例えば銅、アルミニウム、金、タングステン等)からなっている。メモリセル105の各行は単一のワード線110に接続され、メモリセル105の各列は単一のデジット線115に接続され得る。一つのワード線110と一つのデジット線115を活性化することによって単一のメモリセル105がその交点においてアクセスされ得る。ワード線110とデジット線115の交点はメモリセルのアドレスとして参照され得る。

【0017】

いくつかの構成においては、セルの論理記憶デバイス例えばキャパシタは選択デバイスによってデジット線から電氣的に分離され得る。ワード線110は選択デバイスに接続されそれを制御し得る。例えば選択デバイスはトランジスタであり得、そのワード線110はトランジスタのゲートに接続され得る。ワード線110を活性化することによってメモリセル105のキャパシタとその対応するデジット線115との間に電氣的接続が生じる。デジット線はメモリセル105の読み出しまたは書き込みをするためにアクセスされ得る。

【0018】

メモリセル105へアクセスすることは行デコーダ120と列デコーダ130を介して制御され得る。例えば行デコーダ120は行アドレスをメモリコントローラ140から受け取りその受信された行アドレスに基づいて適当なワード線110を活性化し得る。同様に列デコーダ130はメモリコントローラ140からの列アドレスを受信し、適当なデジット線115を活性化する。したがってワード線110およびデジット線115を活性化することによってメモリセル105はアクセスされ得る。

【0019】

アクセスするときにメモリセル105は検出コンポーネント125によって読み出される或いは検出され得る。例えば検出コンポーネント125は関連するデジット線115の信号、例えば電圧を参照信号（図示せず）と、そのメモリセル105の記憶状態を決めるために比較され得る。例えばデジット線115が参照電圧よりも高い電圧ならば、検出コンポーネント125はメモリセル105における記憶された状態が論理1であったと決定しあるいはその逆であり得る。いくつかの場合においては、デジット線115は検出している間は仮想的に接地され得、それはメモリセル105の記憶された電荷がデジット線115を介して他のデバイス（例えば不図示の検出キャパシタ）へ送出可能とされ得る。これによって、メモリセル105の十分なまたは実質的に十分な電荷がメモリセル105を読むために用いられることを可能にし得る。検出コンポーネント125はラッチとして参照されるものであるが信号の差を検出し、増幅するために各種のトランジスタおよび増幅器を含み得る。検出コンポーネント125はまた図4および図5を参照して述べられたように検出キャパシタも含み得る。メモリセル105の検出された論理状態は列デコーダ130を介して出力135として出力され得る。

【0020】

メモリセル105は関連するワード線110とデジット線115を同様に活性化することによってセットされたり書かれたりし得る。上述したようにワード線110の活性化は電氣的にメモリセル105の対応する行を各デジット線115へと接続する。ワード線110は活性化されている間関連するデジット線115を制御することによってメモリセル105は書き込まれ得、すなわちメモリセル105に論理値が書き込まれ得る。列デコーダ130はメモリセル105に書き込まれるべきデータ例えば入力135を受け得る。強誘電体キャパシタの場合にはメモリセル105が強誘電体キャパシタに対して電圧を印加することによって書き込まれ得る。この処理は以下により詳細に述べられる。

【0021】

いくつかのメモリの構成において、メモリセル105をアクセスすることは記憶された論理状態を劣化あるいは破壊し得、再書き込みまたはリフレッシュ動作が当初の論理状態をメモリセル105に戻すために行われ得、DRAMにおいて例えば、キャパシタは検出動作中に部分的にまたは完全に放電され得、これに記憶された論理状態を劣化させる。したがって論理状態は検出動作の後に再書き込みされ得る。さらに、単一のワード線110を活性化することは行における全てのメモリセルが放電されることになり得、これによって行におけるいくつかの或いは全てのメモリセル105が再書き込みされることが必要になり得る。

【0022】

いくつかのメモリの構成においてDRAMを含んでいるものは、それらが外部電源によって周期的に充電されないならば時間がたつとその記憶された状態を失い得る。例えば充

10

20

30

40

50

電されたキャパシタは漏えい電流を介して時間と共に放電されて記憶された情報を失い得る。これらのいわゆる揮発性メモリデバイスのリフレッシュ速度は比較的高く例えば一秒間に数十のリフレッシュ動作がDRAMに対して行われ得、これはかなりの電力を消費することになり得る。メモリアレイがますます大きくなると、電力消費が増加することによってメモリアレイの使用または動作が阻害され得、（例えば電源、熱発生、材料の制限等）ことに有限な電源、例えばバッテリーに依存するモバイルデバイスにおいては特にそうであり得る。

【0023】

強誘電体メモリセルはしかしながら他のメモリ構成に対して改良された性能を持つこととなり得る有益な特性を有し得る。例えば強誘電体メモリセルは蓄積された電荷の劣化に対してより影響を受けにくい傾向があり、強誘電体メモリセル105を使用するメモリアレイ100はリフレッシュ動作の必要性がより少ない或いは全くなく、これによってより少ない動作電力を必要とすることになり得る。加えてここに述べられた検出スキームすなわちメモリセル内の全ての或いは実質的全ての蓄積された電荷が抽出される検出システムを使用することによりメモリセル105のサイズを減少させることができ、これにより他の検出スキームを使用する他のアレイと比べて電力消費をより少なくすることが可能となり得る。

【0024】

メモリコントローラ140はメモリセル105の動作（例えば読み出し、書き込み、再書き込み、リフレッシュ等）を例えば行デコーダ120、列デコーダ130、検出コンポーネント125のような各種のコンポーネントを介して制御し得る。メモリコントローラ140はその後のワード線110とデジット線115を活性化するために行および列アドレス信号を生成する。メモリコントローラ140はメモリアレイ100の動作中に用いられる各種の電圧を発生し制御し得る。例えばメモリコントローラ140は検出している間デジット線115を仮想接地するためにスイッチングコンポーネントを動作し得る。一般的にここに述べられている印加電圧の振幅、形状或いは期間は、調整されおよび変化され、そしてメモリアレイ100を動作させる各種の動作によって違うものとなり得る。さらにメモリアレイ100の中で一つまたは複数のまたは全てのセル105は同時にアクセスされ得、例えばメモリアレイ100の複数の或いは全てのセルはリセット動作の間において同時にアクセスされ得る。そのとき全てのメモリセル105あるいは一つのグループのメモリセル105は単一の論理状態へとセットされる。

【0025】

ここに述べられたようにデジット線115と電子的に通信する強誘電体メモリセル105が選択され得る。デジット線115は仮想的に接地される。いくつかの場合において、デジット線115はデジット線と検出コンポーネント125（例えば検出コンポーネント125のセンスアンプ）との間で電子的に通信するスイッチングコンポーネントを活性化することによって仮想的に接地され得る。電圧は強誘電体メモリセル105の強誘電体キャパスタへ印加される。このことはデジット線115と電子的に通信する検出キャパシタの充電となる。この充電は電圧を強誘電体キャパシタへ印加することに基づき得、これはデジット線は仮想的に接地される間である。いくつかの場合において全ての電荷は強誘電体メモリセル105の強誘電体キャパシタから抽出され得る。センスアンプはデジット線115と電子的に通信する。検出コンポーネント125の一側面であり、これはデジット線115を仮想接地することに基づいて活性化され得る。いくつかの場合では、検出コンポーネント125が活性化され得、これはデジット線115が仮想接地される間である。センスアンプは検出コンポーネント125の一側面であり得る検出キャパシタの電圧を活性化されたことに基づいて参照電圧と比較し得る。

【0026】

図2はこの開示の各種の実施形態にしたがう強誘電体メモリセルからの電荷の抽出をサポートする回路例200を図示する。回路200は強誘電体メモリセル105-a、ワード線110-a、デジット線115-aおよび検出コンポーネント125-aを含み得、

10

20

30

40

50

これらは図 1 に関して説明されたそれぞれメモリセル 105、ワード線 110、デジット線 115 および検出コンポーネント 125 の例であり得る。回路 200 は参照コンポーネント 225 およびキャパシタ 205 のような論理記憶コンポーネントを含み得、これはプレート 210 とセルボトム 215 を含む導電性端子を含み得る。これらの端子は絶縁性誘電体材料によって分離され得る。上述したように各種の状態はキャパシタ 205 を充電あるいは放電することによってすなわちキャパシタ 205 の強誘電体材料を分極することによって記憶され得る。

【0027】

キャパシタ 205 の記憶された状態は回路 200 によって表される各種のコンポーネントを動作することによって読み出され或いは検出され得る。キャパシタ 205 はデジット線 115-a と電子的に通信し得る。キャパシタ 205 は選択コンポーネント 220 が非活性化されたときデジット線 115-a から絶縁され得、キャパシタ 205 は選択コンポーネント 220 が強誘電体メモリセル 105-a を選択するように活性化されたとき選択コンポーネント 220 を介してデジット線 115-a へ接続され得る。言い換えれば強誘電体メモリセル 105-a は強誘電体キャパシタ 205 と電子的に通信する選択コンポーネント 220 を使って選択され得、ここで強誘電体メモリセル 105-a は選択コンポーネント 220 および強誘電体キャパシタ 205 を含む。いくつかの場合においては選択コンポーネント 220 はトランジスタであり得、その動作はトランジスタゲートへ電圧を印加することによって制御され得、ここで印加される電圧はトランジスタの閾値の大きさにほぼ等しいか大きい大きさを持つ。ワード線 110-a は例えば選択コンポーネント 220 を活性化させてもよく例えば電圧がワード線 110-a を介してトランジスタゲートへ印加されてもよい。

【0028】

図 2 に示される例においてキャパシタ 205 は強誘電体キャパシタであり得る。キャパシタ 205 のプレート間の強誘電体材料のためにそして以下により詳細に説明されるように、キャパシタ 205 はデジット線 115-a へ接続されるときに放電してはいけない。その代わりプレート 210 は外部電圧によってバイアスされ得、キャパシタ 205 に蓄積された電荷が変化し得る。蓄積された電荷の変化はキャパシタ 205 の論理状態に対応する。キャパシタ 205 に印加される電圧はキャパシタ 205 の電荷を変化する。蓄積された電荷の変化はメモリセル 105-a における記憶された論理状態を決定するために検出コンポーネント 125-a によって参照と比較され得る。

【0029】

特定の検出スキームおよび方法は、多くの形を取ることが出来る。一例において、デジット線 115-a は、固有キャパシタンスを有しプレート 210 に印加された電圧に応答してキャパシタ 205 が充電または放電するとき非 0 電圧を生成し得る。この固有キャパシタンスはデジット線 115-a の寸法を含む物理的特性によることができる。デジット線 115-a は多くのメモリセル 105 を接続し、その結果デジット線 115-a は無視できないキャパシタンス（例えばピコファレットのオーダ）を含むこととなる長さを有し得る。デジット線 115-a のその後の電圧はキャパシタ 205 の初期の論理状態により、検出コンポーネント 125-a はこの電圧を参照コンポーネント 225 によって与えられる参照電圧と比較し得る。例えば電圧はプレート 210 に印加されそしてセルボトム 215 の電圧は蓄積された電荷に関連して変化し得る。セルボトム 215 の電圧は検出コンポーネント 125-a の参照電圧と比較されてもよく、そしてその参照電圧との比較は印加電圧から生じるキャパシタ 205 の電荷における変化を示し、したがってメモリセル 105-a に記憶された論理状態を示す。これによってキャパシタ 205 の電荷と電圧の関係を参照してさらに詳しく説明される。

【0030】

他の検出方法例えば検出中に活性スイッチングコンポーネント（不図示）を使ってデジット線を仮想的に接地するような方法が用いられる。例えばデジット線 115-a と電子的に通信するスイッチングコンポーネントはデジット線 115-a を仮想的に接地するよ

うに活性化され得る。そのスイッチングコンポーネントが活性化されるときに、電圧は強誘電体メモリセル105-aの選択に基づいて強誘電体キャパシタ205へ印加され得る。このことは強誘電体メモリセル105-aと電子的に通信する検出コンポーネント125-aの中に含まれる検出キャパシタを充電することになり得、これはデジット線115-aは仮想接地されている間である。いくつかの場合において、充電はメモリセル105-aの強誘電体キャパシタ205へ印加された電圧に基づいて行われ、これにより強誘電体メモリセル105-aの蓄積された電荷をスイッチングコンポーネントを介して検出キャパシタへ送信することになり得る。

【0031】

記憶されて状態を検出するために、検出キャパシタの電圧は参照電圧と比較され得る。いくつかの場合において、検出キャパシタの電圧を参照電圧と比較することは検出キャパシタと電子的に通信するセンスアンプを活性化することを含む。いくつかの場合において、センスアンプは検出コンポーネント125-aの一部である。参照電圧はセンスアンプと電子的に通信する参照キャパシタを充電することから生じ、そのセンスアンプは検出キャパシタの電圧を参照キャパシタの電圧と比較し得る。

【0032】

メモリセル105-aに書き込むために、電圧はキャパシタ205へ印加され得る。各種の方法が用いられ得る。一例において選択コンポーネント220はキャパシタ205をデジット線115-aに電氣的に接続するためにワード線110-aを介して活性化され得る。プレート210とセルボトム215の電圧をデジット線115-aを介して制御することによって電圧はキャパシタ205に印加され得る。論理0を書き込むためにプレート210はハイとされ、すなわち正の電圧が印加され、セルボトム215はロウにされ、すなわち接地され、または仮想接地され、または負電圧が印加され得る。反対のプロセスが論理1を書き込むために行われプレート210はロウとされセルボトム215はハイとされ得る。

【0033】

強誘電体デバイスと関連する非線形特性はキャパシタ205の読み出し書き込み動作を説明し得る。図3はヒステリシスカーブ300をもつこのような非線形特性の例を図示する。ヒステリシスカーブ300-aと300-bは、それぞれこの開示の各種の実施形態にしたがって電荷抽出をサポートする強誘電体メモリセルにおいて強誘電体メモリセルの書き込みおよび読み出しプロセスの例を図示する。ヒステリシスカーブ300は強誘電体キャパシタ（例えば図2, 4および5のキャパシタ205）に蓄えられた電荷Qを電圧Vの関数として示す。

【0034】

強誘電体材料は自然的電氣的分極によって特徴づけられすなわち電界が存在しないときに非0電氣的分極を維持する。強誘電体材料の例はチタン酸バリウム (BaTiO_3)、チタン酸鉛 (PbTiO_3)、チタン酸ジルコン鉛 (PZT) およびストロンチウムビスマスタントレート (SBT) を含む。ここに説明された強誘電体キャパシタは図2, 4, 5に関して説明されたキャパシタ205を含みこれらのまたは他の強誘電体材料を含む。強誘電体キャパシタ内の電氣的分極は強誘電体材料内の表面における正味の電荷となりキャパシタ端子を介して反対の電荷を引き付ける。したがって電荷は強誘電体材料とキャパシタの端子とのインターフェースに蓄積され得る。電氣的分極は比較的長い間無期限の時間でさえある間外部から印加された電界が存在しないときでも保持され得るので、電荷の漏えいは例えばDRAMアレイに用いられるキャパシタと比べてきわめて減少し得る。これは上述したようにリフレッシュ動作の必要性を減少し得る。

【0035】

ヒステリシスカーブ300はキャパシタの単一端子の見え方から理解されてもよい。例をとれば、強誘電体材料が負の分極を有する場合は、正の電荷が端子に累積し得る。同様に強誘電体材料が正の分極を有する場合は、負の電荷が端子に累積し得る。加えて、ヒステリシスカーブ300内の電圧はキャパシタの電圧差を表し方向性がある。例えば正の電

10

20

30

40

50

圧はその正の電圧を問題となっている端子に印加し第2の端子を接地（または約0ボルト（0V））に維持することによって印加され得る。負の電圧は、問題の端子を接地（または0ボルト（0V））に維持し正の電圧を第2の端子に印加することにより印加し、すなわち正の電圧が問題の端子を負に分極するために印加され得る。同様に2つの正の電圧、2つの負の電圧または正と負の電圧の組み合わせがヒステリシスカーブ300に示される電圧差を発生するために適当なキャパシタ端子に印加され得る。

【0036】

ヒステリシスカーブ300-aに示されるように強誘電体材料は0の電圧差を有する正および負に分極を維持し得、これにより2つの可能な充電状態、すなわち電荷状態305と電荷状態310を生じる。図3の例によると電荷状態305は論理0を表し電荷状態310は論理1を表す。いくつかの例では各電荷状態の論理値が逆転されてメモリセルを動作するための他の構成に適するようにされ得る。

10

【0037】

強誘電体材料の電氣的分極したがつてキャパシタ端子の電荷を、電圧を加えることによって制御することにより論理0または1がメモリセルへ書き込まれ得る。例えばキャパシタを介して正味正電圧315を印加することによって電荷状態305-aに達するまで電荷の蓄積が行われる。電圧315を除去するとき、電荷状態305-aはそれが0電圧における電荷状態305に達するまでパス320を辿る。同様に電荷状態310は正味負電圧325を印加しその結果電荷状態310-aになることによって書き込まれる。負電圧325を除いた後、電荷状態310-aはそれが0電圧において電荷状態310に達するまでパス330を辿る。電荷状態305-aおよび310-aは残留分極（Pr）値としてすなわち外部バイアス（例えば電圧）を除去するときに残る分極（または電荷）として参照され得る。抗電圧は電荷（または分極）が0のときの電圧である。

20

【0038】

強誘電体キャパシタの記憶された状態を読み出しまたは検出するために電圧がそのキャパシタに印加され得る。これに応答して、記憶された電荷が変化しそしてその変化の程度は初期の電荷状態による、すなわちキャパシタに蓄積された電荷が変化する程度は変動し電荷状態305-bまたは310-bが初期に記憶されたかどうかによる。例えばヒステリシスカーブ300-bは2つの可能な記憶された電荷状態305-bおよび310-bを図示する。正味電圧335がキャパシタに対して印加され得る。正電圧として述べられているけれども電圧335は負でもよい。電圧335に応答して電荷状態305-bはパス340を辿る。同様に電荷状態310-bが初期に記憶されているならば、そのときはそれはパス345を辿る。電荷状態305-cと電荷状態310-cの最終位置は特殊な検出作用および回路を含む多数の要素による。

30

【0039】

いくつかの場合では、読み出し動作中に検出される電荷はメモリセルのデジット線の固有のキャパシタンスにより得る。例えば、メモリセルの強誘電体キャパシタがデジット線に電氣的に接続され電圧335が印加されるならば、デジット線の電圧はその固有のキャパシタンスのために上昇し得る。したがって検出コンポーネントで測られる電圧は電圧335に等しくはなくその代わりデジット線の電圧により得る。ヒステリシスカーブ300-b上の最終的な電荷状態305-cおよび310-cの位置はしたがってデジット線のキャパシタンスによりそして負荷線分析を介して決定されてもよく、すなわち電荷状態305-cおよび310-cはデジット線キャパシタンスについて定義されてもよい。その結果としてキャパシタの電圧、電圧350および電圧355は異なってもよくキャパシタの初期状態によってもよい。

40

【0040】

デジット線が読み出し動作のために使われるとき例えばデジット線が仮想的に接地されていないとき、デジット線の結果として生ずる電圧は、記憶された論理状態によって、電圧335と電圧350との差または電圧335と電圧355との差である。デジット線電圧を参照電圧と比較することによって、キャパシタの初期の状態が決定され得る。例えば

50

参照電圧はデジット線論理 0 および論理 1 電圧の平均、例えば $[(\text{電圧 } 335 - \text{電圧 } 350) + (\text{電圧 } 335 - \text{電圧 } 355)] / 2$ である。比較したときに、検出されたデジット線電圧は参照電圧より高くあるいはより低く決定される。強誘電体セルの値（すなわち論理 0 または論理 1）はその比較に基づいて決定され得る。しかしここに述べたように、このアプローチはキャパシタから十分な電荷が抽出されることを可能にしない。

【0041】

したがってデジット線が 0 ボルトに維持される検出スキームが使用されてもよく電荷状態 305-c および 310-c の最終位置がデジット線キャパシタンスに独立であり得る。例えばスイッチングコンポーネントの活性化によって検出している間デジット線は仮想的に接地され得る。このような場合には電荷状態 305-c および 310-c は電荷状態 360 にともに位置し得る。ここで全てまたは殆ど全ての電荷は強誘電体メモリセルから抽出され得、これは電荷状態 310-c と電荷状態 310-b との間の差よりも電荷状態 360 と 310-b 電荷状態との間の差のほうがより大きいことを図示している。この電荷は検出キャパシタに蓄積され、検出キャパシタの電圧はそれからメモリセルの記憶状態を決めるために用いられ得る。これにより、センスアンプにおいてより高い信号が発生し得る。他の方法として、同様な検出スキームが結果として差がより少ないまたは全くないより小さなメモリセルと共に用いられ得る。これはメモリセル、メモリアレイ等のスケールアップ能力を増加させ得る。

【0042】

上述したように DRAM メモリセルを読むことは記憶された論理を劣化させるまたは破壊させ得る。強誘電体メモリセルはしかしながら読み出し動作の後に初期論理状態を維持し得る。例えば電荷状態 305-b が記憶され読み出し動作が行われるならば、電荷状態は例えば逆方向にパス 340 を辿ることによって電圧 335 が除去された後初期電荷状態 305-b に戻り得る。

【0043】

図 4 はこの開示の各種の実施形態にしたがって強誘電体メモリセルからの電荷の引き出しをサポートする回路 400 の例を図示する。回路 400 は、図 1 および図 2 を参照して述べられたそれぞれメモリセル 105、ワード線 110、デジット線 115、検出コンポーネント 125 の例であるメモリセル 105-b、ワード線 110-b、デジット線 115-b、検出コンポーネント 125-b を含み得る。回路 400 は、図 2 を参照して述べられたそれぞれキャパシタ 205、プレート 210 および参照コンポーネント 225 の例であるキャパシタ 205-a、プレート 210-a、参照コンポーネント 225-a もまた含み得る。さらに図 4 の例にしたがってデジット線 115-b は固有のデジット線キャパシタ 405 を含み、デジット線 115-b はスイッチングコンポーネント 440 を介して仮想接地 410 に接続することができる。回路 400 はまた検出キャパシタ 420、参照キャパシタ 425、電圧源 430 および電圧源 435 を含む。いくつかの場合において、スイッチングコンポーネント 415 はデジット線を仮想接地し、メモリセル 105-b の検出期間にキャパシタ 205-a から検出キャパシタ 420 へ、十分な或いは実質的に十分な電荷移動を可能とする。

【0044】

デジット線 115-b はまた固有デジット線キャパシタンス 405 によって表される固有キャパシタンスを有し得る。固有デジット線キャパシタンス 405 は電気デバイスでなくてもよく、例えばそれは 2 つの端子を有するキャパシタでなくてもよい。その代わり固有デジット線キャパシタンス 405 はデジット線 115-b の寸法を含む物理的特性により得る。検出キャパシタ 420 のキャパシタンスは固有デジット線キャパシタンス 405 よりも大きく、これは検出キャパシタ 420 への電荷転送を容易にし得る。

【0045】

仮想接地 410 はスイッチ 440 を介してデジット線 115-b への仮想接地を提供し得る。例えば仮想接地 410 はスイッチ 440 を介してデジット線 115-b と電子的な通信をし得る。いくつかの場合において、スイッチ 440 はトランジスタであり得る。い

10

20

30

40

50

くつかの場合においてデジット線 1 1 5 - b は、メモリセル 1 0 5 - b の検出動作が始まる前に仮想接地されている。スイッチ 4 4 0 はそれからデジット線 1 1 5 - b を仮想接地 4 1 0 から絶縁するために非活性化され得る。

【0046】

スイッチングコンポーネント 4 1 5 は検出キャパシタ 4 2 0 および選択コンポーネント 2 2 0 - a と直列に接続されたトランジスタであり得る。すなわちスイッチングコンポーネント 4 1 5 はデジット線 1 1 5 - b と直列に接続され得る。いくつかの場合トランジスタは p 型 F E T からなる。検出キャパシタ 4 2 0 と参照キャパシタ 4 2 5 はメモリセル 1 0 5 - b が検出されたとき電荷を蓄積するように構成されたキャパシタであり得る。いくつかの場合、検出キャパシタ 4 2 0 と参照キャパシタ 4 2 5 は同じキャパシタンスをも得て、例えば検出キャパシタンス 4 2 0 と参照キャパシタ 4 2 5 がファラッドで測定された共通の値またはレーティングであり得る。

10

【0047】

参照キャパシタンス 4 2 5 は参照コンポーネント 2 2 5 - a と電子的に通信し得る。いくつかの場合、参照コンポーネント 2 2 5 - a は 1 つまたはそれより多い強誘電体メモリセル 1 0 5 である。参照コンポーネント 2 2 5 - a は参照信号を発生または生成するように構成され得る。いくつかの場合、参照コンポーネント 2 2 5 - a によって生成された電荷は参照キャパシタ 4 2 5 に蓄積される。

【0048】

検出コンポーネント 1 2 5 - b はメモリセル 1 0 5 - b の記憶された状態を決定し得る。いくつかの場合、検出コンポーネント 1 2 5 - b はセンスアンプであるか或いはそれを含み得る。検出コンポーネント 1 2 5 - b は電圧源 4 3 0 および 4 3 5 によって動作され得る。検出コンポーネント 1 2 5 - b は、また、図 4 の例においてはこのように説明されていないが検出キャパシタ 4 2 0 または参照キャパシタ 4 2 5 を含み得る。検出コンポーネント 1 2 5 - b はまたデジット線 1 1 5 - b を介して選択コンポーネント 2 2 0 - a と電子的に通信し得る。

20

【0049】

充電電圧は電圧源 4 3 0 または 4 3 5 によって検出キャパシタ 4 2 0 へ印加され得るが、これは一方スイッチングコンポーネント 4 1 5 が不活性化され、すなわちその間デジット線 1 1 5 - b は検出キャパシタ 4 2 0 から電氣的に分離される。いくつかの場合、検出キャパシタ 4 2 0 に印加される充電電圧は負でもよい。検出キャパシタ 4 2 0 はそれから電圧源 4 3 0 または 4 3 5 から電氣的に分離され得る。

30

【0050】

説明されたように強誘電体メモリセル 1 0 5 - b はデジット線 1 1 5 - b と電子的に通信する。スイッチングコンポーネント 4 1 5 はデジット線 1 1 5 - b と電子的にまたは通信するがデジット線 1 1 5 - b を仮想接地するように活性化され得る。いくつかの場合スイッチングコンポーネント 4 1 5 を非活性化することによりデジット線 1 1 5 - b が仮想接地から絶縁される。いくつかの例において、スイッチングコンポーネント 4 1 5 は p 型 F E T であり得る。スイッチングコンポーネント 4 1 5 がデジット線 1 1 5 - b を仮想的に接地するように活性化することはゲート電圧をトランジスタのゲートへ印加することを含み、そのゲート電圧は負であってトランジスタの閾値電圧の大きさと等しいかより大きい大きさをもち得る。いくつかの場合、仮想接地 4 1 0 は、スイッチングコンポーネント 4 1 5 が活性化されまたはされる前にまたは強誘電体メモリセル 1 0 5 - b が選択される前にスイッチング 4 4 0 を介してデジット線 1 1 5 - b を仮想接地し得る。

40

【0051】

強誘電体メモリセル 1 0 5 - b は強誘電体キャパシタ 2 0 5 - a と電子的に通信する選択コンポーネント 2 2 0 - a を使って選択され得る、ここで強誘電体メモリセル 1 0 5 - b は選択コンポーネント 2 2 0 - a および強誘電体キャパシタ 2 0 5 - a を含む。例えば選択コンポーネント 2 2 0 - a はトランジスタ（例えば F E T）であり得て、ワード線 1 1 0 - b を介してトランジスタのゲートへ電圧を印加することによって活性化され得る。

50

【0052】

スイッチングコンポーネント415が活性化されるとき強誘電体メモリセル105-bを選択することに基づいて電圧が強誘電体キャパシタ205-aに印加され得る。例えば電圧はプレート210-aを使って印加され得る。このことによってデジット線115-bが仮想的に接地されている間に強誘電体メモリセル105-bと電子的に通信する検出キャパシタ420を充電することとなり得る。この充電はしたがってメモリセル105-bの強誘電体キャパシタ205-aに印加される電圧に基づいていて、その結果強誘電体メモリセル105-bに記憶された電荷をスイッチングコンポーネント415を介して検出キャパシタ420へと送出することとなる。

【0053】

10

検出キャパシタ420の電圧は参照電圧と比較されて得る。いくつかの場合、検出キャパシタ420の電圧を参照電圧と比較することは検出キャパシタ420と電子的に通信する検出コンポーネント125-bを活性化することを含む。いくつかの場合、検出コンポーネント125-bはセンサンプであり或いはそれを含む。参照電圧は検出コンポーネント125-bと電子的に通信する参照キャパシタ125を充電することから生じ得、検出コンポーネント125-bは検出キャパシタ420の電圧を参照キャパシタ425の電圧と比較し得る。

【0054】

図5はこの開示の各種の実施形態にしたがって電荷抽出をサポートする強誘電体メモリセルを動作するためのタイミング図500を図示する。タイミング図500は軸505上に電圧と軸510上に時間を示す。時間の関数としての各種のコンポーネントの電圧はしたがってタイミング図500に示され得る。例えばタイミング図500はワード線電圧515、プレート電圧520、デジット線電圧525および検出キャパシタ電圧530を含む。タイミング図500は図4を参照して述べられた回路400の動作例を示す。図5は前の図のコンポーネントを参照して以下に説明される。

20

【0055】

図4に述べたように、検出キャパシタ420は検出キャパシタ電圧530によって述べられているように初期に負の電圧に充電され得る。ワード線電圧515は強誘電体メモリセル105と関係しているワード線110へ印加され得る。プレート電圧520は強誘電体メモリセル105のプレート210へ印加され得る。デジット線電圧525は前に述べたように検出中においてはほぼ0かあるいは仮想的に接地され得る。例えばスイッチングコンポーネント415は検出中にデジット線を仮想的に接地し得る。いくつかの場合においては、デジット線電圧525は0から僅かに変異し得る。

30

【0056】

ワード線電圧515とプレート電圧520が印加される間はデジット線電圧525はほぼ0ボルトになっており、電荷は検出キャパシタ420へ送出され得、その結果検出キャパシタ電圧530が変化することとなる。例えば検出キャパシタ電圧530は増加し得る。検出キャパシタ電圧530の変化はメモリセル105の論理状態により得る。例えば論理0が記憶されるならば、検出キャパシタ電圧530は検出キャパシタ電圧530-aへ変化し得る。論理1が記憶されるならば、検出キャパシタ電圧530が検出キャパシタ電圧530-bへ変化し得る。検出キャパシタ電圧530-aと検出キャパシタ電圧530-bとの間の差は検出ウィンドウ535として知られている。検出ウィンドウ535は、蓄積された電荷の大部分がデジット線を仮想的に接地することに基づいて抽出されるために他の検出スキームよりもここにおいてはより大きくなる。記憶された論理状態は検出キャパシタ電圧530-aまたは530-bを参照電圧と比較することによって決定され得る。例えば参照電圧は検出キャパシタ電圧530-aと530-bとの間の値であり得る。

40

【0057】

図6はこの開示の各種の実施形態にしたがう強誘導体メモリセルからの電荷の抽出をサポートする回路600の例を図示する。回路600はメモリセル105-c、ワード線1

50

10-c、デジット線115-cおよび検出コンポーネント125-cからなりこれらは図1, 2, 3, 4, 5を参照して述べられたそれぞれのメモリセル105、ワード線110、デジット線115、検出コンポーネント125のそれぞれの例である。回路600はまたキャパシタ205-b、プレート210-b、参照コンポーネント225-bを含み、これらは図2と図4を参照して述べられていたそれぞれキャパシタ205、プレート210および参照コンポーネント225の例であり得る。

【0058】

さらに回路600は固有のデジット線キャパシタンス405-a、仮想接地410-a、スイッチングコンポーネント415-a、検出キャパシタ420-a、参照キャパシタ425-a、電圧源430-a、スイッチ440を含みこれらは第4図を参照して述べられたそれぞれ固有デジット線キャパシタンス405、仮想接地410、スイッチングコンポーネント415、検出キャパシタ420、参照キャパシタ425、電圧源430、電圧源435、スイッチ440の例である。回路600はまたキャパシタ605と電圧源610を含みこれらは負電圧がスイッチングコンポーネント415-aを活性化する必要性を除去し得る。いくつかの場合において、スイッチングコンポーネント415-aはデジット線115-cを仮想的に接地し得、これによりメモリセル105-cの検出中に十分な電荷をキャパシタ205-bから検出キャパシタ420-aへ送出可能とする。

【0059】

デジット線115-cは固有キャパシタンスをもち得、これは固有のデジット線キャパシタンス405-aによって表されている。上に述べたように固有のデジット線キャパシタンス405-aは電気デバイスでなくともよく、むしろ固有のデジット線キャパシタンス405-aはデジット線115-cの寸法を含む物理特性により得る。検出キャパシタ420-aのキャパシタンスは固有デジット線キャパシタンス405-aよりも大きくてもよくこれは検出キャパシタンス420-aへの電荷の送出をより効率的にすることができる。

【0060】

仮想接地410-aはスイッチ440-aを介してデジット線115-cへの仮想接地を提供する。例えば仮想接地410-aはスイッチ440-aを介してデジット線115-cと電子的に通信し得る。いくつかの場合、スイッチ440-aはトランジスタであり得る。いくつかの場合、デジット線115-cはメモリセル105-cの検出動作が始まる前に仮想的に接地され得る。スイッチ440-aはそれからデジット線115-cを仮想接地410-aから分離するように非活性化され得る。

【0061】

スイッチングコンポーネント415-aはキャパシタ605と並列に接続されたトランジスタであり得る。いくつかの場合において、そのトランジスタはp型FETからなる。スイッチングコンポーネント415-aは選択コンポーネント220-bと検出キャパシタ420-aの間の点でデジット線115-cと電子的に通信するようにし得る。キャパシタ605はスイッチングコンポーネント415-aを活性化するように動作し得、これによりデジット線115-cを仮想的に接地し得る。

【0062】

検出キャパシタ420-aと参照キャパシタ425-aはメモリセル105-cが検出されたときに電荷を蓄積するように構成されたキャパシタであり得る。いくつかの場合において、検出キャパシタ420-aと参照キャパシタ425-aは同じキャパシタンスをもってもよい。参照キャパシタンス425-aは参照コンポーネント225-bと電子的に通信し得る。いくつかの場合において、参照コンポーネント225-bは1またはそれより多い強誘電体メモリセル105である。参照コンポーネント225-bは参照信号を生成または発生するように構成され得る。いくつかの場合において、参照コンポーネント225-bによって発生された電荷は参照キャパシタ425-aに蓄積される。

【0063】

検出コンポーネント125-cはメモリセル105-cの記憶された状態を決定し得る

。いくつかの場合において、検出コンポーネント 1 2 5 - c はセンスアンプであり得る。いくつかの場合において、検出コンポーネント 1 2 5 - c はデジット線 1 1 5 - c を介して選択コンポーネント 2 2 0 - b と電子的に通信し得る。検出コンポーネント 1 2 5 - c は電圧源 4 3 0 - a および電圧源 4 3 5 - a によって動作され得る。

【0064】

強誘電体メモリセル 1 0 5 - c はデジット線 1 1 5 - c と電子的に通信する。スイッチングコンポーネント 4 1 5 - a はまたデジット線 1 1 5 - c と電子的に通信するがデジット線 1 1 5 - c を仮想的に接地するように活性化され得る。いくつかの例において、スイッチングコンポーネント 4 1 5 - a は p 型 F E T であり得る。スイッチングコンポーネント 4 1 5 - a をデジット線 1 1 5 - c に仮想的に接地するために活性化することは充電電圧を電圧源 6 1 5 を使ってキャパシタに 6 0 5 に印加することを含み得、キャパシタ 6 0 5 の第 1 の端子を充電電圧から電氣的に分離し、キャパシタ 6 0 5 の第 2 の端子を仮想接地 4 1 0 - a から電氣的に分離することを含み得る。いくつかの場合において、印加された充電電圧は正電圧でありその大きさはスイッチングコンポーネント 4 1 5 - a の閾値電圧とほぼ等しいかあるいはより大きくてもよい。キャパシタ 6 0 5 を充電しそれからそれを電圧源 6 1 0 とデジット線 1 1 5 - c とから分離することによってキャパシタはスイッチングコンポーネント 4 1 5 - a の一つの端子を正電圧に維持し得る。いくつかの場合において、スイッチングコンポーネント 4 1 5 - a の他の端子は同様に初期には接地されスイッチングコンポーネント 4 1 5 - a は活性化され得る。

【0065】

強誘電体メモリセル 1 0 5 - c は選択コンポーネント 2 2 0 - b を使って選択され得、これは強誘電体キャパシタに 2 0 5 - b と電子的に通信し、強誘電体メモリセル 1 0 5 - c は選択コンポーネント 2 2 0 - b と強誘電体キャパシタ 2 0 5 - b を含む。例えば選択コンポーネント 2 2 0 - b はトランジスタ（例えば F E T）であり得、そしてワード線 1 1 0 - c を用いてトランジスタのゲートに印加された電圧によって活性化され得る。

【0066】

スイッチングコンポーネント 4 1 5 - a が活性化されるとき電圧が強誘電体メモリセル 1 0 5 - c の選択に基づいて強誘電体キャパシタ 2 0 5 - b に印加され得る。例えば電圧がプレート 2 1 0 - b を使って印加され得る。これは強誘電体メモリセル 1 0 5 - c と電子的に通信する検出キャパシタ 4 2 0 - a を充電することとなり一方ではデジット線 1 1 5 - c は仮想的に接地される。検出キャパシタ 4 2 0 - a は初期において放電され得る。いくつかの場合において、充電はメモリセル 1 0 5 - c の強誘電体キャパシタ 2 0 5 - b に対して印加される電圧に基づいており、これは強誘電体メモリセル 1 0 5 - c の蓄積された電荷を検出キャパシタ 4 2 0 - a に送出するという結果になる。

【0067】

検出キャパシタ 4 2 0 - a の電圧は参照電圧と比較され得る。いつかの場合において、検出キャパシタ 4 2 0 - a の電圧を参照電圧と比較することは検出キャパシタ 4 2 0 - a と電子的に通信している検出コンポーネント 1 2 5 - c を活性化することを含む。参照電圧は検出コンポーネント 1 2 5 - c と電子的に通信する参照キャパシタ 4 2 5 - a を充電することから生じ、検出コンポーネント 1 2 5 - c は検出キャパシタ 4 2 0 - a の電圧を参照キャパシタ 4 2 5 - a の電圧と比較し得る。

【0068】

図 7 はこの開示の各種の実施態様に従って電荷の抽出をサポートする強誘電体メモリセルを動作するためのタイミング図 7 0 0 を示す。タイミング図 7 0 0 は軸 5 0 5 - a 上に電圧と軸 5 1 0 - a 上に時間とを示す。時間の関数である各種のコンポーネントの電圧はタイミング図 7 0 0 に示されている。例えばタイミング図 7 0 0 はワード線電圧 5 1 5 - a、プレート電圧 5 2 0 - a、デジット線 5 2 5 - a および検出キャパシタ電圧 5 3 0 - c 及び 5 3 0 - d を含みこれらは図 5 を参照して説明されたワード線電圧 5 1 5、プレート電圧 5 2 0、デジット線電圧 5 2 5、検出キャパシタ電圧 5 3 0 の例である。タイミング図 7 0 0 は第 6 図を参照して説明された回路 6 0 0 を動作することから生じ得る。第 7

図は以前の図のコンポーネントを参照しながら以下に説明される。

【0069】

図6に説明されたように検出キャパシタは初期においては放電（電圧値0）され得る。強誘電体メモリセル105と関係するワード線110はワード線電圧515-aを印加することによって活性化され得る。プレート電圧520-aは強誘電体メモリセル105のプレート210に印加され得る。デジット線電圧525-aは以前述べられたように検出の間は約0であり、あるいは仮想的に接地され得る。例えばスイッチングコンポーネント415は検出の間デジット線を仮想的に接地する。いくつかの場合において、デジット線電圧525-aは0から若干偏ってもよい。

【0070】

ワード線電圧515-aとプレート電圧520-aが印加されている間デジット線電圧525-aが接地に維持され、電荷は検出キャパシタ420に送られ得、その結果として検出キャパシタ電圧530が変化することとなる。例えば、検出キャパシタ電圧530は増加し得る。検出キャパシタ電圧530の変化はメモリセル105の記憶された状態により得る。例えば論理0が記憶されているなら、検出キャパシタ電圧530は検出キャパシタ電圧530-cに変化し得る。もし論理1が記憶されているならば検出キャパシタ電圧530は検出キャパシタ電圧530-dに変化し得る。検出キャパシタ電圧530-cと検出キャパシタ電圧530-dとの差は検出ウインドウ535-aとして知られている。検出ウインドウ535-aは、デジット線を仮想的に接地することに基づいて蓄積された電荷の大部分が抽出されるために他の検出スキームよりもここではより大きくなり得る。その記憶された論理状態は検出キャパシタ電圧530-cまたは530-dを参照電圧と比較することによって決定され得る。例えば参照電圧は検出キャパシタ電圧530-cと530-dとの間の値であり得る。

【0071】

図8はこの開示の各種の実施態様に従って強誘電体メモリセルからの電荷の抽出をサポートするメモリアレイ100-aのブロック図800を示す。メモリアレイ100-aは電子メモリ装置として参照され得、メモリコントローラ140-a及びメモリセル105-dを含み得、これらは図1、2、4及び6を参照して説明されたメモリコントローラ140およびメモリセル105の例であり得る。メモリコントローラ140-aはバイアスコンポーネント810とタイミングコンポーネント815を含み図1ないし図7に説明されたメモリアレイ100-aを動作させ得る。メモリコントローラ140-aはワード線110-d、デジット線115-d、検出コンポーネント125-d、プレート210-c、参照コンポーネント225-c、スイッチングコンポーネント415-bと電子的に通信を行い得る。これらは図1、2及び図4から7を参照して説明されたワード線110、デジット線115、検出コンポーネント125、プレート210、参照コンポーネント225、スイッチングコンポーネント415の例である。いくつかの例において、スイッチングコンポーネント415-bは上記したようにデジット線115-dと電子的に通信をする。メモリアレイ105-aはまたラッチ825を含む。メモリアレイ100-aのコンポーネントはお互いに電子的通信を行い、図1ないし図7を参照して説明された機能を実行する。いくつかの場合において、参照コンポーネント225-c、検出コンポーネント125-d及びラッチ825はメモリコントローラ140-aのコンポーネントであり得る。

【0072】

メモリコントローラ410-aはワード線110-d、検出コンポーネント125-d、プレート120-c、参照コンポーネント225-cおよびスイッチングコンポーネント415-bを、電圧をこれらのノードに印加することによって、活性化するように構成され得る。例えばバイアスコンポーネント810は上述されたようにメモリセル105-dを読み出しおよび書き込みするためにメモリセル105-dを動作するように電圧を印加するように構成され得る。いくつかの場合において、メモリコントローラ140-aは図1を参照して説明されているように行デコーダ、列デコーダまたはその両方を含み得る

。これはメモリコントローラ140-aが1またはそれより多いメモリセル105をアクセスすることを可能とする。バイアスコンポーネント810はまた検出コンポーネント125-dのために参照信号を生成するために電圧を参照コンポーネント225-cに提供し得る。これにさらに加えるとバイアスコンポーネント810は検出コンポーネント125-dの動作のために電圧を供給し得る。

【0073】

メモリコントローラ140-aは例えば電圧をスイッチングコンポーネント415のトランジスタのゲートに加えることによってスイッチングコンポーネント415を活性化し得る。したがってメモリコントローラ140-aはスイッチングコンポーネント415-bをデジット線115-dを仮想的に接地するように動作して、デジット線115-dを仮想的に接地することに基づいて検出コンポーネント120-dを活性化し得る。メモリコントローラ140-aは強誘電体メモリセル105-dの選択に基づいて検出キャパシタを充電するように強誘電体メモリセル105-dの強誘電体キャパシタを動作し得る。さらに加えてメモリコントローラ140-aは検出キャパシタの電圧を参照キャパシタの電圧と比較して強誘電体メモリセル105-dの論理値を読み出すようにし得る。

【0074】

いくつかの場合、メモリコントローラ140-aはタイミングコンポーネント815を使ってその動作を行い得る。例えばタイミングコンポーネント815は各種のワード線、デジッド線およびプレートをバイアスするためのタイミングを制御することができ、これはここに述べられているように、読み出しや書き込みのようなメモリ機能を行うためのスイッチング及び電圧の印加のタイミングを含んでいる。いくつかの場合において、タイミングコンポーネント815はバイアスコンポーネント810の動作を制御し得る。

【0075】

参照コンポーネント225-cは検出コンポーネント125-dに対する参照信号を発生し得る。参照コンポーネント225-cは例えば参照信号を生成するように構成された回路をみ得る。いくつかの場合において、参照コンポーネント225-cは他の強誘電体メモリセル105である。いくつかの場合において、参照コンポーネント225-cは図3, 5, 7を参照して説明されたように二つの検出電圧の間の値を持つ電圧を出力するように構成される。または参照コンポーネント225-cは仮想接地電圧（すなわち約0ボルト）を出力するように設計されてもよい。

【0076】

検出コンポーネント125-dは（デジット線115-d）を介してメモリセル105-dからの信号を参照コンポーネント225-cからの参照信号と比較し得る。論理状態を決定する時に、検出コンポーネントはそれからラッチ825に出力を記憶し、メモリアレイ100-aを使う電子デバイスの動作にしたがって用いられ得る。

【0077】

図9は本開示の各種の実施例にしたがって強誘電体メモリセルからの電荷の抽出をサポートするシステム900の図である。システム900は各種のコンポーネントを接続または物理的にサポートするためにプリント回路板であるかそれを含むデバイス905を含み得る。デバイス905はメモリアレイ100-bを含んでもよく、これは図1及び図8に述べられたメモリアレイ100の例であり得る。メモリアレイ100-bはメモリコントローラ140-bおよびメモリセル105-eを含んでもよく、これらは図1および図8を参照して説明されたメモリコントローラ140と図1, 2, 4, 6, 8を参照して説明されたメモリセル105の具体例であり得る。デバイス905はまたプロセッサ910、BIOSコンポーネント915、周辺コンポーネント920、入出力制御コンポーネント925を含み得る。デバイス905のこれらのコンポーネントはバス930を介してお互いに電子的通信を行い得る。

【0078】

プロセッサ910はメモリコントローラ140-bを介してメモリアレイ100-bを動作するように構成され得る。いくつかの場合において、プロセッサ910は図1及び図

10

20

30

40

50

8を参照して説明されたメモリコントローラの機能を行う。例えばメモリコントローラ140-bは記憶された電荷を十分に抽出するためにメモリセル105-eを読んでいる間、デジット線115を仮想的に接地するためにスイッチングコンポーネントを活性化し得る。いくつかの場合において、メモリコントローラ140-bはプロセッサ910に統合され得る。プロセッサ910は汎用プロセッサ、デジタル信号プロセッサ(DSP)、アプリケーション特定集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)または他のプログラム可能な論理デバイス、ディスクリートなゲートまたはトランジスタロジック、ディスクリートなハードウェアコンポーネント、またはこれらのタイプのコンポーネントの組み合わせであり得、プロセッサ910は、強誘電体メモリセルからの電荷抽出を含むここに述べられた各種のファンクション機能を行い得る。プロセッサ910は例えばデバイス905に各種の機能及びタスクを行わせるためにメモリアレイ100-aに記憶されているコンピュータ読み出し可能な命令を実行するように構成され得る。

10

【0079】

BIOSコンポーネント915はファームウェアとして動作する基本的な入力／出力システム(BIOS)を含むソフトウェアコンポーネントであり得、これはシステム900の各種のハードウェアコンポーネントを初期化し走らせることが可能である。BIOSコンポーネント915はまたプロセッサ910と各種のコンポーネント例えば周辺コンポーネント920、入出力制御コンポーネント925等と間のデータフローをもまた管理し得る。BIOSコンポーネント915は読み出し専用メモリ(ROM)、フラッシュメモリまたは他のいかなる不揮発性メモリに記憶されたプログラムまたはソフトウェアを含み得る。

20

【0080】

周辺コンポーネント920はいかなる入力または出力デバイス、またはこのデバイスに対するインターフェースであってもよく、これはデバイス905の中に集積される。例はディスクコントローラ、サウンドコントローラ、グラフィックコントローラ、イーザネットコントローラ、モデム、ユニバーサルシリアルバス(USB)コントローラ、シリアルまたはパラレルポート、周辺コンポーネント相互接続(PCI)または加速グラフィックポート(AGP)スロットのような周辺カードスロットを含んでもよい。

【0081】

30

入力／出力制御コンポーネント925はプロセッサ910と周辺コンポーネント920、入力デバイス935あるいは出力デバイス940間のデータ通信を管理し得る。入力／出力制御コンポーネント925はまたデバイス905に集積されていない周辺部を管理し得る。いくつかの場合、入力／出力制御コンポーネント925は外部の周辺部への物理的接続またはポートを表し得る。

【0082】

入力935は入力をデバイス905またはそのコンポーネントに与えるデバイス905にとっての外部であるデバイスまたは信号を表し得る。これはユーザインターフェースまたは他のデバイスとのあるいは他のデバイスとの間のインターフェースを含む。いくつかの場合において、入力935は周辺デバイスコンポーネント920を介してデバイス905とのインターフェースになる周辺デバイスであってもよくまたは入力／出力制御コンポーネント925によって管理されてもよい。

40

【0083】

出力デバイス940はデバイス905またはそのコンポーネントのいずれかからでも出力を受け取るように構成されたデバイス905の外側にあるデバイスまたは信号を表す。出力デバイス940の例はディスプレイ、音声スピーカ、印刷デバイス、他のプロセッサまたはプリント回路基板等を含み得る。いくつかの場合において、出力940は周辺コンポーネントデバイス920を介してデバイス905とインターフェースを取るための周辺デバイスであり得、入力／出力制御コンポーネント925によって管理され得る。

【0084】

50

メモリコントローラ 140-b、デバイス 905、およびメモリアレイ 100-b のコンポーネントはそれぞれの機能を実行するように設計された回路から作られ得る。これは各種の回路エレメント例えば導電線、トランジスタ、キャパシタ、インダクタ、レジスタ、増幅器、または他の活性または非活性エレメントのようにここに述べている機能を実行するように構成されているものを含み得る。

【0085】

図 10 はこの開示の各種の実施例にしたがって電荷抽出するように強誘電体メモリセルを動作するための方法 1000 を図示するフローチャートを示す。方法 1000 の動作は図 1 ないし 9 を参照して述べられたようにメモリアレイ 100 によって実装され得る。例えば方法 1000 の動作は図 1, 8, 9 を参照して述べたようにメモリコントローラ 140 によって実行され得る。いくつかの例において、メモリコントローラ 140 は以下に述べられた機能を行うためにメモリアレイ 100 の機能要素を制御するために一組のコードを実行し得る。追加としてあるいはその代わりとしてメモリコントローラ 140 は特定目的のハードウェアを使って以下に述べる機能を実行する。

【0086】

ブロック 1005 においてこの方法は、図 1 ないし 7 を参照して述べたようにデジット線と電子的通信を行う強誘電体メモリセルを選択することを含み得る。いくつかの例において、ブロック 1005 の動作が図 1, 8 および 9 を参照して述べられるようにメモリコントローラ 140 によって行われ得る。

【0087】

ブロック 1010 においてこの方法は図 1 ないし 7 を参照して述べたようにデジット線を仮想接地することを含む。いくつかの例において、ブロック 1010 の動作は図 4, 6, 8 を参照して述べたようにスイッチングコンポーネント 415 によって行われ得る。例えばデジット線を仮想的に接地することはデジット線とセンスアンプとの間で電子的通信が行われるスイッチングコンポーネントを活性化することを含み得る。

【0088】

ブロック 1015 においてこの方法は図 1 ないし 7 を参照して説明したようにデジット線を仮想的に接地することに基づいてデジット線と電子的通信を行うセンスアンプを活性化することを含む。いくつかの場合において、センスアンプは活性化されその間デジット線は仮想的に接地され得る。いくつかの例においてブロック 1015 の動作は図 1, 2, 4, 6, 8 を参照して述べたように検出コンポーネント 125 によって実行され得る。

【0089】

この方法はまた電圧を強誘電体メモリセルの強誘電体キャパシタへ印加することを含む。例えばメモリコントローラ 140 は図 1, 8, 9 を参照して電圧源を制御しプレート電圧を強誘電体キャパシタへ印加し得る。いくつかの例において、この方法は電圧を強誘電体キャパシタに印加することに少なくとも一部は基づいてデジット線と電子的通信を行う検出キャパシタを充電することを含み、これはデジット線が接地されている間である。例えばメモリコントローラ 140 は図 1, 4, 6, 8 及び 9 を参照して述べたように電圧を検出キャパシタへ印加するために負の電圧源である電圧源を制御し得る。この方法はセンスアンプを活性化することに少なくとも一部は基づいて検出キャパシタの電圧を参照電圧と比較することをもた含み得る。いくつかの例において、このことは、図 1, 2, 4, 6 及び 8 を参照して説明されたように検出コンポーネント 125 によって行われ得る。

【0090】

図 11 はこの開示の各種の実施形態にしたがって電荷抽出に対して、強誘電体メモリセルを動作するための方法 1100 を図示するフローチャートを示す。方法 1100 の動作は図 1 ないし 9 を参照して述べられるようにメモリアレイ 100 によって実装され得る。例えば方法 1100 の動作は図 1, 8, 9 を参照して述べられたようにメモリコントローラ 140 によって行われ得る。またいくつかの例において、メモリコントローラ 140 は以下に述べた動作を行うためにメモリアレイ 100 の機能的要素を制御するように一組のコードを実行し得る。追加あるいは他の方法としてメモリコントローラ 140 は特定専用

ハードウェアを使って以下に述べる機能を実行し得る。

【0091】

ブロック1105において方法はデジット線を仮想的に接地するためにデジット線と電子的に通信しているスイッチングコンポーネントを活性化することを含み得て、ここで強誘電体メモリセルは図1ないし7を参照して述べられたようにデジット線と電子的通信関係にある。ある例においてはブロック1105の動作は図面1、8、9を参照して述べられたようにメモリコントローラ140によって行われる。

【0092】

ブロック1110においてその方法は強誘電体キャパシタと電子的に通信を行う選択手段を用いて、強誘電体メモリセルを選択することを含み得て、ここで強誘電体メモリセルは選択コンポーネントと強誘電体キャパシタとからなり、選択コンポーネントは活性化され、電圧は図1ないし7を参照して説明されたように強誘電体メモリセルを選択することに基づいて強誘電体キャパシタへ印加される。ある実施形態においては、ブロック1110の動作が図の1、8、9を参照して述べられたようにメモリコントローラ140によって実行され得る。

【0093】

ブロック1115においてこの方法はデジット線が仮想接地されている間強誘電体メモリセルと通信を行う検出キャパシタを充電することを含んでおり、その充電は強誘電体メモリセルに印加された電圧に基づいておりそして強誘電体メモリセルの蓄積された電荷は図1、7を参照して述べたようにスイッチングコンポーネントを介して検出キャパシタへ送ることからなる。ある例においては、ブロック1115の動作はメモリコントローラ140、スイッチングコンポーネント415および検出キャパシタ420によって図1ないし9を参照して述べられたように行われ得る。

【0094】

ブロック1120において、この方法は図1ないし7を参照して述べたように検出キャパシタの電圧を参照電圧と比較することを含み得る。いくつかの例においては、ブロック1120の動作は図1、2、4、6および8を参照して述べたように検出コンポーネント125によって行われる。

【0095】

この方法は充電電圧を検出キャパシタへ印加し、その間にスイッチングコンポーネントは不活性化されることと、それから電氣的に検出キャパシタを充電電圧から分離することをさらに含み得る。例えばメモリコントローラ140は負の充電電圧を検出キャパシタへ加え得る。いくつかの場合、スイッチングコンポーネントは検出キャパシタと直列に接続されたトランジスタを含み、その方法は図4、6、8を参照して説明されたようにスイッチングコンポーネントを活性化し、デジット線を仮想的に接地するためにトランジスタのゲートへ電圧を印加することを含み得る。

【0096】

いくつかの場合において、スイッチングコンポーネントはキャパシタと並列に接続されスイッチングコンポーネントを活性化するためのトランジスタを含み、この方法は充電電圧をそのキャパシタに加えることを含み、電子的にそのキャパシタの第1の端子を充電電圧から電氣的に分離しキャパシタの第2の端子を仮想接地から電氣的に分離するがこれは第6図に関して説明したようにである。いくつかの場合、メモリコントローラ140は正の充電電圧をキャパシタに印加し得る。

【0097】

したがって方法1000と1100は強誘電体メモリセルからの電荷抽出を行う。方法1000および1100は可能な実装を説明しており、その動作とステップは他の実装が可能なように再配置され、そうでなければ変形させられるということに注意すべきである。いくつかの例においては、実施形態は2つまたはそれより多い方法1000および1100から組み合わされ得る。

【0098】

10

20

30

40

50

ここでの記載は例を挙げるものであって請求項に述べられた範囲あるいは用途または例を制限するものではない。開示の範囲から離れることなしに説明された要素の機能および構成の変形がなされ得る。各種の例は各種の方法やコンポーネントを適切なものとして省略したり置き換えたり加えたりし得る。いくつかの例について述べられた特徴は他の例と組み合わせられ得る。

【0099】

添付図面と関係してここに述べられた記載は例の構成を説明しているものであって実装されてよいものあるいは請求の範囲内にあるものの全ての例を示しているものではない。ここで使われている用語「例」「例示」は「一例、例または例示として働く」を意味するのであって「望ましくは」または「他の例に対して優位なもの」ということではない。詳細な説明は説明された技術の理解を提供するために特別な詳細を含むものである。しかしながらこれらの技術はこれらの特別な詳細無しにも実施し得る。いくつかの例において、周知の構造やデバイスが説明された例の概念を曖昧にすることを避けるためにブロック図の形で示されている。

10

【0100】

添付の図において同様なコンポーネント同様な特徴は同じ参照ラベルを持ち得る。さらに同じタイプの各種のコンポーネントは、類似のコンポーネントの中で区別を明らかにするダッシュと第2のラベルをその参照ラベルの後につけることによって明確にされ得る。第1の参照ラベルが明細書中に使われるとき、その記載は第2の参照ラベルに関係なしに同じ第1の参照ラベルを持っている同様のコンポーネントのどれか一つに適用される。

20

【0101】

ここに述べられた情報及び信号は各種の異なった技術または技巧を用いて表され得る。例えばデータ、命令、コマンド、情報、信号、ビット、シンボルそしてチップは上記記載を通して参照されているが、これらは電圧、電流、電磁波、磁界、または粒子、光の場合または粒子またはこれらのいかなる組み合わせによって表わすことができる。いくつかの図面は信号を単一信号として例示し得る。しかしながらその信号は1つのバスの信号を表してもよくそしてそのバスは各種のビット幅を持っていてよいということは当業者にとって理解されるであろう。

【0102】

ここで用いられているように用語「仮想接地」はほぼ0ボルト（0V）の電圧に維持されているが地面に直接的には繋がっていないかもしれない電気回路のノードを参照する。したがって仮想接地の電圧は一時的には変動し安定状態においてはほぼ0ボルトに戻り得る。仮想接地は演算増幅器および抵抗からなる電圧分割のような各種の電気回路部材を用いて実装し得る。他の実装もまた可能である。

30

【0103】

用語「電子的通信」はコンポーネント間の電子的流れをサポートするコンポーネント間の関係を参照する。これはコンポーネント間の直接的な接続を含んでもよくまた中間的なコンポーネントを含んでもよい。電子的通信におけるコンポーネントは電子または信号を積極的にやり取りしてもよく（例えばエネルギー化回路）または電子または信号を積極的にはやり取りしなくてもよい（例えば非エネルギー化回路）が回路がエネルギー化されるときには電子や信号をやり取りするように構成または動作可能であり得る。例えば、物理的にスイッチ（例えばトランジスタ）を介して接続されている2つのコンポーネントはスイッチの状態（すなわち開または閉）によらずに電子的通信を行っている。

40

【0104】

ここで述べられているデバイスは、メモリアレイ100を含んでおり、シリコン、ゲルマニウム、シリコンゲルマニウム合金、ガリウムアルセナイド、ガリウムニトライド等の半導体基板上に形成され得る。いくつかの場合では、基板は半導体ウエハである。他の場合には、その基板はシリコンオンインシュレータ（SOI）基板であってもよくこれは例えばシリコンオンガラス（SOG）またはシリコンオンサファイア（SOP）または他の基板上での半導体材料のエピタキシャル層であり得る。基板または基板の小領域の導電性

50

はホスホロスやボロンまたはアルセニックを含むがこれに限定されない各種の化学種を使ってドーピングを通して制御され得る。ドーピングはイオン注入法または他のドーピング手段によって基板の初期の形成又は成長の間に行われ得る。

【0105】

ここで述べられたトランジスタまたは複数のトランジスタは電界効果トランジスタ（FET）を表してもよくそしてソース、ドレイン、ゲートを含む三端子デバイスからなる。その各端子は導電材料、例えば金属を介して他の電子エレメントに接続され得る。ソースとドレインは導電性があってもよくそして多量にドーピングされ例えばディジェネレート（degenerate）な半導体領域からなり得る。ソースとドレインは軽くドーピングされた半導体領域またはチャネルによって分離されて得る。そのチャネルは（n型）（すなわち多数キャリアが電子）ならばその時はFETはn型FETとして参照される。もしそのチャネルがp型（より多数のキャリアがホール）ならばその時FETはp型FETとして参照される。そのチャネルは絶縁ゲート酸化物によって上部を覆われてもよい。そのチャネルの導電性は電圧をゲートに印加することによって制御され得る。例えば正の電圧または負の電圧をn型FETまたはp型FETにそれぞれ印加することによってチャネルが導電性となるかもしれない。そのトランジスタの閾値電圧より大きいか等しい電圧がそのトランジスタのゲートに与えられるときに、そのトランジスタはオンまたは活性化されてもよい。そのトランジスタの閾値電圧よりも小さい電圧がそのトランジスタのゲートに与えられたときに、そのトランジスタはオフまたは不活性化され得る。

【0106】

この開示に関係して説明される各種の図示されたブロック、コンポーネントおよびモジュールは汎用プロセッサ、DSP、ASIC、FPGAまたは他のプログラマブルロジックデバイス、ディスクリートなゲートまたはトランジスタロジック、ディスクリートなハードウェアコンポーネントまたはここに述べられたような機能を行うように設計されたそれらのいかなる組み合わせによって実装されまたは実行され得る。汎用プロセッサはマイクロプロセッサであり得るが、その代替りのものとしてはそのプロセッサは従来のプロセッサ、コントローラ、マイクロコントローラ、状態マシンであり得る。プロセッサは計算デバイスの組み合わせ（例えばDSPとマイクロプロセッサ、複数のマイクロプロセッサDSPコアと接続される1またはそれより多いマイクロプロセッサあるいは他のいかなるこのような構成との組み合わせ）として実装され得る。

【0107】

ここで述べられている機能はハードウェア、プロセッサで実行されるソフトウェア、ファームウェアまたはそれらのいかなる組み合わせによっても実装し得る。もしプロセッサによって実行されるソフトウェアとして実装されるならばその機能はコンピュータ読み出し可能な媒体上の1またはそれより多い命令またはコードとして記憶されあるいは送信され得る。他の例および実装はこの開示と添付請求範囲の範囲内に入る。例えばソフトウェアの性質のために、ここに述べられている機能がプロセッサによって実行されるソフトウェア、ハードウェア、ファームウェア、ハードワイヤリングまたはこれらのいかなるものの組み合わせを使って実装される。機能を実装するための特徴は機能の各部分が異なる物理的な位置で実装されるように分散されていることを含んでいろいろな位置に物理的に配置され得る。また請求項を含んでここに述べられているように事項のリストとして使われる「or」は（例えば「少なくとも1つ」、または「1またはそれより多いものとのような句が前につく事項のリスト」）例えばA、B又はCの少なくとも1つのリストはAまたはBまたはCまたはABまたはACまたはBC又はABC（すなわちAとBとC）のような包含リストを示す。

【0108】

コンピュータで読み出し可能な媒体は非遷移コンピュータ記憶媒体と1つの場所から他の場所へコンピュータプログラムの転送を効率よく行うための媒体を含む通信媒体の両方を含む。非遷移記憶媒体は汎用または専用コンピュータによってアクセスされる入手可能な媒体でもよい。例示としてそして制限ではないのであるが、非遷移型コンピュータ読み

出し可能媒体は、RAM、ROM、電氣的に消去可能でプログラム可能なリードオンリーメモリ（EEPROM）、コンパクトディスク（CD）ROMまたは他の光学ディスク記憶デバイス、磁気ディスク記憶デバイスまたは他の磁気記憶デバイスまたは他のいかなる非遷移媒体からなり、これらは、命令またはデータ構造の形で所望プログラムコード手段を実行または記憶するために使われ、そしてこれらは汎用または専用コンピュータまたは汎用および専用プロセッサによってアクセスされることができる。

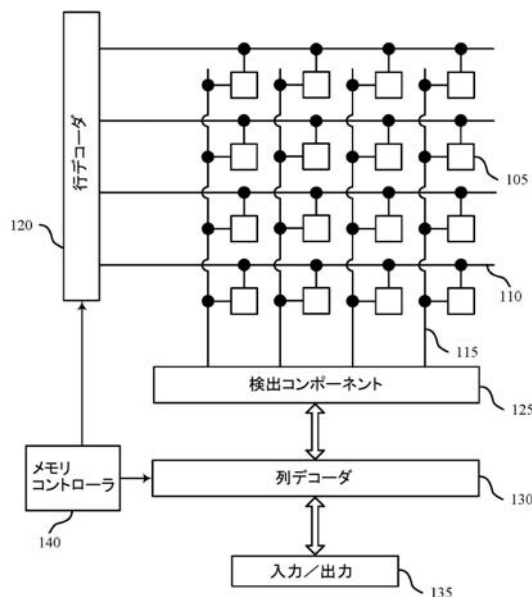
【0109】

またいかなる接続もコンピュータ読み取り可能な媒体として適切に名付けられる。例えばそのソフトウェアがウェブサイト、サーバまたは他の遠隔送信元から、同軸ケーブル、ファイバ光ケーブル、ツイストウッドペア、デジタル加入者ライン（DSL）、赤外線、無線、マイクロ波のような無線技術をつかって送られてくるならば、そのとき同軸ケーブル、ファイバ光ケーブル、ツイストウッドペア、デジタル加入者線（DSL）、赤外線、無線、マイクロ波のような無線テクノロジーを使ったこのようなものは媒体の定義の中に含まれる。ディスクおよびここで使われるディスクはCD、レーザディスク、光ディスク、デジタルバーサファイルディスク（DVD）、フロッピーディスク、ブルーレイディスクを含み、ここでディスクは通常データを磁氣的に再生し、一方ディスクはデータをレーザで光学的に再生する。上記の組み合わせもまたコンピュータ読み出し可能媒体の範囲内に含まれている。

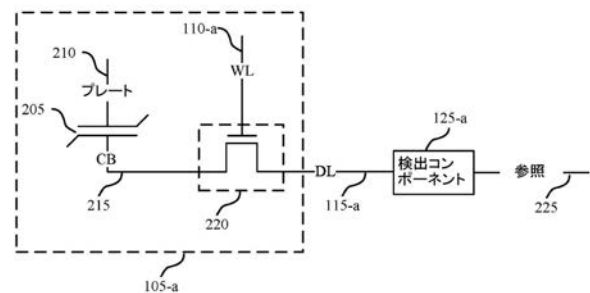
【0110】

この記載は当業者がこの開示を作りまたは用いることを可能にするために提供される。この開示の様々な変形は当業者にとって直ちに明らかでありここに提示された一般的な原理はこの開示の範囲から離れない限り他の様々な変形に対して適用できる。したがってこの開示はここに述べられた例や設計に制限されるわけではなくここに開示された原理と新規な特徴とに一致するもっとも広い範囲が与えられるべきものである。

【図1】



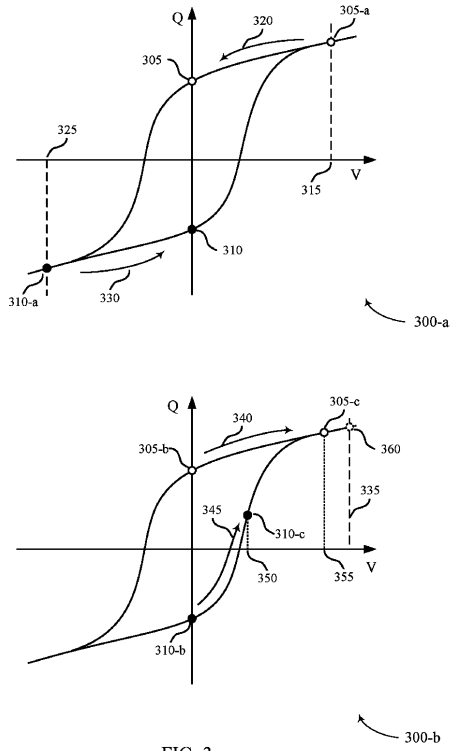
【図2】



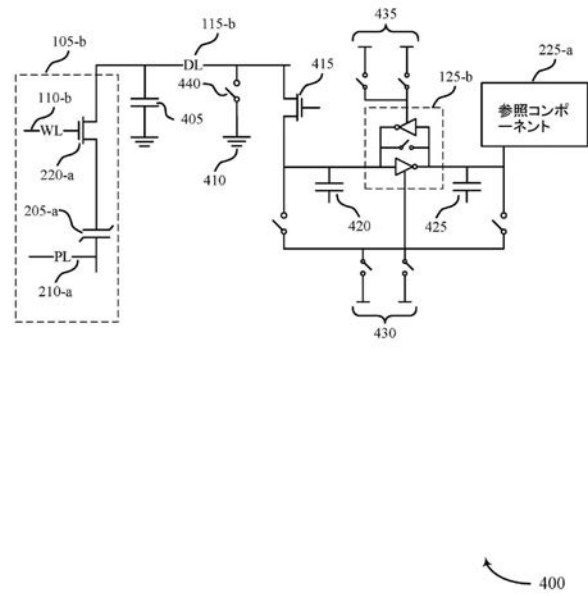
200

100

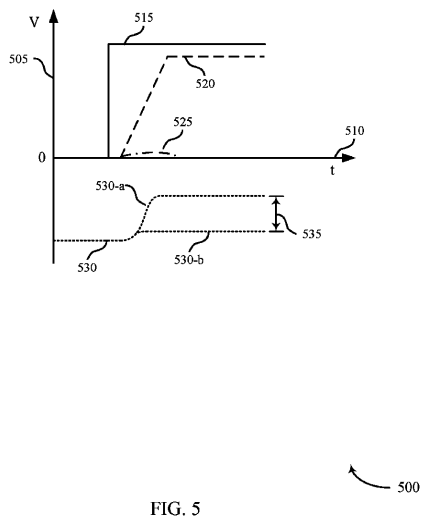
【図 3】



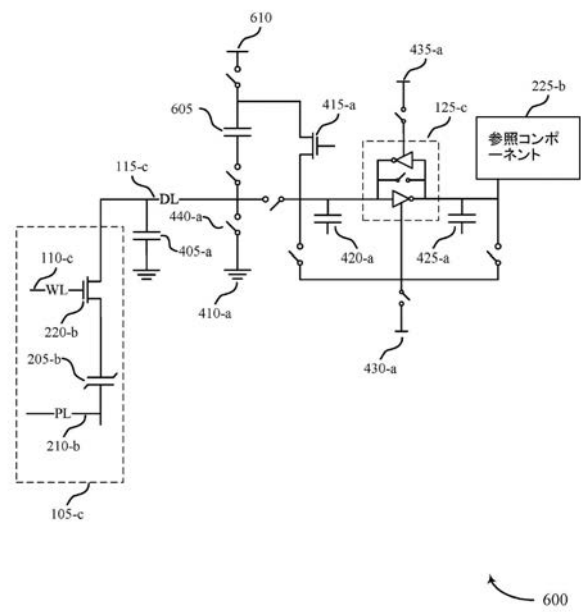
【図 4】



【図 5】



【図 6】



【図 7】

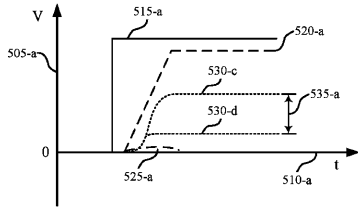
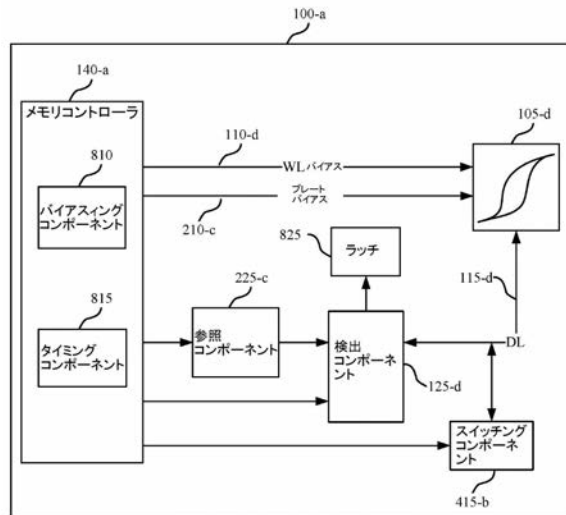


FIG. 7

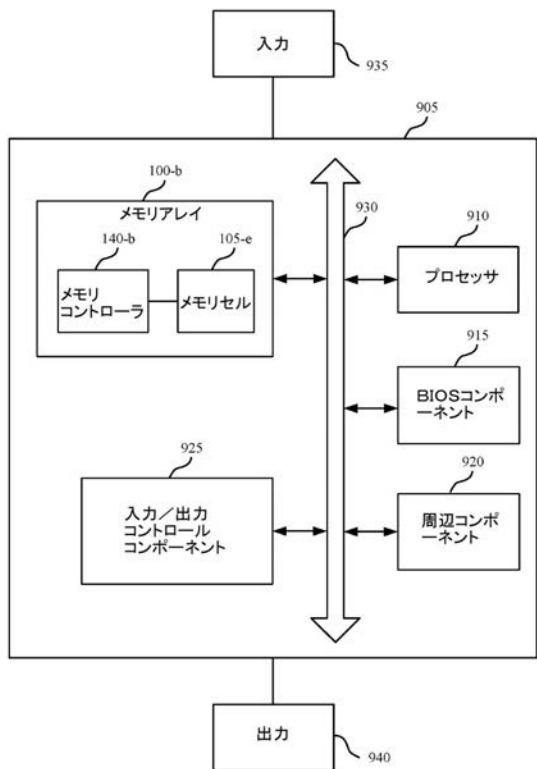
700

【図 8】



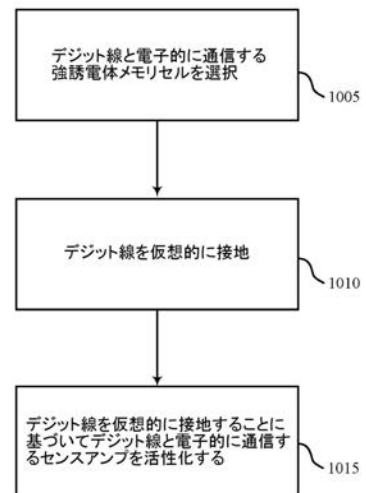
800

【図 9】



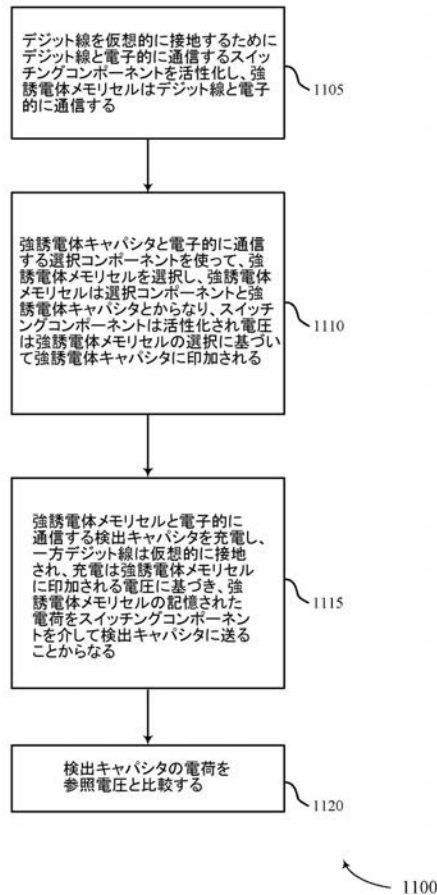
900

【図 10】



1000

【図 1 1】



【手続補正書】

【提出日】平成30年11月22日(2018.11.22)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本特許出願は2016年4月5日に出願され「強誘電体メモリセルからの電荷抽出」という名称のベマラカッティによる米国出願番号15/090789に対する優先権を主張する2017年3月23日に出願された「強誘電体メモリセルからの電荷抽出」という名称のPCT出願番号PCT/US2017/023、097に対する優先権を主張し、いずれもがそれらの譲受け人に譲渡されそしてその全てがここに明示的にこの出願に組み込まれる。

【0002】

以下は一般的にメモリデバイスに係り、特により具体的には強誘電体メモリセルからの電荷の抽出に関する。

【0003】

メモリデバイスはコンピュータやワイヤレス通信デバイス、カメラ、デジタルディスプレイ等のような各種の電子デバイスにおいて情報を記憶するために広く使われている。情報はメモリデバイスの異なった状態をプログラミングすることによって記憶される。例えばバイナリデバイスは2つの状態を持ちこれは論理1または論理0によって示されることが多い。他のシステムにおいては2より多い状態が記憶される。この記憶された情報にア

クセスするために電子デバイスのコンポーネントはそのメモリデバイスにおける記憶された状態を読み出したまたは検出する。情報を記憶するために電子デバイスのコンポーネントはメモリデバイスにおける状態を書き込みまたはプログラムし得る。

【0004】

多数のタイプのメモリデバイスが存在し、これらはランダムアクセスメモリ（RAM）、読み出し専用メモリ（ROM）、ダイナミックRAM（DRAM）、同期ダイナミックRAM（SDRAM）、強誘電体RAM（FeRAM）、磁氣的RAM（MRAM）、抵抗変化型RAM（RRAM）、フラッシュメモリ及びその他のものを含む。メモリデバイスは揮発性であってもよく、また不揮発性であってもよい。不揮発性メモリは例えばフラッシュメモリであり、これは外部電源が存在しないときにでさえも長い期間の間データを記憶することができる。揮発性メモリデバイスは例えばDRAMであって、それらが周期的に外部電源によってリフレッシュされないなら時間が経過すると記憶された状態を失う。バイナリメモリデバイスは例えば充電された、または放電されたキャパシタを含む。充電されたキャパシタは漏えい電流を介して時間がたつと放電され得、その結果記憶された情報を失うことになる。揮発性メモリのある側面は例えばより速い読み出したまたは書き込み速度のような性能上の利点を提供し得る。一方不揮発性の側面は例えば周期的なりフレッシュなくしてデータを記憶する能力が利点であり得る。

【0005】

FeRAMは揮発性メモリと同様なデバイス構造を有するが、記憶デバイスとして強誘電体キャパシタを使用するために不揮発性特性を有し得る。FeRAMデバイスはしたがって他の不揮発性および揮発性メモリデバイスと比較して改善された性能を有し得る。いくつかのFeRAM検出構成はしかしながら記憶された論理状態を決定するときに強誘電体キャパシタの記憶された電荷の一部分のみを抽出し得る。これは検出動作の信頼性を減少させメモリセル（またはアレイ）のそうでなければ成されたかもしれないサイズ減少を制限し得る。

【図面の簡単な説明】

【0006】

開示の実施形態は以下の図面を参照して説明される。

【0007】

【図1】本開示の各種の実施形態にしたがって強誘電体メモリセルからの電荷の抽出をサポートするメモリアレイの例を図示する。

【図2】本開示の各種の実施形態にしたがって強誘電体メモリセルからの電荷の抽出をサポートする回路の例を図示する。

【図3】本開示の各種の実施形態にしたがって電荷の抽出をサポートする強誘電体メモリセルに対するヒステリシス曲線の例を図示する。

【図4】本開示の各種の実施形態にしたがって強誘電体メモリセルからの電荷の抽出をサポートする回路の例を図示する。

【図5】本開示の各種の実施例形態にしたがって電荷の抽出をサポートする強誘電体メモリセルを動作するためのタイミング図を例示する。

【図6】本開示の実施形態にしたがって強誘電体メモリセルからの電荷の抽出をサポートする回路の例を図示する。

【図7】本開示の各種の実施形態にしたがって電荷の抽出をサポートする強誘電体メモリセルを動作するタイミング図を例示する。

【図8】本開示の各種の実施例にしたがって強誘電体メモリセルからの電荷の抽出をサポートするメモリアレイを例示する。

【図9】本開示の各種の実施例にしたがって強誘電体メモリセルからの電荷の抽出をサポートするメモリアレイを含むシステムを例示する。

【図10】本開示の各種の実施形態にしたがって電荷の抽出のために強誘電体メモリセルを動作する方法を例示するフローチャートである。

【図11】本開示の各種の実施形態にしたがって電荷の抽出のために強誘電体メモリセル

を動作する方法を例示するフローチャートである。

【発明を実施するための形態】

【0008】

メモリセルの検出の信頼性を増加することはメモリセルの強誘電体キャパシタの十分な電荷あるいは実質的に十分な電荷が抽出されることを可能とする検出構成によって実現され得る。メモリアレイ内のF e R A Mセルを含むメモリセルはしばしばワード線とデジット線によってアクセスされる。単一のデジット線は多くのメモリセルを接続し、活性化されたときにメモリセルの記憶された論理状態を決定するセンスアンプ（検出アンプ）に接続され得る。十分な電荷の抽出を容易にするために、メモリアレイのデジット線は読み出し動作の間接地され得て、強誘電体キャパシタの十分な電荷は検出キャパシタすなわち検出または読み出し動作に対して用いられるキャパシタと共有され得る。検出キャパシタの電圧はその後参照（または基準）電圧と比較され得る。

【0009】

これはどの状態がメモリセルに記憶されたかを検出するためにデジット線の固有のキャパシタンスによるあるいは固有のキャパシタンスにしたがう他のF e R A M検出構成と対比される。メモリセルがアクセスされたときに検出するためのデジット線による構成において、メモリセルとデジット線の間で共有する電荷はそのデジット線上に電圧を生じさせ得る。そのデジット線へ送られる電荷の量およびしたがって最終のデジット線の電圧はメモリセルの記憶された論理状態により得る。デジット線の電圧は読み出し動作中に強誘電体キャパシタの電圧を有効に減少させ得る。したがってこのタイプの検出構成は例えば強誘電体キャパシタの抗電圧のようにメモリセルの物理的特徴に敏感であり得る。強誘電体キャパシタのより高い抗電圧値はしたがって検出ウィンドウの減少となり得、すなわち論理1または論理0に対する電圧の差がより小さくなり結果として読み出し動作時の正確性が減少し得る。

【0010】

ここに開示されたようにデジット線が読み出し動作時に非0電圧を生ずることを避ける検出構成は全てのまたは実質的に全ての記憶された電荷が強誘電体セルから抽出されることを可能とする。これによって以下に述べるように抽出された電荷の増加がセンスアンプに対してより高い信号を生ずることとなり得るので検出ウィンドウを増加し得る。

【0011】

読み出し動作の間にはほぼ0電圧にデジット線を維持する検出構成は、メモリセルサイズのより一層の減少も可能とし得る。例えば、メモリセルの強誘電体キャパシタのサイズはそのキャパシタに蓄積された電荷に比例し得る。比較的小さなキャパシタから十分な電荷が抽出されることを可能とする検出構成はより大きなキャパシタから一部分の電荷が抽出される構成に対して比較的信頼できる結果となり得る。言い換えれば十分な抽出を検出する構成は信頼できる結果を、電荷が一部分抽出構成から同様な結果を得る必要なしに提供し、信頼性への妥協が殆どないか全くなしにメモリセルサイズの減少をサポートし得る。

【0012】

以下に述べるようにデジット線はデジット線と電子的に通信する例えばp型電解効果トランジスタ（F E T）のような活性スイッチングコンポーネントを使って仮想的に（または事実上）接地され得る。そのメモリセルが選択されると電荷は検出キャパシタへと流れ得る。p型F E Tによって仮想的に接地されることにより全ての電荷は検出キャパシタへ流れ得る。センスアンプはその記憶された論理状態を決定するために検出キャパシタの電圧を参照電圧と比較し得る。検出キャパシタの電圧は前の検出構成に使われたデジット線の電圧よりもより大きくできる。

【0013】

以下に述べられた例では、活性スイッチングコンポーネント（例えばF E T）はデジット線と直列に接続されメモリセルと検出キャパシタとの間に配置され得る。この場合負電圧がスイッチングコンポーネントを活性化するように印加され得る。以下に説明する他の例において、活性スイッチングコンポーネントはメモリセルと検出キャパシタとの間の点

でデジット線と電子的に通信し得る。この場合他のキャパシタが活性スイッチングコンポーネントと並列に接続され得、これは正電圧によって活性スイッチングコンポーネントを活性化させ負電圧をメモリアレイへ印加する必要性をなくし得る。

【0014】

上記に提示された開示の実施形態はメモリアレイのコンテキストにおいて以下に更に説明される。特定の例ではその後、メモリセルの蓄積された電荷を抽出することをメモリが検出している間デジット線を仮想的に接地することをサポートする回路が説明される。回路の動作のタイミングのプロット例もまた示される。開示のこれらのおよび他の実施形態はさらに強誘電体メモリセルから電荷を抽出することに関する装置図、システム図、およびフローチャートについて更に例示され説明される。

【0015】

図1はこの開示の各種の実施例にしたがって強誘電体メモリから電荷を抽出することをサポートするメモリアレイ100の例を図示する。メモリアレイ100は電子メモリ装置として参照され得る。メモリアレイ100は異なった状態を記憶するようにプログラムされたメモリセル105を含む。各メモリセル105は論理0、および論理1として示される2つの状態を記憶するようにプログラムされ得る。幾つかのケースではメモリセル105は2より多い状態を記憶するように構成される。メモリセル105はプログラムされた状態、例えば充電された或いは充電されていないキャパシタは2つの論理状態を示すのであるがそれらを示す電荷を蓄積するためのキャパシタを含み得る。DRAM構成は一般にそのような設計を使い得て、そして採用されるキャパシタは線形電気分極特性を持った誘電体物質を含み得る。対照的に、強誘電体メモリセルは誘電体物質として強誘電体を有するキャパシタを含み得る。強誘電体キャパシタの電荷の異なったレベルは異なった論理状態を示し得る。強誘電体物質は非線形分極特性を有し、強誘電体メモリセル105の詳細と利点とは以下に述べられる。

【0016】

読み出しおよび書き込み動作が適当なワード線110とデジット線115を活性化または選択することによってメモリセル105上で行われ得る。ワード線110またはデジット線115の活性化または選択は各線へ電圧を印加することを含み得る。いくつかの場合、デジット線115はビット線としても参照され得る。いくつかの場合、ワード線110とデジット線115は導電性物質からなり得る。いくつかの例ではワード線110とデジット線115は金属（例えば銅、アルミニウム、金、タングステン等）からなっている。メモリセル105の各行は単一のワード線110に接続され、メモリセル105の各列は単一のデジット線115に接続され得る。一つのワード線110と一つのデジット線115を活性化することによって単一のメモリセル105がその交点においてアクセスされ得る。ワード線110とデジット線115の交点はメモリセルのアドレスとして参照され得る。

【0017】

いくつかの構成においては、セルの論理記憶デバイス例えばキャパシタは選択デバイスによってデジット線から電氣的に分離され得る。ワード線110は選択デバイスに接続されそれを制御し得る。例えば選択デバイスはトランジスタであり得、そのワード線110はトランジスタのゲートに接続され得る。ワード線110を活性化することによってメモリセル105のキャパシタとその対応するデジット線115との間に電氣的接続が生じる。デジット線はメモリセル105の読み出しまたは書き込みをするためにアクセスされ得る。

【0018】

メモリセル105へアクセスすることは行デコーダ120と列デコーダ130を介して制御され得る。例えば行デコーダ120は行アドレスをメモリコントローラ140から受け取りその受信された行アドレスに基づいて適当なワード線110を活性化し得る。同様に列デコーダ130はメモリコントローラ140からの列アドレスを受信し、適当なデジット線115を活性化する。したがってワード線110およびデジット線115を活性化

することによってメモリセル１０５はアクセスされ得る。

【００１９】

アクセスするときにメモリセル１０５は検出コンポーネント１２５によって読み出される或いは検出され得る。例えば検出コンポーネント１２５は関連するデジット線１１５の信号、例えば電圧を参照信号（図示せず）と、そのメモリセル１０５の記憶状態を決めるために比較され得る。例えばデジット線１１５が参照電圧よりも高い電圧ならば、検出コンポーネント１２５はメモリセル１０５における記憶された状態が論理１であったと決定しあるいはその逆であり得る。いくつかの場合においては、デジット線１１５は検出している間は仮想的に接地され得、それはメモリセル１０５の記憶された電荷がデジット線１１５を介して他のデバイス（例えば不図示の検出キャパシタ）へ送出可能とされ得る。これによって、メモリセル１０５の十分なまたは実質的に十分な電荷がメモリセル１０５を読むために用いられることを可能にし得る。検出コンポーネント１２５はラッチとして参照されるものであるが信号の差を検出し、増幅するために各種のトランジスタおよび増幅器を含み得る。検出コンポーネント１２５はまた図４および図５を参照して述べられたように検出キャパシタも含み得る。メモリセル１０５の検出された論理状態は列デコーダ１３０を介して出力１３５として出力され得る。

【００２０】

メモリセル１０５は関連するワード線１１０とデジット線１１５を同様に活性化することによってセットされたり書かれたりし得る。上述したようにワード線１１０の活性化は電氣的にメモリセル１０５の対応する行を各デジット線１１５へと接続する。ワード線１１０は活性化されている間関連するデジット線１１５を制御することによってメモリセル１０５は書き込まれ得、すなわちメモリセル１０５に論理値が書き込まれ得る。列デコーダ１３０はメモリセル１０５に書き込まれるべきデータ例えば入力１３５を受け得る。強誘電体キャパシタの場合にはメモリセル１０５が強誘電体キャパシタに対して電圧を印加することによって書き込まれ得る。この処理は以下により詳細に述べられる。

【００２１】

いくつかのメモリの構成において、メモリセル１０５をアクセスすることは記憶された論理状態を劣化あるいは破壊し得、再書き込みまたはリフレッシュ動作が当初の論理状態をメモリセル１０５に戻すために行われ得、ＤＲＡＭにおいて例えば、キャパシタは検出動作中に部分的にまたは完全に放電され得、これに記憶された論理状態を劣化させる。したがって論理状態は検出動作の後に再書き込みされ得る。さらに、単一のワード線１１０を活性化することは行における全てのメモリセルが放電されることになり得、これによって行におけるいくつかの或いは全てのメモリセル１０５が再書き込みされることが必要になり得る。

【００２２】

いくつかのメモリの構成においてＤＲＡＭを含んでいるものは、それらが外部電源によって周期的に充電されないならば時間がたつとその記憶された状態を失い得る。例えば充電されたキャパシタは漏えい電流を介して時間と共に放電されて記憶された情報を失い得る。これらのいわゆる揮発性メモリデバイスのリフレッシュ速度は比較的高く例えば一秒間に数十のリフレッシュ動作がＤＲＡＭに対して行われ得、これはかなりの電力を消費することになり得る。メモリアレイがますます大きくなると、電力消費が増加することによってメモリアレイの使用または動作が阻害され得、（例えば電源、熱発生、材料の制限等）ことに有限な電源、例えばバッテリーに依存するモバイルデバイスにおいては特にそうであり得る。

【００２３】

強誘電体メモリセルはしかしながら他のメモリ構成に対して改良された性能を持つこととなり得る有益な特性を有し得る。例えば強誘電体メモリセルは蓄積された電荷の劣化に対してより影響を受けにくい傾向があり、強誘電体メモリセル１０５を使用するメモリアレイ１００はリフレッシュ動作の必要性がより少ない或いは全くなく、これによってより少ない動作電力を必要とすることになり得る。加えてここに述べられた検出スキームすな

わちメモリセル内の全ての或いは実質的全ての蓄積された電荷が抽出される検出システムを使用することによりメモリセル105のサイズを減少させることができ、これにより他の検出スキームを使用する他のアレイと比べて電力消費をより少なくすることが可能となり得る。

【0024】

メモリコントローラ140はメモリセル105の動作（例えば読み出し、書き込み、再書き込み、リフレッシュ等）を例えば行デコーダ120、列デコーダ130、検出コンポーネント125のような各種のコンポーネントを介して制御し得る。メモリコントローラ140はその後のワード線110とデジット線115を活性化するために行および列アドレス信号を生成する。メモリコントローラ140はメモリアレイ100の動作中に用いられる各種の電圧を発生し制御し得る。例えばメモリコントローラ140は検出している間デジット線115を仮想接地するためにスイッチングコンポーネントを動作し得る。一般的にここに述べられている印加電圧の振幅、形状或いは期間は、調整されおよび変化され、そしてメモリアレイ100を動作させる各種の動作によって違うものとなり得る。さらにメモリアレイ100の中で一つまたは複数のまたは全てのセル105は同時にアクセスされ得、例えばメモリアレイ100の複数の或いは全てのセルはリセット動作の間において同時にアクセスされ得る。そのとき全てのメモリセル105あるいは一つのグループのメモリセル105は単一の論理状態へとセットされる。

【0025】

ここに述べられたようにデジット線115と電子的に通信する強誘電体メモリセル105が選択され得る。デジット線115は仮想的に接地される。いくつかの場合において、デジット線115はデジット線と検出コンポーネント125（例えば検出コンポーネント125のセンスアンプ）との間で電子的に通信するスイッチングコンポーネントを活性化することによって仮想的に接地され得る。電圧は強誘電体メモリセル105の強誘電体キャパスタへ印加される。このことはデジット線115と電子的に通信する検出キャパスタの充電となる。この充電は電圧を強誘電体キャパスタへ印加することに基づき得、これはデジット線は仮想的に接地される間である。いくつかの場合において全ての電荷は強誘電体メモリセル105の強誘電体キャパスタから抽出され得る。センスアンプはデジット線115と電子的に通信する。検出コンポーネント125の一側面であり、これはデジット線115を仮想接地することに基づいて活性化され得る。いくつかの場合では、検出コンポーネント125が活性化され得、これはデジット線115が仮想接地される間である。センスアンプは検出コンポーネント125の一側面であり得る検出キャパスタの電圧を活性化されたことに基づいて参照電圧と比較し得る。

【0026】

図2はこの開示の各種の実施形態にしたがう強誘電体メモリセルからの電荷の抽出をサポートする回路例200を図示する。回路200は強誘電体メモリセル105-a、ワード線110-a、デジット線115-aおよび検出コンポーネント125-aを含み得、これらは図1に関して説明されたそれぞれメモリセル105、ワード線110、デジット線115および検出コンポーネント125の例であり得る。回路200は参照コンポーネント225およびキャパシタ205のような論理記憶コンポーネントを含み得、これはプレート210とセルボトム215を含む導電性端子を含み得る。これらの端子は絶縁性誘電体材料によって分離され得る。上述したように各種の状態はキャパシタ205を充電あるいは放電することによってすなわちキャパシタ205の強誘電体材料を分極することによって記憶され得る。

【0027】

キャパシタ205の記憶された状態は回路200によって表される各種のコンポーネントを動作することによって読み出され或いは検出され得る。キャパシタ205はデジット線115-aと電子的に通信し得る。キャパシタ205は選択コンポーネント220が非活性化されたときデジット線115-aから絶縁され得、キャパシタ205は選択コンポーネント220が強誘電体メモリセル105-aを選択するように活性化されたとき選択

コンポーネント 220 を介してデジット線 115-a へ接続され得る。言い換えれば強誘電体メモリセル 105-a は強誘電体キャパシタ 205 と電子的に通信する選択コンポーネント 220 を使って選択され得、ここで強誘電体メモリセル 105-a は選択コンポーネント 220 および強誘電体キャパシタ 205 を含む。いくつかの場合においては選択コンポーネント 220 はトランジスタであり得、その動作はトランジスタゲートへ電圧を印加することによって制御され得、ここで印加される電圧はトランジスタの閾値の大きさにほぼ等しいか大きい大きさを持つ。ワード線 110-a は例えば選択コンポーネント 220 を活性化させてもよく例えば電圧がワード線 110-a を介してトランジスタゲートへ印加されてもよい。

【0028】

図 2 に示される例においてキャパシタ 205 は強誘電体キャパシタであり得る。キャパシタ 205 のプレート間の強誘電体材料のためにそして以下により詳細に説明されるように、キャパシタ 205 はデジット線 115-a へ接続されるときに放電してはいけない。その代わりプレート 210 は外部電圧によってバイアスされ得、キャパシタ 205 に蓄積された電荷が変化し得る。蓄積された電荷の変化はキャパシタ 205 の論理状態に対応する。キャパシタ 205 に印加される電圧はキャパシタ 205 の電荷を変化する。蓄積された電荷の変化はメモリセル 105-a における記憶された論理状態を決定するために検出コンポーネント 125-a によって参照と比較され得る。

【0029】

特定の検出スキームおよび方法は、多くの形を取ることが出来る。一例において、デジット線 115-a は、固有キャパシタンスを有しプレート 210 に印加された電圧に応答してキャパシタ 205 が充電または放電するとき非 0 電圧を生成し得る。この固有キャパシタンスはデジット線 115-a の寸法を含む物理的特性によることができる。デジット線 115-a は多くのメモリセル 105 を接続し、その結果デジット線 115-a は無視できないキャパシタンス（例えばピコファレットのオーダ）を含むこととなる長さを有し得る。デジット線 115-a のその後の電圧はキャパシタ 205 の初期の論理状態により、検出コンポーネント 125-a はこの電圧を参照コンポーネント 225 によって与えられる参照電圧と比較し得る。例えば電圧はプレート 210 に印加されそしてセルボトム 215 の電圧は蓄積された電荷に関連して変化し得る。セルボトム 215 の電圧は検出コンポーネント 125-a の参照電圧と比較されてもよく、そしてその参照電圧との比較は印加電圧から生じるキャパシタ 205 の電荷における変化を示し、したがってメモリセル 105-a に記憶された論理状態を示す。これによってキャパシタ 205 の電荷と電圧の関係を参照してさらに詳しく説明される。

【0030】

他の検出方法例えば検出中に活性スイッチングコンポーネント（不図示）を使ってデジット線を仮想的に接地するような方法が用いられる。例えばデジット線 115-a と電子的に通信するスイッチングコンポーネントはデジット線 115-a を仮想的に接地するように活性化され得る。そのスイッチングコンポーネントが活性化されるときに、電圧は強誘電体メモリセル 105-a の選択に基づいて強誘電体キャパシタ 205 へ印加され得る。このことは強誘電体メモリセル 105-a と電子的に通信する検出コンポーネント 125-a の中に含まれる検出キャパシタを充電することになり得、これはデジット線 115-a は仮想接地されている間である。いくつかの場合において、充電はメモリセル 105-a の強誘電体キャパシタ 205 へ印加された電圧に基づいて行われ、これにより強誘電体メモリセル 105-a の蓄積された電荷をスイッチングコンポーネントを介して検出キャパシタへ送信することになり得る。

【0031】

記憶されて状態を検出するために、検出キャパシタの電圧は参照電圧と比較され得る。いくつかの場合において、検出キャパシタの電圧を参照電圧と比較することは検出キャパシタと電子的に通信するセンスアンプを活性化することを含む。いくつかの場合において、センスアンプは検出コンポーネント 125-a の一部である。参照電圧はセンスアンプ

と電子的に通信する参照キャパシタを充電することから生じ、そのセンスアンプは検出キャパシタの電圧を参照キャパシタの電圧と比較し得る。

【0032】

メモリセル105-aに書き込むために、電圧はキャパシタ205へ印加され得る。各種の方法が用いられ得る。一例において選択コンポーネント220はキャパシタ205をデジット線115-aに電氣的に接続するためにワード線110-aを介して活性化され得る。プレート210とセルボトム215の電圧をデジット線115-aを介して制御することによって電圧はキャパシタ205に印加され得る。論理0を書き込むためにプレート210はハイとされ、すなわち正の電圧が印加され、セルボトム215はロウにされ、すなわち接地され、または仮想接地され、または負電圧が印加され得る。反対のプロセスが論理1を書き込むために行われプレート210はロウとされセルボトム215はハイとされ得る。

【0033】

強誘電体デバイスと関連する非線形特性はキャパシタ205の読み出し書き込み動作を説明し得る。図3はヒステリシスカーブ300をもつこのような非線形特性の例を図示する。ヒステリシスカーブ300-aと300-bは、それぞれこの開示の各種の実施形態にしたがって電荷抽出をサポートする強誘電体メモリセルにおいて強誘電体メモリセルの書き込みおよび読み出しプロセスの例を図示する。ヒステリシスカーブ300は強誘電体キャパシタ（例えば図2, 4および5のキャパシタ205）に蓄えられた電荷 Q を電圧 V の関数として示す。

【0034】

強誘電体材料は自然的電氣的分極によって特徴づけられすなわち電界が存在しないときに非0電氣的分極を維持する。強誘電体材料の例はチタン酸バリウム (BaTiO_3)、チタン酸鉛 (PbTiO_3)、チタン酸ジルコン鉛 (PZT) およびストロンチウムビスマスタントレート (SBT) を含む。ここに説明された強誘電体キャパシタは図2, 4, 5に関して説明されたキャパシタ205を含みこれらのまたは他の強誘電体材料を含む。強誘電体キャパシタ内の電氣的分極は強誘電体材料内の表面における正味の電荷となりキャパシタ端子を介して反対の電荷を引き付ける。したがって電荷は強誘電体材料とキャパシタの端子とのインターフェースに蓄積され得る。電氣的分極は比較的長い間無期限の時間でさえある間外部から印加された電界が存在しないときでも保持され得るので、電荷の漏えいは例えばDRAMアレイに用いられるキャパシタと比べてきわめて減少し得る。これは上述したようにリフレッシュ動作の必要性を減少し得る。

【0035】

ヒステリシスカーブ300はキャパシタの単一端子の見え方から理解されてもよい。例をとれば、強誘電体材料が負の分極を有する場合は、正の電荷が端子に累積し得る。同様に強誘電体材料が正の分極を有する場合は、負の電荷が端子に累積し得る。加えて、ヒステリシスカーブ300内の電圧はキャパシタの電圧差を表し方向性がある。例えば正の電圧はその正の電圧を問題となっている端子に印加し第2の端子を接地（または約0ボルト（0V））に維持することによって印加され得る。負の電圧は、問題の端子を接地（または0ボルト（0V））に維持し正の電圧を第2の端子に印加することにより印加し、すなわち正の電圧が問題の端子を負に分極するために印加され得る。同様に2つの正の電圧、2つの負の電圧または正と負の電圧の組み合わせがヒステリシスカーブ300に示される電圧差を発生するために適当なキャパシタ端子に印加され得る。

【0036】

ヒステリシスカーブ300-aに示されるように強誘電体材料は0の電圧差を有する正および負の分極を維持し得、これにより2つの可能な充電状態、すなわち電荷状態305と電荷状態310を生じる。図3の例によると電荷状態305は論理0を表し電荷状態310は論理1を表す。いくつかの例では各電荷状態の論理値が逆転されてメモリセルを動作するための他の構成に適するようにされ得る。

【0037】

強誘電体材料の電气的分極したがってキャパシタ端子の電荷を、電圧を加えることによって制御することにより論理0または1がメモリセルへ書き込まれ得る。例えばキャパシタを介して正味正電圧315を印加することによって電荷状態305-aに達するまで電荷の蓄積が行われる。電圧315を除去するとき、電荷状態305-aはそれが0電圧における電荷状態305に達するまでパス320を辿る。同様に電荷状態310は正味負電圧325を印加しその結果電荷状態310-aになることによって書き込まれる。負電圧325を除いた後、電荷状態310-aはそれが0電圧において電荷状態310に達するまでパス330を辿る。電荷状態305-aおよび310-aは残留分極(P_r)値としてすなわち外部バイアス(例えば電圧)を除去するときに残る分極(または電荷)として参照され得る。抗電圧は電荷(または分極)が0のときの電圧である。

【0038】

強誘電体キャパシタの記憶された状態を読み出しまたは検出するために電圧がそのキャパシタに印加され得る。これに応答して、記憶された電荷が変化しそしてその変化の程度は初期の電荷状態による、すなわちキャパシタに蓄積された電荷が変化する程度は変動し電荷状態305-bまたは310-bが初期に記憶されたかどうかによる。例えばヒステリシスカーブ300-bは2つの可能な記憶された電荷状態305-bおよび310-bを図示する。正味電圧335がキャパシタに対して印加され得る。正電圧として述べられているけれども電圧335は負でもよい。電圧335に応答して電荷状態305-bはパス340を辿る。同様に電荷状態310-bが初期に記憶されているならば、そのときはそれはパス345を辿る。電荷状態305-cと電荷状態310-cの最終位置は特殊な検出作用および回路を含む多数の要素による。

【0039】

いくつかの場合では、読み出し動作中に検出される電荷はメモリセルのデジット線の固有のキャパシタンスにより得る。例えば、メモリセルの強誘電体キャパシタがデジット線に電气的に接続され電圧335が印加されるならば、デジット線の電圧はその固有のキャパシタンスのために上昇し得る。したがって検出コンポーネントで測られる電圧は電圧335に等しくはなくその代わりデジット線の電圧により得る。ヒストリシスカーブ300-b上の最終的な電荷状態305-cおよび310-cの位置はしたがってデジット線のキャパシタンスによりそして負荷線分析を介して決定されてもよく、すなわち電荷状態305-cおよび310-cはデジット線キャパシタンスについて定義されてもよい。その結果としてキャパシタの電圧、電圧350および電圧355は異なってもよくキャパシタの初期状態によってもよい。

【0040】

デジット線が読み出し動作のために使われるとき例えばデジット線が仮想的に接地されていないとき、デジット線の結果として生ずる電圧は、記憶された論理状態によって、電圧335と電圧350との差または電圧335と電圧355との差である。デジット線電圧を参照電圧と比較することによって、キャパシタの初期の状態が決定され得る。例えば参照電圧はデジット線論理0および論理1電圧の平均、例えば $[(\text{電圧}335 - \text{電圧}350) + (\text{電圧}335 - \text{電圧}355)] / 2$ である。比較したときに、検出されたデジット線電圧は参照電圧より高くあるいはより低く決定される。強誘電体セルの値(すなわち論理0または論理1)はその比較に基づいて決定され得る。しかしここに述べたように、このアプローチはキャパシタから十分な電荷が抽出されることを可能にしない。

【0041】

したがってデジット線が0ボルトに維持される検出スキームが使用されてもよく電荷状態305-cおよび310-cの最終位置がデジット線キャパシタンスに独立であり得る。例えばスイッチングコンポーネントの活性化によって検出している間デジット線は仮想的に接地され得る。このような場合には電荷状態305-cおよび310-cは電荷状態360とともに位置し得る。ここで全てまたは殆ど全ての電荷は強誘電体メモリセルから抽出され得、これは電荷状態310-cと電荷状態310-bとの間の差よりも電荷状態360と310-b電荷状態との間の差のほうがより大きいことを図示している。この電

荷は検出キャパシタに蓄積され、検出キャパシタの電圧はそれからメモリセルの記憶状態を決めるために用いられ得る。これにより、センスアンプにおいてより高い信号が発生し得る。他の方法として、同様な検出スキームが結果として差がより少ないまたは全くないより小さなメモリセルと共に用いられ得る。これはメモリセル、メモリアレイ等のスケールリング能力を増加させ得る。

【0042】

上述したようにDRAMメモリセルを読むことは記憶された論理を劣化させるまたは破壊させ得る。強誘電体メモリセルはしかしながら読み出し動作の後に初期論理状態を維持し得る。例えば電荷状態305-bが記憶され読み出し動作が行われるならば、電荷状態は例えば逆方向にバス340を辿ることによって電圧335が除去された後初期電荷状態305-bに戻り得る。

【0043】

図4はこの開示の各種の実施形態にしたがって強誘電体メモリセルからの電荷の引き出しをサポートする回路400の例を図示する。回路400は、図1および図2を参照して述べられたそれぞれメモリセル105、ワード線110、デジット線115、検出コンポーネント125の例であるメモリセル105-b、ワード線110-b、デジット線115-b、検出コンポーネント125-bを含み得る。回路400は、図2を参照して述べられたそれぞれキャパシタ205、プレート210および参照コンポーネント225の例であるキャパシタ205-a、プレート210-a、参照コンポーネント225-aもまた含み得る。さらに図4の例にしたがってデジット線115-bは固有のデジット線キャパシタ405を含み、デジット線115-bはスイッチングコンポーネント440を介して仮想接地410に接続することができる。回路400はまた検出キャパシタ420、参照キャパシタ425、電圧源430および電圧源435を含む。いくつかの場合において、スイッチングコンポーネント415はデジット線を仮想接地し、メモリセル105-bの検出期間にキャパシタ205-aから検出キャパシタ420へ、十分な或いは実質的に十分な電荷移動を可能とする。

【0044】

デジット線115-bはまた固有デジット線キャパシタンス405によって表される固有キャパシタンスを有し得る。固有デジット線キャパシタンス405は電気デバイスではなくてもよく、例えばそれは2つの端子を有するキャパシタでなくともよい。その代わり固有デジット線キャパシタンス405はデジット線115-bの寸法を含む物理的特性により得る。検出キャパシタ420のキャパシタンスは固有デジット線キャパシタンス405よりも大きく、これは検出キャパシタ420への電荷転送を容易にし得る。

【0045】

仮想接地410はスイッチ440を介してデジット線115-bへの仮想接地を提供し得る。例えば仮想接地410はスイッチ440を介してデジット線115-bと電子的な通信をし得る。いくつかの場合において、スイッチ440はトランジスタであり得る。いくつかの場合においてデジット線115-bは、メモリセル105-bの検出動作が始まる前に仮想接地されている。スイッチ440はそれからデジット線115-bを仮想接地410から絶縁するために非活性化され得る。

【0046】

スイッチングコンポーネント415は検出キャパシタ420および選択コンポーネント220-aと直列に接続されたトランジスタであり得る。すなわちスイッチングコンポーネント415はデジット線115-bと直列に接続され得る。いくつかの場合トランジスタはp型FETからなる。検出キャパシタ420と参照キャパシタ425はメモリセル105-bが検出されたとき電荷を蓄積するように構成されたキャパシタであり得る。いくつかの場合、検出キャパシタ420と参照キャパシタ425は同じキャパシタンスをも得て、例えば検出キャパシタンス420と参照キャパシタ425がファラッドで測定された共通の値またはレーティングであり得る。

【0047】

参照キャパシタンス４２５は参照コンポーネント２２５－ａと電子的に通信し得る。いくつかの場合、参照コンポーネント２２５－ａは１つまたはそれより多い強誘電体メモリセル１０５である。参照コンポーネント２２５－ａは参照信号を発生または生成するように構成され得る。いくつかの場合、参照コンポーネント２２５－ａによって生成された電荷は参照キャパシタ４２５に蓄積される。

【００４８】

検出コンポーネント１２５－ｂはメモリセル１０５－ｂの記憶された状態を決定し得る。いくつかの場合、検出コンポーネント１２５－ｂはセンスアンプであるか或いはそれを含み得る。検出コンポーネント１２５－ｂは電圧源４３０および４３５によって動作され得る。検出コンポーネント１２５－ｂは、また、図４の例においてはこのように説明されていないが検出キャパシタ４２０または参照キャパシタ４２５を含み得る。検出コンポーネント１２５－ｂはまたデジット線１１５－ｂを介して選択コンポーネント２２０－ａと電子的に通信し得る。

【００４９】

充電電圧は電圧源４３０または４３５によって検出キャパシタ４２０へ印加され得るが、これは一方スイッチングコンポーネント４１５が不活性化され、すなわちその間デジット線１１５－ｂは検出キャパシタ４２０から電氣的に分離される。いくつかの場合、検出キャパシタ４２０に印加される充電電圧は負でもよい。検出キャパシタ４２０はそれから電圧源４３０または４３５から電氣的に分離され得る。

【００５０】

説明されたように強誘電体メモリセル１０５－ｂはデジット線１１５－ｂと電子的に通信する。スイッチングコンポーネント４１５はデジット線１１５－ｂと電子的にまたは通信するがデジット線１１５－ｂを仮想接地するように活性化され得る。いくつかの場合スイッチングコンポーネント４１５を非活性化することによりデジット線１１５－ｂが仮想接地から絶縁される。いくつかの例において、スイッチングコンポーネント４１５はｐ型ＦＥＴであり得る。スイッチングコンポーネント４１５がデジット線１１５－ｂを仮想的に接地するように活性化することはゲート電圧をトランジスタのゲートへ印加することを含み、そのゲート電圧は負であってトランジスタの閾値電圧の大きさと等しいかより大きい大きさを持ち得る。いくつかの場合、仮想接地４１０は、スイッチングコンポーネント４１５が活性化されまたはされる前にまたは強誘電体メモリセル１０５－ｂが選択される前にスイッチング４４０を介してデジット線１１５－ｂを仮想接地し得る。

【００５１】

強誘電体メモリセル１０５－ｂは強誘電体キャパシタ２０５－ａと電子的に通信する選択コンポーネント２２０－ａを使って選択され得る、ここで強誘電体メモリセル１０５－ｂは選択コンポーネント２２０－ａおよび強誘電体キャパシタ２０５－ａを含む。例えば選択コンポーネント２２０－ａはトランジスタ（例えばＦＥＴ）であり得て、ワード線１１０－ｂを介してトランジスタのゲートへ電圧を印加することによって活性化され得る。

【００５２】

スイッチングコンポーネント４１５が活性化されるとき強誘電体メモリセル１０５－ｂを選択することに基づいて電圧が強誘電体キャパシタ２０５－ａに印加され得る。例えば電圧はプレート２１０－ａを使って印加され得る。このことによってデジット線１１５－ｂが仮想的に接地されている間に強誘電体メモリセル１０５－ｂと電子的に通信する検出キャパシタ４２０を充電することとなり得る。この充電はしたがってメモリセル１０５－ｂの強誘電体キャパシタ２０５－ａに印加される電圧に基づいていて、その結果強誘電体メモリセル１０５－ｂに記憶された電荷をスイッチングコンポーネント４１５を介して検出キャパシタ４２０へと送出することとなる。

【００５３】

検出キャパシタ４２０の電圧は参照電圧と比較されて得る。いくつかの場合、検出キャパシタ４２０の電圧を参照電圧と比較することは検出キャパシタ４２０と電子的に通信する検出コンポーネント１２５－ｂを活性化することを含む。いくつかの場合、検出コンポ

ーネント 1 2 5-b はセンスアンプであり或いはそれを含む。参照電圧は検出コンポーネント 1 2 5-b と電子的に通信する参照キャパシタ 1 2 5 を充電することから生じ得、検出コンポーネント 1 2 5-b は検出キャパシタ 4 2 0 の電圧を参照キャパシタ 4 2 5 の電圧と比較し得る。

【0054】

図 5 はこの開示の各種の実施形態にしたがって電荷抽出をサポートする強誘電体メモリセルを動作するためのタイミング図 5 0 0 を図示する。タイミング図 5 0 0 は軸 5 0 5 上に電圧と軸 5 1 0 上に時間を示す。時間の関数としての各種のコンポーネントの電圧はしたがってタイミング図 5 0 0 に示され得る。例えばタイミング図 5 0 0 はワード線電圧 5 1 5、プレート電圧 5 2 0、デジット線電圧 5 2 5 および検出キャパシタ電圧 5 3 0 を含む。タイミング図 5 0 0 は図 4 を参照して述べられた回路 4 0 0 の動作例を示す。図 5 は前の図のコンポーネントを参照して以下に説明される。

【0055】

図 4 に述べたように、検出キャパシタ 4 2 0 は検出キャパシタ電圧 5 3 0 によって述べられているように初期に負の電圧に充電され得る。ワード線電圧 5 1 5 は強誘電体メモリセル 1 0 5 と関係しているワード線 1 1 0 へ印加され得る。プレート電圧 5 2 0 は強誘電体メモリセル 1 0 5 のプレート 2 1 0 へ印加され得る。デジット線電圧 5 2 5 は前に述べたように検出中においてはほぼ 0 かあるいは仮想的に接地され得る。例えばスイッチングコンポーネント 4 1 5 は検出中にデジット線を仮想的に接地し得る。いくつかの場合においては、デジット線電圧 5 2 5 は 0 から僅かに変異し得る。

【0056】

ワード線電圧 5 1 5 とプレート電圧 5 2 0 が印加される間はデジット線電圧 5 2 5 はほぼ 0 ボルトになっており、電荷は検出キャパシタ 4 2 0 へ送出され得、その結果検出キャパシタ電圧 5 3 0 が変化することとなる。例えば検出キャパシタ電圧 5 3 0 は増加し得る。検出キャパシタ電圧 5 3 0 の変化はメモリセル 1 0 5 の論理状態により得る。例えば論理 0 が記憶されるならば、検出キャパシタ電圧 5 3 0 は検出キャパシタ電圧 5 3 0-a へ変化し得る。論理 1 が記憶されるならば、検出キャパシタ電圧 5 3 0 が検出キャパシタ電圧 5 3 0-b へ変化し得る。検出キャパシタ電圧 5 3 0-a と検出キャパシタ電圧 5 3 0-b との間の差は検出ウィンドウ 5 3 5 として知られている。検出ウィンドウ 5 3 5 は、蓄積された電荷の大部分がデジット線を仮想的に接地することに基づいて抽出されるために他の検出スキームよりもここにおいてはより大きくなる。記憶された論理状態は検出キャパシタ電圧 5 3 0-a または 5 3 0-b を参照電圧と比較することによって決定され得る。例えば参照電圧は検出キャパシタ電圧 5 3 0-a と 5 3 0-b との間の値であり得る。

【0057】

図 6 はこの開示の各種の実施形態にしたがう強誘導体メモリセルからの電荷の抽出をサポートする回路 6 0 0 の例を図示する。回路 6 0 0 はメモリセル 1 0 5-c、ワード線 1 1 0-c、デジット線 1 1 5-c および検出コンポーネント 1 2 5-c からなりこれらは図 1, 2, 3, 4, 5 を参照して述べられたそれぞれのメモリセル 1 0 5、ワード線 1 1 0、デジット線 1 1 5、検出コンポーネント 1 2 5 のそれぞれの例である。回路 6 0 0 はまたキャパシタ 2 0 5-b、プレート 2 1 0-b、参照コンポーネント 2 2 5-b を含み、これらは図 2 と図 4 を参照して述べられていたそれぞれキャパシタ 2 0 5、プレート 2 1 0 および参照コンポーネント 2 2 5 の例であり得る。

【0058】

さらに回路 6 0 0 は固有のデジット線キャパシタンス 4 0 5-a、仮想接地 4 1 0-a、スイッチングコンポーネント 4 1 5-a、検出キャパシタ 4 2 0-a、参照キャパシタ 4 2 5-a、電圧源 4 3 0-a、スイッチ 4 4 0 を含みこれらは第 4 図を参照して述べられたそれぞれ固有デジット線キャパシタンス 4 0 5、仮想接地 4 1 0、スイッチングコンポーネント 4 1 5、検出キャパシタ 4 2 0、参照キャパシタ 4 2 5、電圧源 4 3 0、電圧源 4 3 5、スイッチ 4 4 0 の例である。回路 6 0 0 はまたキャパシタ 6 0 5 と電圧源 6 1

0を含みこれらは負電圧がスイッチングコンポーネント415-aを活性化する必要性を除去し得る。いくつかの場合において、スイッチングコンポーネント415-aはデジット線115-cを仮想的に接地し得、これによりメモリセル105-cの検出中に十分な電荷をキャパシタ205-bから検出キャパシタ420-aへ送出可能とする。

【0059】

デジット線115-cは固有キャパシタンスをもち得、これは固有のデジット線キャパシタンス405-aによって表されている。上に述べたように固有のデジット線キャパシタンス405-aは電気デバイスでなくともよく、むしろ固有のデジット線キャパシタンス405-aはデジット線115-cの寸法を含む物理特性により得る。検出キャパシタ420-aのキャパシタンスは固有デジット線キャパシタンス405-aよりも大きくてもよくこれは検出キャパシタンス420-aへの電荷の送出をより効率的にすることができる。

【0060】

仮想接地410-aはスイッチ440-aを介してデジット線115-cへの仮想接地を提供する。例えば仮想接地410-aはスイッチ440-aを介してデジット線115-cと電子的に通信し得る。いくつかの場合、スイッチ440-aはトランジスタであり得る。いくつかの場合、デジット線115-cはメモリセル105-cの検出動作が始まる前に仮想的に接地され得る。スイッチ440-aはそれからデジット線115-cを仮想接地410-aから分離するように非活性化され得る。

【0061】

スイッチングコンポーネント415-aはキャパシタ605と並列に接続されたトランジスタであり得る。いくつかの場合において、そのトランジスタはp型FETからなる。スイッチングコンポーネント415-aは選択コンポーネント220-bと検出キャパシタ420-aの間の点でデジット線115-cと電子的に通信するようにし得る。キャパシタ605はスイッチングコンポーネント415-aを活性化するように動作し得、これによりデジット線115-cを仮想的に接地し得る。

【0062】

検出キャパシタ420-aと参照キャパシタ425-aはメモリセル105-cが検出されたときに電荷を蓄積するように構成されたキャパシタであり得る。いくつかの場合において、検出キャパシタ420-aと参照キャパシタ425-aは同じキャパシタンスをもってもよい。参照キャパシタンス425-aは参照コンポーネント225-bと電子的に通信し得る。いくつかの場合において、参照コンポーネント225-bは1またはそれより多い強誘電体メモリセル105である。参照コンポーネント225-bは参照信号を生成しまたは発生するように構成され得る。いくつかの場合において、参照コンポーネント225-bによって発生された電荷は参照キャパシタ425-aに蓄積される。

【0063】

検出コンポーネント125-cはメモリセル105-cの記憶された状態を決定し得る。いくつかの場合において、検出コンポーネント125-cはセンスアンプであり得る。いくつかの場合において、検出コンポーネント125-cはデジット線115-cを介して選択コンポーネント220-bと電子的に通信し得る。検出コンポーネント125-cは電圧源430-aおよび電圧源435-aによって動作され得る。

【0064】

強誘電体メモリセル105-cはデジット線115-cと電子的に通信する。スイッチングコンポーネント415-aはまたデジット線115-cと電子的に通信するがデジット線115-cを仮想的に接地するように活性化され得る。いくつかの例において、スイッチングコンポーネント415-aはp型FETであり得る。スイッチングコンポーネント415-aをデジット線115-cに仮想的に接地するために活性化することは充電電圧を電圧源615を使ってキャパシタに605に印加することを含み得、キャパシタ605の第1の端子を充電電圧から電氣的に分離し、キャパシタ605の第2の端子を仮想接地410-aから電氣的に分離することを含み得る。いくつかの場合において、印加され

た充電電圧は正電圧でありその大きさはスイッチングコンポーネント415-aの閾値電圧とほぼ等しいかあるいはより大きくてもよい。キャパシタ605を充電しそれからそれを電圧源610とデジット線115-cとから分離することによってキャパシタはスイッチングコンポーネント415-aの一つの端子を正電圧に維持し得る。いくつかの場合において、スイッチングコンポーネント415-aの他の端子は同様に初期には接地されスイッチングコンポーネント415-aは活性化され得る。

【0065】

強誘電体メモリセル105-cは選択コンポーネント220-bを使って選択され得、これは強誘電体キャパシタに205-bと電子的に通信し、強誘電体メモリセル105-cは選択コンポーネント220-bと強誘電体キャパシタ205-bを含む。例えば選択コンポーネント220-bはトランジスタ（例えばFET）であり得、そしてワード線110-cを用いてトランジスタのゲートに印加された電圧によって活性化され得る。

【0066】

スイッチングコンポーネント415-aが活性化される時電圧が強誘電体メモリセル105-cの選択に基づいて強誘電体キャパシタ205-bに印加され得る。例えば電圧がプレート210-bを使って印加され得る。これは強誘電体メモリセル105-cと電子的に通信する検出キャパシタ420-aを充電することとなり一方ではデジット線115-cは仮想的に接地される。検出キャパシタ420-aは初期において放電され得る。いくつかの場合において、充電はメモリセル105-cの強誘電体キャパシタ205-bに対して印加される電圧に基づいており、これは強誘電体メモリセル105-cの蓄積された電荷を検出キャパシタ420-aに送出するという結果になる。

【0067】

検出キャパシタ420-aの電圧は参照電圧と比較され得る。いつかの場合において、検出キャパシタ420-aの電圧を参照電圧と比較することは検出キャパシタ420-aと電子的に通信している検出コンポーネント125-cを活性化することを含む。参照電圧は検出コンポーネント125-cと電子的に通信する参照キャパシタ425-aを充電することから生じ、検出コンポーネント125-cは検出キャパシタ420-aの電圧を参照キャパシタ425-aの電圧と比較し得る。

【0068】

図7はこの開示の各種の実施態様に従って電荷の抽出をサポートする強誘電体メモリセルを動作するためのタイミング図700を示す。タイミング図700は軸505-a上に電圧と軸510-a上に時間とを示す。時間の関数である各種のコンポーネントの電圧はタイミング図700に示されている。例えばタイミング図700はワード線電圧515-a、プレート電圧520-a、デジット線525-aおよび検出キャパシタ電圧530-c及び530-dを含みこれらは図5を参照して説明されたワード線電圧515、プレート電圧520、デジット線電圧525、検出キャパシタ電圧530の例である。タイミング図700は第6図を参照して説明された回路600を動作することから生じ得る。第7図は以前の図のコンポーネントを参照しながら以下に説明される。

【0069】

図6に説明されたように検出キャパシタは初期においては放電（電圧値0）され得る。強誘電体メモリセル105と関係するワード線110はワード線電圧515-aを印加することによって活性化され得る。プレート電圧520-aは強誘電体メモリセル105のプレート210に印加され得る。デジット線電圧525-aは以前述べられたように検出の間は約0であり、あるいは仮想的に接地され得る。例えばスイッチングコンポーネント415は検出の間デジット線を仮想的に接地する。いくつかの場合において、デジット線電圧525-aは0から若干偏ってもよい。

【0070】

ワード線電圧515-aとプレート電圧520-aが印加されている間デジット線電圧525-aが接地に維持され、電荷は検出キャパシタ420に送られ得、その結果として検出キャパシタ電圧530が変化することとなる。例えば、検出キャパシタ電圧530は

増加し得る。検出キャパシタ電圧 530 の変化はメモリセル 105 の記憶された状態により得る。例えば論理 0 が記憶されているなら、検出キャパシタ電圧 530 は検出キャパシタ電圧 530-c に変化し得る。もし論理 1 が記憶されているならば検出キャパシタ電圧 530 は検出キャパシタ電圧 530-d に変化し得る。検出キャパシタ電圧 530-c と検出キャパシタ電圧 530-d との差は検出ウインドウ 535-a として知られている。検出ウインドウ 535-a は、デジット線を仮想的に接地することに基づいて蓄積された電荷の大部分が抽出されるために他の検出スキームよりもここではより大きくなり得る。その記憶された論理状態は検出キャパシタ電圧 530-c または 530-d を参照電圧と比較することによって決定され得る。例えば参照電圧は検出キャパシタ電圧 530-c と 530-d との間の値であり得る。

【0071】

図 8 はこの開示の各種の実施態様に従って強誘電体メモリセルからの電荷の抽出をサポートするメモリアレイ 100-a のブロック図 800 を示す。メモリアレイ 100-a は電子メモリ装置として参照され得、メモリコントローラ 140-a 及びメモリセル 105-d を含み得、これらは図 1、2、4 及び 6 を参照して説明されたメモリコントローラ 140 およびメモリセル 105 の例であり得る。メモリコントローラ 140-a はバイアスコンポーネント 810 とタイミングコンポーネント 815 を含み図 1 ないし図 7 に説明されたメモリアレイ 100-a を動作させ得る。メモリコントローラ 140-a はワード線 110-d、デジット線 115-d、検出コンポーネント 125-d、プレート 210-c、参照コンポーネント 225-c、スイッチングコンポーネント 415-b と電子的に通信を行い得る。これらは図 1、2 及び図 4 から 7 を参照して説明されたワード線 110、デジット線 115、検出コンポーネント 125、プレート 210、参照コンポーネント 225、スイッチングコンポーネント 415 の例である。いくつかの例において、スイッチングコンポーネント 415-b は上記したようにデジット線 115-d と電子的に通信をする。メモリアレイ 105-a はまたラッチ 825 を含む。メモリアレイ 100-a のコンポーネントはお互いに電子的通信を行い、図 1 ないし図 7 を参照して説明された機能を実行する。いくつかの場合において、参照コンポーネント 225-c、検出コンポーネント 125-d 及びラッチ 825 はメモリコントローラ 140-a のコンポーネントであり得る。

【0072】

メモリコントローラ 410-a はワード線 110-d、検出コンポーネント 125-d、プレート 120-c、参照コンポーネント 225-c およびスイッチングコンポーネント 415-b を、電圧をこれらのノードに印加することによって、活性化するように構成され得る。例えばバイアスコンポーネント 810 は上述されたようにメモリセル 105-d を読み出しおよび書き込みするためにメモリセル 105-d を動作するように電圧を印加するように構成され得る。いくつかの場合において、メモリコントローラ 140-a は図 1 を参照して説明されているように行デコーダ、列デコーダまたはその両方を含み得る。これはメモリコントローラ 140-a が 1 またはそれより多いメモリセル 105 をアクセスすることを可能とする。バイアスコンポーネント 810 はまた検出コンポーネント 125-d のために参照信号を生成するために電圧を参照コンポーネント 225-c に提供し得る。これにさらに加えるとバイアスコンポーネント 810 は検出コンポーネント 125-d の動作のために電圧を供給し得る。

【0073】

メモリコントローラ 140-a は例えば電圧をスイッチングコンポーネント 415 のトランジスタのゲートに加えることによってスイッチングコンポーネント 415 を活性化し得る。したがってメモリコントローラ 140-a はスイッチングコンポーネント 415-b をデジット線 115-d を仮想的に接地するように動作して、デジット線 115-d を仮想的に接地することに基づいて検出コンポーネント 120-d を活性化し得る。メモリコントローラ 140-a は強誘電体メモリセル 105-d の選択に基づいて検出キャパシタを充電するように強誘電体メモリセル 105-d の強誘電体キャパシタを動作し得る。

さらに加えてメモリコントローラ140-aは検出キャパシタの電圧を参照キャパシタの電圧と比較して強誘電体メモリセル105-dの論理値を読み出すようにし得る。

【0074】

いくつかの場合、メモリコントローラ140-aはタイミングコンポーネント815を使ってその動作を行い得る。例えばタイミングコンポーネント815は各種のワード線、デジッド線およびプレートバイアスするためのタイミングを制御することができ、これはここに述べられているように、読み出しや書き込みのようなメモリ機能を行うためのスイッチング及び電圧の印加のタイミングを含んでいる。いくつかの場合において、タイミングコンポーネント815はバイアスコンポーネント810の動作を制御し得る。

【0075】

参照コンポーネント225-cは検出コンポーネント125-dに対する参照信号を発生し得る。参照コンポーネント225-cは例えば参照信号を生成するように構成された回路を有する。いくつかの場合において、参照コンポーネント225-cは他の強誘電体メモリセル105である。いくつかの場合において、参照コンポーネント225-cは図3, 5, 7を参照して説明されたように二つの検出電圧の間の値を持つ電圧を出力するように構成される。または参照コンポーネント225-cは仮想接地電圧（すなわち約0ボルト）を出力するように設計されてもよい。

【0076】

検出コンポーネント125-dは（デジット線115-d）を介してメモリセル105-dからの信号を参照コンポーネント225-cからの参照信号と比較し得る。論理状態を決定する時に、検出コンポーネントはそれからラッチ825に出力を記憶し、メモリアレイ100-aを使う電子デバイスの動作にしたがって用いられ得る。

【0077】

図9は本開示の各種の実施例にしたがって強誘電体メモリセルからの電荷の抽出をサポートするシステム900の図である。システム900は各種のコンポーネントを接続または物理的にサポートするためにプリント回路板であるかそれを含むデバイス905を含み得る。デバイス905はメモリアレイ100-bを含んでもよく、これは図1及び図8に述べられたメモリアレイ100の例であり得る。メモリアレイ100-bはメモリコントローラ140-bおよびメモリセル105-eを含んでもよく、これらは図1および図8を参照して説明されたメモリコントローラ140と図1, 2, 4, 6, 8を参照して説明されたメモリセル105の具体例であり得る。デバイス905はまたプロセッサ910、BIOSコンポーネント915、周辺コンポーネント920、入出力制御コンポーネント925を含み得る。デバイス905のこれらのコンポーネントはバス930を介して互いに電子的通信を行い得る。

【0078】

プロセッサ910はメモリコントローラ140-bを介してメモリアレイ100-bを動作するように構成され得る。いくつかの場合において、プロセッサ910は図1及び図8を参照して説明されたメモリコントローラの機能を行う。例えばメモリコントローラ140-bは記憶された電荷を十分に抽出するためにメモリセル105-eを読んでいる間、デジット線115を仮想的に接地するためにスイッチングコンポーネントを活性化し得る。いくつかの場合において、メモリコントローラ140-bはプロセッサ910に統合され得る。プロセッサ910は汎用プロセッサ、デジタル信号プロセッサ（DSP）、アプリケーション特定集積回路（ASIC）、フィールドプログラマブルゲートアレイ（FPGA）または他のプログラム可能な論理デバイス、ディスクリートなゲートまたはトランジスタロジック、ディスクリートなハードウェアコンポーネント、またはこれらのタイプのコンポーネントの組み合わせであり得、プロセッサ910は、強誘電体メモリセルからの電荷抽出を含むここに述べられた各種のファンクション機能を行い得る。プロセッサ910は例えばデバイス905に各種の機能及びタスクを行わせるためにメモリアレイ100-aに記憶されているコンピュータ読み出し可能な命令を実行するように構成され得る。

【0079】

B I O Sコンポーネント915はファームウェアとして動作する基本的な入力／出力システム（B I O S）を含むソフトウェアコンポーネントであり得、これはシステム900の各種のハードウェアコンポーネントを初期化し走らせることが可能である。B I O Sコンポーネント915はまたプロセッサ910と各種のコンポーネント例えば周辺コンポーネント920、入出力制御コンポーネント925等と間のデータフローをもまた管理し得る。B I O Sコンポーネント915は読み出し専用メモリ（R O M）、フラッシュメモリまたは他のいかなる不揮発性メモリに記憶されたプログラムまたはソフトウェアを含み得る。

【0080】

周辺コンポーネント920はいかなる入力または出力デバイス、またはこのデバイスに対するインターフェースであってもよく、これはデバイス905の中に集積される。例はディスクコントローラ、サウンドコントローラ、グラフィックコントローラ、イーザネットコントローラ、モデム、ユニバーサルシリアルバス（U S B）コントローラ、シリアルまたはパラレルポート、周辺コンポーネント相互接続（P C I）または加速グラフィポート（A G F P）スロットのような周辺カードスロットを含んでもよい。

【0081】

入力／出力制御コンポーネント925はプロセッサ910と周辺コンポーネント920、入力デバイス935あるいは出力デバイス940間のデータ通信を管理し得る。入力／出力制御コンポーネント925はまたデバイス905に集積されていない周辺部を管理し得る。いくつかの場合、入力／出力制御コンポーネント925は外部の周辺部への物理的接続またはポートを表し得る。

【0082】

入力935は入力をデバイス905またはそのコンポーネントに与えるデバイス905にとっての外部であるデバイスまたは信号を表し得る。これはユーザインターフェースまたは他のデバイスとのあるいは他のデバイスとの間のインターフェースを含む。いくつかの場合において、入力935は周辺デバイスコンポーネント920を介してデバイス905とのインターフェースになる周辺デバイスであってもよくまたは入力／出力制御コンポーネント925によって管理されてもよい。

【0083】

出力デバイス940はデバイス905またはそのコンポーネントのいずれかからでも出力を受け取るように構成されたデバイス905の外側にあるデバイスまたは信号を表す。出力デバイス940の例はディスプレイ、音声スピーカ、印刷デバイス、他のプロセッサまたはプリント回路基板等を含み得る。いくつかの場合において、出力940は周辺コンポーネントデバイス920を介してデバイス905とインターフェースを取るための周辺デバイスであり得、入力／出力制御コンポーネント925によって管理され得る。

【0084】

メモリコントローラ140-b、デバイス905、およびメモリアレイ100-bのコンポーネントはそれぞれの機能を実行するように設計された回路から作られ得る。これは各種の回路エレメント例えば導電線、トランジスタ、キャパシタ、インダクタ、レジスタ、増幅器、または他の活性または非活性エレメントのようにここに述べている機能を実行するように構成されているものを含み得る。

【0085】

図10はこの開示の各種の実施例にしたがって電荷抽出するように強誘電体メモリセルを動作するための方法1000を図示するフローチャートを示す。方法1000の動作は図1ないし9を参照して述べられたようにメモリアレイ100によって実装され得る。例えば方法1000の動作は図1, 8, 9を参照して述べたようにメモリコントローラ140によって実行され得る。いくつかの例において、メモリコントローラ140は以下に述べられた機能を行うためにメモリアレイ100の機能要素を制御するために一組のコードを実行し得る。追加としてあるいはその代わりとしてメモリコントローラ140は特定目

的のハードウェアを使って以下に述べる機能を実行する。

【0086】

ブロック1005においてこの方法は、図1ないし7を参照して述べたようにデジット線と電子的通信を行う強誘電体メモリセルを選択することを含み得る。いくつかの例において、ブロック1005の動作が図1、8および9を参照して述べられるようにメモリコントローラ140によって行われ得る。

【0087】

ブロック1010においてこの方法は図1ないし7を参照して述べたようにデジット線を仮想接地することを含む。いくつかの例において、ブロック1010の動作は図4、6、8を参照して述べたようにスイッチングコンポーネント415によって行われ得る。例えばデジット線を仮想的に接地することはデジット線とセンスアンプとの間で電子的通信が行われるスイッチングコンポーネントを活性化することを含み得る。

【0088】

ブロック1015においてこの方法は図1ないし7を参照して説明したようにデジット線を仮想的に接地することに基づいてデジット線と電子的通信を行うセンスアンプを活性化することを含む。いくつかの場合において、センスアンプは活性化されその間デジット線は仮想的に接地され得る。いくつかの例においてブロック1015の動作は図1、2、4、6、8を参照して述べたように検出コンポーネント125によって実行され得る。

【0089】

この方法はまた電圧を強誘電体メモリセルの強誘電体キャパシタへ印加することを含む。例えばメモリコントローラ140は図1、8、9を参照して電圧源を制御しプレート電圧を強誘電体キャパシタへ印加し得る。いくつかの例において、この方法は電圧を強誘電体キャパシタに印加することに少なくとも一部は基づいてデジット線と電子的通信を行う検出キャパシタを充電することを含み、これはデジット線が接地されている間である。例えばメモリコントローラ140は図1、4、6、8及び9を参照して述べたように電圧を検出キャパシタへ印加するために負の電圧源である電圧源を制御し得る。この方法はセンスアンプを活性化することに少なくとも一部は基づいて検出キャパシタの電圧を参照電圧と比較することをもた含み得る。いくつかの例において、このことは、図1、2、4、6及び8を参照して説明されたように検出コンポーネント125によって行われ得る。

【0090】

いくつかの場合において、装置が記載される。この装置は、方法1000のような方法を実行するためのものであり得る。装置は、デジット線と電子通信する強誘電体メモリセルを選択し、デジット線を仮想的に接地し、デジット線を仮想的に接地することに少なくとも部分的に基づいてデジット線との通信をするセンスアンプを活性化する手段を含み得る。いくつかの場合において、センスアンプの活性化は、デジット線が仮想的に接地されている間にセンスアンプを活性化するための手段からなることができる。いくつかの場合において、デジット線を仮想的に接地することは、デジット線とセンスアンプとの間の電子通信に存在するスイッチングコンポーネントを活性化させるための手段を含むことができる。装置は、さらに強誘電体メモリセルの強誘電体キャパシタに電圧を印加し、デジット線が仮想的に接地されている間、強誘電体キャパシタに電圧を印加することに少なくとも部分的に基づいて、デジット線と電子通信する検出キャパシタを充電する手段と、センスアンプの活性化に少なくとも部分的に基づいて、検出キャパシタの電圧を参照電圧と比較する手段とをさらに含み得る。

【0091】

図11はこの開示の各種の実施形態にしたがって電荷抽出に対して、強誘電体メモリセルを動作するための方法1100を図示するフローチャートを示す。方法1100の動作は図1ないし9を参照して述べられるようにメモリアレイ100によって実装され得る。例えば方法1100の動作は図1、8、9を参照して述べられたようにメモリコントローラ140によって行われ得る。またいくつかの例において、メモリコントローラ140は以下に述べた動作を行うためにメモリアレイ100の機能的要素を制御するように一組の

コードを実行し得る。追加あるいは他の方法としてメモリコントローラ 140 は特定専用ハードウェアを使って以下に述べる機能を実行し得る。

【0092】

ブロック 1105 において方法はデジット線を仮想的に接地するためにデジット線と電子的に通信しているスイッチングコンポーネントを活性化することを含み得て、ここで強誘電体メモリセルは図 1 ないし 7 を参照して述べられたようにデジット線と電子的通信関係にある。ある例においてはブロック 1105 の動作は図面 1、8、9 を参照して述べられたようにメモリコントローラ 140 によって行われる。

【0093】

ブロック 1110 においてその方法は強誘電体キャパシタと電子的に通信を行う選択手段を用いて、強誘電体メモリセルを選択することを含み得て、ここで強誘電体メモリセルは選択コンポーネントと強誘電体キャパシタとからなり、選択コンポーネントは活性化され、電圧は図 1 ないし 7 を参照して説明されたように強誘電体メモリセルを選択することに基づいて強誘電体キャパシタへ印加される。ある実施形態においては、ブロック 1110 の動作が図の 1、8、9 を参照して述べられたようにメモリコントローラ 140 によって実行され得る。

【0094】

ブロック 1115 においてこの方法はデジット線が仮想接地されている間強誘電体メモリセルと通信を行う検出キャパシタを充電することを含んでおり、その充電は強誘電体メモリセルに印加された電圧に基づいておりそして強誘電体メモリセルの蓄積された電荷は図 1、7 を参照して述べたようにスイッチングコンポーネントを介して検出キャパシタへ送ることからなる。ある例においては、ブロック 1115 の動作はメモリコントローラ 140、スイッチングコンポーネント 415 および検出キャパシタ 420 によって図 1 ないし 9 を参照して述べられたように行われ得る。

【0095】

ブロック 1120 において、この方法は図 1 ないし 7 を参照して述べたように検出キャパシタの電圧を参照電圧と比較することを含み得る。いくつかの例においては、ブロック 1120 の動作は図 1、2、4、6 および 8 を参照して述べたように検出コンポーネント 125 によって行われる。

【0096】

この方法は充電電圧を検出キャパシタへ印加し、その間にスイッチングコンポーネントは不活性化されることと、それから電氣的に検出キャパシタを充電電圧から分離することを含み得る。例えばメモリコントローラ 140 は負の充電電圧を検出キャパシタへ加え得る。いくつかの場合、スイッチングコンポーネントは検出キャパシタと直列に接続されたトランジスタを含み、その方法は図 4、6、8 を参照して説明されたようにスイッチングコンポーネントを活性化し、デジット線を仮想的に接地するためにトランジスタのゲートへ電圧を印加することを含み得る。

【0097】

いくつかの場合において、スイッチングコンポーネントはキャパシタと並列に接続されスイッチングコンポーネントを活性化するためのトランジスタを含み、この方法は充電電圧をそのキャパシタに加えることを含み、電子的にそのキャパシタの第 1 の端子を充電電圧から電氣的に分離しキャパシタの第 2 の端子を仮想接地から電氣的に分離するがこれは第 6 図に関して説明したようにである。いくつかの場合、メモリコントローラ 140 は正の充電電圧をキャパシタに印加し得る。

【0098】

したがって方法 1000 と 1100 は強誘電体メモリセルからの電荷抽出を行う。方法 1000 および 1100 は可能な実装を説明しており、その動作とステップは他の実装が可能なように再配置され、そうでなければ変形させられるということを注意すべきである。いくつかの例においては、実施形態は 2 つまたはそれより多い方法 1000 および 1100 から組み合わせられ得る。

【0099】

いくつかの場合において、装置が記載される。この装置は、方法1100のような方法を実行するためのものである。装置は、デジット線を仮想的に接地してデジット線と電子的に通信するスイッチングコンポーネントを活性化するものであって、強誘電体メモリセルがデジット線と電子的に通信し、デジット線が仮想的に接地されている間に強誘電体メモリセルと電子通信する検出キャパシタを充電し、充電は、強誘電体メモリセルに印加される電圧に少なくとも部分的に基づいており、強誘電体メモリセルに記憶された電荷をスイッチング部を介して検出キャパシタへ送出することと、検出キャパシタの電圧を参照電圧と比較することからなる手段を含み得る。

【0100】

いくつかの場合において、装置はさらに、強誘電体キャパシタと電子的な通信を行う選択コンポーネントを使って強誘電体メモリセルを選択するものであって強誘電体メモリセルは選択コンポーネントと強誘電体キャパシタとからなり、スイッチングコンポーネントは活性化され電圧は強誘電体メモリセルを選択することに少なくとも一部分に基づいて強誘電体キャパシタに印加される手段をさらに含み得る。いくつかの場合において、その装置はさらに、仮想接地からデジット線を分離するためにスイッチングコンポーネントを非活性化する手段を含み得る。いくつかの場合においては、スイッチングコンポーネントは、検出キャパシタと直列に接続されたトランジスタからなり得、その装置はさらにそのトランジスタが非活性の間に、充電電圧を検出キャパシタへ印加し、そして検出キャパシタを充電電圧から電氣的に分離する手段を含み得る。

【0101】

いくつかの場合においては、スイッチングコンポーネントを活性化することは、トランジスタのゲートにゲート電圧を加える手段からなってもよく、そのゲート電圧は負であり、トランジスタの閾値電圧の大きさと等しいかより大きい大きさを持ち、そしてその検出キャパシタに加えられる充電電圧は負である。いくつかの場合において、トランジスタは、p型電界効果トランジスタ(FET)からなってもよい。いくつかの場合において、スイッチングコンポーネントは、キャパシタに並列に接続されたトランジスタからなってもよく、スイッチングコンポーネントを活性化することは、充電電圧をキャパシタへ印加し、キャパシタの第1の端子を充電電圧から電氣的に分離し、そしてキャパシタの第2の端子を接地から電氣的に分離する手段からなり得る。いくつかの場合においては、充電電圧をキャパシタに印加することは、正の充電電圧を加えることからなってもよい。いくつかの場合においては、検出キャパシタの電圧を参照電圧と比較することは検出キャパシタと電子的に通信を行うセンスアンプを活性化する手段からなってもよい。いくつかの場合において、検出キャパシタの電圧を参照電圧と比較することは、センスアンプと電子的な通信状態にある参照キャパシタを充電し、検出キャパシタの電圧を参照キャパシタの電圧と比較する手段とからなってもよい。

【0102】

いくつかの場合において、装置が記載される。装置は、方法1100のような方法を行なうものである。装置は、デジット線を仮想的に接地するためにスイッチングコンポーネントを動作する手段とデジット線を仮想的に接地することに少なくとも部分的に基づいてセンスアンプを活性化する手段を含み得る。いくつかの場合において、その装置はさらにデジット線が仮想的に接地されている間センスアンプを活性化する手段を含む。いくつかの場合において、装置は強誘電体メモリセルの論理値を読むために検出キャパシタの電圧を参照キャパシタの電圧と比較する手段をさらに含んでもよい。装置はさらに強誘電体メモリセルと電子的通信を行うデジット線を仮想的に接地するようにスイッチングコンポーネントを動作する手段であってそれは、強誘電体メモリセルを選択するために選択コンポーネントを活性化しそして強誘電体メモリセルの選択に少なくとも基づいて検出キャパシタを充電するために強誘電体メモリセルの強誘電体キャパシタを動作する手段を含み得る。

【0103】

ここでの記載は例を挙げるものであって請求項に述べられた範囲あるいは用途または例を制限するものではない。開示の範囲から離れることなしに説明された要素の機能および構成の変形がなされ得る。各種の例は各種の方法やコンポーネントを適切なものとして省略したり置き換えたり加えたりし得る。いくつかの例について述べられた特徴は他の例と組み合わせられ得る。

【0104】

添付図面と関係してここに述べられた記載は例の構成を説明しているものであって実装されてよいものあるいは請求の範囲内にあるものの全ての例を示しているものではない。ここで使われている用語「例」「例示」は「一例、例または例示として働く」を意味するのであって「望ましくは」または「他の例に対して優位なもの」ということではない。詳細な説明は説明された技術の理解を提供するために特別な詳細を含むものである。しかしながらこれらの技術はこれらの特別な詳細無しにも実施し得る。いくつかの例において、周知の構造やデバイスが説明された例の概念を曖昧にすることを避けるためにブロック図の形で示されている。

【0105】

添付の図において同様なコンポーネント同様な特徴は同じ参照ラベルを持ち得る。さらに同じタイプの各種のコンポーネントは、類似のコンポーネントの中で区別を明らかにするダッシュと第2のラベルをその参照ラベルの後に付けることによって明確にされ得る。第1の参照ラベルが明細書中に使われるとき、その記載は第2の参照ラベルに関係なしに同じ第1の参照ラベルを持っている同様のコンポーネントのどれか一つに適用される。

【0106】

ここに述べられた情報及び信号は各種の異なった技術または技巧を用いて表され得る。例えばデータ、命令、コマンド、情報、信号、ビット、シンボルそしてチップは上記記載を通して参照されているが、これらは電圧、電流、電磁波、磁界、または粒子、光の場合または粒子またはこれらのいかなる組み合わせによって表わすことができる。いくつかの図面は信号を単一信号として例示し得る。しかしながらその信号は1つのバスの信号を表してもよくそしてそのバスは各種のビット幅を持っていてよいということは当業者にとって理解されるであろう。

【0107】

ここで用いられているように用語「仮想接地」はほぼ0ボルト（0V）の電圧に維持されているが地面に直接的には繋がっていないかもしれない電気回路のノードを参照する。したがって仮想接地の電圧は一時的には変動し安定状態においてはほぼ0ボルトに戻り得る。仮想接地は演算増幅器および抵抗からなる電圧分割のような各種の電気回路部材を用いて実装し得る。他の実装もまた可能である。

【0108】

用語「電子的通信」はコンポーネント間の電子的流れをサポートするコンポーネント間の関係を参照する。これはコンポーネント間の直接的な接続を含んでもよくまた中間的なコンポーネントを含んでもよい。電子的通信におけるコンポーネントは電子または信号を積極的にやり取りしてもよく（例えばエネルギー化回路）または電子または信号を積極的にはやり取りしなくてもよい（例えば非エネルギー化回路）が回路がエネルギー化されるときには電子や信号をやり取りするように構成または動作可能であり得る。例えば、物理的にスイッチ（例えばトランジスタ）を介して接続されている2つのコンポーネントはスイッチの状態（すなわち開または閉）によらずに電子的通信を行っている。

【0109】

ここで述べられているデバイスは、メモリアレイ100を含んでおり、シリコン、ゲルマニウム、シリコンゲルマニウム合金、ガリウムアルセナイド、ガリウムニトライド等の半導体基板上に形成され得る。いくつかの場合では、基板は半導体ウエハである。他の場合には、その基板はシリコンオンインシュレータ（SOI）基板であってもよくこれは例えばシリコンオンガラス（SOG）またはシリコンオンサファイア（SOP）または他の基板上での半導体材料のエピタキシャル層であり得る。基板または基板の小領域の導電性

はホスホロスやボロンまたはアルセニックを含むがこれに限定されない各種の化学種を使ってドーピングを通して制御され得る。ドーピングはイオン注入法または他のドーピング手段によって基板の初期の形成又は成長の間に行われ得る。

【0110】

ここで述べられたトランジスタまたは複数のトランジスタは電界効果トランジスタ（FET）を表してもよくそしてソース、ドレイン、ゲートを含む三端子デバイスからなる。その各端子は導電材料、例えば金属を介して他の電子エレメントに接続され得る。ソースとドレインは導電性があってもよくそして多量にドーピングされ例えばディジェネレート（degenerate）な半導体領域からなり得る。ソースとドレインは軽くドーピングされた半導体領域またはチャネルによって分離されて得る。そのチャネルは（n型）（すなわち多数キャリアが電子）ならばその時はFETはn型FETとして参照される。もしそのチャネルがp型（より多数のキャリアがホール）ならばその時FETはp型FETとして参照される。そのチャネルは絶縁ゲート酸化物によって上部を覆われてもよい。そのチャネルの導電性は電圧をゲートに印加することによって制御され得る。例えば正の電圧または負の電圧をn型FETまたはp型FETにそれぞれ印加することによってチャネルが導電性となるかもしれない。そのトランジスタの閾値電圧より大きいか等しい電圧がそのトランジスタのゲートに与えられるときに、そのトランジスタはオンまたは活性化されてもよい。そのトランジスタの閾値電圧よりも小さい電圧がそのトランジスタのゲートに与えられたときに、そのトランジスタはオフまたは不活性化され得る。

【0111】

この開示に関して説明される各種の図示されたブロック、コンポーネントおよびモジュールは汎用プロセッサ、DSP、ASIC、FPGAまたは他のプログラマブルロジックデバイス、ディスクリートなゲートまたはトランジスタロジック、ディスクリートなハードウェアコンポーネントまたはここに述べられたような機能を行うように設計されたそれらのいかなる組み合わせによって実装されまたは実行され得る。汎用プロセッサはマイクロプロセッサであり得るが、その代わりのものとしてはそのプロセッサは従来のプロセッサ、コントローラ、マイクロコントローラ、状態マシンであり得る。プロセッサは計算デバイスの組み合わせ（例えばDSPとマイクロプロセッサ、複数のマイクロプロセッサDSPコアと接続される1またはそれより多いマイクロプロセッサあるいは他のいかなるこのような構成との組み合わせ）として実装され得る。

【0112】

ここで述べられている機能はハードウェア、プロセッサで実行されるソフトウェア、ファームウェアまたはそれらのいかなる組み合わせによっても実装し得る。もしプロセッサによって実行されるソフトウェアとして実装されるならばその機能はコンピュータ読み出し可能な媒体上の1またはそれより多い命令またはコードとして記憶されあるいは送信され得る。他の例および実装はこの開示と添付請求範囲の範囲内に入る。例えばソフトウェアの性質のために、ここに述べられている機能がプロセッサによって実行されるソフトウェア、ハードウェア、ファームウェア、ハードワイヤリングまたはこれらのいかなるものの組み合わせを使って実装される。機能を実装するための特徴は機能の各部分が異なる物理的な位置で実装されるように分散されていることを含んでいろいろな位置に物理的に配置され得る。また請求項を含んでここに述べられているように事項のリストとして使われる「or」は（例えば「少なくとも1つ」、または「1またはそれより多いものとのような句が前につく事項のリスト」）例えばA、B又はCの少なくとも1つのリストはAまたはBまたはCまたはABまたはACまたはBC又はABC（すなわちAとBとC）のような包含リストを示す。

【0113】

コンピュータで読み出し可能な媒体は非遷移コンピュータ記憶媒体と1つの場所から他の場所へコンピュータプログラムの転送を効率よく行うための媒体を含む通信媒体の両方を含む。非遷移記憶媒体は汎用または専用コンピュータによってアクセスされる入手可能な媒体でもよい。例示としてそして制限ではないのであるが、非遷移型コンピュータ読み

出し可能媒体は、RAM、ROM、電氣的に消去可能でプログラム可能なリードオンリーメモリ（EEPROM）、コンパクトディスク（CD）ROMまたは他の光学ディスク記憶デバイス、磁気ディスク記憶デバイスまたは他の磁気記憶デバイスまたは他のいかなる非遷移媒体からなり、これらは、命令またはデータ構造の形で所望プログラムコード手段を実行または記憶するために使われ、そしてこれらは汎用または専用コンピュータまたは汎用および専用プロセッサによってアクセスされることができる。

【0114】

またいかなる接続もコンピュータ読み取り可能な媒体として適切に名付けられる。例えばそのソフトウェアがウェブサイト、サーバまたは他の遠隔送信元から、同軸ケーブル、ファイバ光ケーブル、ツイストウッドペア、デジタル加入者ライン（DSL）、赤外線、無線、マイクロ波のような無線技術をつかって送られてくるならば、そのとき同軸ケーブル、ファイバ光ケーブル、ツイストウッドペア、デジタル加入者線（DSL）、赤外線、無線、マイクロ波のような無線テクノロジーを使ったこのようなものは媒体の定義の中に含まれる。ディスクおよびここで使われるディスクはCD、レーザディスク、光ディスク、デジタルバーサファイルディスク（DVD）、フロッピーディスク、ブルーレイディスクを含み、ここでディスクは通常データを磁氣的に再生し、一方ディスクはデータをレーザで光学的に再生する。上記の組み合わせもまたコンピュータ読み出し可能媒体の範囲内に含まれている。

【0115】

この記載は当業者がこの開示を作りまたは用いることを可能にするために提供される。この開示の様々な変形は当業者にとって直ちに明らかでありここに提示された一般的な原理はこの開示の範囲から離れない限り他の様々な変形に対して適用できる。したがってこの開示はここに述べられた例や設計に制限されるわけではなくここに開示された原理と新規な特徴とに一致するもっとも広い範囲が与えられるべきものである。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2017/023907
A. CLASSIFICATION OF SUBJECT MATTER G11C 11/22(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G11C 11/22; G11C 7/00; G11C 11/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: ferroelectric, memory, bidline, ground, sense, amplifier, reference, capacitor, and similar terms.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6188601 B1 (DUCK-JU KIM et al.) 13 February 2001 See column 3, lines 31-59; column 4, lines 19-38; column 4, lines 47-55; and figures 2-3.	1, 3, 22, 27
Y		15-21, 24-26
A		2, 4-14, 23
Y	US 2004-0190327 A1 (R. J. BAKER) 30 September 2004 See paragraphs [0018], [0022]-[0023]; claim 1; and figures 3, 5.	15-21, 24-26
A	US 05487030 A (JOHN J. DRAB et al.) 23 January 1996 See column 3, line 34 - column 7, line 65; and figures 1-5.	1-27
A	US 2012-0069623 A1 (TADASHI MIYAKAWA et al.) 22 March 2012 See paragraphs [0014]-[0042]; and figures 1-4.	1-27
A	US 2004-0141353 A1 (SUDHIR K. MADAN) 22 July 2004 See paragraphs [0026]-[0040]; and figures 2-4.	1-27
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 22 June 2017 (22.06.2017)		Date of mailing of the international search report 26 June 2017 (26.06.2017)
Name and mailing address of the ISA/KR International Application Division Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer BYUN, Sung Cheal Telephone No. +82-42-481-8262

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2017/023907

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6188601 B1	13/02/2001	JP 2000-348484 A JP 4865121 B2 KR 10-0381023 B1 KR 10-2000-0073689 A TW 594734 B	15/12/2000 01/02/2012 23/04/2003 05/12/2000 21/06/2004
US 2004-0190327 A1	30/09/2004	US 2003-0043616 A1 US 2003-0198078 A1 US 6577525 B2 US 6741490 B2 US 6859383 B2	06/03/2003 23/10/2003 10/06/2003 25/05/2004 22/02/2005
US 05487030 A	23/01/1996	GB 2292851 A JP 3380656 B2 JP 8203284 A KR 10-0200465 B1	06/03/1996 24/02/2003 09/08/1996 15/06/1999
US 2012-0069623 A1	22/03/2012	JP 2012-064291 A JP 5156069 B2 US 8619455 B2	29/03/2012 06/03/2013 31/12/2013
US 2004-0141353 A1	22/07/2004	US 6856535 B2	15/02/2005

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ

(特許庁注：以下のものは登録商標)

1. R R A M