(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월23일
(11) 등록번호 10-0769690
(24) 등록일자 2007년10월17일

(51) Int. Cl.
H03L 7/08 (2006.01)
(21) 출원번호 10-2006-0066687
(22) 출원일자 2006년07월18일
심사청구일자 2006년07월18일
(56) 선행기술조사문헌
JP07095051 A
(뒷면에 계속)

(73) 특허권자
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
김길수
서울 강서구 화곡본동 201-3
김수원
서울 성북구 돈암동 636번지 브라운스톤 돈암아파트 104동 401호
(74) 대리인
현종철

전체 청구항 수 : 총 12 항 심사관 : 김기완

(54) 주파수 전압 변환기 기반의 클럭 생성 장치 및 주파수 전압변환기 기반의 클럭 생성 장치를 이용한 인터페이스 장치

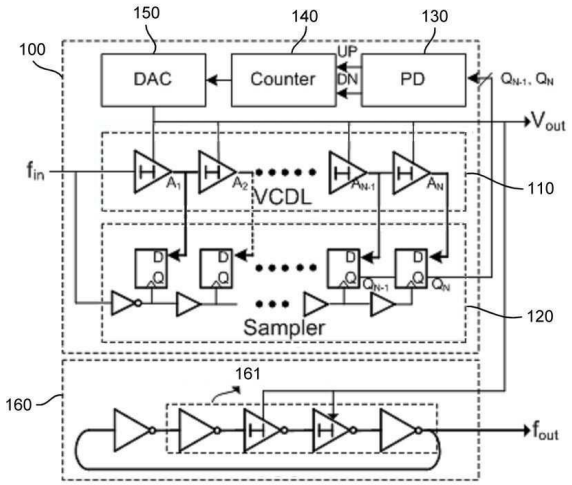
(57) 요 약

주파수 전압 변환기 기반의 클럭 생성 장치 및 주파수 전압 변환기 기반의 클럭 생성 장치를 이용한 인터페이스 장치가 개시된다.

본 발명은 입력되는 전압 신호에 따라 입력 클럭 신호를 딜레이시키는 전압 제어 지연부, 상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상 정보를 출력하는 샘플러, 상기 위상 정보를 이용하여, 상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상의 선후에 따라 업 신호 또는 다운 신호를 출력하는 위상 검출부, 상기 업 신호 또는 상기 다운 신호를 위상 오차에 관한 디지털 정보로 변환하는 카운터, 상기 디지털 정보를 아날로그 신호인 전압 신호로 변환하고, 상기 전압 신호에 따라 상기 전압 제어 지연부의 딜레이 정도를 제어하는 디지털 아날로그 변환부 및 상기 전압 신호에 의해 제어되는 소정 개수의 딜레이 셀을 구비하고, 상기 딜레이 셀을 이용하여 상기 입력 클럭 신호보다 고속인 출력 클럭 신호를 생성하는 전압 제어 링 발진부를 포함한다.

본 발명에 의하면, 주파수 전압 변환기(FVC)를 이용하여 입력 클럭 신호보다 고속의 클럭 신호를 생성함으로써, 안정성과 설계의 용이성뿐만 아니라 지터 성능을 향상시킬 수 있으며, 고속의 클럭을 요구하는 고성능 디지털 시스템에의 응용성을 증가킬 수 있다.

대표도 - 도1a



(56) 선행기술조사문헌
JP10022819 A
JP2006013756 A
KR1019990067843 A
KR1020010064098 A
KR1020030086144 A

특허청구의 범위

청구항 1

입력되는 전압 신호에 따라 입력 클럭 신호를 딜레이시키는 전압 제어 지연부;

상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상 정보를 출력하는 샘플러;

상기 위상 정보를 이용하여, 상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상의 선후에 따라 업 신호 또는 다운 신호를 출력하는 위상 검출부;

상기 업 신호 또는 상기 다운 신호를 위상 오차에 관한 디지털 정보로 변환하는 카운터;

상기 디지털 정보를 아날로그 신호인 전압 신호로 변환하고, 상기 전압 신호에 따라 상기 전압 제어 지연부의 딜레이 정도를 제어하는 디지털 아날로그 변환부; 및

상기 전압 신호에 의해 제어되는 소정 개수의 딜레이 셀을 구비하고, 상기 딜레이 셀을 이용하여 상기 입력 클럭 신호보다 고속인 출력 클럭 신호를 생성하는 전압 제어 링 발진부를 포함하는 주파수 전압 변환기 기반의 클럭 생성 장치.

청구항 2

제 1 항에 있어서,

상기 위상 검출부는

상기 위상 정보를 이용하여, 상기 딜레이된 클럭 신호가 상기 입력 클럭 신호보다 위상이 느린 경우 업 신호를 출력하고, 상기 딜레이된 클럭 신호가 상기 입력 클럭 신호보다 위상이 빠른 경우 다운 신호를 출력하는 것을 특징으로 하는 주파수 전압 변환기 기반의 클럭 생성 장치.

청구항 3

제 1 항에 있어서,

상기 전압 제어 지연부는

단위 지연 시간이 상기 전압 제어 링 발진부의 단위 지연 시간과 동일한 것을 특징으로 하는 주파수 전압 변환기 기반의 클럭 생성 장치.

청구항 4

제 1 항에 있어서,

상기 전압 제어 지연부는

복수개의 딜레이 스테이지를 구비하고, 하나의 딜레이 스테이지가 인버터 및 인가되는 전압에 따라 딜레이 정도를 조절 가능한 전압 제어 인버터를 포함하는 것을 특징으로 하는 주파수 전압 변환기 기반의 클럭 생성 장치.

청구항 5

제 1 항에 있어서,

상기 링 발진부는

복수개의 딜레이 스테이지를 구비하고, 하나의 딜레이 스테이지가 인버터 및 인가되는 전압에 따라 딜레이 정도를 조절 가능한 전압 제어 인버터로 구성된 매치드 딜레이 셀을 포함하는 것을 특징으로 하는 주파수 전압 변환기 기반의 클럭 생성 장치.

청구항 6

제 1 항에 있어서,

상기 샘플러는

상기 입력 클럭 신호를 입력받는 인버터;

상기 인버터의 출력을 통과시키는 버퍼; 및

상기 전압 제어 지연부의 각 딜레이 스테이지의 출력 및 상기 버퍼의 출력을 이용하여 상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상 정보를 출력하는 디타입 플립 플롭을 포함하는 것을 특징으로 하는 주파수 전압 변환기 기반의 클럭 생성 장치.

청구항 7

입력되는 전압 신호에 따라 입력 클럭 신호를 딜레이시키는 전압 제어 지연부;

상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상 정보를 출력하는 샘플러;

상기 위상 정보를 이용하여, 상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상의 선후에 따라 업 신호 또는 다운 신호를 출력하는 위상 검출부;

상기 업 신호 또는 상기 다운 신호를 위상 오차에 관한 디지털 정보로 변환하는 카운터;

상기 디지털 정보에 따라 상기 전압 제어 지연부의 딜레이 정도를 제어하는 딜레이 제어부; 및

상기 전압 신호에 의해 제어되는 소정 개수의 딜레이 셀을 구비하고, 상기 딜레이 셀을 이용하여 상기 입력 클럭 신호보다 고속인 출력 클럭 신호를 생성하는 전압 제어 링 발진부를 포함하는 주파수 전압 변환기 기반의 클럭 생성 장치.

청구항 8

입력되는 전압 신호에 따라 입력 클럭 신호를 딜레이시키는 전압 제어 지연부;

상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상 정보를 출력하는 샘플러;

상기 위상 정보를 이용하여, 상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상의 선후에 따라 업 신호 또는 다운 신호를 출력하는 위상 검출부;

상기 업 신호 또는 상기 다운 신호를 위상 오차에 관한 디지털 정보로 변환하는 카운터;

상기 디지털 정보를 아날로그 신호인 전압 신호로 변환하고, 상기 전압 신호에 따라 상기 전압 제어 지연부의 딜레이 정도를 제어하는 디지털 아날로그 변환부;

상기 전압 신호에 의해 제어되는 소정 개수의 딜레이 셀을 구비하고, 상기 딜레이 셀을 이용하여 상기 입력 클럭 신호보다 고속인 출력 클럭 신호를 생성하는 전압 제어 링 발진부; 및

입력되는 데이터를 상기 출력 클럭 신호에 따라 출력하는 인터페이스 제어부를 포함하는 주파수 전압 변환기 기반의 클럭 생성 장치를 이용한 인터페이스 장치.

청구항 9

제 8 항에 있어서,

상기 위상 검출부는

상기 위상 정보를 이용하여, 상기 딜레이된 클럭 신호가 상기 입력 클럭 신호보다 위상이 느린 경우 업 신호를 출력하고, 상기 딜레이된 클럭 신호가 상기 입력 클럭 신호보다 위상이 빠른 경우 다운 신호를 출력하는 것을 특징으로 하는 주파수 전압 변환기 기반의 클럭 생성 장치를 이용한 인터페이스 장치.

청구항 10

제 8 항에 있어서,

상기 전압 제어 지연부는

단위 지연 시간이 상기 전압 제어 링 발진부의 단위 지연 시간과 동일한 것을 특징으로 하는 주파수 전압 변환기 기반의 클럭 생성 장치를 이용한 인터페이스 장치.

청구항 11

제 8 항에 있어서,

상기 링 발진부는

복수개의 딜레이 스테이지를 구비하고, 하나의 딜레이 스테이지가 인버터 및 인가되는 전압에 따라 딜레이 정도를 조절 가능한 전압 제어 인버터로 구성된 매치드 딜레이 셀을 포함하는 것을 특징으로 하는 주파수 전압 변환기 기반의 클럭 생성 장치를 이용한 인터페이스 장치.

청구항 12

제 8 항에 있어서,

상기 샘플러는

상기 입력 클럭 신호를 입력받는 인버터;

상기 인버터의 출력을 통과시키는 버퍼; 및

상기 전압 제어 지연부의 각 딜레이 스테이지의 출력 및 상기 버퍼의 출력을 이용하여 상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상 정보를 출력하는 디타입 플립 플롭을 포함하는 것을 특징으로 하는 주파수 전압 변환기 기반의 클럭 생성 장치를 이용한 인터페이스 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<12> 본 발명은 클럭 생성 장치에 관한 것으로, 특히, 주파수 전압 변환기 기반의 클럭 생성 장치 및 주파수 전압 변환기 기반의 클럭 생성 장치를 이용한 인터페이스 장치에 관한 것이다.

<13> 클럭 생성 장치는 거의 모든 디지털/혼성 회로에서 가장 중요한 블록 중의 하나이다. 클럭 생성 장치는 입력되는 기준 클럭의 주파수를 일정한 배율로 증가시키는 기능을 한다. 또한, 병렬 데이터를 직렬 데이터로 변환하고자 할 때 다중 위상의 클럭 생성 장치가 필요하다.

<14> 클럭 생성 장치는 위상 고정 루프 (Phase-Locked Loop, PLL) 회로나 지연 고정 루프 (Delay-Locked Loop, DLL)회로를 이용해서 구현할 수 있다. 위상 고정 루프 (Phase-Locked Loop) 기반의 클럭 생성 장치는 분주기에 의해 주파수 체배가 가능하다는 장점이 있지만 전압 제어 발진기(Voltage-Controlled Oscillator, VCO)의 피드백 동작으로 인해 지터가 축적된다는 단점을 가지고 있다. 또한, PLL은 루프 필터에 따라 2차 이상의 전달함수를 가지기 때문에 시스템의 안정도가 떨어지며 설계 또한 용이하지 않다.

<15> 반면에 DLL 기반의 클럭 생성 장치는 VCO가 아닌 전압 제어 지연기(Voltage-Controlled Delay Line, VCDL)을 사용하기 때문에 적분 항을 가지지 않으며, 단지 1차의 전달 함수만을 가지므로 넓은 대역폭에 대해서도 시스템이 안정하며 설계하기가 용이하다는 장점이 있다. 그러나 이러한 장점에도 불구하고 DLL 기반의 클럭 생성 장치는 PLL 기반의 클럭 생성 장치에 비해 주파수 합성이 용이하지 않다는 단점으로 인해 고속의 클럭 생성 장치를 구현하기가 어렵다.

<16> 이러한 문제점을 해결하기 위해서 주파수 합성이 용이한 DLL 기반의 클럭 생성 장치를 구현하기 위한 많은 연구들이 진행되어 왔다.

<17> 종래의 DLL 기반의 클럭 생성 장치는 VCDL (전압 제어 지연기)에서 생성된 다중의 저속 클럭을 주파수 체배기(Frequency multiplier)로 인가하여 하나의 고속 클럭을 생성한다. 일반적으로, 주파수 체배기(Frequency multiplier)로는 고속의 클럭 생성을 위해 고속에서 동작할 수 있는 에지 컴바이너(Edge combiner)를 사용한다.

<18> 그러나, 종래의 클럭 생성 장치는 주파수 체배기(Frequency multiplier)를 사용하여, 전압 제어 지연기(VCDL)의 지연 부정합(Delay mismatch)로 인해 발생한 지터 성분이 주파수 체배기(Frequency multiplier)로 그대로 전달

되므로 시스템 지터 성능 저하의 원인을 제공하고, 주파수 체배기(Frequency multiplier) 회로 내에서 공정, 온도, 전원 전압의 변화로 인해 발생하는 추가적인 지터 성분을 제거할 수 없다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<19> 따라서 본 발명이 이루고자 하는 첫번째 기술적 과제는 시스템의 안정성과 설계의 용이성뿐만 아니라 향상된 지터 성능을 갖으며, 고속의 클럭을 요구하는 고성능 디지털 시스템에 응용 가능한 주파수 전압 변환기 기반의 클럭 생성 장치를 제공하는데 있다.

<20> 본 발명이 이루고자 하는 두번째 기술적 과제는 주파수 전압 변환기 기반의 클럭 생성 장치를 이용하여 인터페이싱 성능을 개선한 주파수 전압 변환기 기반의 클럭 생성 장치를 이용한 인터페이스 장치를 제공하는데 있다.

발명의 구성 및 작용

<21> 상기 첫번째 기술적 과제를 이루기 위하여, 본 발명은 입력되는 전압 신호에 따라 입력 클럭 신호를 딜레이시키는 전압 제어 지연부, 상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상 정보를 출력하는 샘플러, 상기 위상 정보를 이용하여, 상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상의 선후에 따라 업 신호 또는 다운 신호를 출력하는 위상 검출부, 상기 업 신호 또는 상기 다운 신호를 위상 오차에 관한 디지털 정보로 변환하는 카운터, 상기 디지털 정보를 아날로그 신호인 전압 신호로 변환하고, 상기 전압 신호에 따라 상기 전압 제어 지연부의 딜레이 정도를 제어하는 디지털 아날로그 변환부 및 상기 전압 신호에 의해 제어되는 소정 개수의 딜레이 셀을 구비하고, 상기 딜레이 셀을 이용하여 상기 입력 클럭 신호보다 고속인 출력 클럭 신호를 생성하는 전압 제어 링 발진부를 포함하는 주파수 전압 변환기 기반의 클럭 생성 장치를 제공한다.

<22> 또한, 상기 첫번째 기술적 과제를 이루기 위하여, 본 발명은 입력되는 전압 신호에 따라 입력 클럭 신호를 딜레이시키는 전압 제어 지연부, 상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상 정보를 출력하는 샘플러, 상기 위상 정보를 이용하여, 상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상의 선후에 따라 업 신호 또는 다운 신호를 출력하는 위상 검출부, 상기 업 신호 또는 상기 다운 신호를 위상 오차에 관한 디지털 정보로 변환하는 카운터, 상기 디지털 정보에 따라 상기 전압 제어 지연부의 딜레이 정도를 제어하는 딜레이 제어부; 및 상기 전압 신호에 의해 제어되는 소정 개수의 딜레이 셀을 구비하고, 상기 딜레이 셀을 이용하여 상기 입력 클럭 신호보다 고속인 출력 클럭 신호를 생성하는 전압 제어 링 발진부를 포함하는 주파수 전압 변환기 기반의 클럭 생성 장치를 제공한다.

<23> 상기 두번째 기술적 과제를 이루기 위하여, 본 발명은 입력되는 전압 신호에 따라 입력 클럭 신호를 딜레이시키는 전압 제어 지연부, 상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상 정보를 출력하는 샘플러, 상기 위상 정보를 이용하여, 상기 딜레이된 클럭 신호와 상기 입력 클럭 신호 사이의 위상의 선후에 따라 업 신호 또는 다운 신호를 출력하는 위상 검출부, 상기 업 신호 또는 상기 다운 신호를 위상 오차에 관한 디지털 정보로 변환하는 카운터, 상기 디지털 정보를 아날로그 신호인 전압 신호로 변환하고, 상기 전압 신호에 따라 상기 전압 제어 지연부의 딜레이 정도를 제어하는 디지털 아날로그 변환부, 상기 전압 신호에 의해 제어되는 소정 개수의 딜레이 셀을 구비하고, 상기 딜레이 셀을 이용하여 상기 입력 클럭 신호보다 고속인 출력 클럭 신호를 생성하는 전압 제어 링 발진부 및 입력되는 데이터를 상기 출력 클럭 신호에 따라 출력하는 인터페이스 제어부를 포함하는 주파수 전압 변환기 기반의 클럭 생성 장치를 이용한 인터페이스 장치를 제공한다.

<24> 본 발명은 주파수 전압 변환기(FVC)를 이용한 클럭 생성 장치를 제공한다. 본 발명에 따른 주파수 전압 변환기(FVC) 기반의 클럭 생성 장치는 종래의 DLL 기반의 클럭 생성 장치의 장점인 시스템의 안정성과 설계의 용이성뿐만 아니라 향상된 지터 성능을 가지므로, 고속의 클럭을 요구하는 고성능 디지털 시스템에 응용될 수 있다.

<25> 본 발명은 공정, 온도, 전원 전압의 변화에 둔감한 주파수 전압 변환기(FVC)를 사용하고, 주파수 전압 변환기(FVC)에서 생성된 안정적인 전압과 정합된 딜레이 셀(Matched delay cell)을 이용한 링 발진기를 이용하여 주파수 전압 변환기(FVC) 기반의 클럭 생성 장치를 제공한다.

<26> 이하에서는 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다.

<27> 도 1a는 본 발명의 일 실시예에 따른 주파수 전압 변환기 기반의 클럭 생성 장치의 회로도이다.

<28> 전압 제어 지연부(110)는 디지털 아날로그 변환부(150)로부터 입력되는 전압 신호에 따라 입력 클럭 신호를 딜

레이시킨다. 본 발명에서는 전압 제어 지연부(110)의 총 지연 시간이 입력 클럭의 주기와 같도록 제어한다. 전압 제어 지연부(110)는 디지털 아날로그 변환부(150)의 출력인 전압 신호를 이용하여 입력 클럭 신호를 일정 시간 지연 시키는 역할을 한다.

<29> 샘플러(120)는 전압 제어 지연부(110)에서 딜레이된 클럭 신호와 입력 클럭 신호 사이의 위상 정보를 출력한다.

<30> 위상 검출부(130)는 샘플러(120)에 의한 위상 정보를 이용하여, 딜레이된 클럭 신호와 입력 클럭 신호 사이의 위상의 선후에 따라 업 신호 또는 다운 신호를 출력한다. 위상 검출부(130)는 공급된 위상 정보를 이용하여 딜레이된 클럭 신호가 입력 클럭 신호보다 위상이 느릴 경우 업(UP) 신호를, 빠를 경우 다운(DOWN) 신호를 출력한다.

<31> 카운터(140)는 업 신호 또는 다운 신호를 위상 오차에 관한 디지털 정보로 변환한다.

<32> 디지털 아날로그 변환부(150)는 디지털 정보를 아날로그 신호인 전압 신호로 변환하고, 전압 신호에 따라 전압 제어 지연부(110)의 딜레이 정도를 제어한다. 디지털 아날로그 변환부(150)는 전류(current) 방식을 사용할 수 있다.

<33> 카운터(140)와 디지털 아날로그 변환부(150)는 업(UP) 또는 다운(DOWN) 신호에 비례하는 전압 신호를 생성하여 전압 제어 지연부(110)에 공급한다.

<34> 전압 제어 링 발진부(160)는 디지털 아날로그 변환부(150)의 전압 신호에 의해 제어되는 소정 개수의 딜레이 셀을 구비하고, 딜레이 셀을 이용하여 입력 클럭 신호보다 고속인 출력 클럭 신호를 생성한다.

<35> 전압 제어 링 발진부(160)에 사용된 정합된 딜레이 셀(Matched delay cell, 161)은 전압 제어 지연부(110)에 사용된 회로와 동일한 회로이므로 전압 제어 지연부(110)의 단위 지연 시간과 전압 제어 링 발진부(160)의 단위 지연 시간은 동일하다.

<36> 이때, 입력 클럭 신호의 주파수를, $f_{ref}=\frac{1}{T_{ref}}$ 라고 할 때, 입력 클럭 신호의 펄스 폭(Pulse width)은 $T_{D,ref}=\frac{1}{2}T_{ref}$ 로 나타낼 수 있다.

<37> 따라서 전압 제어 지연부(110)가 M 개의 지연 스테이지(Delay stage)로 구성되어 있을 경우, 입력 클럭 신호에 대한 단위 지연 시간은 $T_{D,unit}=\frac{T_{D,ref}}{M}=\frac{1}{2Mf_{ref}}$ 로 나타낼 수 있다.

<38> 전압 제어 링 발진부(160)의 발진 주파수는 $f_{osc}=\frac{1}{2NT_{D,osc}}$ 로 표현할 수 있고, $T_{D,unit}=T_{D,osc}$ 이므로, 입력 주파수의 K 배의 주파수를 얻기 위해서는 다음의 수학식 1을 만족하도록 회로를 구성한다.

수학식 1

<39> $$f_{osc}=kf_{ref}$$

<40> $$\frac{1}{2NT_{D,osc}}=\frac{k}{2MT_{D,unit}}$$

<41> 따라서, $k=\frac{M}{N}$ 이다. 예를 들어, 전압 제어 지연부(110)의 스테이지(Stage) 수 M=40, 전압 제어 링 발진부

(160)의 스테이지(Stage) 수 N=5 일 경우, 입력 주파수보다 8배 빠른 발진 주파수를 얻을 수 있으며, M=48, N=3 일 경우 입력 주파수보다 16배 빠른 발진 주파수를 얻을 수 있다.

<42> 도 1b는 본 발명의 다른 실시예에 따른 주파수 전압 변환기 기반의 클럭 생성 장치를 이용한 인터페이스 장치의 블럭도이다.

<43> 주파수 전압 변환부(100)는 전압 제어 지연부(110), 샘플러(120), 위상 검출부(130), 카운터(140), 디지털 아날로그 변환부(150) 및 전압 제어 링 발진부(160)를 포함한다.

<44> 전압 제어 지연부(110)는 디지털 아날로그 변환부(150)로부터 입력되는 전압 신호에 따라 입력 클럭 신호를 딜레이시킨다.

<45> 샘플러(120)는 전압 제어 지연부(110)에서 딜레이된 클럭 신호와 입력 클럭 신호 사이의 위상 정보를 출력한다.

<46> 위상 검출부(130)는 샘플러(120)에 의한 위상 정보를 이용하여, 딜레이된 클럭 신호와 입력 클럭 신호 사이의 위상의 선후에 따라 업 신호 또는 다운 신호를 출력한다.

<47> 카운터(140)는 업 신호 또는 다운 신호를 위상 오차에 관한 디지털 정보로 변환한다.

<48> 디지털 아날로그 변환부(150)는 디지털 정보를 아날로그 신호인 전압 신호로 변환하고, 전압 신호에 따라 전압 제어 지연부(110)의 딜레이 정도를 제어한다.

<49> 전압 제어 링 발진부(160)는 디지털 아날로그 변환부(150)의 전압 신호에 의해 제어되는 소정 개수의 딜레이 셀을 구비하고, 딜레이 셀을 이용하여 입력 클럭 신호보다 고속인 출력 클럭 신호를 생성한다.

<50> 인터페이스 제어부(170)는 입력되는 데이터를 전압 제어 링 발진부(160)의 출력 클럭 신호에 따라 출력한다.

<51> 도 2는 도 1a 및 도 1b에 적용되는 전압 제어 지연부(110)의 블럭도이다.

<52> 도 2에서, Vctrl은 디지털 아날로그 변환부(150)의 전압 신호이다. 전압 제어 지연부(110)는 도 2와 같이, 동일한 구조의 딜레이 셀을 복수개 포함하고 있으며, 각각의 딜레이 셀은 다이오드 연결 방식의 대칭 부하(symmetric load)를 갖는 미분 타입(differential type)으로 구현될 수 있다. 딜레이 셀의 딜레이 양은 저항값에 비례하며, 이때의 저항 값은 다이오드 연결 부하(diode-connected load)와 PMOS 부하(load)가 병렬로 연결되어 있는 형태이다. 이러한 딜레이 셀의 선형성을 만족시키기 위해서 레플리카 바이어스 회로를 추가할 수 있다.

<53> 도 3은 도 1a 및 도 1b에 적용되는 샘플러(120)의 회로도이다.

<54> 샘플러(120)는 도 3과 같이, 셋업 시간(set-up time)이 작은 플립 플롭 기반의 센스 증폭기(sense amplifier based flip flop, SAFF)로 설계할 수 있다. 이때, CK는 입력 클럭 신호, D 및 Db는 딜레이된 클럭 신호를 의미한다.

<55> 도 4a는 도 1a 및 도 1b에 적용되는 위상 검출부(130)에서의 동기화 검출 방법을 도시한 것이다.

<56> 위상 검출부(130)는 샘플러(120)에서 제공한 데이터와 클럭 신호의 위상 차이에 대한 정보를 이용하여 업, 다운, 락 신호를 생성한다. 이때의 데이터는 도 4a와 같은 방법으로 검출된다. N개의 딜레이 셀로 이루어진 전압 제어 지연부(110)에서 N-1번째 딜레이 셀의 출력을 D_{N-1}, N번째 딜레이 셀의 출력을 D_N이라고 하고, N-1번째 딜레이 셀의 출력과 클럭 신호를 이용하여 생성된 샘플러(120)의 출력을 Q_{N-1}, N번째 샘플러(120)의 출력을 Q_N이라고 가정한다. 데이터 신호의 위상이 클럭 신호의 위상보다 빠른 경우, 샘플러(120)는 "11"의 디지털 신호를 생성하며, 위상 검출부(130)는 다운 신호를 공급하여, 데이터 신호의 딜레이 양을 증가시킨다. 데이터 신호의 위상이 클럭 신호의 위상보다 느린 경우, 샘플러(120)는 "00"의 디지털 신호를 생성하며, 위상 검출부(130)는 업 신호를 공급하여, 데이터 신호의 딜레이 양을 감소시킨다. 샘플러(120)의 디지털 출력이 "10"일 경우, 데이터 신호와 클럭 신호의 동기가 이루어진 경우이므로, 위상 검출부(130)는 락 신호를 출력한다. 한편, 본 발명에서는 락 신호를 이용하지 않을 수 있다.

<57> 도 4b는 도 1a 및 도 1b에 적용되는 위상 검출부(130)의 진리표를 도시한 것이다. 도 4b는 도 4a와 관련하여 상술한 내용을 정리한 표이다.

<58> 도 4c는 도 1a 및 도 1b에 적용되는 위상 검출부(130)의 블럭도이다.

<59> 위상 검출부(130)는 도 4c와 같이, 2개의 인버터 및 2개의 논리곱 게이트(AND GATE)로 구성될 수 있다.

<60> 도 5는 도 1a 및 도 1b에 적용되는 카운터(140)의 블럭도이다.

<61> 카운터(140)는 위상 검출부(130)에서 출력된 업, 다운 신호로부터 위상 오차에 관한 정보를 바이너리(binary) 형태의 디지털 정보로 변환하는 역할을 한다. 카운터(140)는 도 5와 같이, 복수의 논리곱 게이트와 복수의 논리합 게이트를 포함할 수 있다.

<62> 도 6은 도 1a 및 도 1b에 적용되는 정합된 딜레이 셀(161)의 회로도이다.

<63> 도 6에서, 정합된 딜레이 셀(161)은 입력단(610)과 출력단(620)에 각각 인버터를 구비하고, 그 사이에 디지털 아날로그 변환부(150)의 전압 신호에 의해 제어되는 2개의 지연 회로를 포함한다.

<64> 주파수 전압 변환기(FVC) 기반의 클럭 생성 장치는 입력 주파수에 대한 정보를 전압으로 변환한 후, 변환된 전압을 다시 주파수로 변환한다.

<65> 전압 제어 지연부(110)의 마지막 스테이지(Stage)에서 딜레이된 클럭 신호와 입력 클럭간의 위상 차이만을 판별하고 락 상태에서 변환된 전압만을 출력하기 때문에, 전압 제어 지연부(110)의 지연 부정합(Delay mismatch)으로 인한 지터 성분은 주파수 전압 변환기(FVC) 클럭 생성 장치의 출력에 영향을 주지 않는다.

<66> 따라서 종래의 DLL 기반의 클럭 생성 장치에서 주파수 체배기(Frequency multiplier)를 사용했을 경우 발생하는 전압 제어 지연부(110)의 지연 부정합(Delay mismatch)으로 인한 지터 성분은 나타나지 않는다.

<67> 또한 주파수 전압 변환기(FVC)에서 출력되는 전압은 공정, 온도, 전원 전압의 변화에 둔감하므로, 이 전압을 이용해서 발진을 하는 전압 제어 링 발진부(160) 역시 공정, 온도, 전원 전압의 변화에 둔감하게 된다.

<68> 도 7은 도 1a의 출력 파형도이다.

<69> 도 7을 참조하면, 본 발명에 따른 주파수 전압 변환기(FVC) 기반의 클럭 생성 장치는 입력 클럭 신호(fin)을 전압 제어 지연부(110), 샘플러(120), 위상 검출부(130), 카운터(140) 및 디지털 아날로그 변환부(150)를 이용하여 전압 신호(Vout)로 변환하고, 변환된 전압 신호(Vout)에 대응하는 주파수의 출력 클럭 신호(fout)를 생성한다.

<70> 도 8a 및 도 8b는 156.25 Mhz의 입력 클럭 신호를 사용하여 1.25 Ghz의 출력 클럭 신호를 생성하는 시뮬레이션 결과를 도시한 것이다.

<71> 전압 제어 지연부(110)의 스테이지(Stage) 수를 M, 전압 제어 링 발진부(160)의 스테이지(Stage) 수를 N이라고 할때, $k=\frac{M}{N}$ =8이며, 라킹 시간(locking time)은 656 ns이고, 입력 클럭 신호의 PkPk 지터는 250 ps로서, 측정된 지터는 40 ps이다. 디지털 아날로그 변환부(150)의 전압 신호의 크기는 600mV로 측정되었다.

<72> 도 9a 및 도 9b는 312.5 Mhz의 입력 클럭 신호를 사용하여 2.5 Ghz의 출력 클럭 신호를 생성하는 시뮬레이션 결과를 도시한 것이다.

<73> 전압 제어 지연부(110)의 스테이지(Stage) 수를 M, 전압 제어 링 발진부(160)의 스테이지(Stage) 수를 N이라고 할때, $k=\frac{M}{N}$ =8이며, 입력 클럭 신호의 PkPk 지터는 250 ps로서, 측정된 지터는 20 ps이다. 디지털 아날로그 변환부(150)의 전압 신호의 크기는 600mV로 측정되었다.

<74> 본 발명에 따른 주파수 전압 변환기(FVC) 기반의 클럭 생성 장치는 입력 주파수에 대한 정보를 전압으로 변환한 후, 변환된 전압을 다시 주파수로 변환한다. 전압 제어 지연부(VCDL)의 마지막 스테이지(Stage)에서 딜레이된 클럭 신호과 입력 클럭 신호간의 위상 차이만을 판별하고 락 상태에서 변환된 전압만을 출력하기 때문에, 전압 제어 지연부(VCDL)의 지연 부정합(Delay mismatch)으로 인한 지터 성분은 주파수 전압 변환기(FVC) 클럭 생성 장치의 출력에 영향을 주지 않는다.

<75> 또한, 주파수 전압 변환기(FVC)에서 출력되는 전압은 공정, 온도, 전원 전압의 변화에 둔감하므로, 이 전압을 이용해서 발진을 하는 링 발진기 역시 공정, 온도, 전원 전압의 변화에 둔감하게 된다.

<76> 따라서 본 발명에 따른 주파수 전압 변환기(FVC) 기반의 클럭 생성 장치는 종래의 DLL 기반의 클럭 생성 장치보다 우수한 지터 특성을 나타낸다.

<77> 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 그러나, 이와 같은 변형은 본 발명의 기술적 보호범위내에 있다고 보아야 한다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해서 정해져야 할 것이다.

발명의 효과

<78> 상술한 바와 같이, 본 발명에 의하면, 주파수 전압 변환기(FVC)를 이용하여 입력 클럭 신호보다 고속의 클럭 신호를 생성함으로써, 안정성과 설계의 용이성뿐만 아니라 지터 성능을 향상시킬 수 있으며, 고속의 클럭을 요구하는 고성능 디지털 시스템에의 응용성을 증가킬 수 있는 효과가 있다.

도면의 간단한 설명

<1> 도 1a는 본 발명의 일 실시예에 따른 주파수 전압 변환기 기반의 클럭 생성 장치의 회로도이다.

<2> 도 1b는 본 발명의 다른 실시예에 따른 주파수 전압 변환기 기반의 클럭 생성 장치를 이용한 인터페이스 장치의 블럭도이다.

<3> 도 2는 도 1a 및 도 1b에 적용되는 전압 제어 지연부(110)의 블럭도이다.

<4> 도 3은 도 1a 및 도 1b에 적용되는 샘플러(120)의 회로도이다.

<5> 도 4a는 도 1a 및 도 1b에 적용되는 위상 검출부(130)에서의 동기화 검출 방법을 도시한 것이다.

<6> 도 4b는 도 1a 및 도 1b에 적용되는 위상 검출부(130)의 진리표를 도시한 것이다.

<7> 도 4c는 도 1a 및 도 1b에 적용되는 위상 검출부(130)의 블럭도이다.

<8> 도 5는 도 1a 및 도 1b에 적용되는 카운터(140)의 블럭도이다.

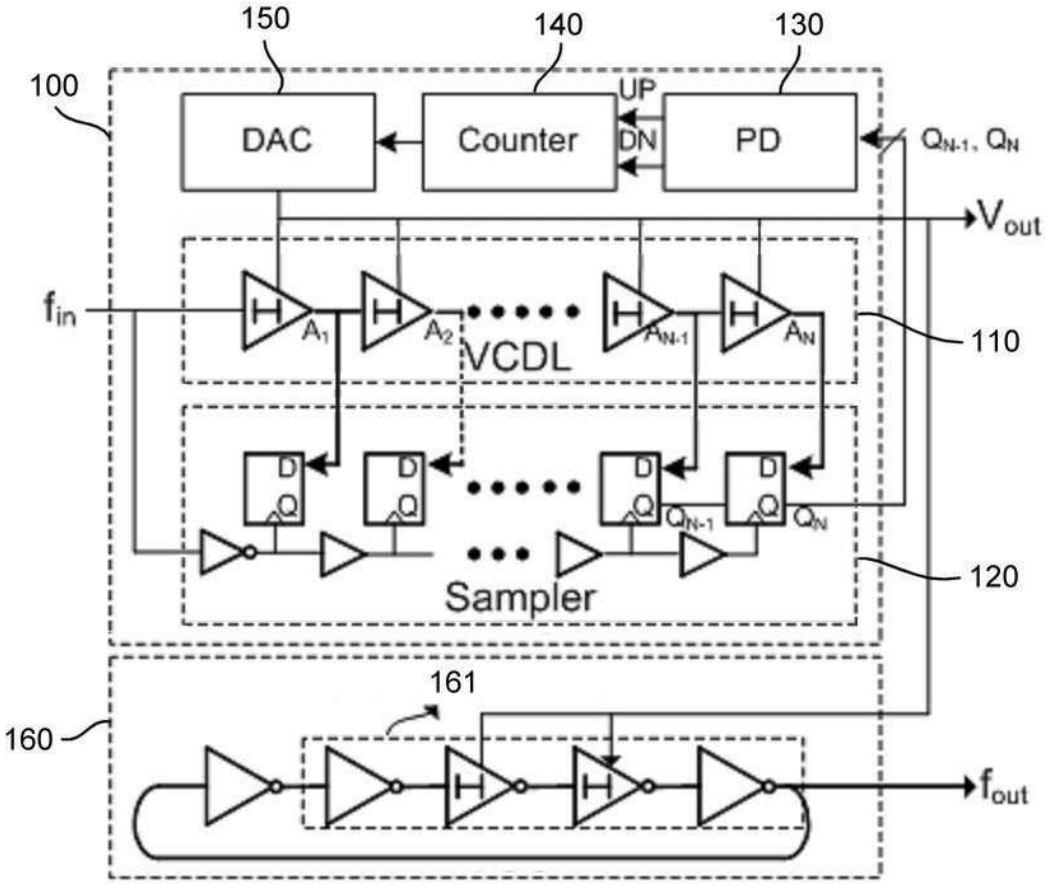
<9> 도 6은 도 1a 및 도 1b에 적용되는 정합된 딜레이 셀(161)의 회로도이다.

<10> 도 7은 도 1a의 출력 파형도이다.

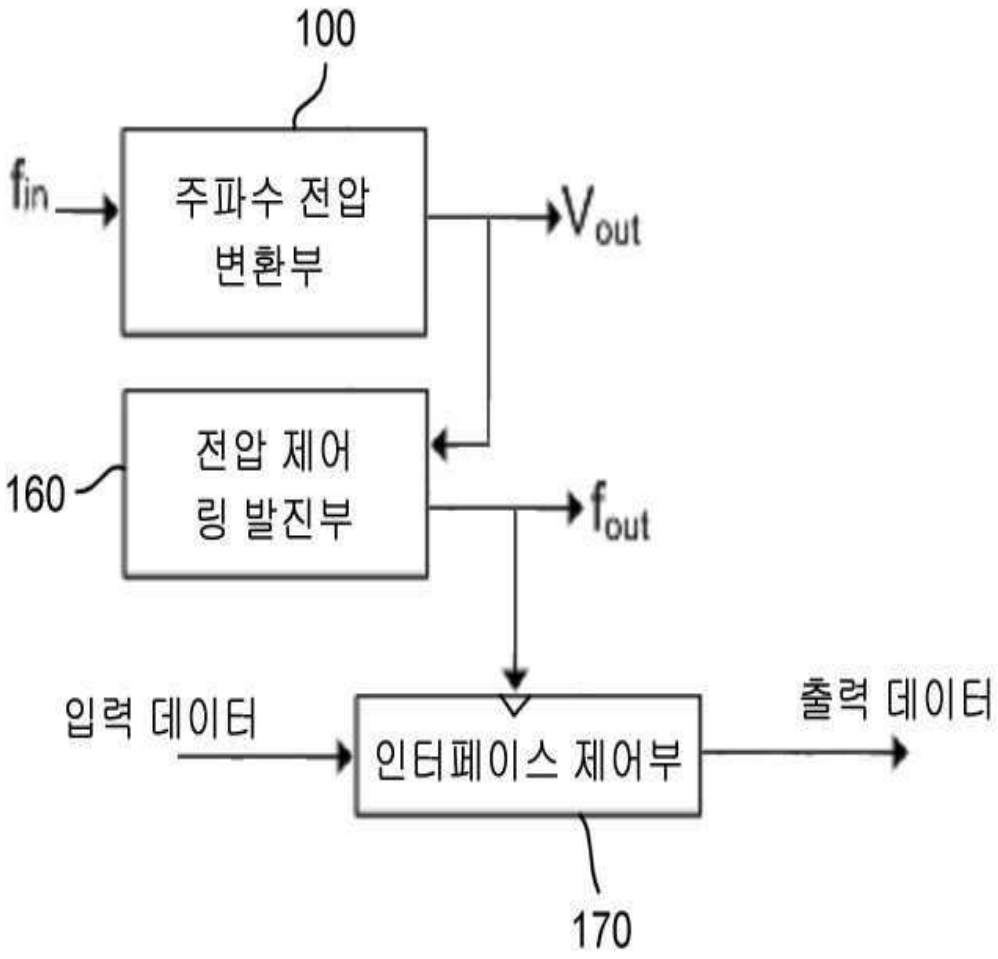
<11> 도 8a 내지 도 9b는 도 1a를 이용한 시뮬레이션 결과 그래프이다.

도면

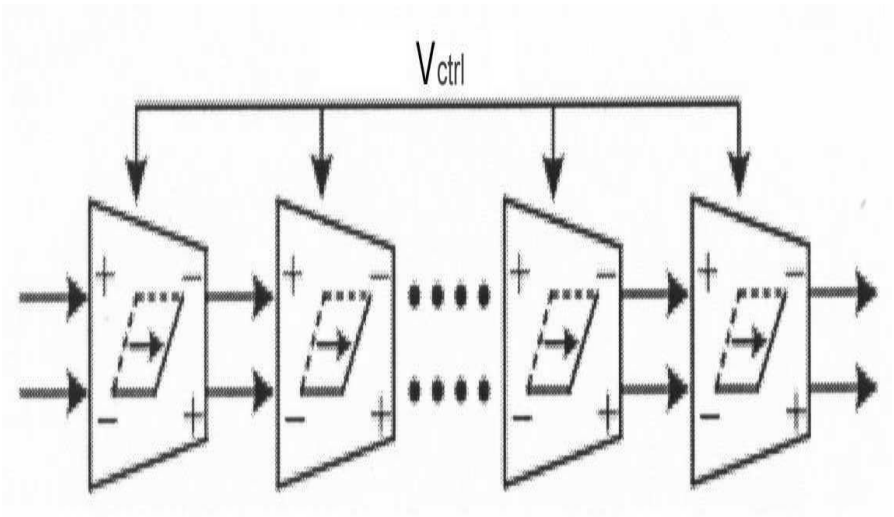
도면1a


150
140
130
100
DAC
Counter
UP
DN
PD
Q_{N-1}, Q_N
V_{out}
f_{in}
A_1
A_2
A_{N-1}
A_N
VCDL
110
D
Q
Q_{N-1}
Q_N
Sampler
120
161
160
f_{out}

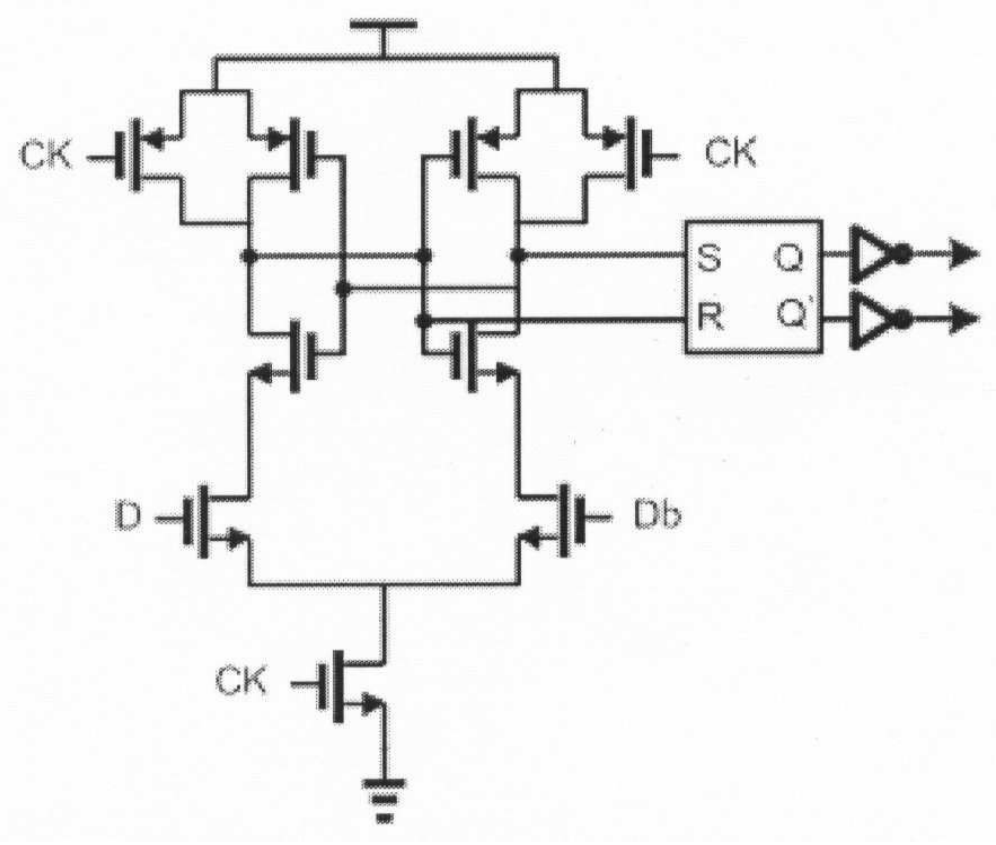
도면1b


100
fin
주파수 전압
변환부
Vout
160
전압 제어
링 발진부
fout
입력 데이터
인터페이스 제어부
출력 데이터
170

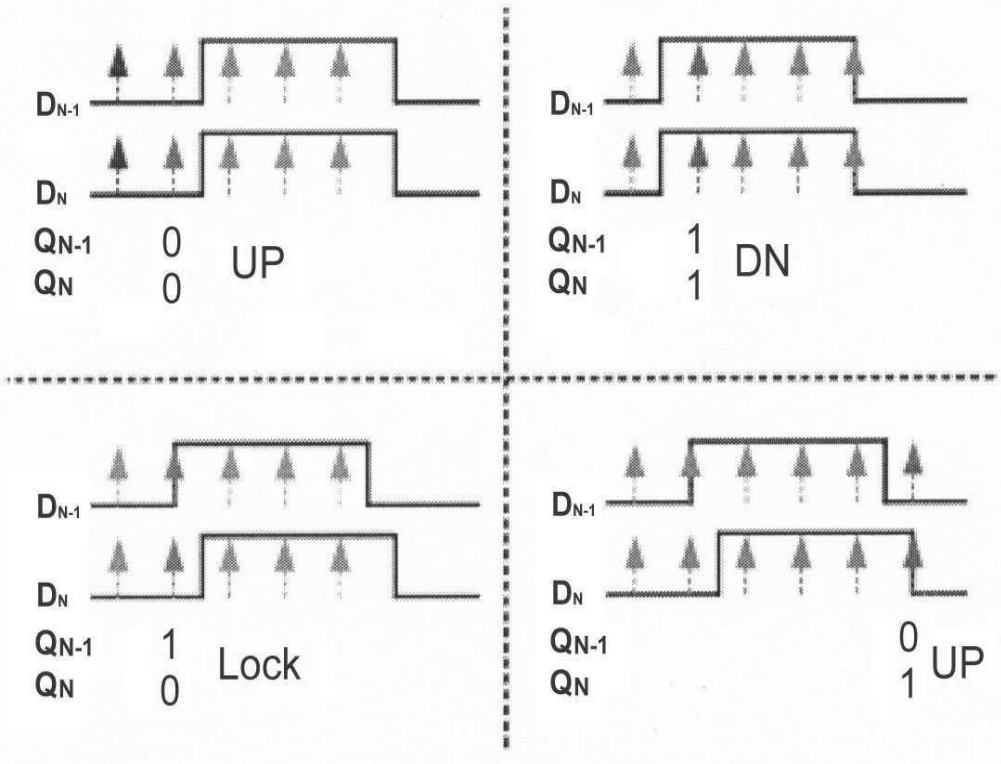
도면2


Vctrl

도면3


CK
CK
S
Q
R
Q'
D
Db
CK

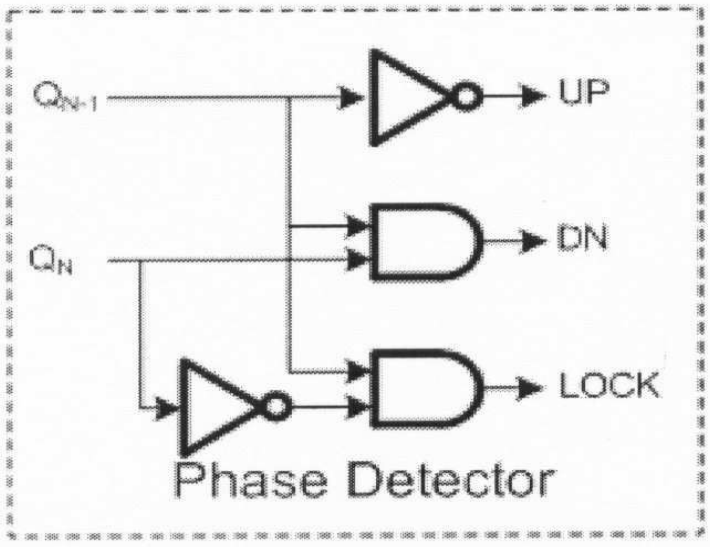
도면4a


DN-1
DN
QN-1 0
QN 0
UP
DN-1
DN
QN-1 1
QN 1
DN
DN-1
DN
QN-1 1
QN 0
Lock
DN-1
DN
QN-1 0
QN 1
UP

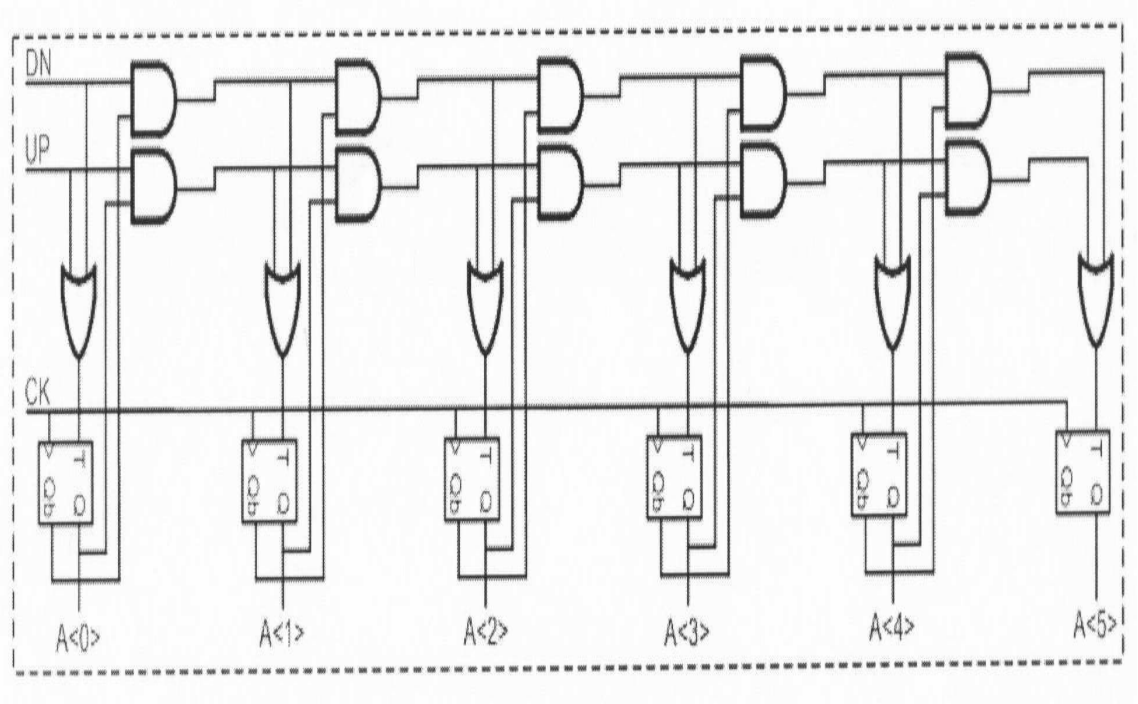
도면4b

Q_{N-1}	Q_N	UP	DN	Lock
0	0	1	0	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

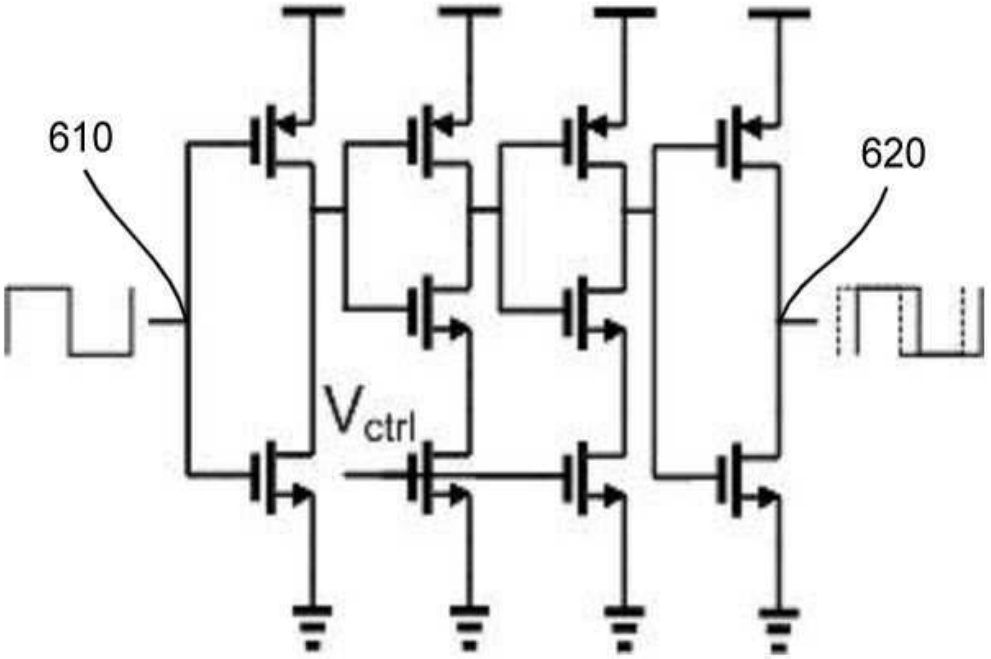
도면4c



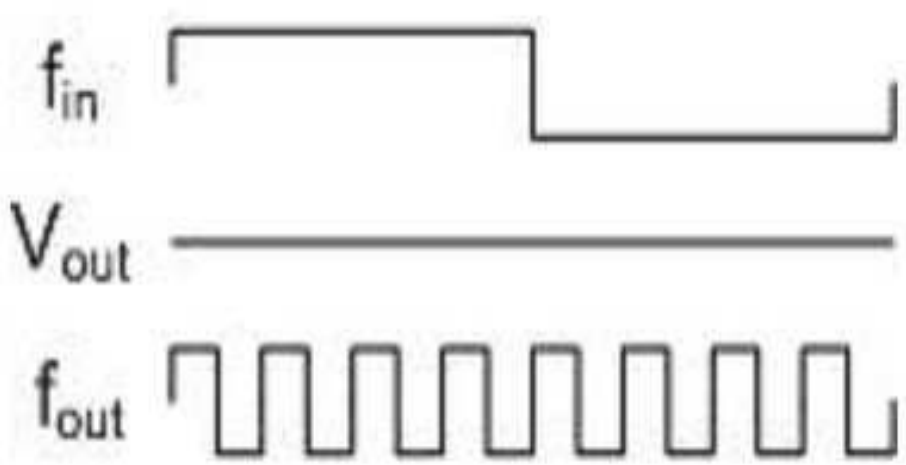
도면5



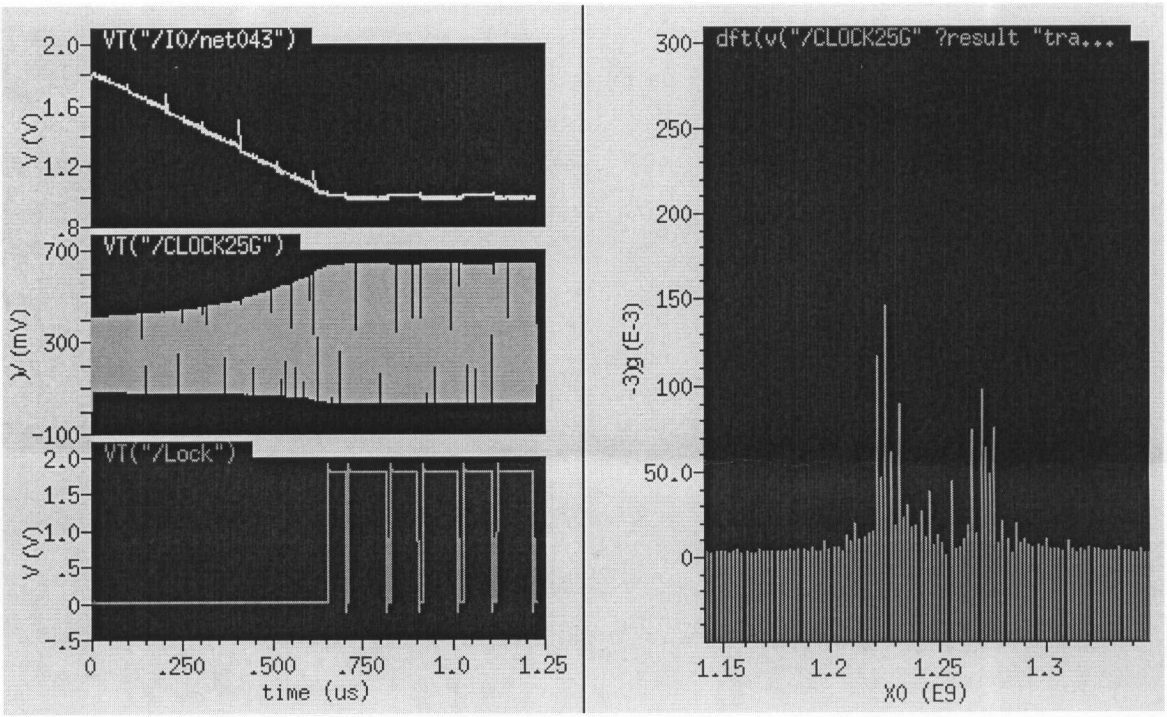
도면6



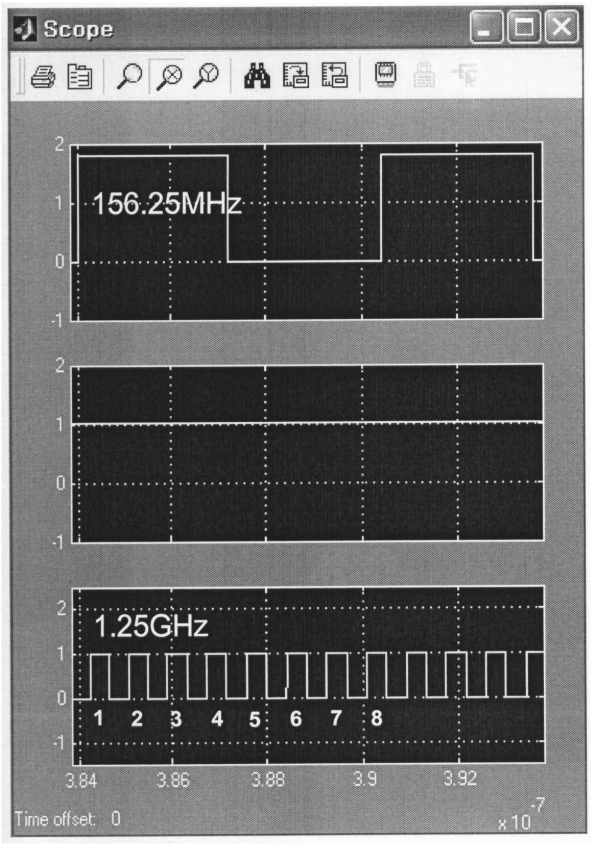
도면7


fin
Vout
fout

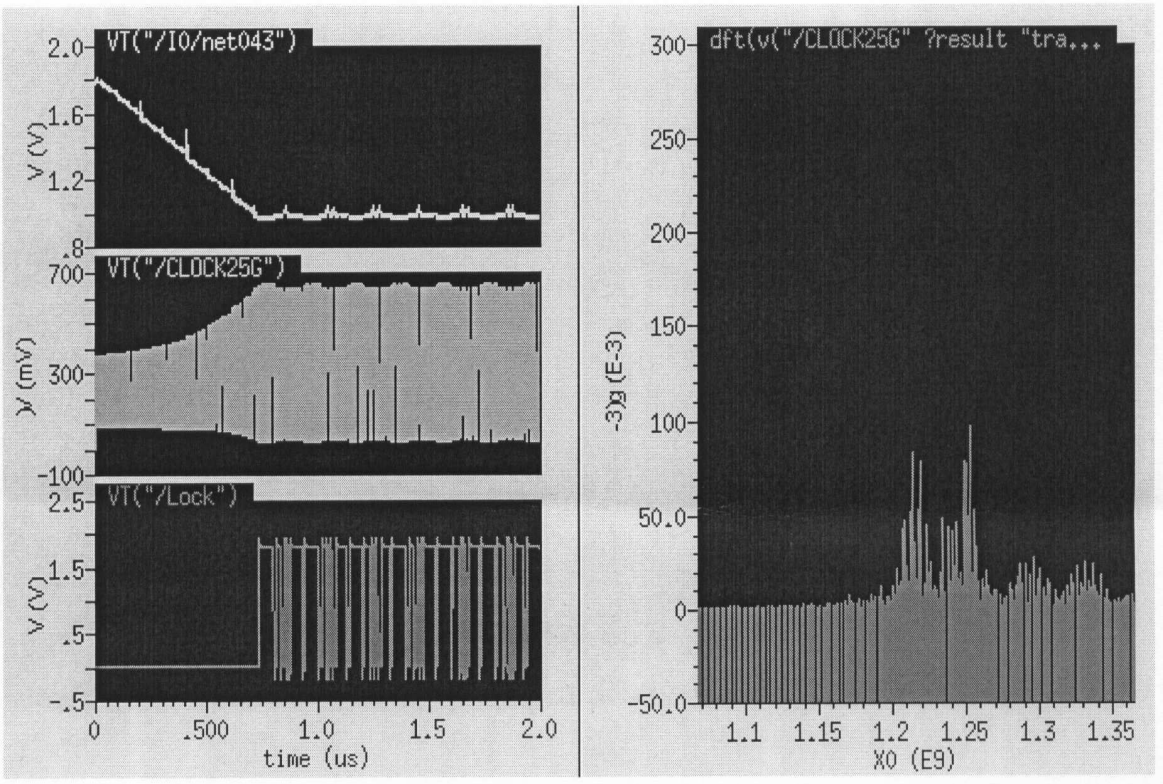
도면8a


VT("/IO/net043")
V (V)
2.0
1.6
1.2
.8
VT("/CLOCK25G")
V (mV)
700
300
-100
VT("/Lock")
V (V)
2.0
1.5
1.0
.5
0
-.5
0
.250
.500
.750
1.0
1.25
time (us)
dft(v("/CLOCK25G" ?result "tra...
-3)g (E-3)
300
250
200
150
100
50.0
0
1.15
1.2
1.25
1.3
X0 (E9)

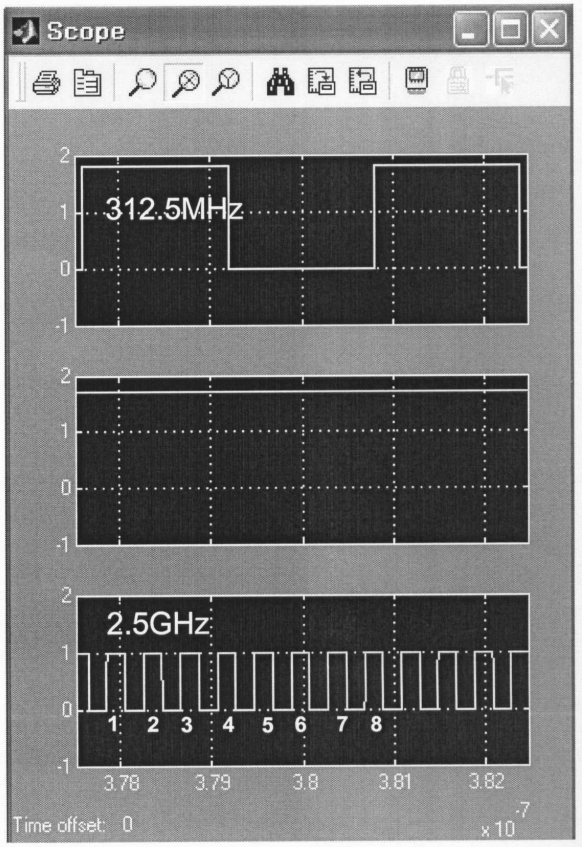
도면8b


Scope
156.25MHz
1.25GHz
1 2 3 4 5 6 7 8
3.84
3.86
3.88
3.9
3.92
Time offset: 0
x10^-7

도면9a


VT("/IO/net043")
V (V)
VT("/CLOCK25G")
V (mV)
VT("/Lock")
V (V)
time (us)
dft(v("/CLOCK25G" ?result "tra...
-3dB (E-3)
X0 (E9)

도면9b


Scope
312.5MHz
2.5GHz
1 2 3 4 5 6 7 8
3.78
3.79
3.8
3.81
3.82
Time offset: 0
x 10^-7