[19]中华人民共和国专利局

[11]授权公告号

CN 1021007C

[12] 发明专利说明书

[21] 专利号 ZL 89 1 07006

[51]Int.Cl[5]

H04N 5/12

[45]授权公告日 1993 年 5 月 26 日

[24]颁证日 93.4.16

[21]申请号 89 1 07006.0

[22]申请日 87.9.2

[30]优先权

[32]88.9.2 [33]JP [31]220806/88

[32]89.4.7 [33]JP [31]89114/89

[73]专利权人 三洋电机株式会社

地 址 日本大阪府守口市

[72]发明人 平尾义周 细矢信和

[74]专利代理机构 上海专利事务所

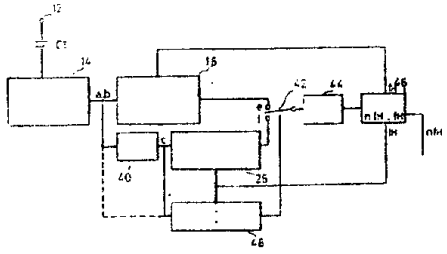
代理人 王树侍

说明书页数: 附图页数:

[54]发明名称 图像信号接收装置相位同步电路及其方法

[57]摘要

一种为取出与图像信号中水平同步信号锁相信号的相位同步电路及其方法包括具有多个同步范围和抗干扰特性的第一 PLL，和具有单一输出特性和一个同步范围的第二 PLL，水平同步信号通过带通滤波器送给第二 PLL，且直接送给第一 PLL，第一 PLL 和第二 PLL 共用电压控制型振荡器和分频器，以及检测出分频电路输出和水平同步信号是否同步的电路，和据此检测电路输出使第一 PLL 和第二 PLL 中任一个激活的开关电路。



< 45 >

权　利　要　求　书

1. 导出和包含在接收图像信号中的水平同步信号相位同步信号的电路，包括

振荡电路，该振荡电路包含使其振荡频率可以控制的振荡器(46,46′)，和按照预先规定的分频比对上述振荡器输出进行分频的分频器(46,204)，

从上述图像信号中至少分离导出上述水平同步信号的分离装置，

把来自上述分离装置的水平同步信号和上述分频器输出的相位进行比较、具备多个S曲线的输出特性的第一比较装置，其特征在于

让上述分离装置输出中的具有规定频宽的信号通过的带通装置(40,202,40′)，上述规定频宽包含上述水平同步信号频率，

至少将上述带通装置输出和上述分频器输出的频率进行比较的第二比较装置，该比较装置具有单一的S曲线的输出特性，

检测出用上述分离装置导出的水平同步信号和上述分频器输出是否同步的同步检测装置(48)，

按照上述同步检测装置的输出，从上述第一和第二比较装置输出中任选一个，而后供给上述振荡器的选择装置(42,44)，用上述选择装置的输出对上述振荡器的振荡频率进行控制。

2. 根据权利要求1所述的电路，其特征在于上述第二比较装置由能检测出供给信号频率差的频率比较器组成，上述同步检测装置由能检测出供给两信号的频率相一致或不一致的检测电路组成。

3. 根据权利要求1所述的电路，其特征在于上述第一比较装置具备脉冲宽型检波器(IV10,IV11,AN10,AN11)，它能导出对应于

供给的各信号的相位差和脉冲宽的信号。

4. 根据权利要求 1 所述的电路，其特征在于上述第二比较装置用边缘触发器型相位比较器(340,341, MR1,MR2,MR3,IV12) 组成，它检测出供给各信号的变化时刻，比较供给信号的相位。

5. 根据权利要求 1 所述的电路，其特征在于上述第二比较装置具备能对供给的各信号的相位和频率一起进行比较的比较器(26)。

6. 根据权利要求 1 所述的电路，其特征在于上述振荡器是电压控制型振荡器，上述选择装置包含：

用于向上述电压控制型振荡器供给直流控制电压的充放电装置(R11,R12,R13,R14,C10,C11),和

用于按照上述同步检测装置的输出，对上述充放电装置的充放电电流值进行调整的调整装置(ASl),以及

用于对上述充放电装置的充放电时间常数进行调整调整装置(AS2)。

7. 根据权利要求 1 所述的电路，其特征在于上述选择装置为按照上述同步检测装置检测出同步状态时，对上述第一比较器输出进行选择，并且在上述同步检测装置检测非同步状态时，对上述第二比较器输出进行选择。

8. 根据权利要求 1 所述的电路，其特征在于上述带通装置包含

用于在供给包含在上述图像信号内的上述水平同步信号时，只在预料期间，使供给信号通过的窗装置(329, 330,331,332,333, 334,335,336,OG1,OG2,OG3,OG4,IV1,IV2,AG1,AG2),

上述预料期间，比上述水平同步信号更宽，且比上述水平同步信号的周期更短，

上述预料期间，是通过对具有预先规定频率的时钟信号进行计数而引出的。

9. 根据权利要求 1 所述的电路，其特征在于上述分离导出装置

包含门装置(203)，它按照门脉冲使供给的信号有选择地通过，该门脉冲是为响应上述同步检测装置的输出信号和上述分频器的输出而作成的，

上述门装置，在上述同步检测装置的输出信号表示非同步状态时，使供给的信号全部通过，而在上述同步检测装置的输出信号表示同步状态时，仅在有上述门脉冲期间，使由上述分离装置供给的信号通过，

上述门脉冲具有和上述水平同步信号为相同频率，而且具有比上述水平同步信号更宽阔的信号宽。

10. 根据权利要求 1 所述的电路，其特征在于还进一步包括

发生和上述水平同步信号的频率相同的信号的信号发生器(50，52，60)，

第二选择装置(56，58)，根据上述同步检测装置输出和按预定期间使其电平反转的信号，有选择地使上述带通装置输出和上述信号发生装置输出中的任何一个通过，且向上述第二比较装置和上述同步检测装置两者提供。

11. 根据权利要求 1 所述的电路，其特征在于所述的第一比较装置包含第一 PLL 环路(16、44、46；16、44、46′、204)，上述第一 PLL 环路为具有多个锁相范围，且是为导出和上述分离装置的输出相位同步信号的装置、且是和上述分离导出装置的输出结合，使上述分离导出装置输出中的、包含上述水平同步信号频率的规定频带的信号通过的带通装置(40；40′)，上述第二比较装置包含接收上述带通装置输出的 AFC 电路(26，44，46；26，44，46′，204)，上述 AFC 电路具有单一的锁相范围，；且其单一的锁相范围的频宽广且上述 AFC 回路至少导出至少和上述带通装置输出输频率同步的信号；上述第一 PLL 环路和上述 AFC 回路共有、包含分频器的电压控制型振荡器，上述分频器的分频比可以变化，上述同步检测装置根据

给予的至少两信号的频率是否大致同一来判断同步或非同步，上述选择装置包含按照上述同步检测装置的输出使上述第一 PLL 环路或上述 AFC 回路被启动的装置。

12. 根据权利要求 11 所述的电路，构成使上述 AFC 电路具有使供给的各信号的相位被锁定功能的第二 PLL 。

13. 导出和包含在接收图像信号中水平同步信号相位同步或锁相信号的方法，包括

使第一 PLL 动作的步骤，该步骤包含直接接收用同步分离电路分离导出的水平同步信号，以及接收按规定的比例对电压控制型振荡电路输出进行分频的分频信号的步序；用具有多个 S 曲线输出特性的抗噪好的第一相位比较器对上述接收的两信号进行比较和导出此第一比较输出的步序；用上述第一比较输出控制上述电压控制型振荡器的振荡电路的振荡相位和(或)频率的步序；

其特征在于还包括使 AFC 电路动作的步骤，该动作包含使上述同步分离电路的输出通过带通滤波器，据此滤去不需要的成分，并取出希望的水平同步信号，至少对上述通过频带的水平同步信号和上述分频信号进行频率比较，并导出第二比较输出的步序，以及用第二比较输出来控制上述电压控制型振荡电路的振荡相位和(或)频率的步序；

对用上述同步分离电路分离导出的水平同步信号和上述分频信号是否同步进行判断，根据此判断结果，启动上述第一 PLL 环路或 AFC 的步骤。

14. 根据权利要求 13 所述的方法，其特征在于在上述 AFC 电路动作步骤中，上述比较步骤进一步还包含对相位进行比较的步骤，据此用上述 AFC 电路构成 PLL 电路。

15. 根据权利要求 13 所述的方法，其特征在于上述第一 PLL 动作，仅在上述同步检测步骤中的同步检测结果表示为同步状态时

被启动，

16. 根据权利要求13所述的方法，其特征在于还包括发生和上述水平同步信号为同一频率信号的步骤，以及上述AFC电路还包括对在上述同步检测步骤中的同步检测结果和以预定周期使其电平反转的信号作出响应，在上述第二比较器中对在上述带通步骤中通过频带的水平同步信号和上述发生的水平同步信号中具有同一频率信号中的任何一个和上述分频器的输出进行比较的步骤。

说　　明　　书

图像信号接收装置相位同步电路及其方法

本发明有关为实现相位同步的电路及其方法，特别有关用于TV(电视接受机)、LCD-TV(液晶电视接收机)、VTR(磁带录像机)等图像信号接收装置、为确立水平同步信号相位同步的电路及其方法。对于即使用于具有包含不同水平像素数的液晶显示等的矩阵型图像显示装置的图像接收装置，也能准确实现水平同步的电路及其方法。

作为小而薄型的低功耗图像显示装置，有液晶板。首先对采用这种液晶板的图像信号重现装置的结构及其动作进行简单说明。在后述的图 1 中表示采用液晶板的电视接收机整机的简单结构。此图 1 中表示的结构，例如已在日本专利文献特开昭 57—41078 号公报上发表。

参照图 1，液晶板 101 含有 m 行 n 列排列的液晶像素 100 。液晶像素 100 包含开关晶体管 102，维持电荷用电容器 103，液晶元件 104 。为了选择一行像素而设置门线 G_1—Gm 。为了选择一列液晶像素，而设置源线 S_1—Sn。把开关元件 102 的门连接在门线 Gi(i=1—m)上，将其另一导通端(源端)接在源线 Sj(j=1—n)上。

为了驱动液晶板 101，设置行驱动器 105 和列驱动器 106，行驱动器 105 按照来自控制信号发生电路 117 的控制信号，依次对每一条门线 Gi 进行选择。列驱动器 106 包含移位寄存器 107，采样和保持电路 108 以及放大器 109 。移位寄存器 107 由 n 级单位移位寄存器组成，并按照来自控制信号发生电路 117 的控制信号，发生采样和维持电路 108 的动作定时的信号。采样和保持电路 108 按照来自

移位寄存器 107 的时钟信号对来自图像检波电路 114 的视频信号(R、G 和 B)进行采样和维持。此采样和保持电路 108 具备按照各源线 Sj 而设置的 n 个单位采样和维持电路。放大器电路 109 把在采样和保持电路 108 上维持的图像信息进行放大后供给到对应的源线 Sj 上。

为了接收图像信号而设置天线 110，高频头 112，中频放大器 113 和图像检波电路 114、音频电路 115 以及扬声器 116。高频头 112 从天线 110 接收的图像信号中选择所希望的频道波段，中频放大器 113 把由高频头 112 选择的图像信号变换成中频信号且进行放大后送给 图像检波电路 114。图像检波电路 114 在从已变换成中频的复合图像信号中检波出图像信号，同时，把音频信号分离出来并送给音频电路 115。音频电路 115 把此音频信号进行检波重现后送给扬声器 116。把来自图像检波电路的视频信号送给采样和维持电路。

控制信号发生电路 117 把来自图像检波电路 114 的图像信号分离出同步信号(水平和垂直信号)，且导出为驱动液晶板 101 的行和列所必要的信号。接下来对动作作简单说明。

首先参照图 2，对行驱动器 105 的动作进行说明。图 2(A)所示的图像信号来自图像检波电路 114。此处的图像信号具有垂直同步信号区间 T1，垂直回扫描期间 T2，以及图像信号区间 T3。在此图像信号区间 T3 中含有水平同步信号。控制信号发生电路 117 对垂直回扫描期间 T2 结束后的最初水平同步信号作出响应，并发生表示一个扫描场开始的信号〔图 2(B)〕。据此检测出一个扫描场开始。接着，控制信号发生电路 117 发生周期为 1H(H：1 个水平扫描期间)的信号〔图 2(C)〕。对此时钟信号(扫描时钟信号)作出响应，并由行驱动器 105 发生使门线 Gj 依次上升的信号〔图 2(D)—(F)〕。据此，在 1 个水平扫描期间，只有一根门线 Gi 被选中。在水平回扫描区间，使连接在此一行(门线 Gi)上的开关晶体管 102 呈导通状态，

把供给给源线 S1—Sn 上的像素信息送给液晶元件 104。

另一方面，列驱动器 106 的动作波形图示于图 3。列驱动器 106 的每 1 个 H 区间都使同一动作返复。1 个 H 区间的图像信号如图 3(A)所示，包含水平同步信号区间，一水平回描区间 T4，以及供给图像信息的区间 T5 。对于移位寄存器 107，首先供给如图 3(B)所示的对应于图像信号的水平同步信号的信号，而且，使产生作为转送时钟脉冲，具有如图 3(C)所示的周期 T＝T5/n′(n′为连接 1 行的像素数)的频率 T＝(T5＋T4)/n)的时钟脉冲。据此，从移位寄存器 107 的各级输出中，如图 3(D)—(F)所示那样，顺序地，输出现每相位 T 相差的时钟信号。把来自此移位寄存器 107 的时钟信号(图 3(D)—(F)送给采样和保持电路 108 。采样和保持电路 108 对此时钟信号作出响应，采样从图像检波电路 114 中导出的图像信号，且保持 1H 的期间。据此，在采样和保持电路 108 上，保持对应于一行像素的信息，使在此采样和保持电路上保持的像素信息，通过放大器 109，并列地供给给源线 S1—Sn。

如上述那样，为了把一行的像素信息保持在采样和保持电路 108 上，有必要发生与接收同步信号相位同步的、n · f(f＝1/H)的时钟信号。在液晶板 101 的一行像素数目为一定的场合，可以采用使控制信号发生电路 117 发生的各时钟信号为和该像素数一并有选择地发生。然而，为了构成适用于具有各种像素数的液晶板的通用控制信号发生电路，有必要采用计入了此一行像素数 n 发生变化的电路。

图 4 表示发生可以用于这样的多种类液晶板的水平同步用时钟信号的电路结构的一个例子。在具有如图 4 所示结构的水平相位同步用的一个集成电路(IC)上具有 NEC 制的 μpD6109G。

参照图 4 ，传统的水平相位同步电路，其输入级包含同步分离电路 14。同步分离电路 14，通过耦合电容器 5 接收视频信号，并导

出同步信号(水平和垂直)。水平相位同步电路进一步包含第一PLL(第一锁相环路,和第二PLL(第二锁相环路)。

第一PLL包含第一相位比较器16,第一低通滤波器18,调整电路20,第一电压控制型振荡器22,1/2分频电路24。相位比较器16,把来自同步分离电路14的水平同步信号和来自1/2分频电路24的频率15.73 KHz的信号进行相位比较。此相位比较器16属仅比较提供的信号相位的脉冲宽度检波型,具有抗干扰性。第一低通滤波器18包含电容器C1,C2和电阻R1,R2。把电阻R2设置在端子PCO和结点N1之间。在结点N1和接地电位间串联电阻R1和电容器C2。使电容器C1和此电阻R1和电容器C2的串联体并联连接,此低通滤波器18,滤去包含在相位比较器16输出信号中的噪音,且发生直流控制电压。调整电路20包含电阻R3,R4和可变电阻VR1。把电阻R3设置在低通滤波器18的输出和结点N2之间。把串联的可变电阻VR1和电阻R4设置在结点N2和接地电位之间。此调整电路20具有控制电压控制型振荡器22的振荡相位的功能。也就是具备通过调整可变电阻VR1的电阻值,对电压控制型振荡器22的输出信号的相位进行调整(使超前或滞后)的功能。电压控制型振荡电路22以两倍的水平扫描频率(15.73KHz)进行振荡。1/2分频电路24把第一电压控制型振荡器22的输出进行1/2分频,输出模拟水平同步信号f_H,而后送至相位比较器16。众所周知的相位比较器16,如上所述,是脉冲宽度检滤型比较器,具有如图5所示的有多个倾斜(S型曲线)的输出特性。在图5中,横坐标表示输入信号频率,坐标表示输出电压。此外,f_0为基准信号。从图5可看到,送给相位比较器16的输入信号频率是基准信号(水平同步信号)的两倍或三倍时,也可产生具有同样特性的输出电压。因此,第一PLL具有分别对应于此多个S曲线的锁定范围。如图4所示,第一电压控制型振荡器22往往以正常时的两、三倍的频率进行稳定振

荡。

在该基准信号以外的频率范围，为了避免第一PLL稳定，在制作IC时，把此第一电压控制型振荡器22的振荡频率范围设定在图5所示的频率f1—f0的范围内。水平相位同步电路的第二PLL，包含相位、频率比较器26，第二低通滤波器28，第二电压控制型振荡器30和可编程计数器32。相位·频率比较器26把来自1/2分频电路24的水平扫描信号和可编程计数器32输出的相位以及频率进行比较。第二低通滤波器28包含电阻R5,和电容器C3。把电阻R5和电容器C3串联在端子PFCO和接地电位之间。此第二低通滤波器28，除掉相位，频率比较器26内的噪音成分等不需要的高频成分，导出只表示比较结果的直流电压信号，并送到第二电压控制型振荡器30的电压控制端子VCOH。第二电压控制型振荡器30具有较宽的振荡频率范围，通常以n倍的水平扫描频率进行振荡。可编程计数器32，把第二电压控制型振荡器30的输出进行1/n分频，导出水平频率信号，送给相位·频率比较器26，同时，把$n \cdot f_H$(f_H为模拟水平扫描频率信号)送至可编程逻辑阵列33。从可编程逻辑阵到33，导出用于驱动图1所示的列驱动器106的水平驱动用时钟信号HCLOCK。这个n对应于一行像素数。因此，如果液晶板的像素数不同，则此n的值也相应变化。为了对应于该多种类的液晶板，要按能使第二电压控制型振荡器30的振荡频率范围取较宽的值来进行设计。相位·频率比较器26，若只进行相位比较，则也进行频率比较。此相位·频率型比较器26具有如图6所示的只有一个倾斜(S曲线)的输出特性。在图6中，横坐标表示输入信号频率，纵坐标表示输出电压。见图6可知此相位频率比较器26，由于也兼备频率误差检测器的功能，故第二电压控制型振荡器30不会以正常时(nf_H)的两、三倍的频率进行振荡。也就是由于第二PLL仅存在一个锁定范围，故能以所希望的振荡频率稳定地进行振荡。

如上所述，由图 4 所表示的传统的水平相位同步电路，需要具备两个振荡器 22,30。因此，为了只采用 1 个振荡器，可考虑直接把同步分离电路 14 的输出传送给相位·频率型比较器 26。然而，采用这种结构时，要产生以下所示的问题。就是在如图 7(a)所示的强电场接收时，能获得在同步分离电路 14 的输出中不含有噪音，与水平同步信号相位同步的稳定振荡信号。然而，在如图 7(b)所示的弱电场接收时，将产生同步分离电路 14 的输出中含有噪音，此噪音影响着相位·频率比较器 26 的输出，使电压控制型振荡器的振荡频率被固定在其振荡频率的上限值或下限值上，因此不能得到和所希望的水平同步信号相位同步的振荡信号的问题。

把包含此弱电场接收时噪音的水平同步信号输入给具有抗噪音强的相位比较器 16 时，由于随机噪音，使噪音成分也从相位比较器 16 中输出。然而此噪音成分在低滤波器 18 中被消除，其结果是由于只有规则性的正规水平同步信号和近似水平同步信号的相位比较成分从低通滤波器 18 输出，因此在第一 PLL 中以所希望的振荡频率(31.5 KHz)使电压控制型振荡器 22 振荡，能获得具有和水平同步信号的频率及相位相同的近似水平同步信号。

此外，如前所述，把在弱电场接收时含有噪音的如图 7(b)所示的水平同步信号直接送给相位·频率型比较器 26 时，会产生误动作。因此考虑消除产生误动作的起因即噪音。就是可以使来自同步分离电路 14 的水平同步信号通过以频率 15.73 KHz 为中心频率的带通滤波器，把消除噪音成分的图 7(c)所示的水平同步信号送给相位·频率型比较器 26。然而，采用该结构时，在此带通滤波器中，为了进行滤波处理，如图 7(c)所示，使输出信号错开△T 时间。也就是使振荡电路 30 的输出信号的相位仅错开△T 程度。由于水平驱动液晶板的水平时钟信号要和此电压控制振荡电路 30 的输出相位同步，使图像上出现的图像形成向水平方向偏移。

可考虑预测或计算错开△T 值，使此水平位置的偏得到修正，然而这种预测需要考虑随机噪音，这很麻烦。此外，由于必须对带通滤波器中的延迟时间△T 的偏差、以及因噪音引起的接收水平同步信号（带通滤波器的输出）的信号宽度偏差采取措施，因此困难很多。

上述的特开昭 57—41078 号公报，揭示了在矩阵结构电视机中发生与水平同步信号相位同步的水平驱动脉冲的方法。

此外，在特开昭 55—816 号公报上，也同样地揭示了作为液晶矩阵结构显示板的水平驱动用脉冲信号、用 PLL 导出与水平同步信号相位同步的信号的方法。

本发明的目的在于提供一种改进的相位同步电路，该相位同步电路能克服传统的相位同步电路中的上述缺点。

具体说，本发明的目的在于提供能用简单结构导出和水平同步信号确实锁相信号的相位同步电路。

进一步，本发明的目的在于提供不受噪音滤波器的信号延迟的影响，能导出和水平同步信号正确锁相信号的相位同步电路。

本发明另一目的在于提供能导出和接收水平同步信号经常实行锁相信号的相位同步方法。

有关本发明的电路包括包含使振荡频率可以控制的振荡器的振荡电路，和按照预先规定的分频比对上述振荡器输出进行分频的分频器；从图像信号中至少分离导出水平同步信号的分离装置；把来自上述分离装置的水平同步信号和上述分频器输出的相位进行比较、具备多个 S 线的输出特性的第一比较装置；让上述分离装置输出中的具有规定频宽信号通过的带通装置，上述规定频宽包含上述水平同步信号频率；至少将上述带通装置输出和上述分频器输出的频率进行比较的具有单一 S 曲线输出特性的第二比较装置，检测出用上述分离装置导出的水平同步信号和上述分频器输出是否同步的

同步检测装置；按照上述同步检测装置的输出，从上述第一和第二比较装置输出中任选一个，而后供给上述振荡器，用上述选择装置的输出对上述振荡器的振荡频率进行控制。

根据本发明方法，包括使第一PLL动作的步骤，该步骤包含直接接收同步分离电路分离导出水平同步信号，以及接收按规定的比例对电压控制型振荡电路输出进行分频的分频信号的步序，用具有多个S曲线输出特性的抗噪好的第一相位比较器对上述接收的两信号进行比较和导出此第一比较输出的步序，用上述第一比较输出控制上述电压控制型振荡器振荡电路的振荡相位和、或频率的步序；此外，还包括使AFC电路动作的步骤，该步骤包含使上述同步分离电路的输出通过带通滤波器，据此滤去不需要成分，并导出希望的水平同步信号，至少对上述通过频带的水平同步信号和上述分频信号进行频率比较，并导出第二比较输出的步序，以及用第二比较输出控制上述电压控制型振荡电路的振荡相位和、或频率的步序；以及对用上述同步分离电路分离导出的水平同步信号和上述分频信号是否同步进行判断，根据此判断结果，启动上述第一PLL环路或AFC电路的步骤。

若根据上述结构，则在动作开始时等的非同步状态，使具有单一同步范围的第二PLL或AFC环路被激活，用具有带通滤波器消除噪音的时间延迟的水平同步信号来控制电压控制型振荡器。据此，首先使和接收水平同步信号进行锁频的信号从分频电路输出。一旦成为频率同步状态，则用同步检测电路的输出，激活第一PLL，据此，依靠第一PLL的功能，使对于接收水平同步信号，进行相位和频率锁定的信号使从分频电路输出。此时由于在第一PLL中不设置带通过滤器，而对水平同步信号不产生时间滞后，因而能确实得到锁相信号。

此外，在非同步时(特别在无信号输入时)，通过用模拟水平同

步信号控制电压控制型振荡器，能使电压控制型振荡器的振荡频率和相位得到固定，在此状态下，图像再现时不出现摇晃。

对附图的简单说明

图 1 为简要表示传统的液晶电视接收机的整机结构。

图 2 是表示图 1 所示液晶板的行驱动器的动作定时信号波形图。

图 3 是表示图 1 所示列驱动器动作的信号波形图。

图 4 表示传统的相位同步电路的结构。

图 5 表示图 4 所示第一相位比较器的输出特性。

图 6 表示图 4 所示相位·频率比较器的输出特性。

图 7 是为说明传统相位同步电路中存在问题的信号波形图。

图 8 简要表示根据本发明的相位同步电路的原理结构。

图 9 表示本发明的一实施例即相位同步电路的结构。

图 10 表示图 9 所示 H 窗的具体结构的一个例子。

图 11 是表示图 10 所示 H 窗动作的信号波形图。

图 12 表示图 10 所示相位比较器 10 和相位·频率比较器的具体结构以及开关电路具体结构的例子。图 13A 和图 13B 是表示图 12 所示相位比较器和相位·频率型比较器动作的信号波形图。

图 14 表示图 9 所示低通滤波器具体结构的例子。

图 15 表示图 9 所示 H 门的具体结构例子。图 16A 和图 16B 是表示图 15 所示 H 门动作的信号波形图。

图 17 简要表示本发明其它实施例，即相位同步电路的结构。

图 8 表示本发明水平相位同步电路的原理结构。参照图 8，水平相位同步电路包含同步分离回路 14，相位比较器 16，相位·频率型比较器 26，带通滤波器 40，开关电路 42，低通滤波器 44 以及电压控制型振荡器 46 和同步检测电路 48。

同步分离电路 14 通过耦合电容器 C5 接收由输入端 12 进来的

视频信号，导出同步信号(水平同步信号)，送给相位比较器16。相位比较器16是具有在图5中所表示的输出特性的脉宽度检测型相位比较器，把来自同步分离电路14的水平同步信号和电压控制型振荡器46的输出的相位进行比较，而后输出对应于此相位差的信号。

把用带通滤波器40除掉噪音成分的接收水平同步信号，送给相位·频率型比较器26和同步检测电路48。相位·频率型比较器26具有图6所示的输出特性，对来自带通滤波器40的水平同步信号和电压控制型振荡器46的输出进行相位和频率比较。同步检测电路48，通过带通滤波器40对接收水平同步信号和电压控制型振荡器46的输出作比较，发生表示此电压控制型振荡器46的输出和接收水平同步信号是否同步的信号。此同步检测电路48是检测电压控制型振荡器46的输出信号成为正规的水平同步频率(15.73KHz)的电路，并进行比较两者的相位。就是，同步检测电路48，当电压控制型振荡器46的输出上升时，检测来自带通滤波器40的接收水平同步信号是否存在，接收水平同步信号在规定期间内存在时，则判断同步成立。

开关电路42，按照同步检测电路48的输出，将其接点和e或f相连接。在同步检测电路48检测出非同步状态的场合，开关电路42使其接点和f相连接。在同步检测电路48检测出同步状态的场合，使其接点和e相连接。

低通滤波器44把消除开关电路42输出内的高通分量的直流控制电压，送给电压控制型振荡电路46的电压控制端子。

电压控制振荡器46，虽然没有给予明确图示，但其内装有1/n分频电路，并且从这个电压控制型振荡器46，输出频率15.73 KHz水平频率信号f_H和为发生对应于像素数的水平驱动脉冲的频率$n \cdot f_H$信号。频率$n \cdot f_H$信号被送给可编程逻辑阵列(PLA)，并在这里产生水平驱动脉冲。

由相位比较器16，开关电路42，低通滤波器44，电压控制型振荡电路46构成第一PLL。由相位·频率型比较器26，开关电路42，低通滤波器44，电压控制型振荡器46构成第二PLL。

此外，在图8所示的结构中，把带通滤波器40的输出送至同步检测电路48。然而，在同步检测电路48自身具备能滤掉噪音成分功能的场合，其结构也可以象图8中虚线所示那样，把同步分离电路14分离出的接收水平同步信号直接供给给同步检测电路48。此外，如上所述为了使同步检测电路48进行相位比较，也能构成使其电路结构的一部分与相位·频率型比较器26共有。下面说明其动作。

首先，在动作开始时呈非同步状态。此时，同步检测电路48输出表示非同步状态的"L"电平信号，且送给开关电路42。开关电路42按照此"L"电平的转换控制信号，将其接点连接到f上。据此，首先使第二PLL动作。通过带通滤波器40把接收水平同步信号送给相位·频率型比较器26。带通滤波器40将噪音成分滤去，导出水平同步信号成分。因此，在此场合，产生偏移△T(参照图7)，但是电压控制型振荡器46的振荡频率被调整成接收水平同步信号的频率。进而，由于采用该结构时，相位频率型比较器26不仅进行频率比较，还进行相位比较，因此电压控制型振荡器46的输出信号相位也在一定程度上与接收水平同步信号同步。

通过此第二PLL使电压控制型振荡器46的振荡频率和相位接近于接收水平同步信号的频率和相位(或一致)时，同步检测电路48判断同步成立，且输出"H"电平信号。因此，开关电路42把其接点转换为e，第一PLL(相位比较器16，低通滤波器44以及电压控制型振荡器46)动作。

第一PLL中的相位比较器16对来自同步分离电路14的接收水平同步信号和来自电压控制型振荡器46的水平频率信号f进行相位比较，并输出对应于此相位差的信号。因此，通过第一PLL进

行相位控制，从电压控制型振荡器 46 中输出和接收水平同步信号相位同步、且频率也一致的信号。

如上所述，在本发明中，在至少要通过第一 PLL 调整成电压控制型振荡器 46 的正规振荡频率(15.73 KHz)之前，使第二 PLL 动作，对电压控制型振荡器 46 的输出进行控制。因此电压控制型振荡器 46 不会错误地以两、三倍的正规频率(15.73 KHz)稳定振荡，而能得到确实和接收水平同步信号相位同步的水平驱动脉冲。

此外，在第一 PLL，来自同步分离电路的接收水平同步信号，不通过带滤波器 40 而直接送给相位比较器 16。因此，可以防止发生由带通滤波器 40 产生的时间偏移△T(参照图 7)。

另外，在第二 PLL 中，使用了相位·频率型比较器，然而，这只要是具有图 6 所示的输出特性的比较器就可以，例如也可以使用边缘触发器型相位比较器，频率比较器等。

又，作为此比较器 26，在仅使用频率比较器的场合，同步检测电路 48 需要换成频率一致检测电路(频率检测装置的一种)。在作为比较器 26 而使用频率比较器的场合，第二 PLL 则成为 AFC(自动频率控制)环路。

也就是，本发明的原理是在用第一 PLL 达到调整成正规频率(15.73 KHz)的状态为止，使第二 PLL(或 AFC 回路)动作，从而把电压控制型振荡器 46 的振荡频率调整成正规的振荡频率。

进而，在使开关电路 42 从接点 f 一侧向接点 e 一侧连接时，使电压控制型振荡器 46 的输出信号相位发生变化。然而，由于这种变化很微小，而且同步检测电路 48 继续输出表示同步检测状态的“H”电平的信号。

此外，对于相位·频率型比较器 26，在 PLL 开启时作为频率比较器使用，而在锁定时作为相位比较器使用，可以使用这种功能的比较器。作为这样结构的比较器的例子，例如有莫托洛拉公司制

的 MC4044，CD74HC4046A 的 PC2，CD4046A 的 PC2 等。

图 9 简要表示作为本发明一实施例的水平相位同步电路的具体结构例。在图 9 中，对于和图 8 中表示的电路相对应的部分带有同一参考标号。参照图 9，同步分离回路 14(参照图 8)和同步分离电路 201，H 门 203 和 H 滤波器 202 相对应。图 8 的带通滤波器和 H 窗 40′相对应。图 8 的电压控制型振荡电路 46 对应于电压控制振荡电路 46′和可编程计数器 204 。相位比较器 16 是脉冲宽度型相位检波器，比较器 26 是边缘触发器型相位检波器。

H 滤波器 202，滤掉由同步分离电路 201 分离的同步信号(水平和垂直的同步信号)CSYNC 中的噪音成分，并送给 H 窗 40′。H 门 203，按照来自 H 门脉冲发生器 206 和同步检测电路 48 的信号，使来自同步分离电路 201 的接收水平同步信号通过。也就是，此 H 门 203，在同步检测电路 48 检测出非同步状态的场合，使同步分离电路 201 的输出全部通过，另一方面，在同步检测电路 48 检测出同步状态的场合，仅在供给来自 H 门脉冲发生器 206 的脉冲信号期间，使同步分离电路 201 的输出通过。

H 门脉冲发生器 206，按照来自可编程计数器 204 的输出信号，发生比正规水平同步信号 HSYNC 宽、且频率相同的信号。此 H 门脉冲发生器 206，例如，可以用 PLA(可编程序逻辑阵列)构成。

可编程计数器 204，是给出电压控制型振荡器 40 的输出分频比的电路，用此电路可以设定使用此水平相位同步电路的对应于液晶显示板的像素数的分频比 n 。把来自可编程计数器 204 的输出传送给 PLA205，在此处进行规定的逻辑处理，并发生和接收水平同步信号相位同步的水平驱动脉冲 HCLOCK。

H 窗 40′是把水平同步信号频率作为中心频率的带通滤波器，为了使电路结构实现集成化，而采用数字式滤波器结构。图 9 所示电路的动作是和图 8 所示电路结构相同。下面简要对有关它的动作

进行说明。在动作开始时刻，处于此非同步状态。因此，表示来自同步检测器 48 的同步状态的信号 H·KILLER 是“L”电平。因此，在此场合，H 门 203 使来自同步分离电路 201 的同步信号全部通过。接着，使来自同步分离电路 201 的同步信号通过 H 滤波器 202 和 H 窗 40′，且滤掉噪音成分，因此把对应于水平同步信号的频率成分，送给边缘触发器型的相位·频率型比较器 26。开关电路 42 将其接点连接到 f_H 上。因此，第二 PLL 动作，从而把电压控制型振荡器 46′的振荡频率调整成 $n \cdot f_H$。可编程计数器 204，把来自此电压控制型振荡器 46′ 的振荡信号进行 1/n 分频后，作为模拟水平同步信号 f_H 输出。根据此第二 PLL 的动作，把电压控制型振荡器 46′的输出信号调整成规定的频率(和相位)后，一旦同步检测器 48 的输出反转，则其输出信号 HKILLER 上升为“H”电平。据此，开关电路 42 将其接点转换为 e 的同时，H 门 203 仅在来自 H 门脉冲发生器 206 的 H 门信号 HGATE 的期间使供给的信号通过。根据此 H 门 203 的功能，被滤掉噪音成分后的接收水平同步信号供给给相位比较器 16。据此，使第一 PLL 发挥作用，把电压控制型振荡器 46′的振荡信号调整成正规振荡频率和相位，并持续进行稳定振荡。

再者，在图 9 所示的结构中，由于 H 滤波器 202 在同步分离电路 201 的输出中滤掉不需要的噪音成分，但是，如果下一级的 H 窗 40′、同步检测器 48 等均是抗干扰的结构，则无需特别设置。

此外，在图 9 所示的结构中，把低通滤波器 44 设置在开关电路 42 和电压控制型振荡器 46′之间。然而，反之，也可以采用把低通滤波器分别设置在相位比较器 16 的下一级和相位·频率型比较器 26 的下一级上、用开关电路 42 选择两个低通滤波器的输出，并送给电压控制型振荡器 46′的结构。

图 10 是表示 H 窗 40′的具体结构的一个实例。参照图 10，H 窗 40′包含对从外部输入的时钟信号 CLK(例如频率为 3.58MHz)的信

号进行计数的5级串联T型多谐振荡器(flip-flop)(T-FF)329，330，331，332和333。分别把T-FF329-332的各个$\overline{Q}$输出送给下一级的T-FF330-333各个T输入。因此，根据T-FF332的$\overline{Q}$输出，使进行时钟信号CLK的1/16分频后的信号得到输出，(但是，是在用水平同步信号CSYNC不使各T-FF329-—333复位的场合)。T-FF329-332的$\overline{Q}$输出分别被传送给或门OG1-OG3。

或门OG1接收T-FF329-332的各个输出$\overline{Q}$。或门OG2接收T-FF329-330和332的输出。或门OG3接收T-FF 29的$\overline{Q}$输出、和使T-FF332 $\overline{Q}$输出通过反相器IV1的信号。

为了把计数器(T-FF329-333)的复位定时和水平同步信号HSYNC送给下一级比较器26，而设置或门OG4，置位/复位多谐振荡器334，335和336，以及与门AG1，AG2和与非门NG1。

或门OG4接收或门OG1输出通过反相器IV2的信号，以及来自H滤波器202的同步信号CSYNC(水平和垂直同步信号)。置位/复位触发器334-336分别用D型多谐振荡器(D-FF)构成。使置位/复位多谐振荡(以下简称$\overline{SR}$-FF)的D输入和C输入和电源电位Vcc相连，在其置位输入$\overline{S}$上接收或门OG2的输出，在其复位输入$\overline{R}$上接收$\overline{SR}$-FF335的$\overline{Q}$输出。$\overline{SR}$-FF335的D输入和C输入与电源电位Vcc相连，其置位输入$\overline{S}$与$\overline{SR}$-FF334的Q输出相连，其复位输入$\overline{R}$和与非门NG1的输出相连。$\overline{SR}$-FF336的D输入和C输入和电源电位Vcc相连，其置位输入$\overline{S}$和或门OG2输出相连。其复位输入$\overline{R}$与或门OG3输出相连。$\overline{SR}$-FF336的Q输出被送给与非门AG2。

与门AG1接受$\overline{SR}$-FF334的输出Q和$\overline{SR}$FF335的输出$\overline{Q}$。与非门NG1接收与门AG1的输出和或门OG4的输出。与门AG2接受$\overline{SR}$-FF336的输出Q和来自H滤波器202的同步信号CSYNC。把与门AG2的输出送给比较器26和同步检测器48。以下参照作为

其动作波形图的图 11 对动作进行说明。

T-FF329-333，每当分别把时钟信号 CLK 送给输入 T 时，就使其输出 $\overline{Q}$ 的状态反转，与其同时，把复位信号送给复位端子 $\overline{R}$ 上时，则从其输出 $\overline{Q}$ 中输出“1”的信号因此，只要不供给复位信号，T-FF329-333 就能构成对时钟信号 CLK 进行 32 个计数的计数器。

或门，当至少使一个输入信号成为“H”时，则输出“H”信号。也就是各个或门 OG1-OG3，所供给的输入信号全部为“L”电平时，则输出“L”信号。因此，当计数器(T-FF329-333)对时钟信号 CLK 计数到 11 个时，则或门 OG2 的输入全部为“L”，或门 OG2 的输出(结点 Q3)为“L”。据此，使 $\overline{SR}$-FF334 置位，其输出 Q 成为“H”。在此状态，当从 H 滤波器 202 传送水平同步信号 HSYNC 时，则与门 AG1 的输出(结点 Q6)是“H”电平，因此与非门 NG1 的输出为“L”电平。据此，使 T-FF329-333 复位，其输出 $\overline{Q}$ 全部为“H”电平。因此，计数器(T-FF329-333)的计数动作与水平同步信号同步。在该计数器(T-FF329-T-333)被复位的同时，用与非门 NG1 使 $\overline{SR}$-FF335 复位，该 $\overline{SR}$-FF335 的输出 Q 为“L”，然后 SR-FF334 复位。因此，继此 SR-FF334 和 335 复位之后，对时钟信号 CLK 计数到 11 之前，结点 Q6 的电平为“L”电平，所以与非门 NG1 的输出为“H”。因此，不输入来自 H 滤波器 202 的同步信号 CSYNC，而执行计数器(T-FF329-333)的计数动作。据此，能防止同步信号 CSYNC 内的噪音，以及图像信号在同步信号期间发生漂移的视频沉陷现象。

在水平同步信号消失的场合当计数器(T-FF329-333 对时钟信号计数到 15 时，则或门 OG1 的输出为“H”，可以通过或门 OG4，把“H”信号传送给与非门 NG1，并且进行和水平同步信号输入时相同的动作。

一方面，由于 $\overline{SR}$-FF336，在对时钟信号 CLK 计数到 11 时，按

照或门 OG2 的输出(结点 Q3)被置位，因此结点 Q1 的输出成为“H”电平。另一方面，在计数器(T-FF329-333)完成复位后，$\overline{SR}$-FF336 因或门 OG3(结点 Q4)的输出而复位，结点 Q1 的电位下降到“L”电平。因此，在正常向与门 AG2 供给水平同步信号的期间，所对应的门信号也由$\overline{SR}$-FF336 向与门 AG2 供给，输出来自 H 滤波器 202 的同步信号 CSYNC(正确为 HSYNC)，且传送给比较器 26 和同步检测器 48。此水平同步信号调整范围是，时钟信号 CLK 的计数值在 11 至 15 之间。通过把这种结构的 H 窗电路作为带通滤波器使用，和模拟滤波器不同，可以通过高集成化的电路结构仅使所希望的频带通过(把水平同步信号作为中心频率的信号频带)。

接着，对相位比较器 16 和相位·频率型比较器 26 的结构和动作进行说明。

参照图 12，相位比较器 16 用脉冲宽型相位检波器构成，相位频率型比较器 26 具有边缘触发器型相位检波器的结构。

相位比较器 16 包含与门 AN10，AN11 和反相器 IV10，IV11。与门 AN10 可接受来自 H 门 203 的同步信号 CSYNC 和来自可编程计数器 204 的模拟水平同步信号 f_H。与门 AN11 通过反相器 IV1 接收模拟水平同步信号 f_H 的同时；还接收来自 H 门 203 的同步信号 CSYNC。反相器 IV1 使与门 AN10 的输出反转而后进行传送。

比较器 26 包含 D 多谐振荡器 340，341 和或非门 NR1，NR2，NR3 以及反相器 IV12。D 型多谐振荡器(以下简 D-FF)340，在其时钟输入 C 上接收模拟水平同步信号 f_H，使其 D 输入和接地电位相连接。使 D-FF341 在其时钟输入 C 上接收来自 H 窗 40′的同步信号 CSYNC，其输入 D 和电源 Vcc 连接。使 D-FF340 每当把信号 f 送给时钟输入端 C 时，从其 Q 输出中输出“L”信号。D-FF341，每次把同步信号 CSYNC 向其时钟输入端子 C 送给时，都从其 Q 输出中输出“L”信号。因此，D-FF340，341，分别被触发成信号 f_H 和 CSYNC

上升沿，使其输出状态变化。

或非门 NR1 接收 D-FF340 的输出 Q 和 D-FF341 的输出 $\overline{Q}$。或非门 NR1 的输出通过反相器 IV12 被送给 D-FF340 的置位输入 $\overline{S}$ 以及 D-FF341 的复位输入 $\overline{R}$。

或非门 NR2 接收非门 NR1 的输出和 D-FF340 的输出 Q。或非门 NR3 接收 DF-FF341 的输出 $\overline{Q}$和或非门 NR1 的输出。接下来对动作进行说明。

首先，如图 13A 所示，对在模拟水平同步信号 f_H 和接收同步信号 CSYNC 频率相同、相位不相同时的动作进行说明。对于包含在相位比较器 16 内的与门 AN10、AN11，分别以给定信号逻辑积进行输出。因此，在结点 A 和结点 B 上出现如图 13A(c)和(d)所示的信号波形。这里，若把模拟水平同步信号 f_H 的脉冲宽设定为接收同步信号 CSYNC 的水平同步信号脉冲宽的两倍，则结点 A 上出现的信号脉冲值和结点 B 上出现的信号脉冲宽相等时，模拟水平同步信号 f_H 和接收水平同步信号 HSYNC 成为相位同步。此脉冲宽型相位比较器 16 根据结点 A 和结点 B 上信号脉冲宽的差，检测出此接收同步信号 CSYNC 和模拟水平同步信号 f_H 的相位差。因此，在此结点 A、B 上的信号脉冲宽相等时，含有此相位检波比较器 16 的 PLL 进行稳定振荡。从此外，这个结构也可看到，此比较器 16 能不受噪音影响而进行相位比较，对于模拟水平同步信号 f_H 的边带(高频)$2f_H$，$3f_H$……也能提供相同的输出特性。

在另一比较器 26 中，D-FF340 每当供给模拟水平同步信号 f_H，就输出“L”信号，另外，D-FF341 每当供给同步信号 CSYNC 时就输出“L”信号，且分别送给或非门 NR1 。或非门 NR1 仅在两方的输入均为“L”电平时才输出“H”信号。在图 13A 所示定时关系的场合，若 D-FF340 的输出 Q 为“L”电平，则 H 或非门 NR1 的输入同时为“L”，故通过反相器 IV1 使 D-FF340 置位，而 D-FF341 被复位。因

此，结点E的电位每当供给此模拟水平同步信号f_H时，便瞬间下降到“L”电平，另一方面，结点F的电位在同步信号CSYNC和模拟水平同步信号f_H的相位差之间成为“L”。因此，使结点D的电位固定为“L”电平，结点C的电位成为和结点A相同的信号波形。

接下来参照图13B，对在模拟水平同步信号f_H和接收同步信号CSYNC的频率不同时的动作进行说明。图13B表示模拟水平同步信号f_H的频率是接收水平同步信号CSYNC的1/2时的一个例子。在此场合，接收同步信号错开1个周期的信号分别以与水平周期信号f相同的相位，出现在结点A和B上。另一方面，在结点C上输出“L”电平的信号，且在结点D上出现模拟水平同步信号f_H的反转信号。此相位比较器16和相位频率型比较器26的输出转换，是通过构成开关电路42的3状态缓冲器TB1-TB4来实现的。每个3状态缓冲器TB1-TB4在向控制端子供给“L”信号时即成导通状态，此外，输出成高阻抗状态。缓冲器TB1通过反相器IV30接收或非门NR2的输出，缓冲器TB2接收或非门NR3的输出，缓冲器TB3通过反相器IV11接收与门AN10的输出，缓冲器TB4接收与门AN11的输出。向3状态缓冲器TB1,TB2的控制端传送来自同步检测器48的同步检测信号HKILLER，通过反相器IV20向3状态缓冲器TB3,TB4的控制端传送同步检测信号HKILLER。因此，在非同步状态,3状态缓冲器TB1,TB2成导通状态，选择相位·频率型比较器26的输出。另一方面，在同步状态,3状态缓冲器TB3,TB4成导通状态，选择相位比较器16的输出。

接下来对低通滤波器44的结构和动作进行说明。

参照图14，低通滤波器44在其输入级包含P通道MOS晶体管PT1和n通道MOS晶体管NT1。P通道MOS晶体管PT1和n通道MOS晶体管NT1在电源电位Vcc和接地电位间形成互补连接。把开关电路42的输出即结点V的电位送给P通道MOS晶体管

PT1 门。把开关电路的输出结点 V 的电位送给 n 通道 MOS 晶体管 NT1 门。P 通道 MOS 晶体管 PT1 和 n 通道 MOS 晶体管 NT1 的接点电位，通过电阻 R11，R12 被送给反相器 IV30。电阻 12 和模拟开关 AS1 并联。把来自同步检测器 48 的同步检测信号 HKILLER 通过反相器 IV31 送给模拟开关 AS1 的控制端。电容器 10 和电阻 13 串联在结点 1(电阻 12 和反相器 IV30 的接点)和接地电位之间。把模拟开关 AS2 和电阻 14 的串联体和电阻 13 并联连接。此外，在结点 1 和接地电位间还设置电容器 C11。模拟开关 AS2 的控制端接收来自同步检测器 48 的同步检测信号 HKILLER。为了使反相器 IV30 的输出反转后进行传送而设置 n 通道 MOS 晶体管 NT2，电阻 R20，R21。把反相器 IV30 的输出送至 n 通道 MOS 晶体管 NT2 门。使直流控制电压信号从电阻 R20 和电阻 R21 的连接点送给电压控制振荡器 46′的电压控制端。

模拟开关 AS1，AS2，当向其控制端传送“H”电平信号时呈导通状态。低通滤波器 44 具有把比较器 26 或 16 的输出变换成直流电位，且导出送给电压控制型振荡器 46′ 的控制电压的功能。当增加低通滤波器 44 的时间常数时，则 PLL 被锁定之前需要时间。因此，在接通电源时，在频道转换等过程中，在图像成为正常状态之前需要时间，然而使弱电场特性得到改进。

另一方面，当减少此低通滤波器 44 的时间常数时，则 PLL 锁定的时间缩短，然而，由于在弱电场时跟踪此噪音，使弱电场特性恶化。

同样，一旦提高 PLL 的控制灵敏度，则使 PLL 到达锁定之前的时间变短，使弱电场特性恶化。另一方面，若降低控制灵敏度，则使 PLL 到达锁相时为止的时间变长，使弱电场特性提高。PLL 所需要的特性是，PLL 为非同步状态时，减少时间常数，提高其控制灵敏度，从而缩短到达锁定为止的时间。一旦成为同步状态，则增加

时间常数，使控制灵敏度稍稍降低，从而使弱电场特性得到改进。下面对动作进行说明。

当结点U的电位为"L"电平时，P通道MOS晶体管PT1呈导通状态。电流i从电源电位Vcc，通过电阻R11，R12流向电容器C10，使电容器C10充电。一方面，当结点V的电位为"H"的场合，n通道MOS晶体管NT1呈接通状态，通过电阻R11，R12，使电容器C10的充电电位放电。另外，结点U的电位为"H"，结点V的电位为"L"的场合，晶体管PT1,NT1都呈关闭状态，使电容器C10的电位保持。不会发生使结点U的电位为"L"，结点F的电位为"H"的情况(结点D的电位通过反相器IV50被送给结点U(参照图12)。

P通道MOS晶体管PTI呈导通状态期间(结点U的电位为"L"期间)和n通道MOS晶体管NT1呈导通状态期间(结点V的电位为"H"期间)形成的差分就成为结点1中的直流电位。此结点1的电位通过反相器IV30(在输入部具有输入稳定用电容器C11)被直流放大后，进而通过n通道MOS晶体管NT2,送给电压控制型振荡器46′的控制端。

在PLL电路为非同步状态时，信号HKILLER为"L"，故模拟开关AS1呈导通状态，模拟开关AS2呈关闭状态。当模拟开关AS1呈导通状态，则电阻R12呈短路状态，电流i变大，PLL电路中的控制灵敏度得到提高。此时，由于同时使模拟开关AS2呈关闭状态，因此电容器(12仅和电阻R13相连接，使此低通滤波器44中的时间常数变短。因此，使PLL的调整时间变快，使到达锁定的时间缩短。

在同步状态中，使同步检测信号HKILLER成为"H"。因此模拟开关AS1呈关闭状态，模拟开关AS2呈导通状态。当模拟开关AS1为关闭状态时，则电阻R11，R12串联连接，使电流i变小。据

此，使PLL的控制灵敏度降低。另一方面，当模拟开关AS2为导通状态时，电阻R13，R14为并联连接，使低通滤波器的时间常数变小。因此使弱电场特性得到改进。

接着，对H门的电路结构进行说明。参照图15，H门203具备接收来自H门脉冲发生器206的H门信号的反相器IV50，接收来自同步检测器48的同步检测信号HKILLER和反相器IV50输出的与非门NA50，接收来自与非门NA50输出和同步分离电路201的接收同步信号CSYNC的与门AG50。与门AG50的输出向相位比较器16和同步检测器48传送。对以下的动作，参照作为其动作波形图的图16A和图16B进行说明。图16B是对图16A中所示虚线框的放大表示图。

接收同步信号CSYNC包含水平同步信号HSYNC和垂直同步信号。在此垂直同步信号(包含用垂直回描期间规定的等价脉冲)期间，有必要关闭H门203。为此，来自H门脉冲发生器206的门信号HGATE成为在此垂直同步信号区间不能发生的信号。在非同步状态，同步检测信号HKILLER为"L"电平。因此与非门NA50的输出成为"H"，把与门AG50作为启动状态，使来自同步分离电路201的同步信号CSYNC全部通过。

一方面，在同步状态，同步检测信号HKILLER为"H"电平，与非门NA50起到反相器作用。因此，门信号HGATE通过反相器1 V50被送给与非门NA50，因此与门AG50仅在传送此门信号HGATE期间，呈启动状态。此门信号HGATE如图16B所示，具有比同步信号更宽的脉冲宽度。因此，仅导出此与门AG50成为启动状态时，所传送的水平同步信号，且向下一级的电路传送。因此可以防止同步信号中的噪音或传送使视频信号降低等不需要的成分。

此外，对有关来自同步检测电路48的同步检测信号

HKILLER 的导出方法进行说明。此同步检测电路 48 具有对水平同步信号的有无进行检测的部分和对此检测结果进行平均值处理的部分。此时，在同步检测过程中，在来自电压控制型振荡器 46 的分频信号 f_H 成为"H"后，存在由同步分离电路 14 分离的水平同步信号 HSYNC 的场合，对在此水平同步信号 HSYNC 期间的时钟信号进行计数。若此时钟的计数值在规定值以上，则被判断为同步成立，且输出"H"电平信号。当此计数值在规定值以下的场合，则被判断为同步不成立，且输出"L"电平信号。通常在同步状态，采用相位·频率型比较器场合的分频电路的输出 f_H 和水平同步信号 HSYNC 的上升期间大致相同。另一方面，在采用第一相位比较器 16 的场合，此分频电路输出 f_H 比水平同步信号 HSYNC 滞后规定的时间。这样的相位关系在程序计数器 204 中被引出。

在图 8 所示的实施例中，在无信号输入时，由于噪音等原因，使得由相位频率型比较器 26，低通滤波器 44 以及电压控制型振荡器 46 组成的第二 PLL 自由振荡，可以看作是不能把电压控制型振荡器 46 的振荡频率调整成水平同步信号频率的场合。这样的场合，在显示画面上进行表示文字或频道数等的接通屏幕显示时，文字信号图像上发生摇晃，不能正确进行接通屏幕显示。图 17 表示这样的无信号输入时提高性能的实施例。

图 17 所示实施例的相位同步电路结构，基本上和图 8 所示的相同。和此图 8 所示实施例不同之处是设置了产生 3.58MHz 信号的着色载波发生电路 50，对此 3.58MHz 的信号进行 2/455 分频的分频电路 52，较换来自此分频电路 52 的模拟水平同步信号 f_H 和来自同步分离电路 14 的收信水平同步信号的第二开关电路 54，以及为进行此开关电路 54 的开关控制的门电路 56,58。其它结构则和图 8 所示实施例相同，因而使对应的部分带有相同的参考标号。

第二开关电路 54，通过带通滤波器 40，把包含在收信电视信号

中的水平同步信号送给其 g 端，把来自分频电路 52 的模拟水平同步信号 f_H 送给其另一输入端 h。着色载波发生电路 50 调整晶体振子 60 的振荡频率，并导出 3.58MHz 的信号。

反相器 56，使来自同步检测电路 48 的同步检测信号反转。与门 58 接收反相器 56 的输出和每一预定期间进行反转的脉冲信号。从与门 58 输出开关电路 54 的控制信号。下面对动作进行说明。

首先，在动作开始时，由于是非同步状态，因此同步检测电路 48 输出“L”电平。据此，第一开关电路 42，其接点连接到 f 上。把来自此同步检测电路 48 的“L”信号送至反相器 56，被反转成“H”信号后，送给与门 58 的另一输入端，把在每一预定期间(例如 1 个半帧)反转的脉冲信号送给与门 58 的另一输入端。因此，使与门 58 的输出信号电平在每一规定期间进行反转，使开关电路 54 的接点在每一规定期间内进行转换。与门 58 的输出为“H”电平时，第二开关电路 54，其接点连接到 h 侧。另一方面，当成为“L”电平时，其接点连接到 g 侧。也就是，在非同步时，在每一规定期间，把接收水平同步信号 CSYNC 和模拟水平同步信号 f 中的一个。送给选择相位·频率型比较器 26。

现考虑在某规定期间，与门 58 的输出成为“H”的场合。此时，第二开关电路 54 的接点连接在 h 上。因此由相位·频率型比较器 26，低通滤波器 44 和电压控制型振荡器 46 构成的第二 PLL 起作用，使电压控制型振荡器 46 的振荡频率调整成来自分频电路 52 的模拟水平同步信号 f 。

在下一规定期间，与门 58 的输出为“L”电平。据此，第二开关电路 54 的接点连接在 g 侧。因此，第二 PLL 起作用，把电压控制型振荡器 46 的振荡频率调整成同步分离电路 14 分离的水平同步信号 HSYNC 的频率。

接着，通过此第二 PLL 使电压控制型振荡器 46 的振荡频率和

相位接近于水平同步信号的频率(或一致)时，则用同步检测电路48来检测，且同步检测电路48的输出成为“H”。据此，使第一开关电路42的接点转换到e侧。

其结果是，由相位比较器16，低通滤波器44以及电压控制型振荡器46构成的第一PLL电路动作，并进行相位控制。

根据上述动作，在非同步时(特别是在无信号输入时)，在进行接通屏幕显示的场合，与电路58的输出为“H”电平(有来自分频电路52的模拟水平同步信号输入时)时，不会使第PLL自由振荡，而被锁定在模拟水平同步信号f的频率上。在此锁定期间，从图中未表示的文字信号发生电路，输出文字信号，在液晶显示器上进行接通屏幕显示。

另一方面，在与电路58的输出为“L”电平的场合，则停止从图中未表示的文字信号发生电路输出文字信号。这时，规定期间若是1个半帧期间，则液晶显示器的各液晶元件具有如图1所示的电荷保持用电容器。在此期间，即使使文字信号的输入停止，液晶显示器仍保持上次的显示内容。

根据上述结构，在非同步时，特别在无信号输入时，即使进行接通屏幕显示，也不会发生水平同步信号频率和相位的摇晃，因而在显示的图像上也不会发生摇晃。

此外，在上述实施例中，作为显示装置，是把液晶显示器作为一例进行说明。然而作为显示装置，如果是其它的等离子显示装置等的矩阵型显示器，则也可得到和上述实施例同样的效果。

如上所述，若根据本发明，则其结构是，在非同步时，会产生时间错开△T，但是具有仅为单一锁相区域的第二PLL动作进行频率锁定，然后使抗干扰的第一PLL动作，并对接收水平同步信号进行频率和相位的锁定，所以能得到始终对接收水平同步信号进行相位和频率锁定的水平驱动脉冲。

此外，由于能经常使电压控制型振荡器的振荡频率和相位相对接收水平同步信号准确地锁定，因此，即使对于像素数不同的液晶板，也能获得经常导出准确水平同步信号的通用水平同步电路。

此外，由于用在每一规定期间具有稳定频率的模拟水平同步信号来产生水平驱动脉冲，因此，即使在非同步时进行接通屏幕显示，显示的文字和图像也不会发生摇晃。

专利号 89 1 07006
Int. Cl.[5] H04N 5/12
授权公告日 1993 年 5 月 26 日

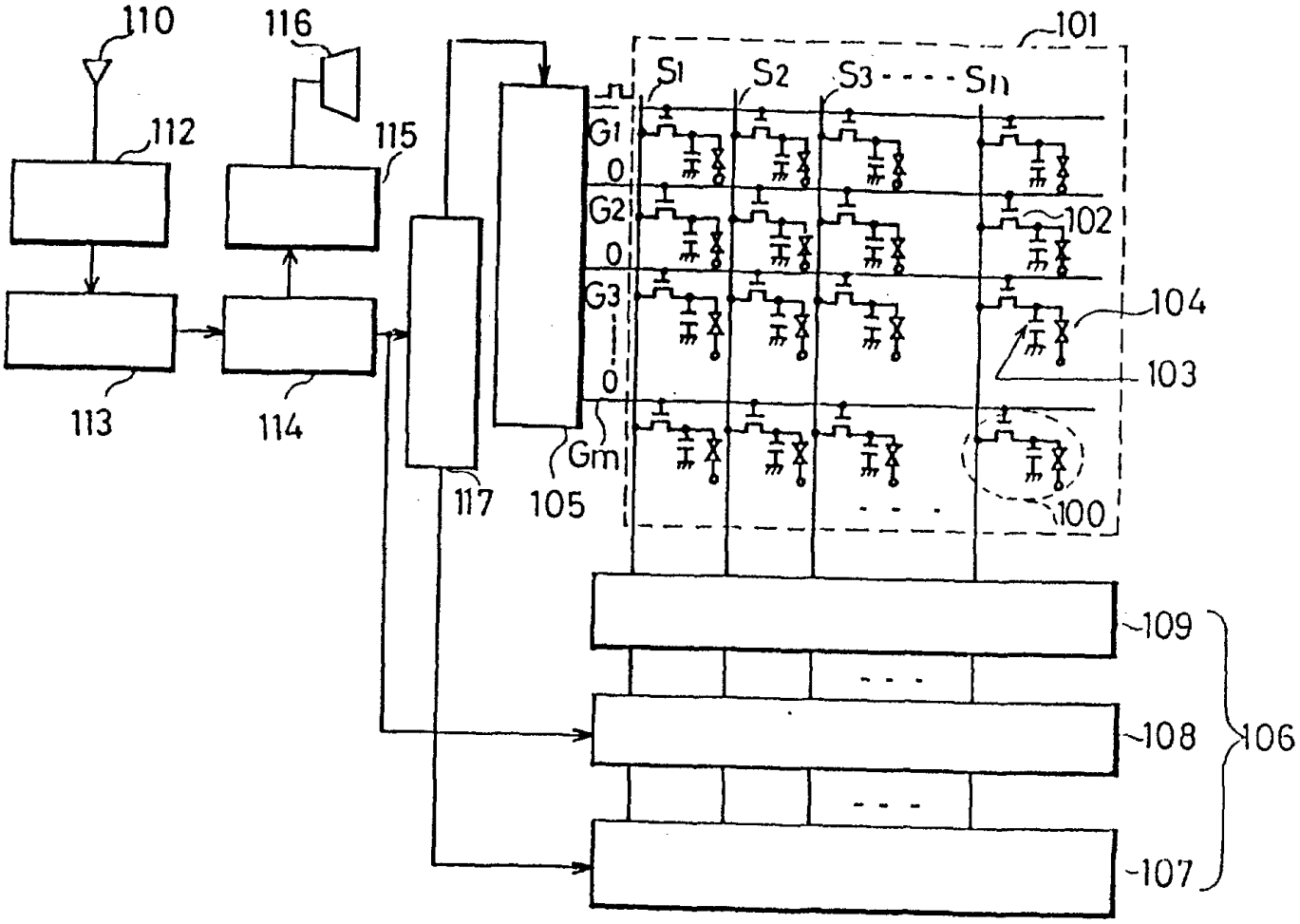


图 1

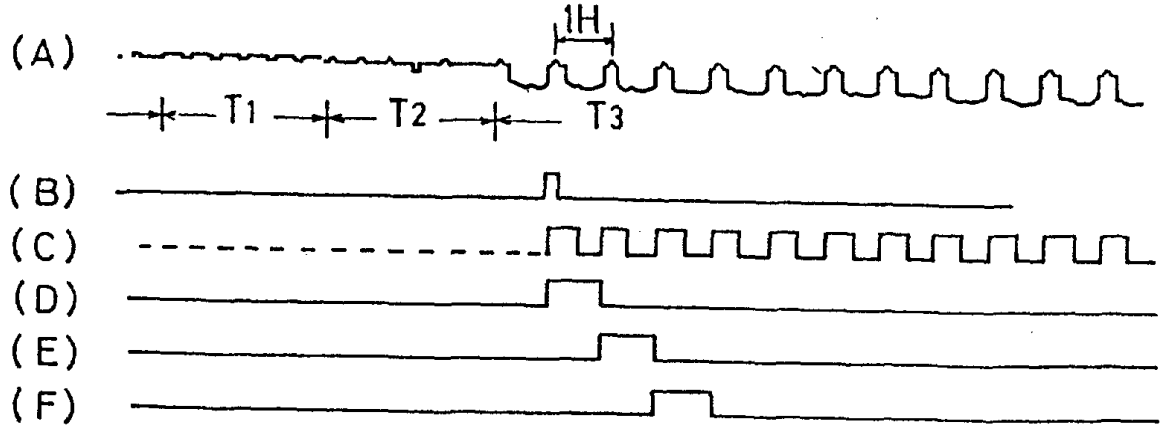


图 2

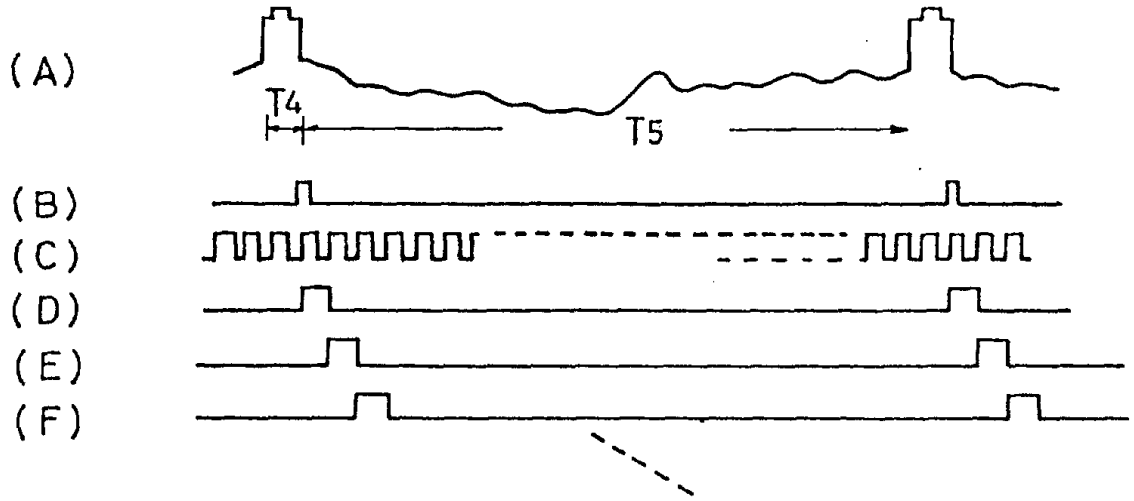


図 3

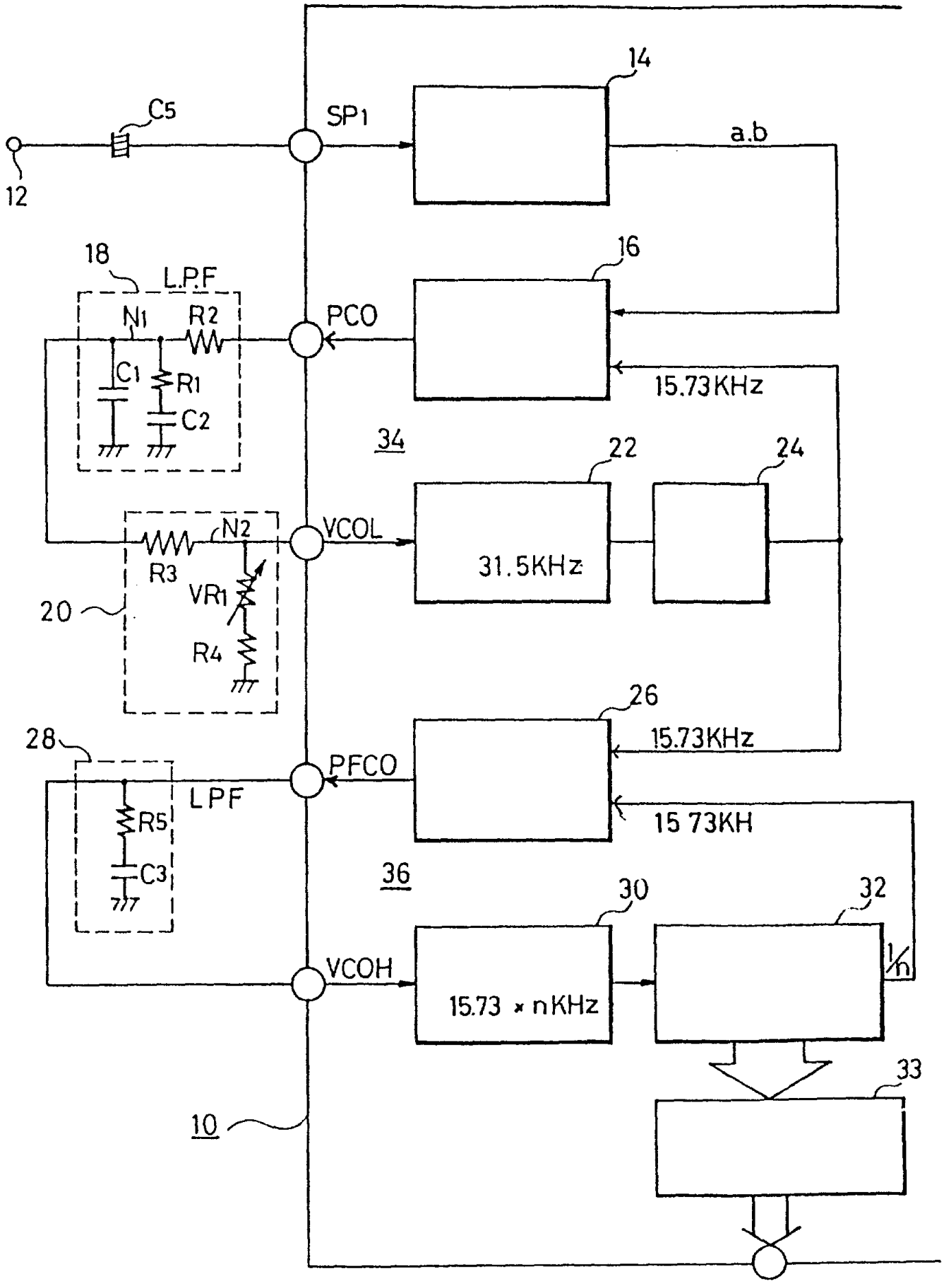

14
C5
SP1
a.b
12
18
L.P.F
16
N1
R2
PCO
C1
R1
C2
15.73KHz
34
22
24
N2
VCOL
31.5KHz
R3
VR1
20
R4
26
28
15.73KHz
PFCO
LPF
R5
15 73KH
C3
36
30
32
VCOH
15.73 × nKHz
1/n
33
10

図 4

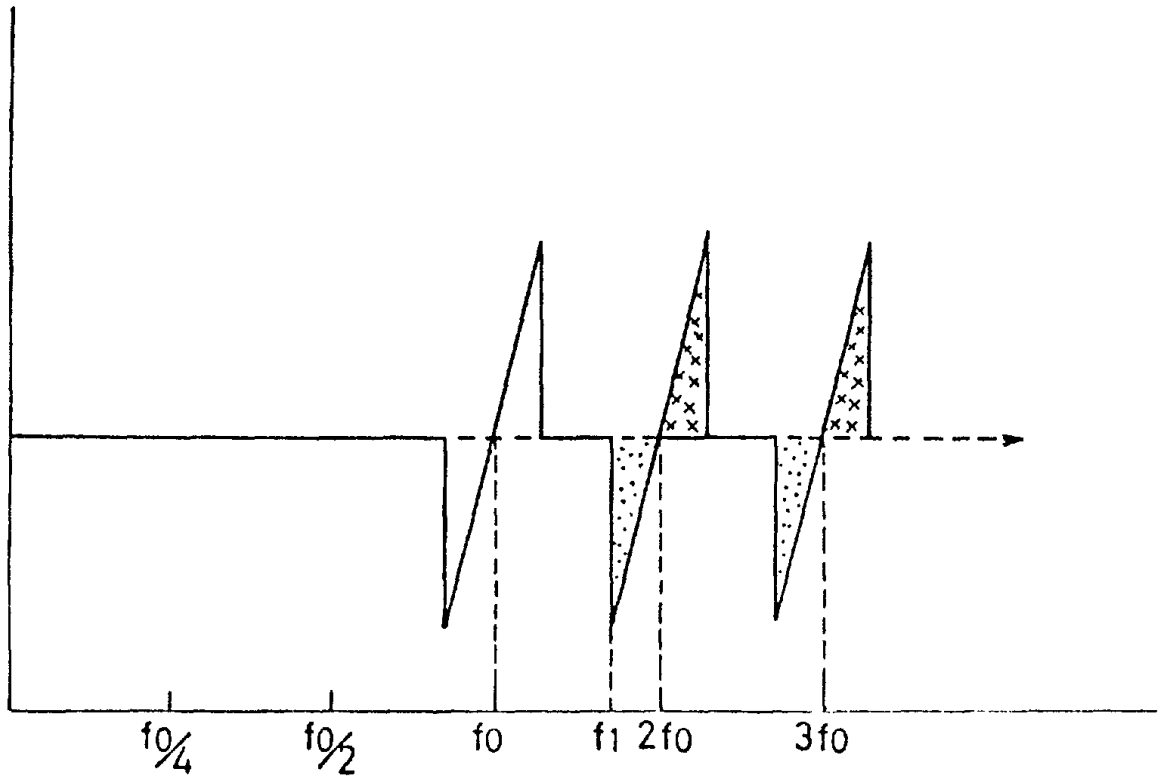


図 5

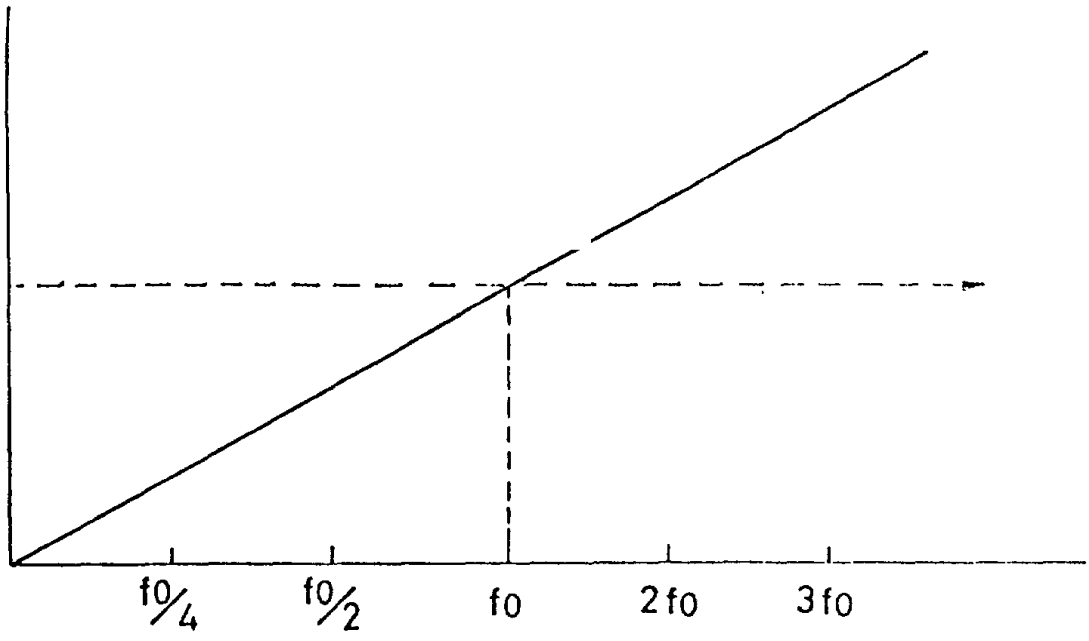


図 6

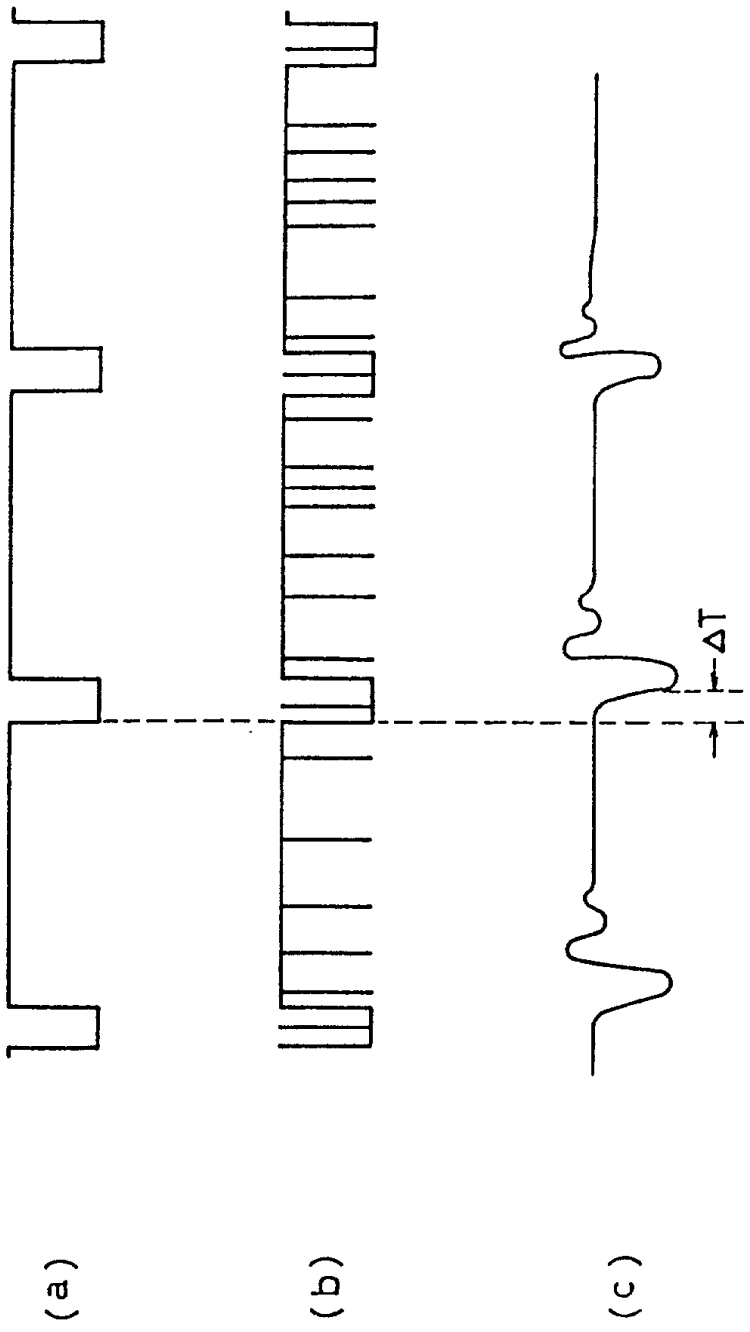


図 7

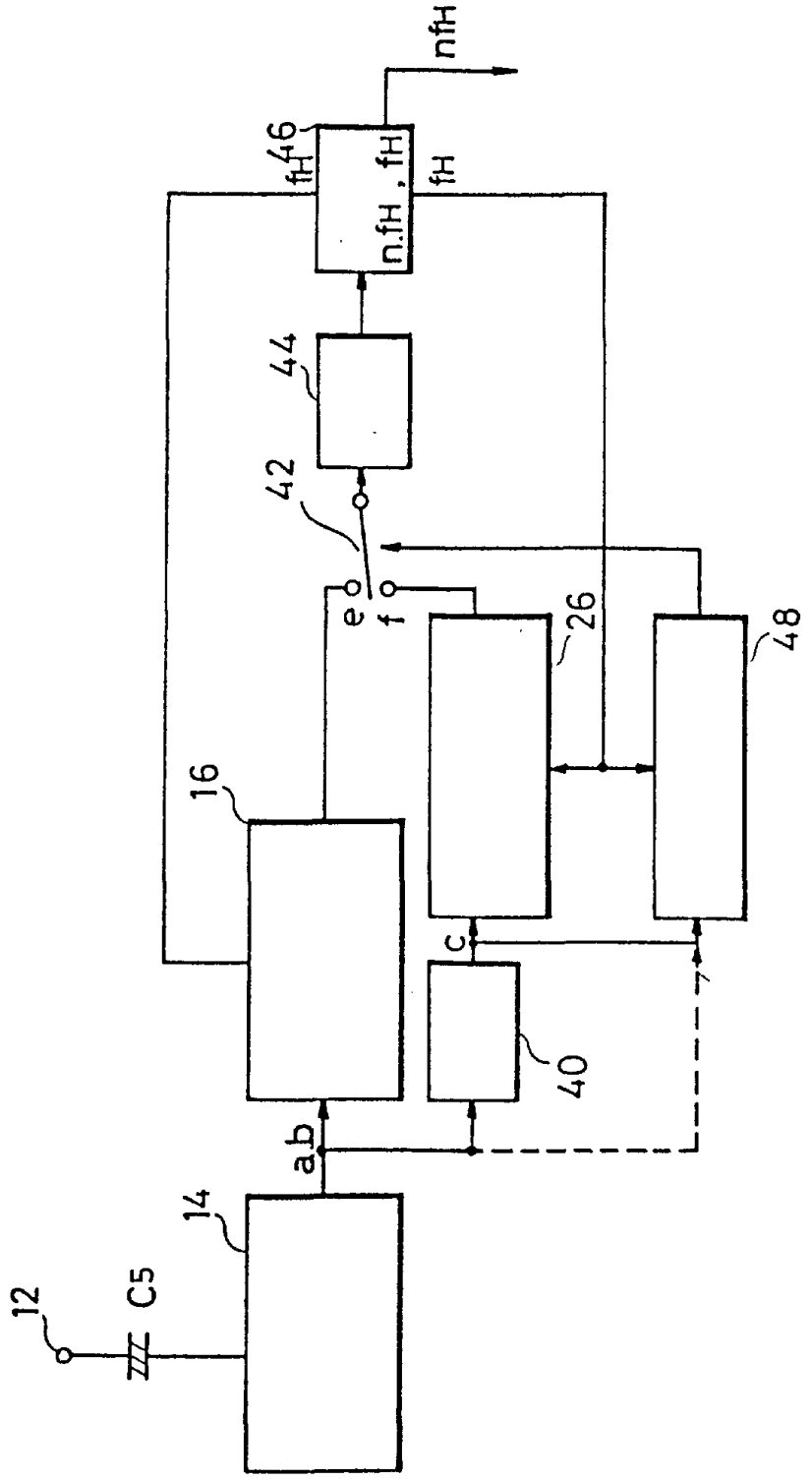


图 8

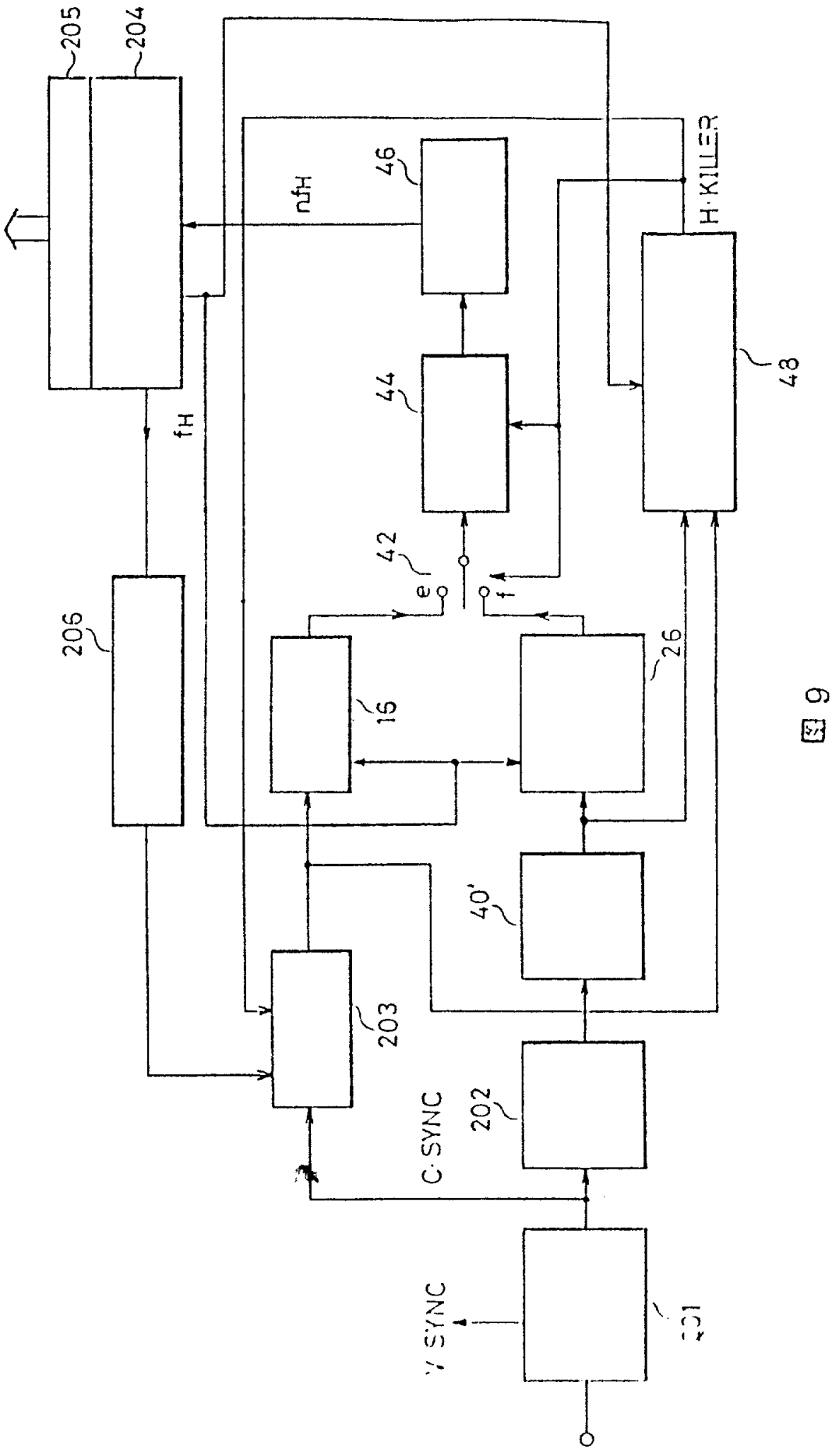

205
204
46
nfH
H·KILLER
44
48
fH
42
e
f
206
15
26
40'
203
C·SYNC
202
V·SYNC
201

図 9

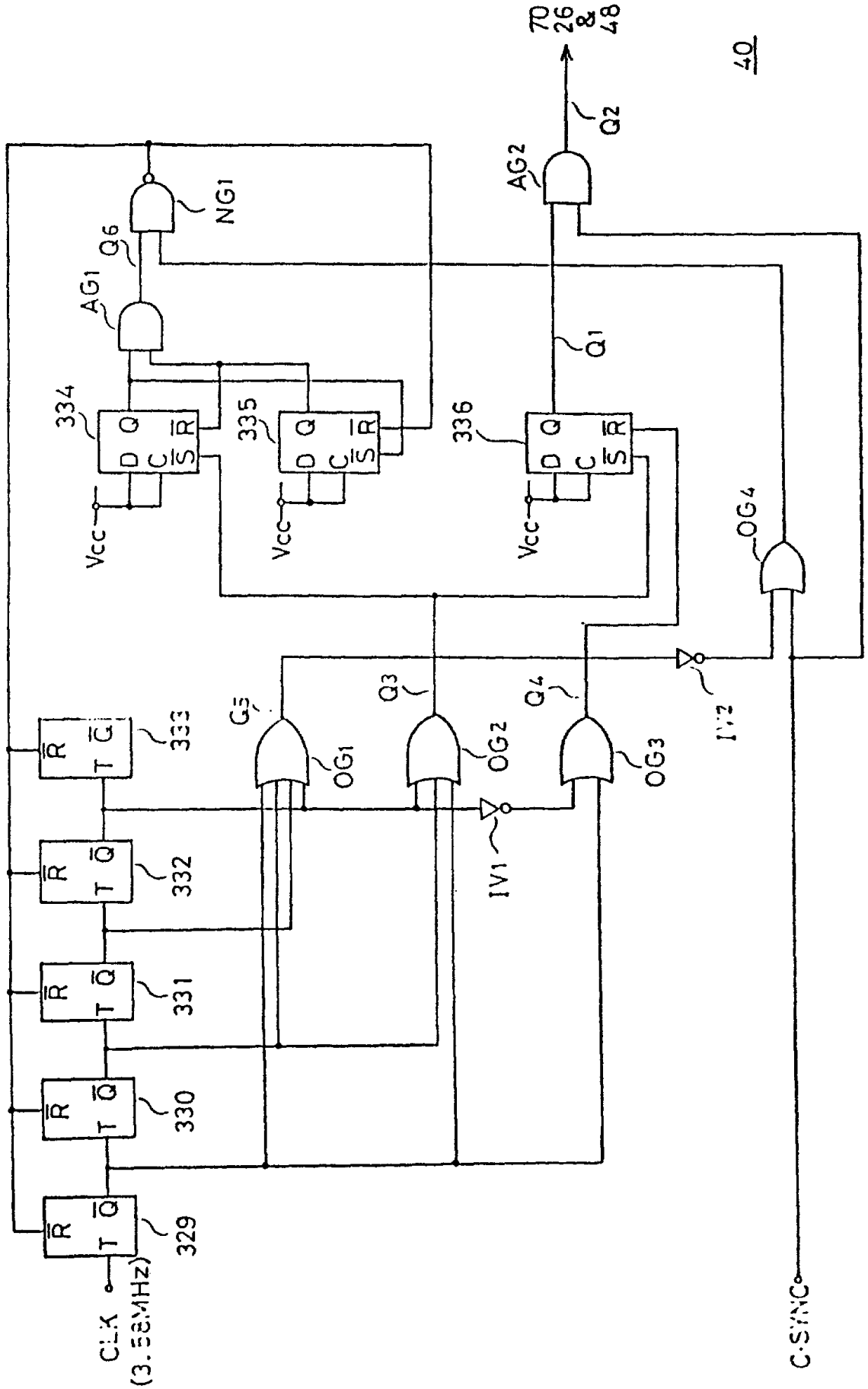

70
26
&
48
40
Q2
AG2
NG1
Q6
AG1
Q1
334
335
336
D
C
Q
R
S
Vcc
OG4
Q3
Q4
G5
OG1
OG2
OG3
IV1
IV2
333
332
331
330
329
CLK
(3.58MHz)
C.SYNC

図10

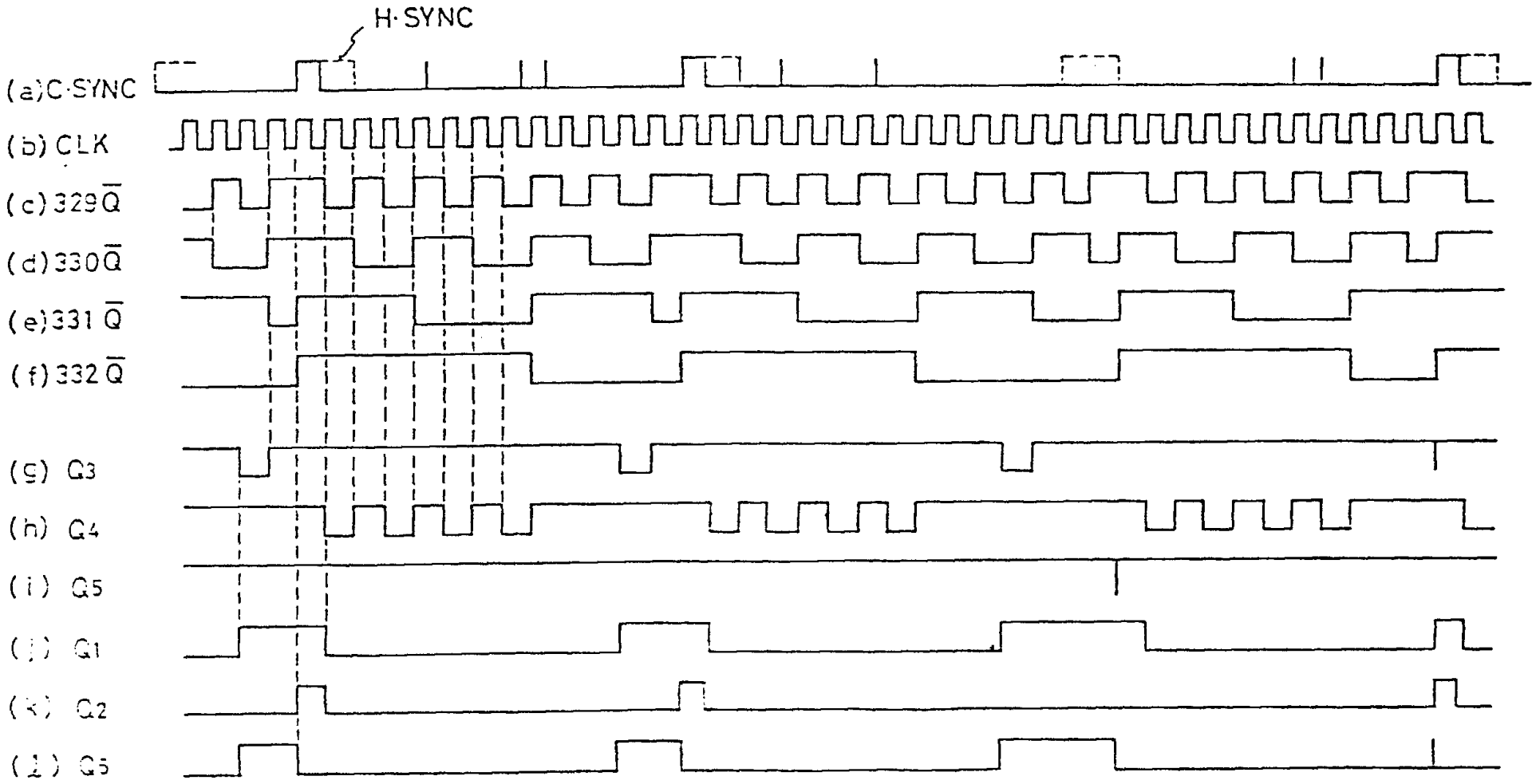

H·SYNC
(a)C·SYNC
(b) CLK
(c) 329 $\overline{Q}$
(d) 330 $\overline{Q}$
(e) 331 $\overline{Q}$
(f) 332 $\overline{Q}$
(g) Q3
(h) Q4
(i) Q5
(j) Q1
(k) Q2
(l) Q6

図 1 1

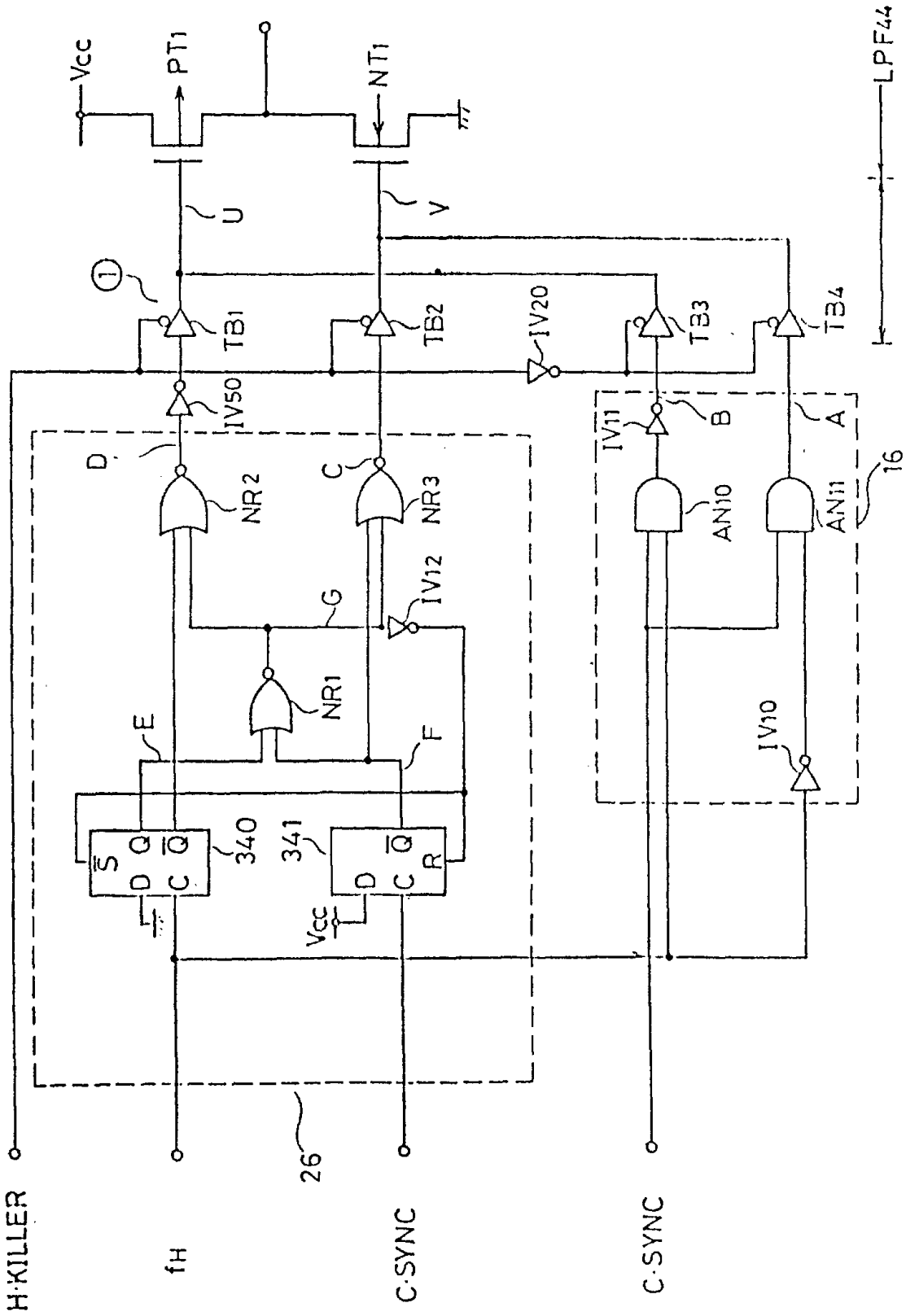

Vcc
PT1
NT1
LPF44
U
V
TB1
TB2
IV20
TB3
TB4
IV50
IV11
B
A
D
C
NR2
NR3
AN10
AN11
16
G
IV12
NR1
IV10
E
F
340
341
S
Q
Q̄
D
C
R
Vcc
H·KILLER
fH
C·SYNC
C·SYNC
26

図 1 2

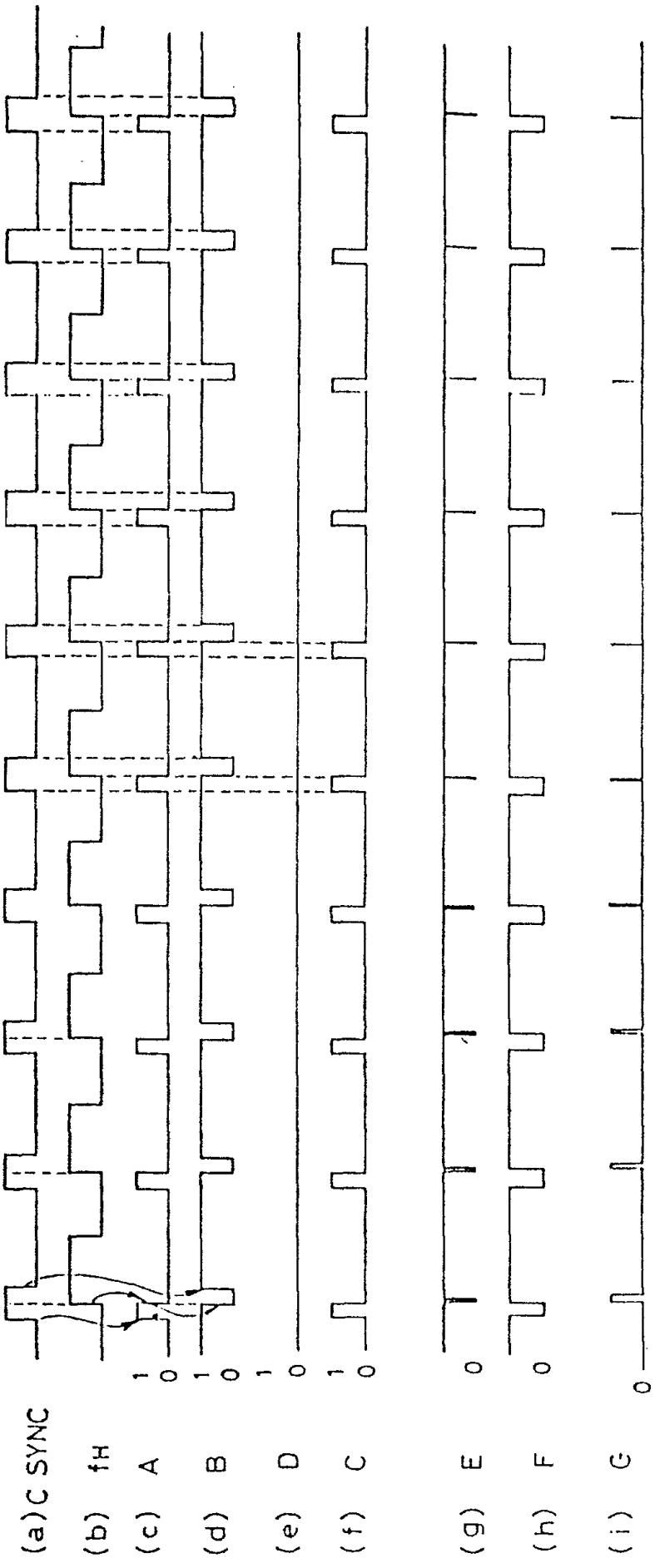


图 1 3 A

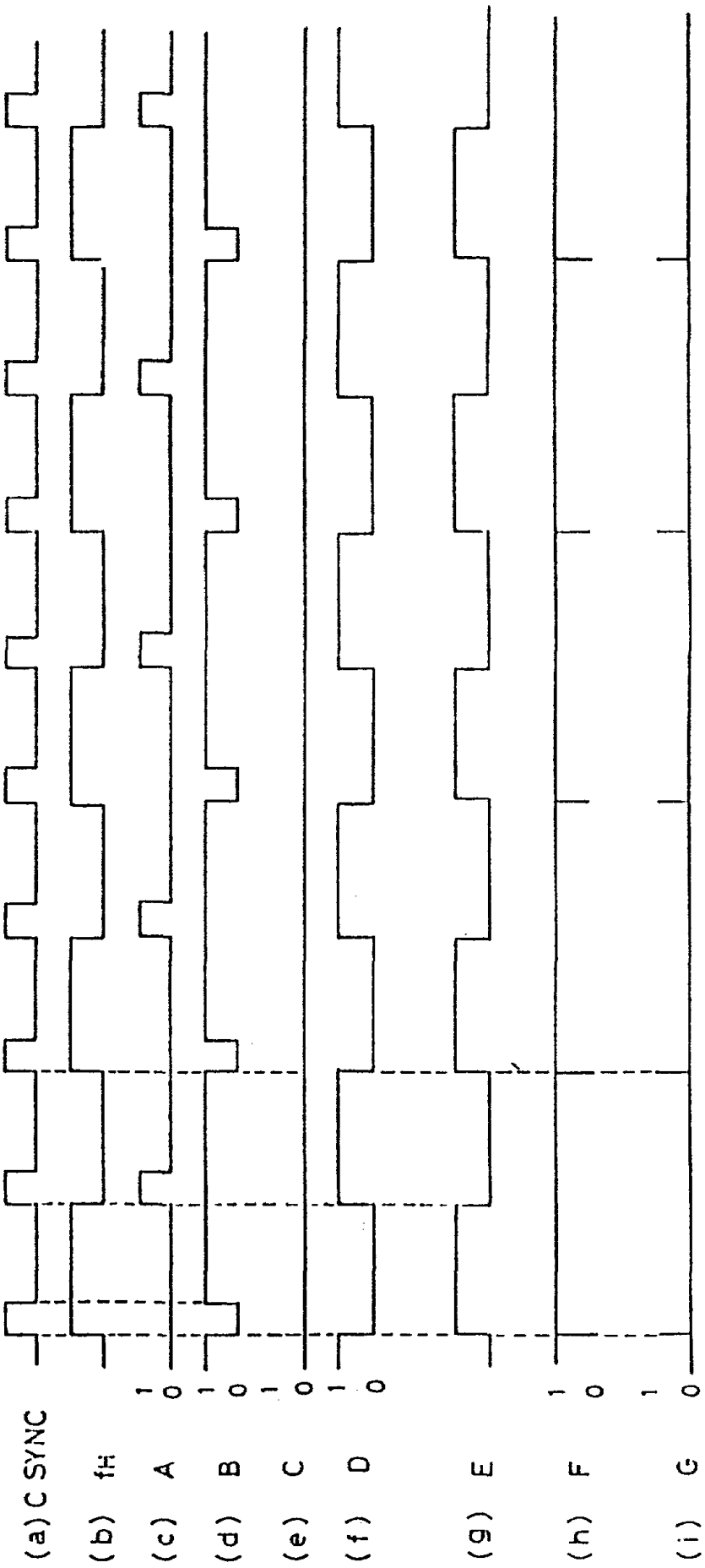


図13B

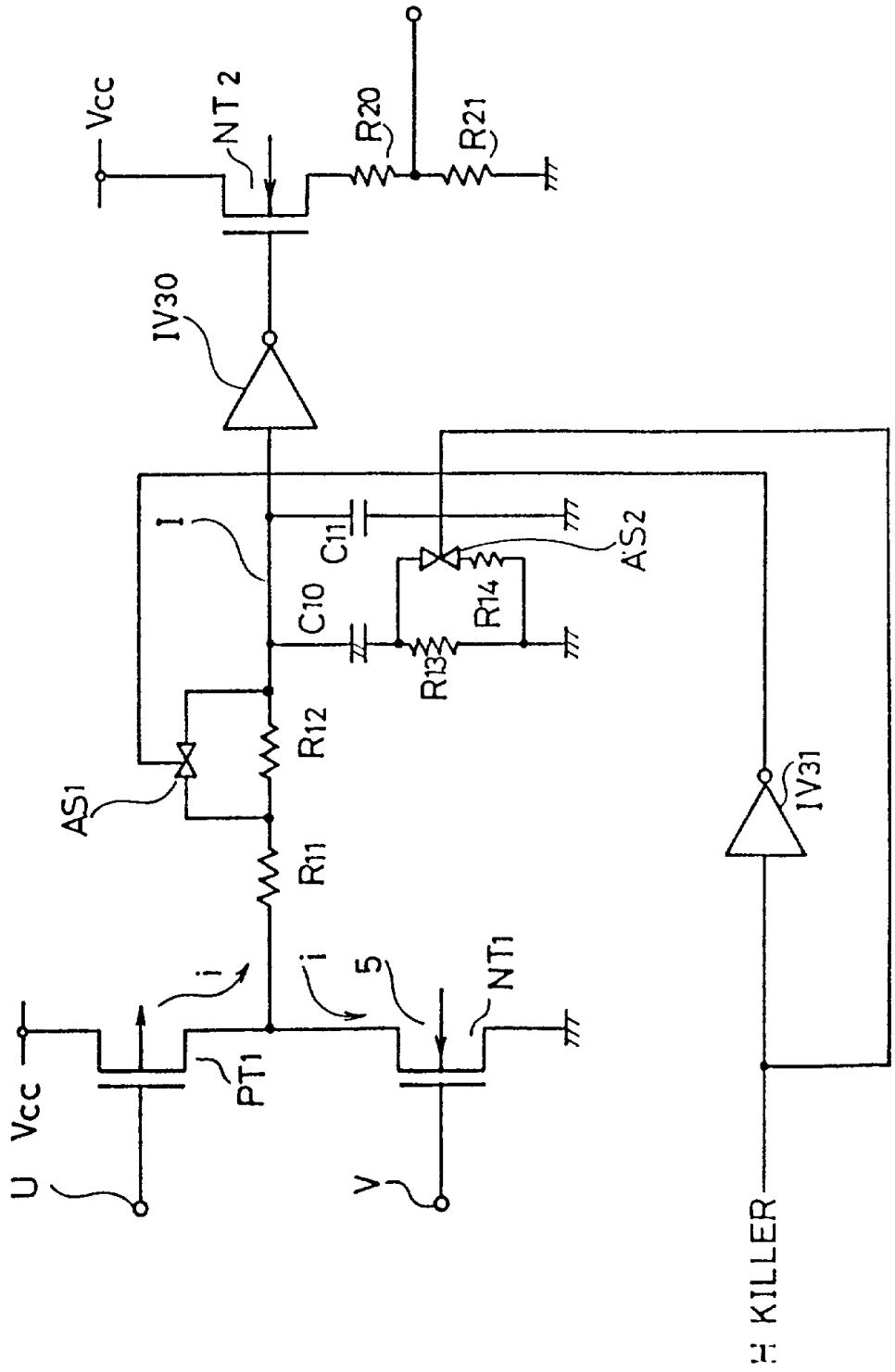

Vcc
NT2
R20
R21
IV30
I
C11
AS2
C10
R14
R13
R12
AS1
R11
i
i
5
NT1
PT1
U Vcc
V
IV31
H KILLER

图 1 4

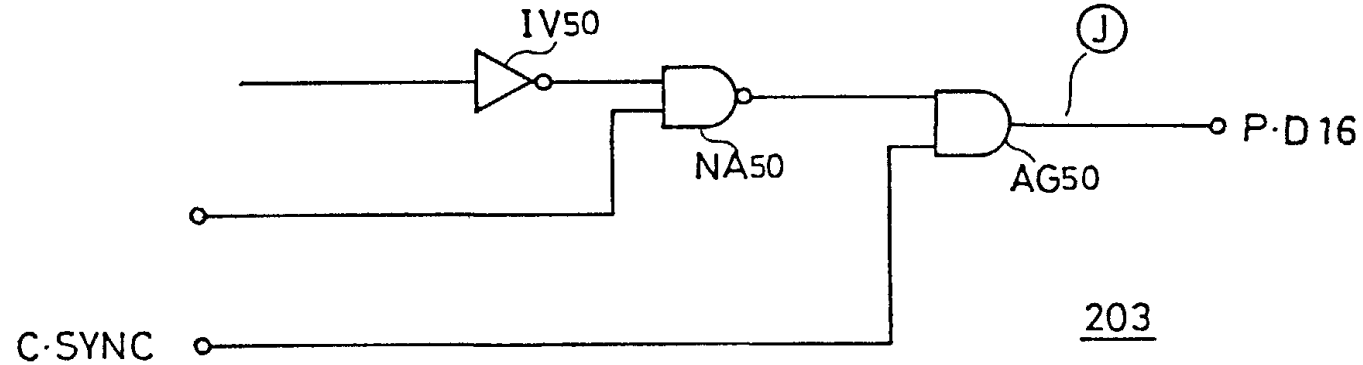


図15

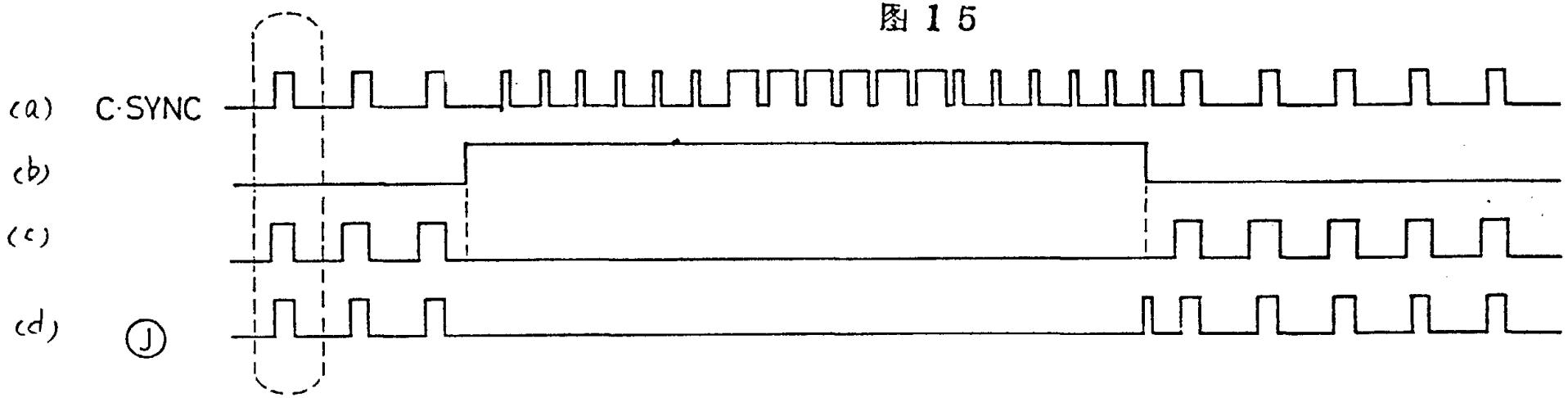


図16A

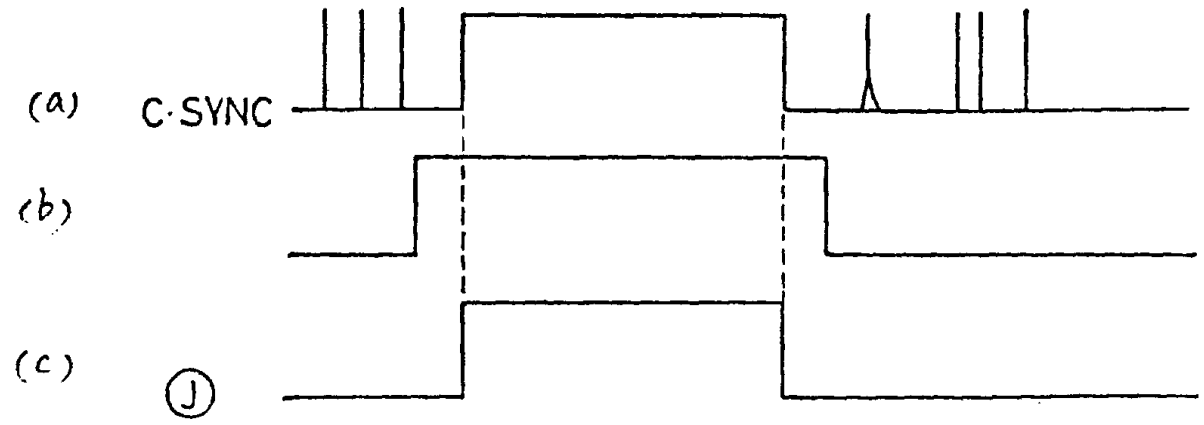


図 16B

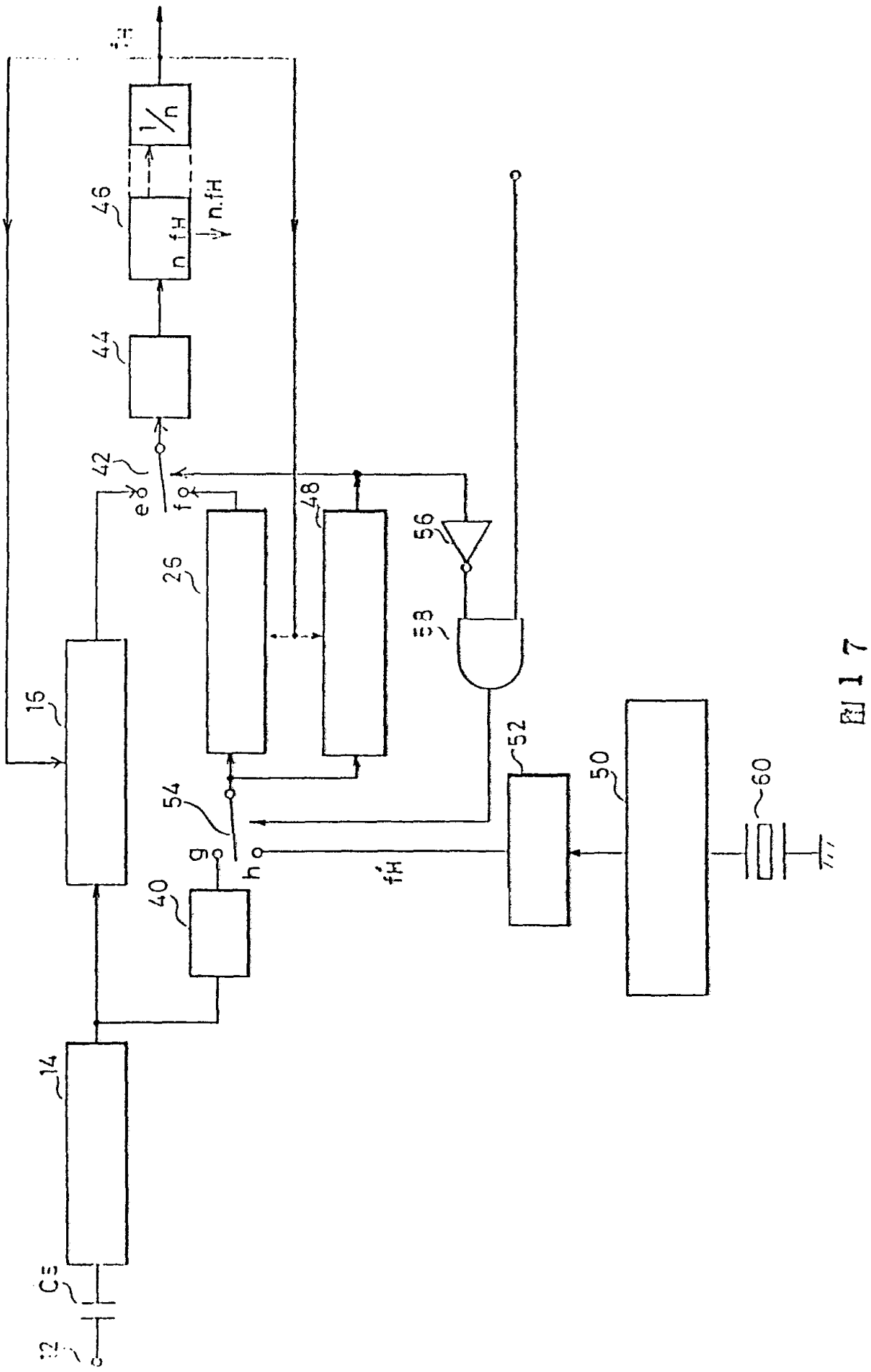


図 1 7