

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(43) Date de la publication internationale
12 décembre 2024 (12.12.2024)

WIPO | PCT

(10) Numéro de publication internationale
WO 2024/251436 A1

(51) Classification internationale des brevets :

H01L 29/08 (2006.01) H01L 29/737 (2006.01)
H01L 29/417 (2006.01) H01L 21/8249 (2006.01)
H01L 29/423 (2006.01) H01L 21/8258 (2006.01)
H01L 29/45 (2006.01) H01L 27/06 (2006.01)
H01L 29/66 (2006.01)

(71) Déposant : COMMISSARIAT A L'ENERGIE
ATOMIQUE ET AUX ENERGIES ALTERNATIVES
[FR/FR] ; 25 Rue Leblanc Bat Le Ponant, 75015 Paris (FR).

(72) Inventeurs : BOUTRY, Hervé ; 17 Avenue des Martyrs,
38054 Grenoble Cedex 09 (FR). DIVAY, Alexis ; 17 Ave-
nue des Martyrs, 38054 Grenoble Cedex 09 (FR). DUBAR-
RY, Christophe ; 17 Avenue des Martyrs, 38054 Grenoble
Cedex 09 (FR).

(21) Numéro de la demande internationale :

PCT/EP2024/061798

(22) Date de dépôt international :

29 avril 2024 (29.04.2024)

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

FR2305684 06 juin 2023 (06.06.2023) FR

(74) Mandataire : HAUTIER IP ; 20 rue de la Liberté, 06000
Nice (FR).

(81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AO,
AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA,
CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,

(54) Title: III-V HETEROJUNCTION BIPOLAR TRANSISTOR AND METHOD FOR PRODUCING SAME

(54) Titre : TRANSISTOR BIPOLAIRE III-V À HÉTÉROJONCTION ET SON PROCÉDÉ DE FABRICATION

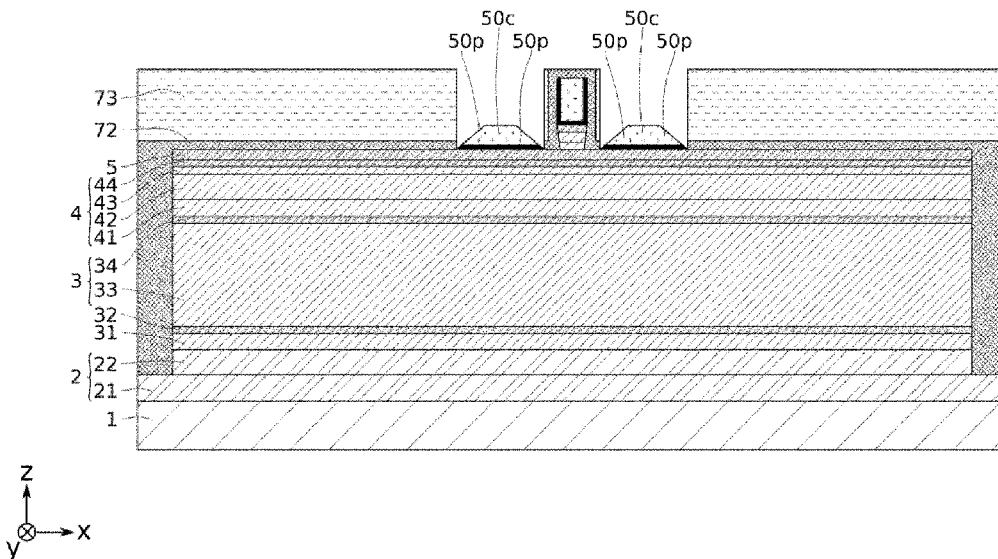


FIG. 13

(57) Abstract: The invention relates to a heterojunction bipolar transistor (HBT) and to a method for producing same, the transistor comprising, on a silicon substrate (1): • a collector layer (3) made of a first III-V material; • a collector layer (4) based on a second III-V material; and • a base layer (5) based on the second III-V material; • an emitter layer (6) based on the first III-V material, wherein the base contact (50) has a central portion (50c) and a peripheral portion (50p) around the central portion (50c) such that the thickness of the peripheral portion (50p) is less than that of the central portion (50c), which thickness decreases as the peripheral portions move further away from the central portion (50c) so as to reduce stray capacitance between the base contact (50) and the emitter contact (60). The transistor is designed for use in a CMOS process.

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) États désignés (*sauf indication contraire, pour tout titre de protection régionale disponible*) : ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée:

- avec rapport de recherche internationale (Art. 21(3))
- en noir et blanc ; la demande internationale telle que déposée était en couleur ou en échelle de gris et est disponible sur PATENTSCOPE pour téléchargement.

(57) Abrégé : Un transistor bipolaire à hétérojonction (HBT) et son procédé de fabrication comprenant, sur un substrat (1) en silicium: • une couche collecteur (3) en un premier matériau III-V, • une couche (4) de collecteur, à base d'un deuxième matériau III-V, et • une couche (5) de base, à base du deuxième matériau III-V, • une couche (6) d'émetteur à base du premier matériau III-V, Dans lequel le contact de base (50) présente une portion centrale (50c) et une portion périphérique (50p) autour de la portion centrale (50c) telles que la portion périphérique (50p) présente une épaisseur inférieure à celle de la portion centrale (50c) et qui décroît en s'éloignant de la portion centrale (50c), de façon à diminuer une capacité parasite entre le contact de base (50) et le contact d'émetteur (60). Le transistor est intégré dans un process CMOS.

5

10

TRANSISTOR BIPOLAIRE III-V À HÉTÉROJONCTION ET SON PROCÉDÉ DE FABRICATION

15

20 DOMAINE TECHNIQUE DE L'INVENTION

La présente invention concerne en général les dispositifs microélectroniques. Elle trouve pour application particulièrement avantageuse la réalisation de transistors bipolaires à hétérojonction HBT, pour des composants radiofréquence (RF).

ETAT DE LA TECHNIQUE

25 Dans le domaine des télécommunications et de la transmission de données à très haut débit, typiquement pour des flux de données supérieurs à 100 Gbits/s, il est nécessaire de disposer de composants RF fonctionnant à des fréquences de travail élevées, typiquement à des fréquences comprises à des fréquences d'oscillation allant jusqu'au THz et au-delà.

Pour de tels composants RF, une amplification de puissance efficace, présentant une fréquence de 30 coupure trois à cinq fois supérieure à la fréquence de travail du composant, est requise. Les transistors bipolaires à hétérojonction HBT, à base d'hétérojonction III-V, sont les plus performants pour l'amplification de puissance aux fréquences supérieures à 250 GHz.

De tels transistors HBT sont actuellement développés sur des substrats de petit format, typiquement inférieur à 100 mm de diamètre, et recourent à des architectures difficilement intégrables industriellement, basées par exemple sur des ponts à air submicroniques ou des matériaux à compatibilité 35 limitée. Les technologies de transistors HBT actuelles ne permettent pas d'envisager une « mise à l'échelle » continue, c'est-à-dire une réduction de dimensions suffisante pour l'accroissement des performances visées par les prochaines générations de composants RF. La compatibilité de ces

technologies avec les procédés d'interconnexion dits de « fin de ligne » (BEOL : Back End Of Line) est en outre faible. Cela limite les possibilités d'intégration de transistors HBT dans des circuits intégrés basés sur une technologie de transistors complémentaires métal-oxyde-semiconducteur CMOS.

5 Le document « A. D. Carter et al., Si/InP Heterogeneous Integration Techniques from the Wafer-Scale (Hybrid Wafer Bonding) to the Discrete Transistor (Micro-Transfer Printing), 2018 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), Burlingame, CA, USA, 2018, pp. 1-4 » divulgue une solution d'intégration de transistors HBT à base d'InP comprenant une partie d'interconnexions dans du BCB (Benzocyclobutan) reliée par une interface de collage hybride
10 à une partie d'interconnexions CMOS. Cette architecture reste difficile à mettre en œuvre. L'assemblage entre la partie CMOS et la partie HBT doit être effectué en fin de procédé, après avoir réalisé tous les niveaux d'interconnexions. Une telle architecture d'intégration limite les possibilités d'applications. Les transistors HBT ne peuvent pas être intégrés au sein de la partie CMOS, par exemple entre différents niveaux d'interconnexions CMOS. Les pertes en transmission entre les différentes
15 fonctions électroniques du circuit intégré, typiquement entre l'amplification de puissance assurée par les transistors HBT et les antennes ou les éléments passifs des niveaux métalliques BEOL, ne sont pas optimisées. Le fonctionnement à haute fréquence reste ainsi limité.

Une autre solution divulguée par le document « T. E. Kazior et al., Progress and challenges in the direct monolithic integration of III-V devices and Si CMOS on silicon substrates, 2009 IEEE International Conference on Indium Phosphide & Related Materials, Newport Beach, CA, 2009, pp. 100-
20 104 » consiste à co-intégrer des portions de composants III-V par épitaxie locale au sein de l'empilement CMOS, en conservant un espace de séparation autour de ces portions de composants III-V. Cette solution limite la densification des composants d'un tel circuit co-intégré. La croissance sélective et la gestion des contraintes pendant la croissance complexifient en outre le procédé.

25 Il existe donc un besoin pour améliorer l'intégration de transistors III-V HBT dans un circuit intégré CMOS.

Un objet de la présente invention est de répondre à ce besoin, en particulier en proposant une architecture de transistor HBT et un système d'intégration plus versatile et plus compact.

Un autre objet de la présente invention est de proposer un procédé de réalisation d'un tel transistor
30 HBT, et un procédé d'intégration.

Les autres objets, caractéristiques et avantages de la présente invention apparaîtront à l'examen de la description suivante et des dessins d'accompagnement. Il est entendu que d'autres avantages peuvent être incorporés.

RESUME

35 Pour atteindre cet objectif, selon un mode de réalisation on prévoit un transistor bipolaire à hétérojonction comprenant, en empilement selon une direction z sur un substrat à base de silicium :

- une première couche en un premier matériau III-V présentant un premier type de conductivité avec un premier niveau de dopage N+,

- une première structure en mesa sur la première couche, comprenant :
 - une couche dite de collecteur, à base d'un deuxième matériau III-V présentant le premier type de conductivité avec un deuxième niveau de dopage N, et
 - une couche dite de base, à base d'un troisième matériau III-V présentant un deuxième type de conductivité avec un premier niveau de dopage P+,
- une deuxième structure en mesa sur la première structure en mesa, comprenant une couche d'émetteur à base d'un quatrième matériau III-V présentant le premier type de conductivité avec un troisième niveau de dopage N.

Le transistor comprend en outre un contact de collecteur sur la première couche, en bordure de la première structure en mesa, un contact de base sur la couche de base, en bordure de la deuxième structure en mesa, un contact d'émetteur sur la couche d'émetteur. Avantageusement, les contacts de collecteur, de base et d'émetteur sont à base d'un matériau conducteur convenant pour une métallurgie des niveaux métalliques d'un circuit intégré à base de transistors complémentaires métal-oxyde-semiconducteur (CMOS). Selon une possibilité, le matériau conducteur est pris parmi W, Ti, TiN, Ni et ses alliages NiSi, NiPt, et Cu.

Le transistor comprend en outre une couche d'encapsulation à base d'un matériau d'encapsulation diélectrique, ladite couche d'encapsulation couvrant la première couche, les première et deuxième structures en mesa, et les contacts de collecteur, de base et d'émetteur. Avantageusement, la couche d'encapsulation est à base d'un matériau diélectrique convenant pour une isolation des niveaux métalliques d'un circuit intégré à base de transistors complémentaires métal-oxyde-semiconducteur (CMOS). Selon une possibilité, le matériau diélectrique est pris parmi SiO₂, SiN_x.

Ainsi, le transistor HBT est facilement et directement intégrable dans un circuit intégré à base de transistors CMOS. Dans le cadre du développement de la présente invention, il a été constaté par simulation des performances attendues pour le transistor HBT que le choix de matériaux convenant pour une intégration de type BEOL permettait d'atteindre une fréquence de coupure de l'ordre du THz, ce qui est compatible avec les fréquences de travail visées dans la gamme 220 GHz à 325 GHz. Contrairement aux préjugés de l'état de la technique qui préconise l'utilisation de BCB pour le diélectrique intermétallique et de métaux nobles pour les contacts pour obtenir les performances requises, il a été montré dans le cadre de la présente invention qu'une architecture de transistor HBT basée sur des matériaux conducteur et diélectrique convenant pour une intégration de type BEOL suffisait à obtenir les performances requises, avec un niveau de performances de l'ordre de 80% à 85% du niveau de performances de référence établi pour des transistors HBT utilisant du BCB et des métaux nobles.

L'invention concerne également un procédé de réalisation d'un transistor bipolaire à hétérojonction comprenant au moins les étapes suivantes :

- une fourniture d'un empilement comprenant selon une direction z un substrat à base de silicium, une première couche en un premier matériau III-V présentant un premier type de conductivité avec un premier niveau de dopage N+,

- une formation par épitaxie sur la première couche d'une couche dite de collecteur, à base d'un deuxième matériau III-V présentant le premier type de conductivité avec un deuxième niveau de dopage N, et
- une formation par épitaxie sur la couche de collecteur d'une couche dite de base, à base d'un troisième matériau III-V présentant un deuxième type de conductivité avec un premier niveau de dopage P+,
- une formation par épitaxie sur la couche de base d'une couche dite d'émetteur, à base d'un quatrième matériau III-V présentant le premier type de conductivité avec un troisième niveau de dopage N,
- une première structuration sous forme de mésa des couches de collecteur et de base, configurée pour former une première structure en mésa présentant une dimension L1 selon une direction y perpendiculaire à la direction z,
- une deuxième structuration sous forme de mésa de la couche d'émetteur, configurée pour former une deuxième structure en mésa présentant une dimension L2 inférieure à la dimension L1 selon la direction y,
- une formation d'un contact de collecteur sur la première couche, de préférence en bordure de la première structure en mesa,
- une formation d'un contact de base sur la couche de base, en bordure de la deuxième structure en mesa,
- une formation d'un contact d'émetteur sur la couche d'émetteur, lesdits contacts de collecteur, de base et d'émetteur étant formés à base d'un matériau électriquement conducteur convenant pour une métallurgie des niveaux métalliques d'un circuit intégré à base de transistors complémentaires métal-oxyde-semiconducteur (CMOS),
- une formation d'au moins une couche d'encapsulation couvrant la première couche, les première et deuxième structures en mesa, les contacts de collecteur, de base et d'émetteur, ladite couche d'encapsulation étant formée à base d'un matériau diélectrique convenant pour une isolation des niveaux métalliques d'un circuit intégré à base de transistors complémentaires métal-oxyde-semiconducteur (CMOS)
- Une planarisation de l'au moins une couche d'encapsulation.

Avantageusement, à chaque brique du procédé de fabrication du transistor HBT à base de semi-conducteurs III-V, correspondant aux étapes principales de fabrication des contacts émetteur, base, et collecteur, des étapes de planarisation du wafer sont réalisées. Ces étapes de planarisation peuvent être incluses dans une approche de type damascene. Les étapes de planarisation permettent d'adapter le procédé de fabrication du transistor HBT aux modes de fabrications actuels des circuits intégrés sur silicium, de type CMOS et BiCMOS avancés. Cette approche est nettement différente des technologies III-V sur substrat natif telles qu'enseignées par le document US2021391321A1. Elle permet d'obtenir les avantages suivants :

- une compatibilité avec les techniques de report par « Direct Hybrid Bonding » (collage hybride

direct) de puce à plaque fonctionnelle (par exemple une plaque BiCMOS 55 nm obtenue en « fin de ligne » BEOL). Ces techniques requièrent une planéité excellente des deux parties à coller ou à lier, typiquement une topologie de surface inférieure à 50 nm « pic à vallée ». Ce niveau de qualité de surface à coller et à interconnecter ne peut être atteint que lorsque chaque partie est développée dans des technologies BEOL CMOS. Ce report par « Direct Hybrid Bonding » permet de continuer le procédé en « fin de ligne », ce qui permet d'envisager d'autres améliorations et fonctionnalisations du dispositif (post-procédé face arrière, contact collecteur directement sur cette face par exemple).

- une compatibilité avec les outils et équipements usuels 200 mm et 300 mm utilisés dans l'industrie microélectronique CMOS. Le dispositif étant encapsulé dans une couche d'encapsulation à base d'oxyde typiquement, la résolution pour la formation des contacts peut être fortement améliorée (jusqu'à environ 20 nm en technologie CMOS 300 mm par exemple). A contrario, les technologies III-V standard utilisant des ponts à air ne peuvent contacter l'émetteur que pour une dimension de contact d'émetteur $WE \geq 200$ nm. Pour une dimension de contact d'émetteur $WE < 200$ nm, la reprise de contact doit être effectuée par l'intermédiaire d'un enrobage de polymères (polyimides, résine BCB,...). Cette technique limite également la dimension de contact atteignable à environ 130 nm. Cette technique induit néanmoins des parasites. Elle limite en outre la fabrication à des formats de substrat inférieurs à 100 mm.

- une compatibilité avec des tailles de substrat de 200 mm et 300 mm, au lieu des dimensions limitées à 100 mm pour les substrats III-V usuels.

L'invention concerne également un système d'intégration et un procédé d'intégration d'un tel transistor HBT.

Le système d'intégration d'au moins un transistor bipolaire à hétérojonction selon l'invention comprend typiquement, en empilement selon une direction z :

- un premier substrat à base de silicium,
- une couche comprenant des transistors métal-oxyde-semiconducteur complémentaires CMOS et des premiers niveaux d'interconnexions métalliques reliés auxdits transistors CMOS,
- une couche de collage comprenant une interface de type collage hybride, comprenant des connexions électriques avec les premiers niveaux d'interconnexions métalliques reliés aux transistors CMOS,
- une couche comprenant au moins un transistor bipolaire à hétérojonction, et des deuxièmes niveaux d'interconnexions métalliques intercalés entre la couche de collage et la couche comprenant l'au moins un transistor bipolaire à hétérojonction, lesdits deuxièmes niveaux d'interconnexions métalliques étant connectés électriquement à la couche de collage et à l'au moins un transistor bipolaire à hétérojonction.

Le procédé d'intégration d'au moins un transistor bipolaire à hétérojonction selon l'invention comprend typiquement :

- une fourniture d'un premier empilement comprenant selon une direction z :

- un premier substrat à base de silicium,
- une couche comprenant des transistors métal-oxyde-semiconducteur complémentaires CMOS et des premiers niveaux d'interconnexions métalliques reliés auxdits transistors CMOS,
- 5 • une première partie d'une couche de collage comprenant une interface de type collage hybride, comprenant des connexions électriques avec les premiers niveaux d'interconnexions métalliques reliés aux transistors CMOS,
- une fourniture d'un deuxième empilement comprenant selon une direction z :
 - un deuxième substrat à base de silicium,
 - 10 • une couche comprenant au moins un transistor bipolaire à hétérojonction selon l'invention, et des deuxième niveaux d'interconnexions métalliques reliés audit transistor bipolaire à hétérojonction,
 - une deuxième partie d'une couche de collage comprenant une interface de type collage hybride, comprenant des connexions électriques avec lesdits deuxième niveaux d'interconnexions métalliques reliés au transistor bipolaire à hétérojonction,
 - 15 - un collage hybride de la deuxième partie de la couche de collage sur la première partie de la couche de collage,
 - un retrait du deuxième substrat à base de silicium,
 - une formation, sur la couche comprenant l'au moins un transistor bipolaire à hétérojonction, d'au moins un troisième niveau d'interconnexions. Selon une possibilité, l'au moins un troisième niveau d'interconnexions comprend une couche de métal dit épais présentant une épaisseur au moins deux fois supérieure aux différentes épaisseurs de métal des premiers et deuxième niveaux d'interconnexions métalliques situés sous la couche comprenant l'au moins un transistor bipolaire à hétérojonction. La couche de métal épais présente typiquement une épaisseur supérieure ou égale à 1 μm , par exemple de l'ordre de 3 μm .

Ainsi, l'intégration du ou des transistors HBT se fait au plus près des niveaux métalliques BEOL. Les circuits d'amplification à base de transistors HBT peuvent ainsi être interconnectés avec les composants et les éléments passifs des circuits CMOS avec des distances de connexions réduites. Un tel système d'intégration présente une compacité améliorée. Cela permet de limiter les pertes de transmissions liées à des interconnexions HBT/CMOS trop longues. Un système RF basé sur une telle architecture peut avantageusement fonctionner à plus haute fréquence. L'efficacité énergétique, en particulier le rendement électrique du système, est également améliorée.

Le transistor HBT et le système d'intégration de ce transistor HBT permettent avantageusement de réaliser des architectures de circuits RF compactes et optimisées, présentant des performances RF améliorées.

BREVE DESCRIPTION DES FIGURES

Les buts, objets, ainsi que les caractéristiques et avantages de l'invention ressortiront mieux de la

description détaillée de modes de réalisation de cette dernière qui sont illustrés par les dessins d'accompagnement suivants dans lesquels :

[Fig.1] [Fig.2] [Fig.3] [Fig.4] [Fig.5] [Fig.6] [Fig.7] [Fig.8] [Fig.9] [Fig.10] [Fig.11] [Fig.12] [Fig.13] [Fig.14] [Fig.15] [Fig.16] [Fig.17] [Fig.18] [Fig.19] [Fig.20] [Fig.21] [Fig.22] [Fig.23] [Fig.24] [Fig.25]

5 [Fig.26] [Fig.27] [Fig.28] [Fig.29] [Fig.30] [Fig.31] [Fig.32] [Fig.33] [Fig.34] Les figures 1 à 34 illustrent schématiquement des étapes d'un procédé de réalisation d'un transistor HBT selon un mode de réalisation de la présente invention.

[Fig.35] [Fig.36] Les figures 35 et 36 illustrent schématiquement des étapes d'un procédé de réalisation d'un transistor HBT selon un autre mode de réalisation de la présente invention.

10 [Fig.37] [Fig.38] [Fig.39] Les figures 37 à 39 illustrent schématiquement un procédé d'intégration et un système d'intégration d'un transistor HBT dans un circuit intégré CMOS selon un autre mode de réalisation de la présente invention.

[Fig.40] La figure 40 présente un mode de réalisation notamment avec un exemple particulier de formation des contacts.

15 Les dessins sont donnés à titre d'exemples et ne sont pas limitatifs de l'invention. Ils constituent des représentations schématiques de principe destinées à faciliter la compréhension de l'invention et ne sont pas nécessairement à l'échelle des applications pratiques. En particulier, sur les schémas de principe, les épaisseurs des différentes couches et portions, et les dimensions des motifs et structures ne sont pas représentatives de la réalité.

20 DESCRIPTION DÉTAILLÉE

Avant d'entamer une revue détaillée de modes de réalisation de l'invention, sont énoncées ci-après des caractéristiques optionnelles qui peuvent éventuellement être utilisées en association ou alternativement :

25 Selon un exemple, le transistor bipolaire à hétérojonction comprend, en empilement selon une direction z sur un substrat à base de silicium :

- une première couche en un premier matériau III-V présentant un premier type de conductivité avec un premier niveau de dopage N⁺,
- une première structure en mesa sur la première couche, comprenant :
 - une couche dite de collecteur, à base d'un deuxième matériau III-V présentant le premier type de conductivité avec un deuxième niveau de dopage N, et
 - une couche dite de base, à base d'un troisième matériau III-V présentant un deuxième type de conductivité avec un premier niveau de dopage P⁺,
- une deuxième structure en mesa sur la première structure en mesa, comprenant une couche d'émetteur à base d'un quatrième matériau III-V présentant le premier type de conductivité avec un troisième niveau de dopage N.
- un contact de collecteur sur la première couche, en bordure de la première structure en mesa, un contact de base sur la couche de base, en bordure de la deuxième structure en mesa, un contact d'émetteur sur la couche d'émetteur, les contacts de collecteur, de base

et d'émetteur étant à base d'un matériau conducteur, typiquement à base d'un matériau conducteur pris parmi W, Ti, TiN, Cu, Ni et ses alliages NiPt, NiSi,

- une couche d'encapsulation à base d'un matériau d'encapsulation diélectrique, ladite couche d'encapsulation couvrant la première couche, les première et deuxième structures en mesa, et les contacts de collecteur, de base et d'émetteur, la couche d'encapsulation étant à base d'un matériau diélectrique, typiquement à base d'un matériau diélectrique pris parmi SiO₂, SiN, Al₂O₃, SiCO, HfO₂.

Selon un exemple, le matériau diélectrique est pris parmi SiO₂, SiN, Al₂O₃, SiCO, HfO₂. Ces matériaux sont avantageusement parfaitement compatibles avec les procédés BEOL en technologie CMOS.

Selon un exemple, le matériau conducteur est pris parmi W, Ti, TiN, Cu, Nb, Ni et ses alliages NiPt, NiSi. Ces matériaux sont avantageusement parfaitement compatibles avec les procédés BEOL en technologie CMOS.

Selon un exemple, les premier et quatrième matériaux III-V sont à base d'InP, et les deuxième et troisième matériaux III-V sont à base d'InGaAs.

Selon un autre exemple, le deuxième matériau III-V est à base d'InP, et le troisième matériau III-V est à base de GaAsSb, et le quatrième matériau III-V est à base d'InGaP et/ou d'InP.

Selon un exemple, la première couche en un premier matériau III-V est directement sur le substrat à base de silicium. Selon un autre exemple, une couche intercalaire, typiquement une couche de collage à base d'un matériau diélectrique ou métallique, est intercalée entre la première couche en un premier matériau III-V et le substrat à base de silicium.

Selon un exemple, le contact de base présente une portion centrale et une portion périphérique autour de la portion centrale telles que la portion périphérique présente une épaisseur inférieure à celle de la portion centrale. L'épaisseur de la portion périphérique du contact de base décroît en s'éloignant de la portion centrale. Cela permet typiquement de diminuer une capacité parasite entre le contact de base et le contact d'émetteur.

Selon un exemple, le contact de collecteur présente une portion centrale et une portion périphérique autour de la portion centrale telles que la portion périphérique présente une épaisseur inférieure à celle de la portion centrale. L'épaisseur de la portion périphérique du contact de collecteur décroît en s'éloignant de la portion centrale. Cela permet typiquement de diminuer une capacité parasite entre le contact de collecteur et le contact de base et/ou le contact d'émetteur.

Selon un exemple, le procédé de réalisation d'un transistor bipolaire à hétérojonction comprend au moins les étapes suivantes :

- une fourniture d'un empilement comprenant selon une direction z un substrat à base de silicium, une couche diélectrique, une première couche en un premier matériau III-V présentant un premier type de conductivité avec un premier niveau de dopage N⁺,
- une formation par épitaxie sur la première couche d'une couche dite de collecteur, à base d'un deuxième matériau III-V présentant le premier type de conductivité avec un deuxième

niveau de dopage N, et

- une formation par épitaxie sur la couche de collecteur d'une couche dite de base, à base d'un troisième matériau III-V présentant un deuxième type de conductivité avec un premier niveau de dopage P+,
- 5 - une formation par épitaxie sur la couche de base d'une couche dite d'émetteur, à base d'un quatrième matériau III-V présentant le premier type de conductivité avec un troisième niveau de dopage N,
- une première structuration sous forme de méssa des couches de collecteur et de base, configurée pour former une première structure en méssa présentant une dimension L1 selon une direction y perpendiculaire à la direction z,
- 10 - une deuxième structuration sous forme de méssa de la couche d'émetteur, configurée pour former une deuxième structure en méssa présentant une dimension L2 inférieure à la dimension L1 selon la direction y,
- une formation d'un contact de collecteur sur la première couche, de préférence en bordure de la première structure en mesa,
- 15 - une formation d'un contact de base sur la couche de base, en bordure de la deuxième structure en mesa,
- une formation d'un contact d'émetteur sur la couche d'émetteur, lesdits contacts de collecteur, de base et d'émetteur étant formés à base d'un matériau électriquement conducteur, typiquement à base d'un matériau électriquement conducteur pris parmi W, Ti, TiN, Cu,
- 20 - une formation d'au moins une couche d'encapsulation couvrant la première couche, les première et deuxième structures en mesa, les contacts de collecteur, de base et d'émetteur, ladite couche d'encapsulation étant formée à base d'un matériau diélectrique, typiquement à base d'un matériau diélectrique pris parmi SiO₂, SiN.

Selon un exemple, les formations des première et deuxième structures en mesa se font respectivement par une première gravure selon z des couches de collecteur et de base, et par une deuxième gravure selon z de la couche d'émetteur. Un tel procédé de réalisation est généralement appelé « top-down ». Cela permet de mieux maîtriser la qualité cristalline des différentes couches et le dimensionnel des différentes structures.

Selon un exemple, les première et deuxième gravures comprennent chacune une étape de gravure isotrope par voie humide, de sorte à ce que les première et deuxième structures en mesa présentent chacune des flancs inclinés, en surplomb respectivement de la première couche et de la couche de base. Cela permet de réduire les capacités parasites (notamment sous le collecteur). Cela permet de réaliser des contacts auto-alignés.

Selon un autre exemple, les première et deuxième gravures comprennent chacune une étape de gravure mixte par voie sèche et humide.

Selon un exemple, les étapes suivantes sont effectuées selon l'ordre chronologique suivant : formation du contact d'émetteur, puis formation de la deuxième structure en méso, puis formation du contact de base, puis formation de la première structure en méso, puis formation du contact de collecteur. Selon un exemple, les étapes suivantes sont effectuées selon l'ordre chronologique suivant : formation de la deuxième structure en méso, puis formation du contact de base, puis formation du contact d'émetteur, puis formation de la première structure en méso, puis formation du contact de collecteur. La formation du contact de base avant celle du contact d'émetteur permet d'obtenir une faible épaisseur de contact de base de façon plus simple, avec un nombre d'étapes limité, typiquement par polissage mécano-chimique (CMP) sans gravure du contact de base. Le contact de base peut dès lors présenter une face supérieure sensiblement dans un même plan qu'une face inférieure du contact d'émetteur. Cela permet également de limiter la présence de métal lors de la gravure des couches semiconductrices qui constituent l'émetteur. Cela évite une contamination métallique du substrat ou du wafer.

Selon un exemple, la formation du contact de collecteur comprend un premier dépôt assisté par plasma azoté de tungstène, destiné à former une portion périphérique du contact de collecteur. La formation du contact de collecteur comprend en outre un amincissement de la portion périphérique du contact de collecteur par gravure préférentielle de la portion périphérique du contact de collecteur vis-à-vis d'une portion centrale du contact de collecteur. Cela permet d'éloigner la portion périphérique du contact de collecteur vis-à-vis du contact de base. La capacité parasite entre le contact de collecteur et le contact de base est diminuée. Cela permet également d'éloigner la portion périphérique du contact de collecteur vis-à-vis du contact d'émetteur. La capacité parasite entre le contact de collecteur et le contact d'émetteur est diminuée.

Selon un exemple, la formation du contact de base comprend un premier dépôt assisté par plasma azoté de tungstène, destiné à former une portion périphérique du contact de base. La formation du contact de base comprend en outre un amincissement de la portion périphérique du contact de base par gravure préférentielle de la portion périphérique du contact de base vis-à-vis d'une portion centrale du contact de base. Cela permet d'éloigner la portion périphérique du contact de base vis-à-vis du contact d'émetteur. La capacité parasite entre le contact de base et le contact d'émetteur est diminuée.

Selon un exemple, le système d'intégration comprend en outre, sur la couche comprenant l'au moins un transistor bipolaire à hétérojonction, au moins un troisième niveau d'interconnexions. La couche comprenant l'au moins un transistor HBT est ainsi située entre les premiers niveaux d'interconnexions CMOS et l'au moins un troisième niveau d'interconnexions. Le troisième niveau d'interconnexions est typiquement un niveau d'interconnexions CMOS.

Selon un exemple, le troisième niveau d'interconnexions comprend une couche de métal dit épais présentant une épaisseur au moins deux fois supérieure aux différentes épaisseurs de métal des premiers et deuxièmes niveaux d'interconnexions métalliques situés sous la couche comprenant l'au moins un transistor bipolaire à hétérojonction. Une telle couche de métal épais comprend par

exemple des motifs de composants passifs, tels que des lignes de transmission, des antennes etc. Selon un exemple, la couche de métal épais est connectée à la première couche en un premier matériau III-V du transistor bipolaire à hétérojonction par une connexion électrique de dissipation thermique, ladite connexion électrique de dissipation thermique faisant office de contact de collecteur pour le transistor bipolaire à hétérojonction. Une telle connexion électrique en face arrière du transistor HBT, pour le collecteur, permet de mieux gérer l'échauffement et la dissipation thermique du transistor HBT. L'épaisseur significative de la couche de métal épais permet typiquement de former un radiateur pour le collecteur du transistor HBT.

Selon un exemple, la première couche en un premier matériau III-V de la couche comprenant l'au moins un transistor bipolaire à hétérojonction est continue et couvre, en projection selon la direction z, totalement le premier substrat à base de silicium. La première couche en un premier matériau III-V et le premier substrat à base de silicium sont typiquement de mêmes dimensions dans le plan normal à la direction z. Cela correspond typiquement à l'utilisation de substrats InPoSi (acronyme de « InP on Silicon ») pouvant atteindre avantageusement de grandes dimensions, par exemple un diamètre de 200 mm voire 300 mm. La possibilité de concevoir des systèmes d'intégration HBT sur CMOS de grandes dimensions améliore la mise en œuvre industrielle de cette technologie (moins de pertes de matière et coût réduit).

Selon un exemple, les premiers niveaux d'interconnexions métalliques reliés aux transistors CMOS comprennent entre trois et cinq couches de métal.

Sauf incompatibilité, il est entendu que l'ensemble des caractéristiques optionnelles ci-dessus peuvent être combinées de façon à former un mode de réalisation qui n'est pas nécessairement illustré ou décrit. Un tel mode de réalisation n'est évidemment pas exclu de l'invention. Les caractéristiques d'un aspect de l'invention, par exemple le transistor HBT ou le système d'intégration, peuvent être adaptées *mutatis mutandis* à un autre aspect de l'invention, par exemple les procédés de réalisation ou d'intégration.

Il est précisé que, dans le cadre de la présente invention, les termes « sur », « surmonte », « recouvre », « sous-jacent », en « vis-à-vis » et leurs équivalents ne signifient pas forcément « au contact de ». Ainsi par exemple, le dépôt d'une première couche sur une deuxième couche, ne signifie pas obligatoirement que les deux couches sont directement au contact l'une de l'autre, mais signifie que la première couche recouvre au moins partiellement la deuxième couche en étant soit directement à son contact, soit en étant séparée d'elle par au moins une autre couche ou au moins un autre élément.

Une couche peut par ailleurs être composée de plusieurs sous-couches d'un même matériau ou de matériaux différents. La couche de collecteur comprend typiquement différentes couches de type N, présentant des dopages et/ou des compositions chimiques différents. La couche de collecteur comprend par exemple plusieurs couches d'InP avec des niveaux de dopage décroissants (N+, N-, selon la direction z) au contact d'une couche d'InGaAs avec un niveau de dopage N-.

La couche d'émetteur comprend typiquement différentes couches de type N, présentant des dopages et/ou des compositions chimiques différents. La couche d'émetteur comprend par exemple plusieurs couches d'InP avec des niveaux de dopage croissants (N-, N+, selon la direction z), et éventuellement une couche d'InGaAs fortement dopée N+ au contact du contact d'émetteur.

- 5 La couche de base comprend typiquement une couche d'InGaAs de type P fortement dopée P++, par exemple intercalée entre la couche d'InGaAs N- de la couche de collecteur et la couche d'InP N- de la couche d'émetteur.

On entend par un substrat, un empilement, une couche, « à base » d'un matériau A, un substrat, un empilement, une couche comprenant ce matériau A uniquement ou ce matériau A et éventuellement d'autres matériaux, par exemple des éléments d'alliage et/ou des éléments dopants. Ainsi, une
10 couche à base d'InP s'entend par exemple d'une couche InP, InP dopé N-, InP dopé N+ etc. Une couche à base d'InGaAs peut comprendre une sous-couche d'InGaAs N- et une ou plusieurs sous-couches d'InP.

Les gammes de dopage associées aux différents types de dopage indiqués dans la présente demande sont les suivantes :

- dopage P++ ou N++ : supérieur à $5 \times 10^{19} \text{ cm}^{-3}$
 - dopage P+ ou N+ : $1 \times 10^{18} \text{ cm}^{-3}$ à $5 \times 10^{19} \text{ cm}^{-3}$
 - dopage P ou N : $1 \times 10^{17} \text{ cm}^{-3}$ à $1 \times 10^{18} \text{ cm}^{-3}$
 - dopage intrinsèque : $1 \times 10^{15} \text{ cm}^{-3}$ à $1 \times 10^{17} \text{ cm}^{-3}$
- 20 On entend par un matériau « convenant pour » une métallurgie ou une isolation des niveaux d'interconnexions d'un circuit intégré CMOS, un matériau utilisé ou utilisable pour l'intégration CMOS et en particulier dans les procédés BEOL. Selon un exemple « convenant pour » signifie « adapté à » ou « approprié pour », ou encore « compatible avec », ou « apte à », voire « destiné à ». Un matériau diélectrique convenant pour une isolation des niveaux d'interconnexions d'un circuit intégré
25 CMOS peut être à base de, sans que cela soit limitatif : SiO₂, SiN, SiON, SiOC, SiOCH, SiCN, Al₂O₃, HfO₂. Un matériau conducteur électrique convenant pour une métallurgie des niveaux d'interconnexions d'un circuit intégré CMOS peut être à base de, sans que cela soit limitatif : W, Ti, TiN, Cu, Nb, Al, Mo, Ni, NiSi, NiPt, Ni₂P, Co...

Le mot « diélectrique » qualifie un matériau dont la conductivité électrique est suffisamment faible
30 dans l'application donnée pour servir d'isolant, typiquement pour les couches intermétalliques des niveaux BEOL. Dans la présente invention, un matériau diélectrique présente de préférence une constante diélectrique inférieure à 7.

La présente invention permet notamment la fabrication d'au moins un transistor HBT III-V ou d'une pluralité de transistors HBT III-V sur un substrat Si. Ce substrat peut être massif ou « bulk » selon la terminologie anglo-saxonne, ou encore de type semi-conducteur sur isolant. Le substrat Si peut par
35 exemple faire partie d'un empilement InPoSi (acronyme de l'anglais « InP on Silicon »).

On entend par « gravure sélective vis-à-vis de » ou « gravure présentant une sélectivité vis-à-vis de » une gravure configurée pour enlever un matériau A ou une couche A vis-à-vis d'un matériau B ou

d'une couche B, et présentant une vitesse de gravure du matériau A supérieure à la vitesse de gravure du matériau B. La sélectivité est le rapport entre la vitesse de gravure du matériau A sur la vitesse de gravure du matériau B. Elle est notée $S_{A:B}$. Une sélectivité $S_{A:B}$ de 10:1 signifie que la vitesse de gravure du matériau A est 10 fois supérieure à la vitesse de gravure du matériau B.

- 5 Une application particulière de l'invention concerne les systèmes RF, notamment les circuits d'amplification RF. L'invention peut également être mise en œuvre plus largement pour différents dispositifs ou composants microélectroniques, par exemple dans le cadre de circuits analogiques ou de circuits à signaux mixés (digital/analogique).

10 Plusieurs modes de réalisation de l'invention mettant en œuvre des étapes successives du procédé de fabrication sont décrits ci-après. Sauf mention explicite, l'adjectif « successif » n'implique pas nécessairement, même si cela est généralement préféré, que les étapes se suivent immédiatement, des étapes intermédiaires pouvant les séparer.

Par ailleurs, le terme « étape » s'entend de la réalisation d'une partie du procédé, et peut désigner un ensemble de sous-étapes.

- 15 Par ailleurs, le terme « étape » ne signifie pas obligatoirement que les actions menées durant une étape soient simultanées ou immédiatement successives. Certaines actions d'une première étape peuvent notamment être suivies d'actions liées à une étape différente, et d'autres actions de la première étape peuvent être reprises ensuite. Ainsi, le terme étape ne s'entend pas forcément d'actions unitaires et inséparables dans le temps et dans l'enchaînement des phases du procédé.

- 20 Un repère de préférence orthonormé, comprenant les axes x, y, z est représenté sur les figures annexées. Lorsqu'un seul repère est représenté sur une même planche de figures, ce repère s'applique à toutes les figures de cette planche.

Dans la présente demande de brevet, l'épaisseur d'une couche est prise selon une direction normale au plan d'extension principal de la couche. Ainsi, une couche présente typiquement une épaisseur
25 selon z. Les termes relatifs « sur », « surmonte », « sous », « sous-jacent » se réfèrent à des positions prises selon la direction z.

Les termes « vertical », « verticalement » se réfèrent à une direction selon z. Les termes « horizontal », « horizontalement », « latéral » se réfèrent à une direction dans le plan xy. Sauf mention explicite, l'épaisseur, la hauteur et la profondeur sont mesurées selon z.

- 30 Un élément situé « à l'aplomb » ou « au droit d' » un autre élément signifie que ces deux éléments sont situés tous deux sur une même ligne perpendiculaire à un plan dans lequel s'étend principalement une face inférieure ou supérieure d'un substrat, c'est-à-dire sur une même ligne orientée verticalement sur les figures.

Les termes « sensiblement », « environ », « de l'ordre de » signifient à 10% près, et de préférence
35 à 5% près. Par ailleurs, les termes « compris entre ... et ... » et équivalents signifient que les bornes sont incluses, sauf mention contraire.

Les figures 1 à 32 illustrent un premier mode de réalisation du procédé de réalisation du transistor

HBT. Dans cet exemple de réalisation, le transistor HBT est de type N-P-N (émetteur-base-collecteur), avec une hétérojonction InGaAs/InP. D'autres configurations sont parfaitement envisageables. En particulier d'autres matériaux III-V peuvent être utilisés pour les jonctions ou hétérojonctions, de façon connue. Les alliages suivants peuvent notamment être utilisés pour la réalisation du transistor HBT : InGaAs, InP, InGaP, GaAsSb. L'homme du métier saura adapter l'exemple de réalisation décrit ci-dessous selon ces besoins.

Comme illustré à la figure 1, un substrat 1 à base de silicium (substrat Si) est d'abord fourni. Selon une possibilité, un empilement de couches 3, 4, 5, 6 à base de matériaux III-V, formé séparément, peut être reporté sur le substrat 1 à base de silicium, par collage SiO₂-SiO₂ par exemple. Le substrat 1 à base de silicium comprend dès lors typiquement une première couche de collage 21 à base de SiO₂ et l'empilement comprend dès lors typiquement une deuxième couche de collage 22 à base de SiO₂. Dans ce cas, le substrat 1 à base de silicium et l'empilement à base de matériaux III-V peuvent être assemblés par collage moléculaire entre les première et deuxième couches de collage 21, 22. La première couche de collage 21 peut être à base de SiO₂ thermique. Elle présente typiquement une épaisseur de l'ordre de 200 nm. La deuxième couche de collage 22 peut être formée par dépôt chimique en phase vapeur (CVD) sur l'empilement de couches à base de matériaux III-V. Elle présente typiquement une épaisseur de l'ordre de 100 nm. Dans ce cas de report de l'empilement de couches à base de matériaux III-V sur le substrat Si, ledit empilement présente une dimension latérale, dans le plan xy, par exemple un diamètre, typiquement inférieure à la dimension latérale, par exemple le diamètre, du substrat Si, comme illustré sur la figure 1.

Selon une autre possibilité, le substrat à base de silicium peut typiquement être du type InPoSi et comprendre une partie 1 « massive » en silicium, dite « bulk », une couche 2 d'oxyde enterrée dénommée BOX (acronyme de « Burried Oxide »), surmontée par une couche 31 d'InP superficielle. Un tel substrat InPoSi peut être obtenu par un procédé dénommé « smart cut » largement connu de l'homme du métier. Dans ce cas, l'empilement de couches 3, 4, 5, 6 à base de matériaux III-V peut être formé directement par épitaxie sur le substrat InPoSi. Avantageusement, l'empilement de couches à base de matériaux III-V présente dans ce cas une dimension latérale, dans le plan xy, par exemple un diamètre, sensiblement égale à la dimension latérale, par exemple le diamètre, du substrat InPoSi.

Quelle que soit la façon dont est formé l'empilement de couches à base de matériaux III-V, soit séparément puis reporté par collage SiO₂-SiO₂ sur le substrat Si, soit directement par épitaxie sur le substrat InPoSi, l'empilement comprend de préférence, selon z et en partant de la couche d'oxyde 2 :

- une couche 31 à base d'InP, qui peut être selon les cas une couche de liaison à base d'InP avec la deuxième couche de collage 22 ou une couche d'InP superficielle d'un substrat InPoSi. Cette couche 31 présente typiquement une épaisseur de l'ordre de 50 nm.
- une couche 32 à base d'InGaAs, qui sert de couche d'arrêt à la gravure. De façon connue,

un arrêt de gravure peut être effectué par détection de fin d'attaque, en détectant le changement de nature des matériaux gravés lors de la gravure et/ou en tirant parti de la sélectivité à la gravure des matériaux de la couche à graver et de la couche d'arrêt. Cette couche 32 présente typiquement une épaisseur de l'ordre de 20 nm.

- une couche 33 à base d'InP dopée N⁺, qui assure une bonne conductivité électrique sous le collecteur du transistor HBT. Cette couche 33 présente typiquement une épaisseur de l'ordre de 350 nm.
- une couche 34 à base d'InGaAs dopée N⁺, qui assure une bonne conductivité électrique sous le collecteur du transistor HBT. Cette couche 34 fait typiquement office d'interface avec le contact de collecteur du transistor HBT. Cette couche 34 présente typiquement une épaisseur de l'ordre de 20 nm. Les couches 33, 34 peuvent former une couche 3 dite de sous-collecteur.
- une couche 41 à base d'InP dopée N⁺, destinée à former une partie du collecteur. Cette couche 41 présente typiquement une épaisseur de l'ordre de 50 nm.
- une couche 42 à base d'InP dopée N⁻, destinée à former une partie du collecteur. Cette couche 42 présente typiquement une épaisseur de l'ordre de 85 nm.
- une deuxième couche 43 à base d'InP dopée N⁻, destinée à former une partie du collecteur. Cette couche 43 présente typiquement une épaisseur de l'ordre de 25 nm.
- une couche 44 à base d'InGaAs dopée N⁻, destinée à former une partie du collecteur. Cette couche 44 présente typiquement une épaisseur inférieure ou égale à 20 nm, par exemple de l'ordre de 10 nm ou de 5 nm. Les couches 41, 42, 43, 44 forment typiquement la couche 4 de collecteur. Ces différentes couches 41, 42, 43, 44 sont de préférence configurées de manière à ce que le dopage de type N diminue progressivement entre la couche 41 et la couche 44. Cela permet de mieux accommoder les variations de conductivité et les contraintes mécaniques au sein de l'empilement. Ces couches 41, 42, 43, 44 sont typiquement dimensionnées en épaisseur et en dopage de façon à gérer le champ électrique et l'écoulement des charges dans le collecteur..
- une couche 5 à base d'InGaAs dopée P⁺⁺, destinée à former une première jonction P/N avec la couche 44. Cette couche 5 forme typiquement la base du transistor HBT. Elle est typiquement directement connectée au contact de base du transistor HBT. Cette couche 5 présente typiquement une épaisseur de l'ordre de 28 nm. D'autres matériaux sont également envisageables pour cette couche 5 de base, par exemple GaAsSb.
- une couche 61 à base d'InP dopée N⁻, destinée à former une deuxième jonction P/N avec la couche 5, de type hétérojonction. Cette couche 61 forme typiquement une partie de l'émetteur. Cette couche 61 présente typiquement une épaisseur de l'ordre de 20 nm.
- une couche 62 à base d'InP dopée N⁺, destinée à former une partie de l'émetteur. Cette couche 62 présente typiquement une épaisseur de l'ordre de 30 nm.
- une couche 63 à base d'InGaAs dopée N⁺, destinée à former une partie de l'émetteur.

Cette couche 63 fait typiquement office d'interface avec le contact d'émetteur du transistor HBT. Cette couche 63 présente typiquement une épaisseur de l'ordre de 20 nm. Les couches 61, 62, 63 forment typiquement la couche 6 d'émetteur.

- une couche 64 à base d'InP, qui sert de couche d'arrêt à la gravure. Cette couche 64 présente typiquement une épaisseur de l'ordre de 20 nm.

Après formation de l'empilement de couches à base de matériaux III-V, cet empilement est structuré par différentes étapes de lithographie et gravure, et des contacts sont formés pour réaliser le transistor HBT.

Comme illustré à la figure 2, une étape de planarisation peut être d'abord effectuée. Cette étape comprend typiquement un dépôt d'une couche 71 à base de SiN, destinée d'une part à remplir les espaces bordant l'empilement de couches à base de matériaux III-V, et destinée d'autre part à former un masque sur l'empilement de couches à base de matériaux III-V. Après dépôt, un polissage mécano-chimique (CMP) permet typiquement de planariser la couche 71. La couche 71 surmontant l'empilement présente typiquement une épaisseur de l'ordre de 150 nm après planarisation.

Une couche de masquage 81 à base de résine est alors formée sur la couche 71, puis structurée par lithographie pour former une ou des ouvertures 101 présentant une dimension L2 selon x. La couche 71 est ensuite gravée au travers de l'ouverture 101, typiquement par gravure sèche à base de plasma ou par gravure ionique réactive (RIE). La couche 64 de l'empilement est ensuite gravée au travers de l'ouverture 101, typiquement par gravure humide sélective vis-à-vis de la couche 63 sous-jacente. Une face supérieure 630 de la couche 63 est ainsi exposée après les gravures successives au travers de l'ouverture 101.

Comme illustré à la figure 3, la couche de masquage 81 est ensuite retirée de façon connue par une étape dite de « stripping », typiquement par plasma à base d'O₂. Un dépôt d'une couche métallique 11 est ensuite effectué, de manière à remplir l'ouverture 101 de la couche 71. Cette couche métallique 11 peut comprendre plusieurs sous-couches, par exemple des couches d'accroche à base de Ti et de TiN, d'épaisseurs 10 nm respectivement, et une couche principale à base de tungstène W, d'épaisseur suffisante pour remplir l'ouverture de la couche 71. Cette couche principale à base de tungstène W présente par exemple une épaisseur de l'ordre de 225 nm.

Comme illustré à la figure 4, un polissage mécano-chimique est effectué de manière à retirer l'excès de métal déposé sur la couche 71. Le polissage CMP est arrêté sur la couche 71, afin de conserver la portion de couche métallique dans l'ouverture de la couche 71. Le contact d'émetteur 60 est ainsi formé. Il est ici au contact de la couche 63 à base d'InGaAs dopée N⁺.

Comme illustré à la figure 5, une partie de la couche 71 est ensuite retirée par gravure, de façon à exposer une face supérieure 640 de la couche 64.

Comme illustré à la figure 6, les couches 64, 63, 62, 61 de l'empilement sont ensuite gravées autour du contact d'émetteur 60, de façon à exposer une face supérieure 500 de la couche 5. Les couches 64, 63, 62 et en partie la couche 61 à base d'InP sont typiquement gravées par gravure sèche, avec arrêt dans la couche 61. Une gravure de finition par gravure humide permet ensuite de retirer la

partie restante de la couche 61 à base d'InP, sélectivement à la couche 5 à base d'InGaAs P++. Une structure en méssa 6M de dimension L2 selon x est ainsi obtenue sous le contact d'émetteur 60. Cette structure en méssa 6M présente des flancs 601 qui peuvent être légèrement inclinés vis-à-vis de la verticale. Ceci est typiquement dû au caractère isotrope des gravures, notamment de la gravure humide. Cela provient aussi de la cristallographie l'InP et de l'InGaAs dans la mesure où certains plans cristallins se gravent plus vite que d'autres.

Comme illustré à la figure 7, une couche 72 à base de SiN est ensuite formée par dépôt conforme à 300°C sur la face exposée 500, et sur les flancs 601 et le contact d'émetteur 60. Cette couche 72 présente typiquement une épaisseur de l'ordre de 30 nm. Une couche 73 à base de SiO₂ est ensuite formée sur la couche 72, par exemple par dépôt à 400°C. Cette couche 73 présente typiquement une épaisseur de l'ordre de 400 nm. Une étape de planarisation par polissage CMP est ensuite effectuée sur la couche 73.

Comme illustré à la figure 8, le polissage CMP de la couche 73 est typiquement arrêté sur la couche 72 à base de SiN au sommet du contact d'émetteur 60. Une couche de masquage 82 à base de résine est alors formée sur la couche 73 et sur la portion de couche 72 au sommet du contact d'émetteur 60, puis structurée par lithographie pour former des ouvertures 102, par exemple par lithographie électronique e-beam. Les ouvertures 102 sont formées de part et d'autre du contact d'émetteur 60. Une face supérieure 730 de la couche 73 est ainsi exposée au travers des ouvertures 102.

Comme illustré à la figure 9, les couches 73 et 72 sont ensuite gravées au travers des ouvertures 102, typiquement par gravure sèche. L'arrêt de gravure se fait sur la couche 5 à base d'InGaAs P++. Une face supérieure 500 de la couche 5 est ainsi exposée après gravure au travers des ouvertures 102.

Comme illustré à la figure 10, la couche de masquage 82 est retirée par « stripping ». Un dépôt d'une couche métallique 12 est ensuite effectué, de manière à remplir les ouvertures 102 de la couche 73. Cette couche métallique 12 peut comprendre plusieurs sous-couches, par exemple des couches d'accroche à base de Ti et de TiN, d'épaisseurs 10 nm respectivement, et une couche principale à base de tungstène W, d'épaisseur suffisante pour remplir les ouvertures de la couche 73. Cette couche principale à base de tungstène W présente par exemple une épaisseur de l'ordre de 375 nm.

Comme illustré à la figure 11, un polissage mécano-chimique est d'abord effectué de manière à retirer l'excès de métal déposé sur la couche 73. Le polissage CMP est arrêté sur la couche 73, afin de conserver les portions 50' de couche métallique 12 dans les ouvertures de la couche 73.

Comme illustré à la figure 12, ces portions de couche métallique sont ensuite amincies pour former les contacts de base 50, typiquement de façon à ce que les faces supérieures des contacts de base 50 soient situées sous un plan passant par la face inférieure du contact d'émetteur 60. Cela permet de minimiser les capacités parasites entre le contact d'émetteur 60 et les contacts de base 50. Un tel amincissement permet typiquement de réduire de 55% ces capacités parasites, en comparaison

de contacts de base 50' non amincis et présentant une hauteur sensiblement égale à l'épaisseur de la couche 73, tels qu'illustrés à la figure 11.

Les portions de couche métallique en W peuvent être amincies par gravure humide à base de Triiodure De Potassium KI₃. Les portions de couche métallique en Ti/TiN, au niveau des flancs des contacts de base 50, peuvent être retirées par gravure sèche. Des contacts de base 50 directement au contact de la couche 5 à base d'InGaAs dopée P++ sont ainsi formés.

Selon une possibilité illustrée à la figure 13, l'amincissement est effectué de façon différentielle, afin d'obtenir des portions périphériques 50p du contact 50 plus minces que la portion centrale 50c du contact 50. Un tel amincissement différentiel peut se produire lorsque le dépôt de la couche principale à base de tungstène W est effectué par CVD assisté par plasma d'espèces azotées N+. Les portions périphériques 50p du contact 50 sont alors gravées préférentiellement à la portion centrale 50c du contact 50. Les portions périphériques 50p présentent typiquement un profil d'épaisseur décroissant depuis la portion centrale 50c. Dans ce cas, les capacités parasites entre le contact d'émetteur 60 et les contacts de base 50 sont encore plus diminuées. Un tel amincissement différentiel permet typiquement de réduire de 70% ces capacités parasites, en comparaison de contacts de base 50' non amincis et présentant une hauteur sensiblement égale à l'épaisseur de la couche 73, tels qu'illustrés à la figure 11.

Comme illustré à la figure 14, une couche 74 à base de SiN est ensuite formée par dépôt conforme à 400°C sur la couche 73, et sur les contacts de base 50 et le contact d'émetteur 60. Cette couche 74 présente typiquement une épaisseur de l'ordre de 60 nm. Une couche de masquage 83 à base de résine est alors formée et structurée, par exemple par lithographie électronique e-beam, au-dessus des contacts de base 50 et du contact d'émetteur 60, en conservant des parties de couche 74 exposées en pourtour des contacts de base 50.

Comme illustré à la figure 15, les couches 74, 73 et 72 sont ensuite gravées autour de la couche de masquage 83, typiquement par gravure sèche. L'arrêt de gravure se fait sur la couche 5 à base d'InGaAs P++. Une face supérieure 500 de la couche 5 est ainsi exposée après gravure. La structure en saillie de la couche 5, comprenant les contacts de base 50, la structure en méso 6M, le contact d'émetteur 60 et la couche de masquage 83, présente typiquement une dimension L1 selon x. La couche de masquage 83 est ensuite retirée par « stripping » (figure 16).

Comme illustré à la figure 17, les couches 5, 44, 43, 42 et 41 de l'empilement sont ensuite gravées autour des contacts de base 50. Les couches 5, 44, 43, 42 et en partie la couche 41 à base d'InP sont typiquement gravées par gravure sèche, avec arrêt dans la couche 41. La gravure sèche partielle des couches 43, 42 et 41 à base d'InP peut être configurée pour s'arrêter à une profondeur de gravure de l'ordre de 140 nm depuis l'interface entre la couche 43 et la couche 44, de manière à conserver une épaisseur résiduelle de la couche 41 en fin de gravure sèche.

Comme illustré à la figure 18, une gravure de finition par gravure humide permet ensuite de retirer la partie restante de la couche 41 à base d'InP, de préférence sélectivement à la couche 34 à base d'InGaAs N+, de façon à exposer une face supérieure 300 de la couche 34. Une structure en méso

45M est ainsi obtenue sous les contacts de base 50. Cette structure en méso 45M de dimension L1 selon x présente typiquement des flancs 451 qui peuvent être légèrement inclinés vis-à-vis de la verticale. Ceci est typiquement dû au caractère isotrope des gravures, notamment de la gravure humide.

- 5 Comme illustré à la figure 19, une couche 74 à base de SiN est ensuite formée par dépôt conforme à 300°C sur la face exposée 300, et sur les flancs 451, les contacts de base 50 et le contact d'émetteur 60. Cette couche 74 présente typiquement une épaisseur de l'ordre de 60 nm. Une couche 75 à base de SiO₂ est ensuite formée sur la couche 74, par exemple par dépôt à 400°C. Cette couche 75 présente typiquement une épaisseur de l'ordre de 750 nm. Une étape de planarisation par polissage CMP est ensuite effectuée sur la couche 75, avec arrêt sur les parties en saillie de la couche 10 74 à base de SiN.

Comme illustré à la figure 20, une couche de masquage 84 à base de résine est alors formée sur la couche 75 et sur les parties en saillie de la couche 74, puis structurée par lithographie pour former des ouvertures 103. Les ouvertures 103 sont formées de part et d'autre des contacts de base 50.

- 15 Comme illustré à la figure 21, les couches 75 et 74 sont ensuite gravées au travers des ouvertures 103, typiquement par gravure sèche. L'arrêt de gravure se fait sur la couche 34 à base d'InGaAs N⁺. Une face supérieure 300 de la couche 34 est ainsi exposée après gravure au travers des ouvertures 103.

- Comme illustré à la figure 22, la couche de masquage 84 est retirée par « stripping ». Un dépôt 20 d'une couche métallique 13 est ensuite effectué, de manière à remplir les ouvertures 103 de la couche 75. Cette couche métallique 13 peut comprendre plusieurs sous-couches, par exemple des couches d'accroche à base de Ti et de TiN, d'épaisseurs 10 nm respectivement, et une couche principale à base de tungstène W, d'épaisseur suffisante pour remplir les ouvertures de la couche 75. Cette couche principale à base de tungstène W présente par exemple une épaisseur de l'ordre 25 de 750 nm.

- Comme illustré à la figure 23, un polissage mécano-chimique est d'abord effectué de manière à retirer l'excès de métal déposé sur la couche 75. Les portions de couche métallique 13 dans les ouvertures de la couche 75 sont ensuite amincies pour former les contacts de collecteur 30, typiquement de façon à ce que les faces supérieures des contacts de collecteur 30 soient situées sous 30 un plan passant par les faces inférieures des contacts de base 50. Cela permet de minimiser les capacités parasites entre les contacts de collecteur 30 et les contacts de base 50. Cela permet également de minimiser les capacités parasites entre les contacts de collecteur 30 et le contact d'émetteur 60.

- Les portions de couche métallique 13 en W peuvent être amincies par gravure humide à base de 35 Triiodure De Potassium KI₃, par exemple sur une profondeur de gravure d'environ 270 nm. Les portions de couche métallique en Ti/TiN, au niveau des flancs des contacts de collecteur 30, peuvent être retirées par gravure sèche. Des contacts de collecteur 30 directement au contact de la couche 34 à base d'InGaAs dopée N⁺ sont ainsi formés. Selon une possibilité, les contacts de collecteur 30

peuvent être amincis par amincissement différentiel comme précédemment. Les contacts de collecteur 30 présentent dès lors une portion périphérique relativement plus mince que leur portion centrale.

Comme illustré à la figure 24, une couche 76 à base de SiN est ensuite formée par dépôt conforme à 400°C sur la couche 75, et sur les contacts de collecteur 30. Cette couche 76 présente typiquement une épaisseur de l'ordre de 30 nm. Une couche 77 à base de SiO₂ est ensuite formée sur la couche 76, par exemple par dépôt à 400°C. Cette couche 77 présente typiquement une épaisseur de l'ordre de 400 nm. Une étape de planarisation par polissage CMP est ensuite effectuée sur la couche 77.

Un transistor HBT à base de matériaux III-V, sur substrat Si, et encapsulé par des matériaux diélectriques SiO₂/SiN, est ainsi obtenu. Les étapes suivantes visent à former les vias de contact sur les différents contacts d'émetteur, de base et de collecteur du transistor HBT.

Comme illustré à la figure 25, une couche de masquage 85 à base de résine est formée sur la couche 77 et structurée, typiquement par lithographie électronique e-beam. Une ouverture 104 est réalisée au-dessus du contact d'émetteur 60, d'abord dans la couche 85, puis dans l'empilement de couches diélectriques jusqu'au contact d'émetteur 60.

Comme illustré à la figure 26, après stripping de la couche de masquage 85, une nouvelle couche de masquage 86 à base de résine est formée sur la couche 77 et structurée, typiquement par lithographie électronique e-beam. Une ouverture 105 est réalisée au-dessus du contact de base 50, d'abord dans la couche 86, puis dans l'empilement de couches diélectriques jusqu'au contact de base 50. L'ouverture 104 au-dessus du contact d'émetteur 60 est typiquement remplie par la couche 86 à ce stade.

Comme illustré à la figure 27, après stripping de la couche de masquage 86, une nouvelle couche de masquage 87 à base de résine est formée sur la couche 77 et structurée, typiquement par lithographie électronique e-beam. Une ouverture 106 est réalisée au-dessus du contact de collecteur 30, d'abord dans la couche 87, puis dans l'empilement de couches diélectriques jusqu'au contact de collecteur 30. Les ouvertures 104, 105 respectivement au-dessus du contact d'émetteur 60 et du contact de base 50 sont typiquement remplies par la couche 87 à ce stade.

Comme illustré à la figure 28, après stripping de la couche de masquage 87, des interconnexions 55, 65, 35, également appelées vias de contact, sont formées dans les ouvertures 105, 104, 106, de façon à connecter respectivement les contacts de base, d'émetteur, de collecteur. Un dépôt d'une couche métallique est d'abord effectué, de manière à remplir les ouvertures 105, 104, 106. Cette couche métallique peut comprendre comme précédemment plusieurs sous-couches, par exemple des couches d'accroche à base de Ti et de TiN, d'épaisseurs 10 nm respectivement, et une couche principale à base de tungstène W, d'épaisseur suffisante pour remplir les ouvertures 105, 104, 106. Cette couche principale à base de tungstène W présente par exemple une épaisseur de l'ordre de 700 nm. Un polissage mécano-chimique est ensuite effectué de manière à retirer l'excès de métal déposé sur la couche 77. Les interconnexions 55, 65, 35 sont ainsi individualisées.

Les étapes suivantes visent à isoler le transistor HBT vis-à-vis d'autres composants (non illustrés).

Comme illustré à la figure 29, une couche 78 à base de SiN peut être formée par dépôt à 400°C sur la couche 77, et sur les interconnexions 55, 65, 35. Cette couche 78 présente typiquement une épaisseur de l'ordre de 150 nm. Une couche de masquage 88 à base de résine est formée sur la couche 78 et puis structurée par lithographie. Des ouvertures sous forme de tranchées 107 sont réalisées autour du transistor HBT, typiquement autour des contacts de collecteur 30, d'abord dans la couche 88, puis dans l'empilement de couches diélectriques jusqu'à la couche 34 à base d'InGaAs N+.

Comme illustré à la figure 30, après stripping de la couche de masquage 88, la gravure des tranchées 107 est prolongée dans l'empilement de couches à base de matériaux III-V, jusqu'à la couche 2 à base de SiO₂.

Comme illustré à la figure 31, ces tranchées 107 sont ensuite remplies par un matériau diélectrique 79, typiquement par dépôt de SiO₂ TEOS à 300°C sur une épaisseur de 2 µm. Un polissage mécanico-chimique du SiO₂ est ensuite effectué avec arrêt sur la couche 78 à base de SiN.

Les étapes suivantes visent à former le premier niveau de métal M1 comprenant les pistes métalliques connectant les différentes interconnexions 55, 65, 35. Les interconnexions 55, 65, 35 forment un niveau d'interconnexions I1.

Comme illustré à la figure 32, une couche de masquage 89 à base de résine est formée sur la couche 78 et structurée, typiquement par lithographie électronique e-beam. Des ouvertures 108 sont réalisées au-dessus des interconnexions 55, 65, 35, d'abord dans la couche 89, puis dans la couche 78 jusqu'aux interconnexions 55, 65, 35.

Comme illustré à la figure 33, après « stripping » de la couche de masquage 89, un dépôt d'une couche métallique 14 est effectué, de manière à connecter les interconnexions 55, 65, 35. Cette couche métallique 14 peut comprendre plusieurs sous-couches, par exemple des couches d'accroche à base de Ti et de TiN, d'épaisseurs 10 nm respectivement, une couche principale à base d'alliage AlCu, d'épaisseur 440 nm par exemple, et des couches superficielles à base de Ti et de TiN, d'épaisseurs 10 nm respectivement.

Comme illustré à la figure 34, cette couche métallique 14 est ensuite structurée par lithographie et gravure de façon à former une piste 56 connectée au via 55, une piste 66 connectée au via 65, et une piste 36 connectée au via 35.

Un transistor HBT comprenant des structures en méso 6M, 45M formées dans un empilement de matériaux III-V sur substrat Si, intégré dans des matériaux diélectriques SiO₂, SiN et connecté par des interconnexions 55, 65, 35 à base de W est ainsi obtenu. Un tel transistor HBT et son premier niveau d'interconnexions I1, M1 est avantageusement intégrable dans un système comprenant des transistors CMOS et des interconnexions CMOS.

Les figures 35, 36 illustrent une variante du procédé de réalisation du transistor HBT, dans lequel les contacts de base sont formés avant le contact d'émetteur.

Comme illustré à la figure 35, la structure en méso 6M est formée par lithographie et gravure à partir de l'empilement de couches à base de matériaux III-V. Des couches diélectriques 72, 73 sont ensuite

formées sur cette structure en méso 6M, puis planarisées. Les couches diélectriques 72, 73 sont ensuite ouvertes en bordure de la structure en méso 6M, de façon à exposer la face supérieure 500 de la couche 5.

Comme illustré à la figure 36, les ouvertures sont ensuite remplies par une couche métallique. Un polissage CMP permet alors de retirer les parties de couche métallique en excès pour former les contacts de base 50. Le contact d'émetteur et les contacts de collecteur peuvent être ensuite formés comme précédemment. Dans ce cas, la face supérieure des contacts de base 50 se situe dans un plan correspondant sensiblement au sommet de la structure en méso 6M. Il n'est donc pas nécessaire d'amincir les contacts de base 50 lorsque ceux-ci sont formés avant le contact d'émetteur. Cela permet d'économiser une étape de procédé.

Les figures 37, 38, 39, 40 illustrent des possibilités d'intégration du transistor HBT dans un système comprenant des transistors CMOS et des interconnexions CMOS.

Comme illustré à la figure 37, un circuit intégré comprenant des transistors HBT1, HBT2, HBT3 à base de matériaux III-V sur un substrat 1b à base de silicium, et intégrés via des niveaux d'interconnexions I1, I2 et des niveaux métalliques M1, M2 dans une matrice diélectrique D1 à base de SiO2 et/ou de SiN, peut avantageusement être obtenu. Le dernier niveau métallique M2 de ce circuit intégré « HBT » peut typiquement former une première interface de collage hybride.

Comme illustré à la figure 38, un circuit intégré « CMOS » comprenant des composants à base de transistors CMOS ou BiCMOS, CMOS1, CMOS2... sur un substrat 1b à base de silicium et intégrés via des niveaux d'interconnexions I1', I2' et des niveaux métalliques M1', M2' dans une matrice diélectrique D2 à base de SiO2 et/ou de SiN, peut être avantageusement assemblé au circuit intégré « HBT ». Le dernier niveau métallique M2' du circuit intégré « CMOS » peut typiquement former une deuxième interface de collage hybride.

Les circuits intégrés « HBT » et « CMOS » peuvent être alignés et assemblés par collage hybride en mettant en regard les première et deuxième interfaces de collage hybride. Dans le cas de circuits intégrés « HBT » de petites dimensions latérales par rapport au circuit intégré « CMOS », plusieurs circuits intégrés « HBT » peuvent être co-assemblés côte-à-côte sur le circuit intégré « CMOS ». Après assemblage, le substrat 1b peut typiquement être retiré par rognage mécanique et gravure humide.

Comme illustré à la figure 39, des niveaux d'interconnexions I1'', I2'' et des niveaux métalliques M1'', M2'' dans une matrice diélectrique D3 à base de SiO2 et/ou de SiN, peuvent être avantageusement formés au-dessus des transistors HBT1, HBT2, HBT3 à base de matériaux III-V. Le niveau d'interconnexions I1'' connecte avantageusement les transistors HBT1, HBT2, HBT3, typiquement au niveau de la partie collecteur ou sous-collecteur des transistors HBT1, HBT2, HBT3. Certaines interconnexions 37 du niveau I1'' peuvent être relativement plus larges et massives pour former un radiateur pour le transistor HBT3 correspondant. Cela améliore la dissipation thermique et la gestion de l'échauffement d'un tel transistor HBT3. Les niveaux métalliques M1'', M2'' peuvent typiquement

comprendre des pistes de métal épaisses, formant des composants RF passifs tels que des antennes ou des lignes de transmission.

Avantageusement, le niveau HBT peut être intégré entre différents niveaux d'interconnexions, par exemple entre les niveaux d'interconnexions I1, I1'' tel qu'illustré, ou entre les niveaux d'interconnexions I1'', I2'' etc. Cela permet une plus grande versatilité d'intégration des transistors HBT au sein de l'empilement CMOS. Plusieurs niveaux métalliques CMOS M1', M2', par exemple jusqu'à cinq niveaux, peuvent être prévus sous le niveau HBT. Plusieurs niveaux métalliques de post-traitement M1'', M2'', par exemple jusqu'à cinq niveaux supplémentaires, peuvent être prévus au-dessus du niveau HBT.

Comme illustré à la figure 40, le contact collecteur 30 peut être formé en « face arrière » du transistor HBT lors d'étapes d'intégration ultérieures, après retrait du substrat 1 à base de silicium. La couche 32 est typiquement ici à base d'InGaAs dopé. Les contacts émetteur 60 et base 50, ainsi que les reprises de contacts 55 et 65 sont préalablement formés par exemple, jusqu'au niveau métallique M2 et permettent le report par « Direct Hybrid Bonding » d'une plaque comprenant différents niveaux de métaux M2' ou supérieures. Les niveaux de métaux M1'', M2'' correspondent ici par exemple à des niveaux métalliques épais mis en œuvre dans des technologies CMOS ou BiCMOS. La formation du contact collecteur 30 en « face arrière » permet une meilleure dissipation thermique pour le transistor HBT, et moins de résistance thermique entre les bases 50 et le collecteur 30. La résistance globale du collecteur 30 est diminuée. La formation du contact collecteur 30 en « face arrière » offre également plus de possibilités en termes de design du contact collecteur 30. Selon une possibilité illustrée à la figure 40, le contact collecteur 30 présente une dimension L3 sensiblement égale à la dimension L2 du contact émetteur. Les surfaces métalliques en vis-à-vis entre collecteur 30 et bases 50 sont diminuées. Cela réduit les capacités parasites entre les contacts base 50 et le contact collecteur 30. La gestion thermique et la gestion des capacités parasites sont améliorées. La couche 33 à base d'InP présente typiquement une constante diélectrique de l'ordre de 13. Elle est entourée par des couches 71, 72 à base d'un matériau diélectrique présentant une constante diélectrique inférieure à celle de l'InP et l'InGaAs. Par exemple, ce matériau peut être du nitrure de silicium présentant une constante diélectrique de l'ordre de 7. La matrice environnante, comprenant les couches 75, 77 à base d'oxyde de silicium, présente typiquement une constante diélectrique de l'ordre de 4.

Les niveaux d'interconnexions I2' et de métal M2' formés préalablement sur une autre plaque qui constitue la plaque d'accueil ou « Bottom » et peut être un circuit BiCMOS par exemple.. Cela permet d'envisager d'autres améliorations et fonctionnalisations du dispositif lors d'étapes de fin de ligne. Cette intégration en face avant et/ou en face arrière du transistor HBT par « Direct Hybrid Bonding », qui requière une excellente planéité de surface entre les différentes plaques et puces, est notamment rendue possible par les étapes de planarisation survenant lors des briques de fabrication du transistor HBT.

Au vu de ce qui précède, il apparaît clairement que le transistor HBT et son système d'intégration

peuvent être intégrés de façon compacte et versatile au sein d'un circuit intégré CMOS ou BiCMOS. L'invention n'est pas limitée aux modes de réalisation précédemment décrits.

REVENDICATIONS

1. Procédé de réalisation d'un transistor bipolaire à hétérojonction (HBT) comprenant au moins les étapes suivantes :

- 5 - Une fourniture d'un empilement comprenant selon une direction z un substrat (1) à base de silicium, une première couche (3) en un premier matériau III-V présentant un premier type de conductivité avec un premier niveau de dopage N+,
- une formation par épitaxie sur la première couche d'une couche (4) dite de collecteur, à base d'un deuxième matériau III-V présentant le premier type de conductivité avec
10 un deuxième niveau de dopage N, et
- une formation par épitaxie sur la couche (4) de collecteur d'une couche (5) dite de base, à base d'un troisième matériau III-V présentant un deuxième type de conductivité avec un premier niveau de dopage P+,
- une formation par épitaxie sur la couche (5) de base d'une couche (6) dite d'émetteur,
15 à base d'un quatrième matériau III-V présentant le premier type de conductivité avec un troisième niveau de dopage N,
- Une première structuration sous forme de méso des couches (4, 5) de collecteur et de base, configurée pour former une première structure en méso (45M) présentant une dimension L1 selon une direction y perpendiculaire à la direction z,
- 20 - Une deuxième structuration sous forme de méso de la couche (6) d'émetteur, configurée pour former une deuxième structure en méso (6M) présentant une dimension L2 inférieure à la dimension L1 selon la direction y,
- Une formation d'un contact de collecteur (30) sur la première couche (3), de préférence en bordure de la première structure en mesa (45M),
- 25 - Une formation d'un contact de base (50) sur la couche (5) de base, en bordure de la deuxième structure en mesa (6M),
- Une formation d'un contact d'émetteur (60) sur la couche (6) d'émetteur, lesdits contacts de collecteur, de base et d'émetteur étant formés à base d'un matériau électriquement conducteur convenant pour une métallurgie des niveaux métalliques
- 30 d'un circuit intégré à base de transistors complémentaires métal-oxyde-semiconducteur (CMOS),
- Une formation d'au moins une couche d'encapsulation couvrant la première couche (3), les première et deuxième structures en mesa (45M, 6M), les contacts de collecteur, de base et d'émetteur (30, 50, 60), ladite couche d'encapsulation étant
35 formée à base d'un matériau diélectrique convenant pour une isolation des niveaux métalliques d'un circuit intégré à base de transistors complémentaires métal-oxyde-semiconducteur (CMOS)
- Une planarisation de l'au moins une couche d'encapsulation.

2. Procédé selon la revendication précédente dans lequel les formations des première et deuxième structures en mesa (45M, 6M) se font respectivement par une première gravure selon z des couches (4, 5) de collecteur et de base, et par une deuxième gravure selon z de la couche (6) d'émetteur.

3. Procédé selon la revendication précédente dans lequel les première et deuxième gravures comprennent chacune une étape de gravure isotrope par voie humide, de sorte à ce que les première et deuxième structures en mesa (45M, 6M) présentent chacune des flancs (451, 601) inclinés, en surplomb respectivement de la première couche (3) et de la couche de base (5).

4. Procédé selon l'une quelconque des revendications précédentes dans lequel les étapes suivantes sont effectuées selon l'ordre chronologique suivant : formation du contact d'émetteur (60), puis formation de la deuxième structure en mesa (6M), puis formation du contact de base (50), puis formation de la première structure en mesa (45M), puis formation du contact de collecteur (30).

5. Procédé selon l'une quelconque des revendications précédentes dans lequel les étapes suivantes sont effectuées selon l'ordre chronologique suivant : formation de la deuxième structure en mesa (6M), puis formation du contact de base (50), puis formation du contact d'émetteur (60), puis formation de la première structure en mesa (45M), puis formation du contact de collecteur (30).

6. Procédé selon l'une quelconque des revendications précédentes dans lequel la formation du contact de collecteur (30) et/ou la formation du contact de base (50) comprennent un premier dépôt assisté par plasma azoté de tungstène, destiné à former une portion périphérique du contact de collecteur et/ou du contact de base respectivement, ladite formation comprenant en outre un amincissement de la portion périphérique du contact considéré par gravure préférentielle de la portion périphérique du contact considéré vis-à-vis d'une portion centrale dudit contact.

7. Transistor bipolaire à hétérojonction (HBT) comprenant, en empilement selon une direction z sur un substrat (1, 1b) à base de silicium :

- une première couche (3) en un premier matériau III-V présentant un premier type de conductivité avec un premier niveau de dopage N⁺,
- une première structure en mesa (45M) sur la première couche (3), comprenant :
 - une couche (4) dite de collecteur, à base d'un deuxième matériau III-V présentant le premier type de conductivité avec un deuxième niveau de dopage N, et
 - une couche (5) dite de base, à base d'un troisième matériau III-V présentant un deuxième type de conductivité avec un premier niveau de dopage P⁺,
- une deuxième structure en mesa (6M) sur la première structure en mesa (45M), comprenant une couche (6) d'émetteur à base d'un quatrième matériau III-V présentant le premier type de conductivité avec un troisième niveau de dopage N, ledit transistor (HBT) comprenant en outre un contact de collecteur (30) sur la première couche (3), de préférence en bordure de la première structure en mesa

(45M), un contact de base (50) sur la couche de base (5), en bordure de la deuxième structure en mesa (6M), un contact d'émetteur (60) sur la couche d'émetteur (6), lesdits contacts de collecteur, de base et d'émetteur étant à base d'un matériau électriquement conducteur convenant pour une métallurgie des

niveauux métalliques d'un circuit intégré à base de transistors complémentaires métal-oxyde-semiconducteur (CMOS),
ledit transistor (HBT) comprenant en outre une couche d'encapsulation à base d'un matériau d'encapsulation diélectrique, ladite couche d'encapsulation couvrant la première couche (3), les première et deuxième structures en mesa (45M, 6M), et les contacts de collecteur, de base et d'émetteur (30, 50, 60), ladite couche d'encapsulation étant à base d'un matériau diélectrique convenant pour une isolation des niveauux métalliques d'un circuit intégré à base de transistors complémentaires métal-oxyde-semiconducteur (CMOS),

ledit transistor (HBT) étant caractérisé en ce que le contact de base (50) présente une portion centrale (50c) et une portion périphérique (50p) autour de la portion centrale (50c) telles que la portion périphérique (50p) présente une épaisseur inférieure à celle de la portion centrale (50c) et qui décroît en s'éloignant de la portion centrale (50c), de façon à diminuer une capacité parasite entre le contact de base (50) et le contact d'émetteur (60).

8. Transistor selon la revendication précédente dans lequel le matériau diélectrique est pris parmi SiO₂, SiN, SiOC, HfO₂, Al₂O₃ et le matériau conducteur est pris parmi W, Ti, TiN, Cu Ni, NiSi, NiPt, Mo, Al.

9. Transistor selon l'une quelconque des revendications 7 à 8 dans lequel les premier et quatrième matériaux III-V sont à base d'InP, et les deuxième et troisième matériaux III-V sont à base d'InGaAs.

10. Transistor selon l'une quelconque des revendications 7 à 9 dans lequel le contact de collecteur (30) présente une portion centrale et une portion périphérique autour de la portion centrale telles que la portion périphérique présente une épaisseur inférieure à celle de la portion centrale et qui décroît en s'éloignant de la portion centrale, de façon à diminuer une capacité parasite entre le contact de collecteur (30) et le contact de base (50) et/ou le contact d'émetteur (60).

11. Système d'intégration d'au moins un transistor bipolaire à hétérojonction (HBT) comprenant, en empilement selon une direction z :

- Un premier substrat (1a) à base de silicium,
- Une couche (CMOS) comprenant des transistors métal-oxyde-semiconducteur complémentaires CMOS et des premiers niveauux d'interconnexions métalliques (I1', M1') reliés auxdits transistors CMOS,

- Une couche de collage comprenant une interface (M2, M2') de type collage hybride, comprenant des connexions électriques (I2') avec les premiers niveaux d'interconnexions métalliques (I1', M1') reliés aux transistors CMOS,
- Une couche (HBT) comprenant au moins un transistor bipolaire à hétérojonction selon l'une quelconque des revendications 7 à 10, et des deuxièmes niveaux d'interconnexions métalliques (I1, M1) intercalés entre la couche de collage et la couche (HBT) comprenant l'au moins un transistor bipolaire à hétérojonction, lesdits deuxièmes niveaux d'interconnexions métalliques (I1, M1) étant connectés électriquement à la couche de collage et à l'au moins un transistor bipolaire à hétérojonction.

12. Système d'intégration selon la revendication précédente comprenant en outre, sur la couche (HBT) comprenant l'au moins un transistor bipolaire à hétérojonction, au moins un troisième niveau d'interconnexions (I1'', M1'') comprenant une couche (M1'') de métal dit épais présentant une épaisseur au moins deux fois supérieure aux différentes épaisseurs de métal (M1, M1') des premiers et deuxièmes niveaux d'interconnexions métalliques situés sous la couche (HBT) comprenant l'au moins un transistor bipolaire à hétérojonction.

13. Système d'intégration selon la revendication précédente dans lequel la couche (M1'') de métal épais est connectée à la première couche (3) en un premier matériau III-V du transistor bipolaire à hétérojonction par une connexion électrique (37) de dissipation thermique, ladite connexion électrique (37) de dissipation thermique faisant office de contact de collecteur pour le transistor bipolaire à hétérojonction.

14. Système d'intégration selon l'une quelconque des revendications 11 à 13 dans lequel la première couche (3) en un premier matériau III-V de la couche comprenant l'au moins un transistor bipolaire à hétérojonction est continue et couvre, en projection selon la direction z, totalement le premier substrat (1a) à base de silicium.

15. Système d'intégration selon l'une quelconque des revendications 11 à 14 dans lequel les premiers niveaux d'interconnexions métalliques (I1', M1') reliés aux transistors CMOS comprennent entre trois et cinq couches (M1', M2') de métal.

16. Procédé d'intégration d'au moins un transistor bipolaire à hétérojonction comprenant les étapes suivantes :

- Une fourniture d'un premier empilement comprenant selon une direction z :
 - un premier substrat (1a) à base de silicium,
 - une couche (CMOS) comprenant des transistors métal-oxyde-semiconducteur complémentaires CMOS et des premiers niveaux d'interconnexions métalliques (I1', M1') reliés auxdits transistors CMOS,
 - une première partie (M2') d'une couche de collage comprenant une interface de type collage hybride, comprenant des connexions

électriques (I2') avec les premiers niveaux d'interconnexions métalliques (I1', M1') reliés aux transistors CMOS,

- Une fourniture d'un deuxième empilement comprenant selon une direction z :
 - un deuxième substrat (1b) à base de silicium,
 - une couche (HBT) comprenant au moins un transistor bipolaire à hétérojonction selon l'une quelconque des revendications 7 à 10, et des deuxième niveaux d'interconnexions métalliques (I1, M1) reliés audit transistor bipolaire à hétérojonction,
 - une deuxième partie (M2) d'une couche de collage comprenant une interface de type collage hybride, comprenant des connexions électriques (I2) avec lesdits deuxième niveaux d'interconnexions métalliques (I1, M1) reliés au transistor bipolaire à hétérojonction,
- un collage hybride de la deuxième partie (M2) de la couche de collage sur la première partie (M2') de la couche de collage,
- un retrait du deuxième substrat (1b) à base de silicium,
- une formation, sur la couche (HBT) comprenant l'au moins un transistor bipolaire à hétérojonction, d'au moins un troisième niveau d'interconnexions (I1'', M1''), ledit au moins un troisième niveau d'interconnexions (I1'', M1'') comprenant de préférence une couche (M1'') de métal dit épais présentant une épaisseur au moins deux fois supérieure aux différentes épaisseurs de métal (M1, M1') des premiers et deuxième niveaux d'interconnexions métalliques situés (I1, M1, I1', M1') sous la couche (HBT) comprenant l'au moins un transistor bipolaire à hétérojonction.

[Fig. 1]

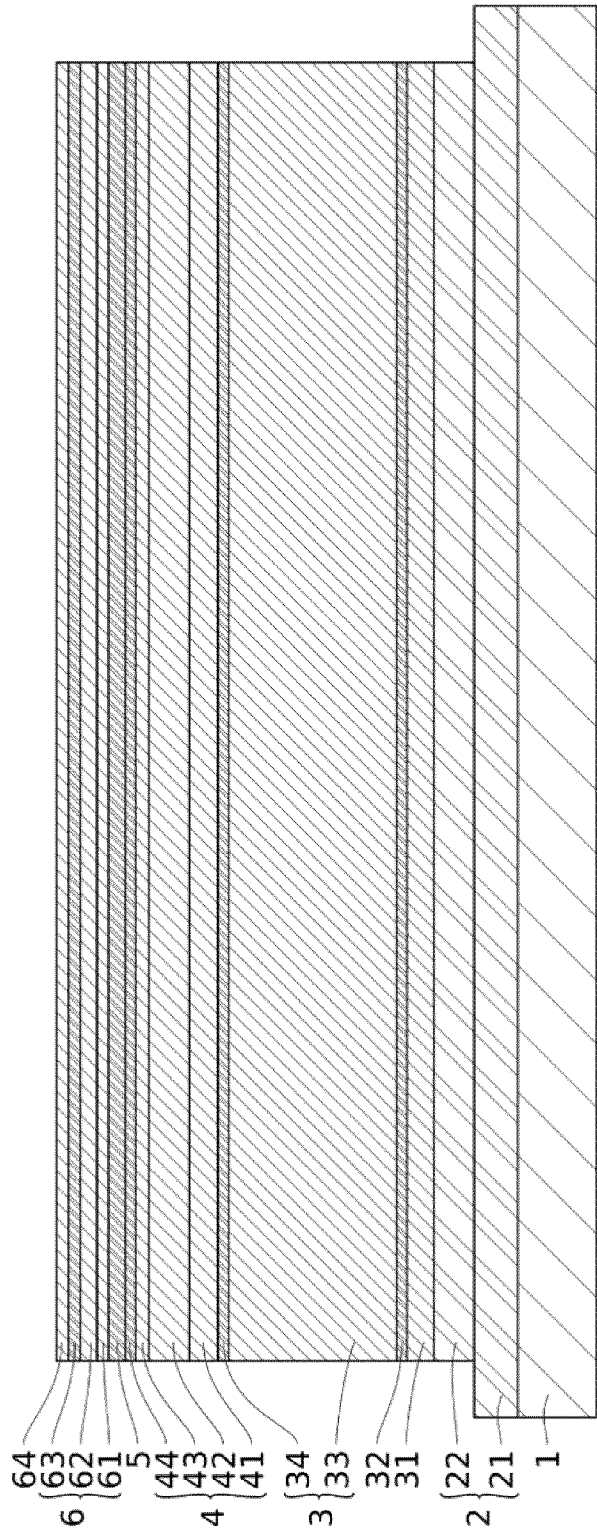
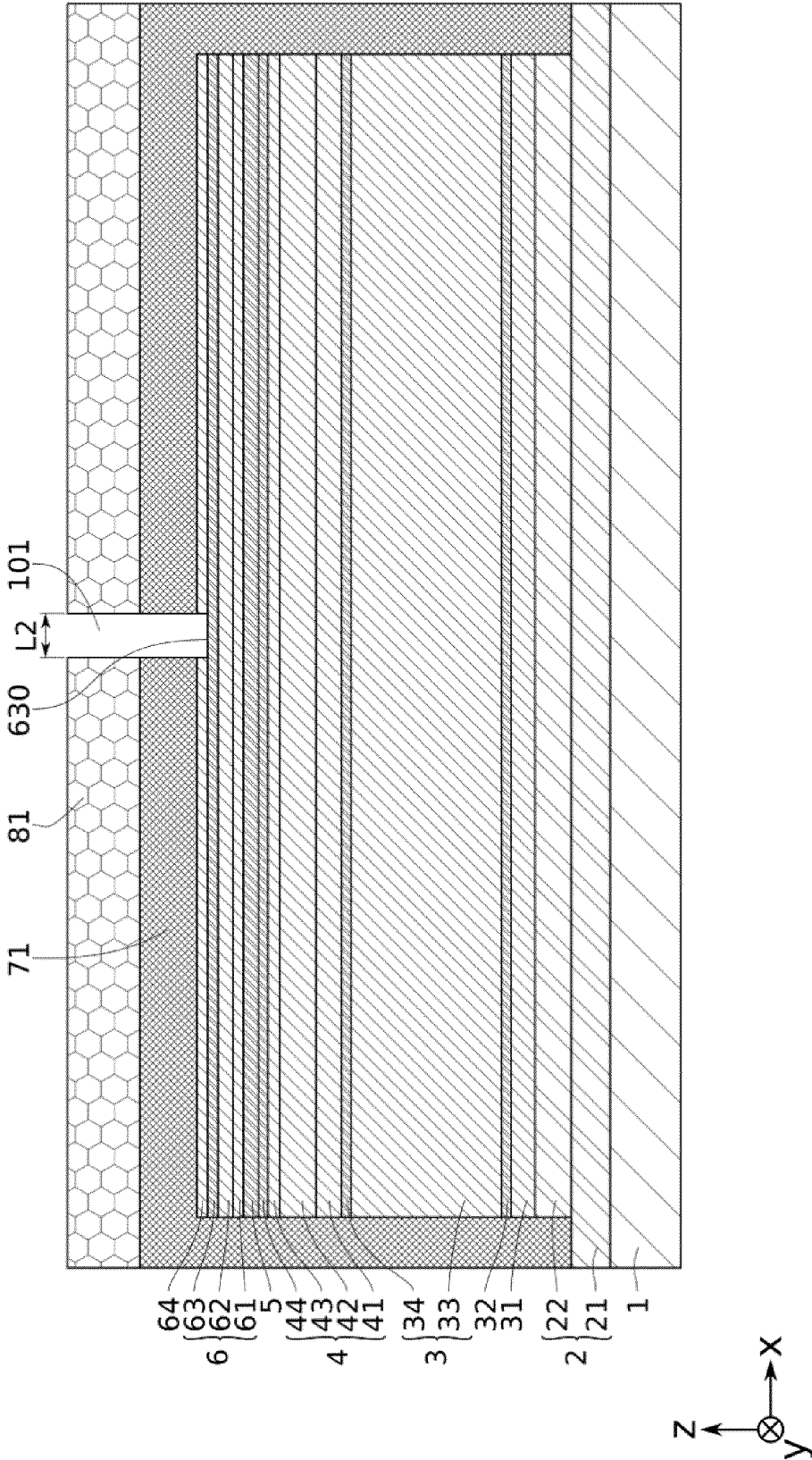


FIG. 1

[Fig.2]

FIG. 2



[Fig.3]

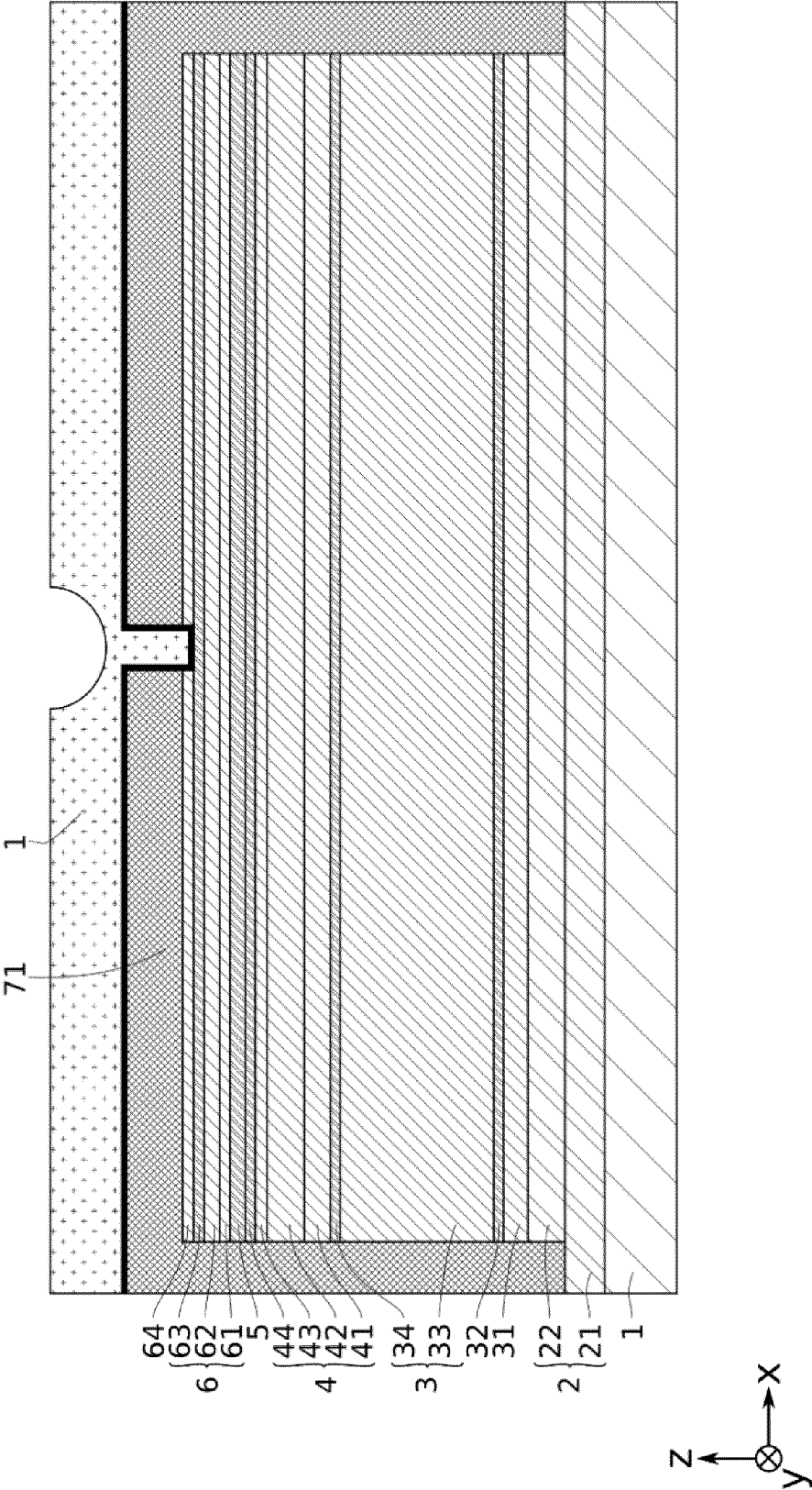
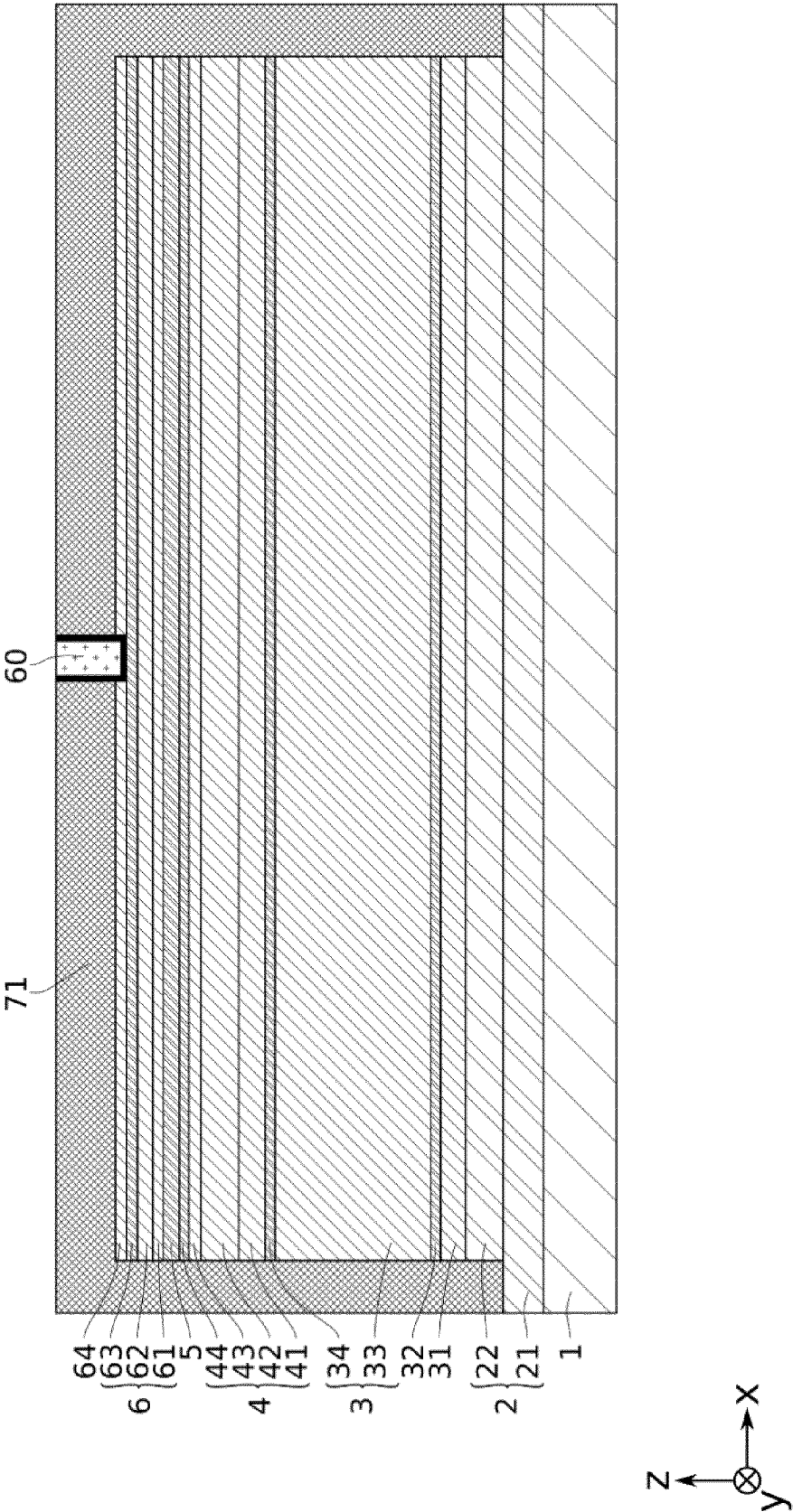


FIG. 3

[Fig.4]

FIG. 4



[Fig.5]

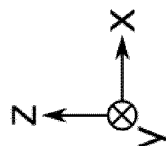
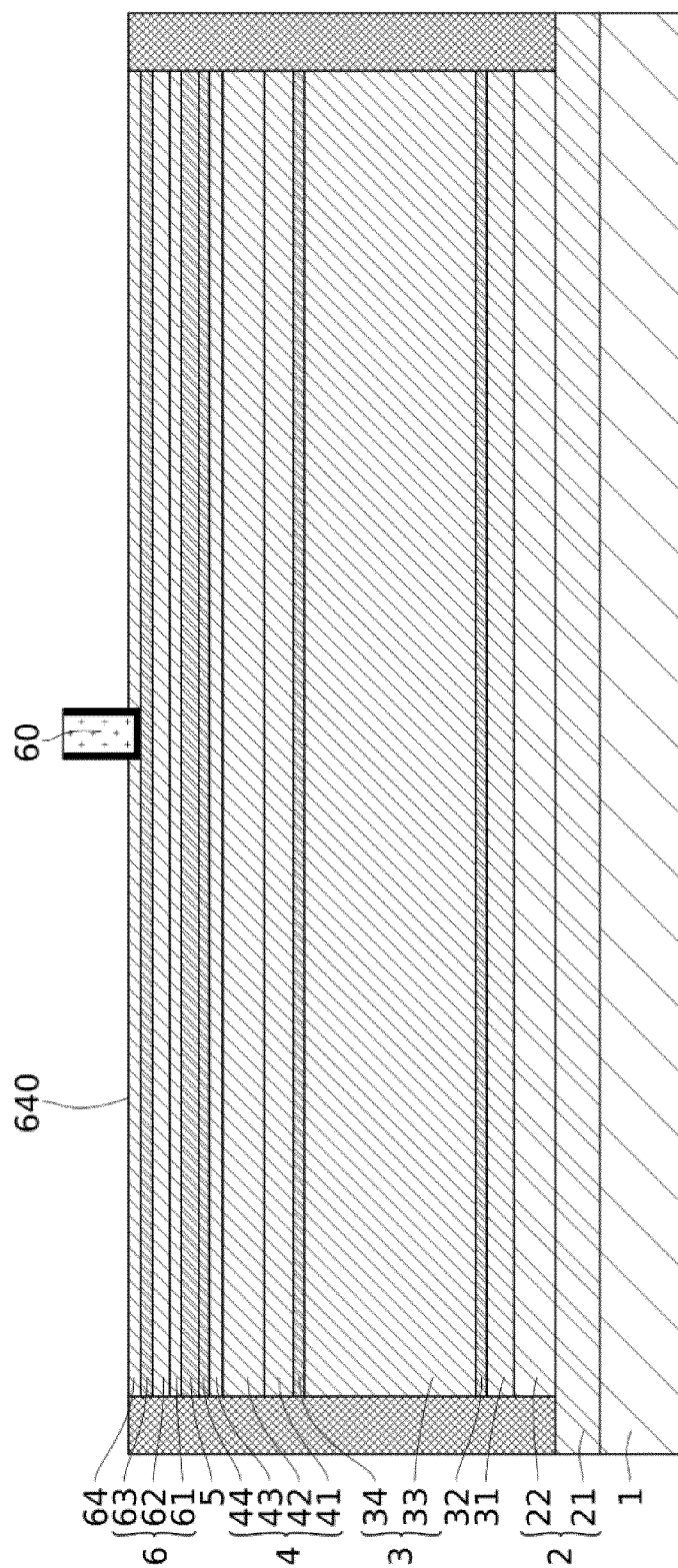
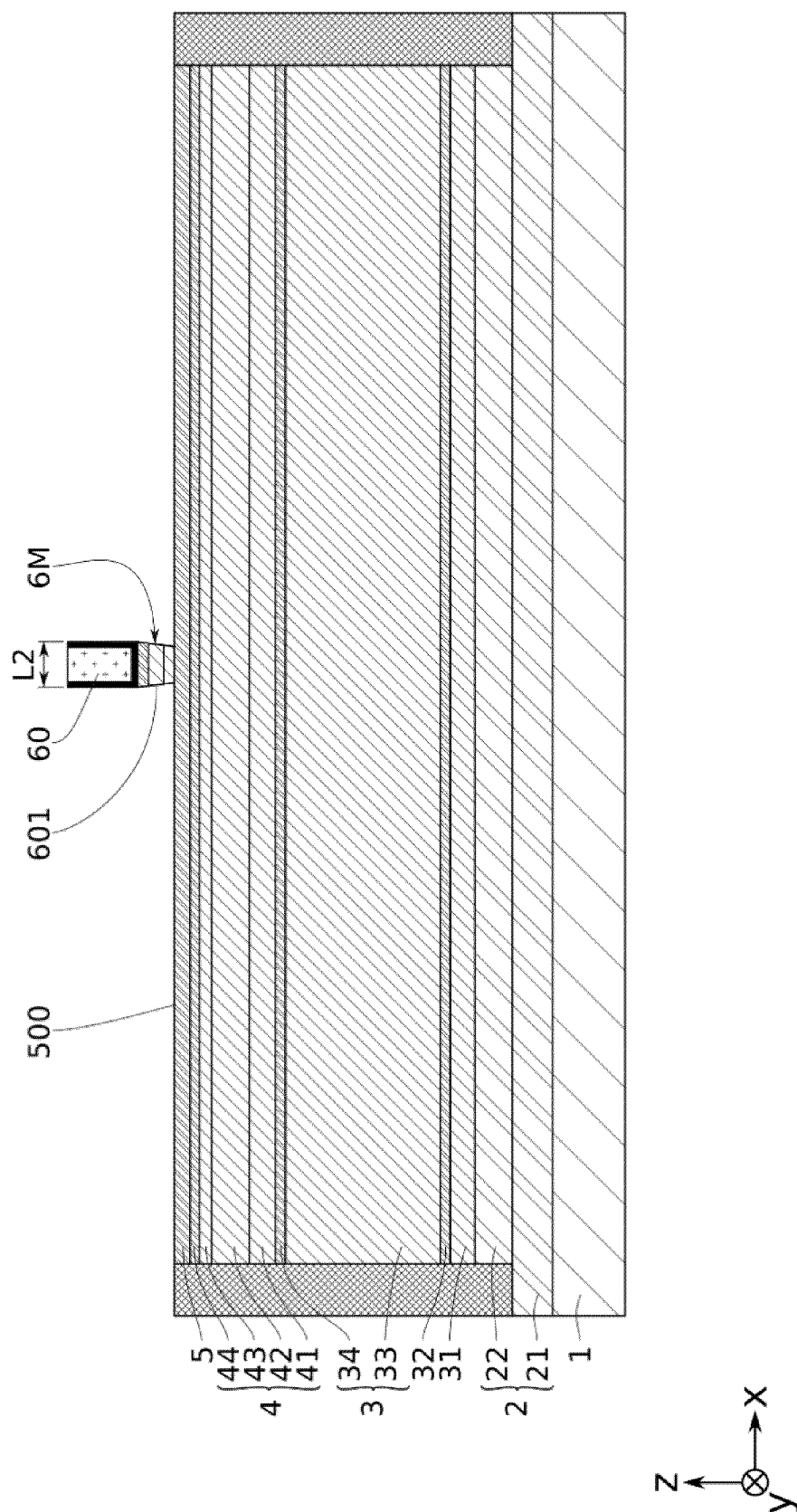


FIG. 5

FIG. 6



[Fig.7]

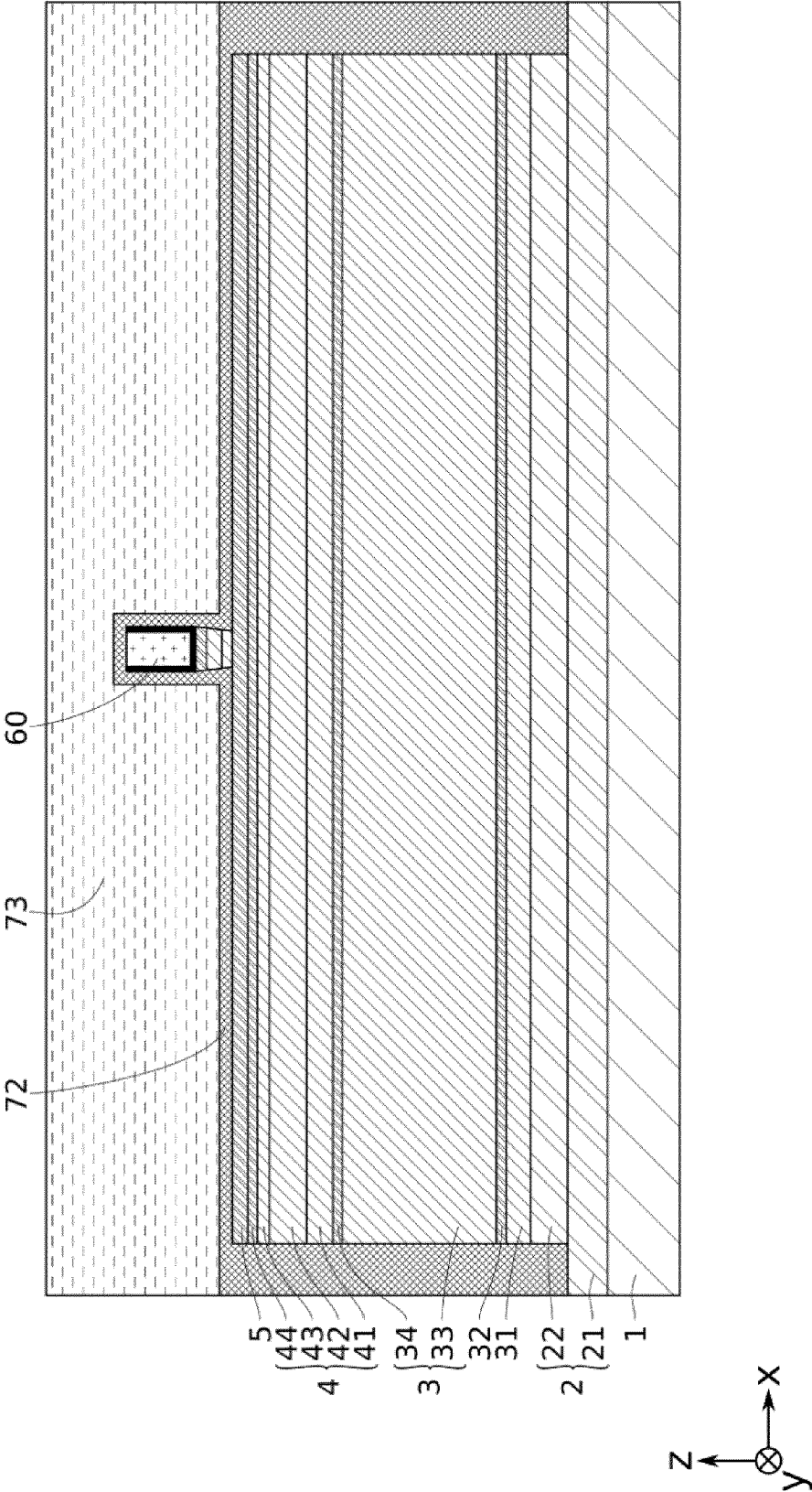
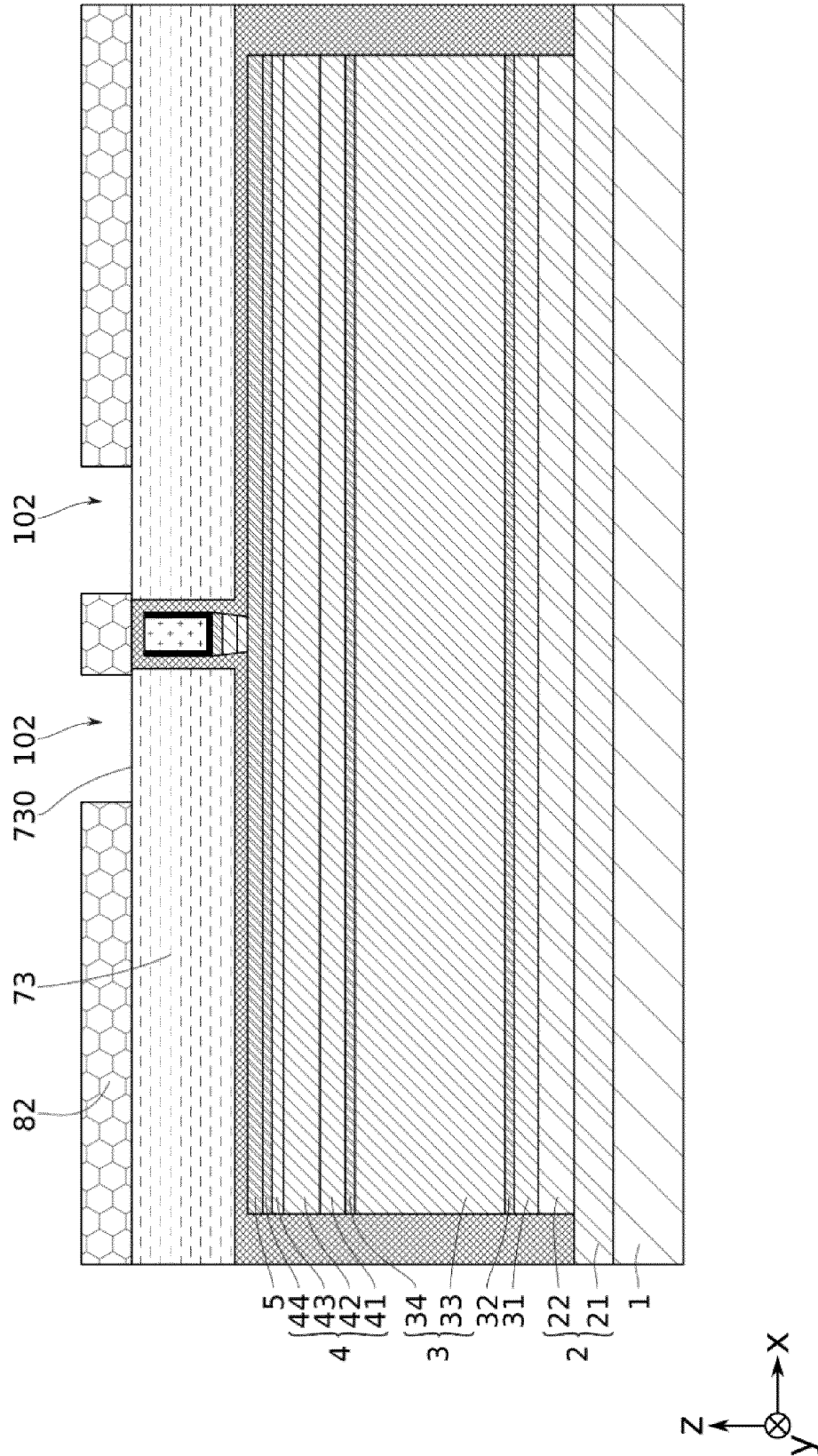


FIG. 7

[Fig.8]



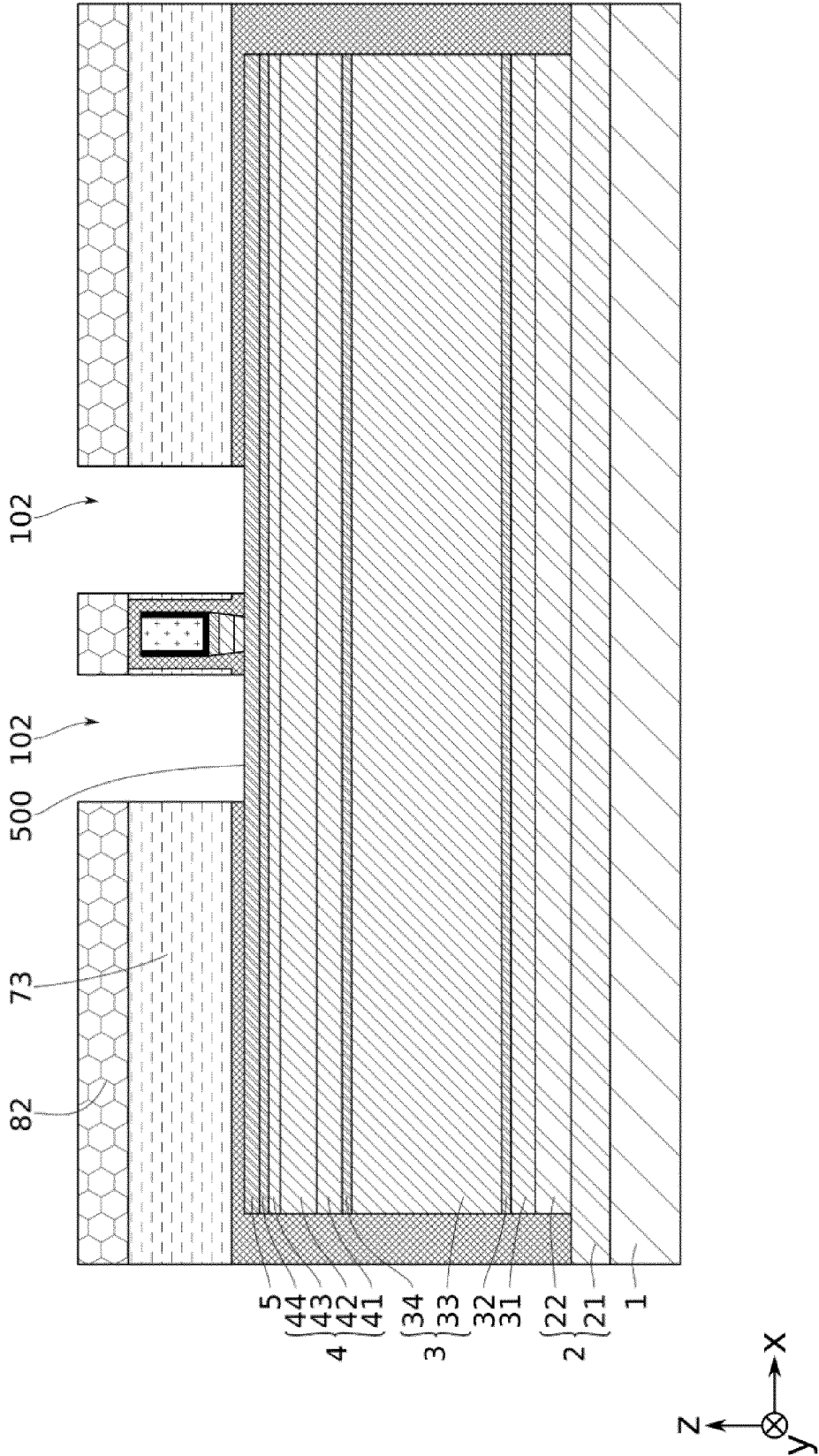


FIG. 9

[Fig.10]

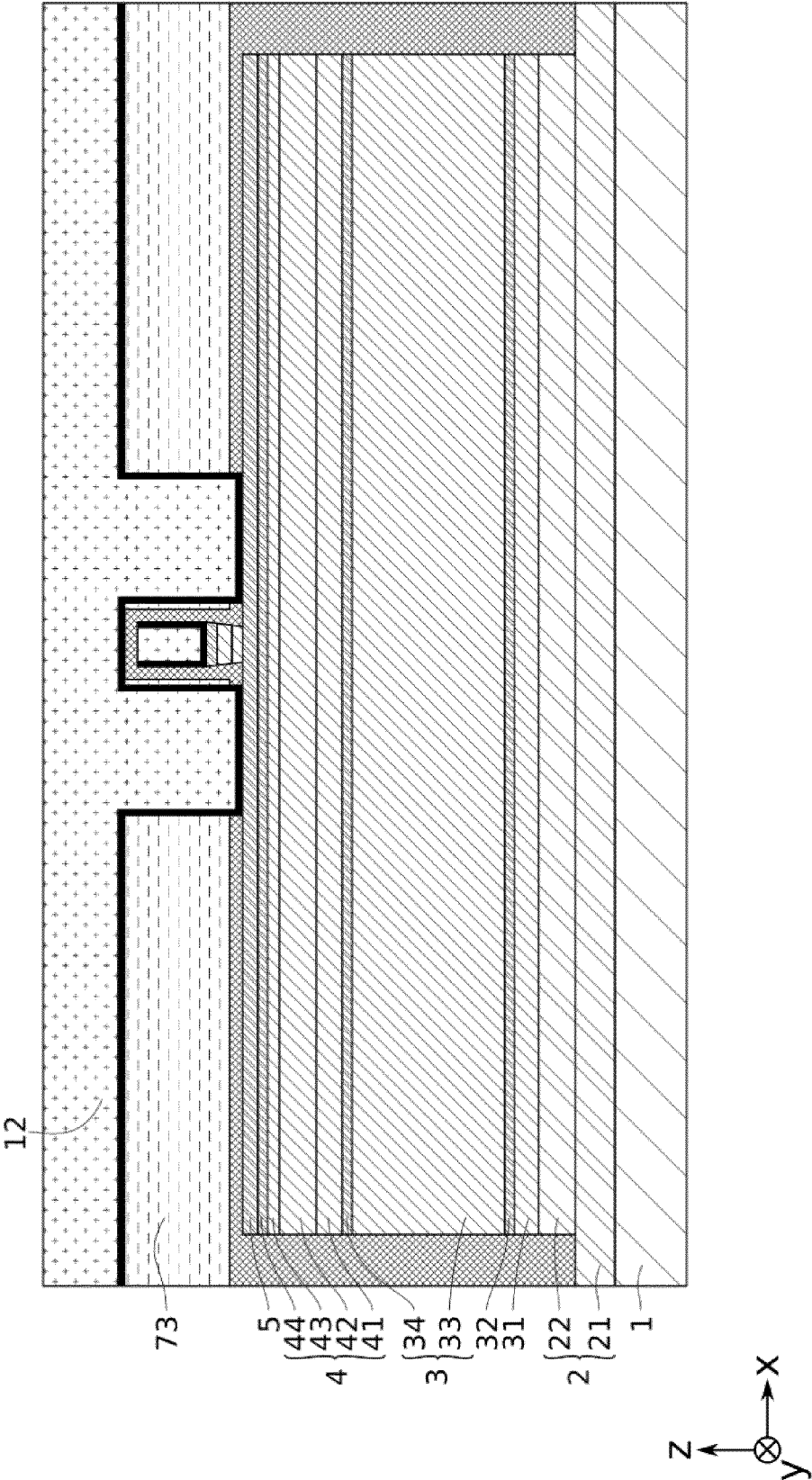


FIG. 10

[Fig.11]

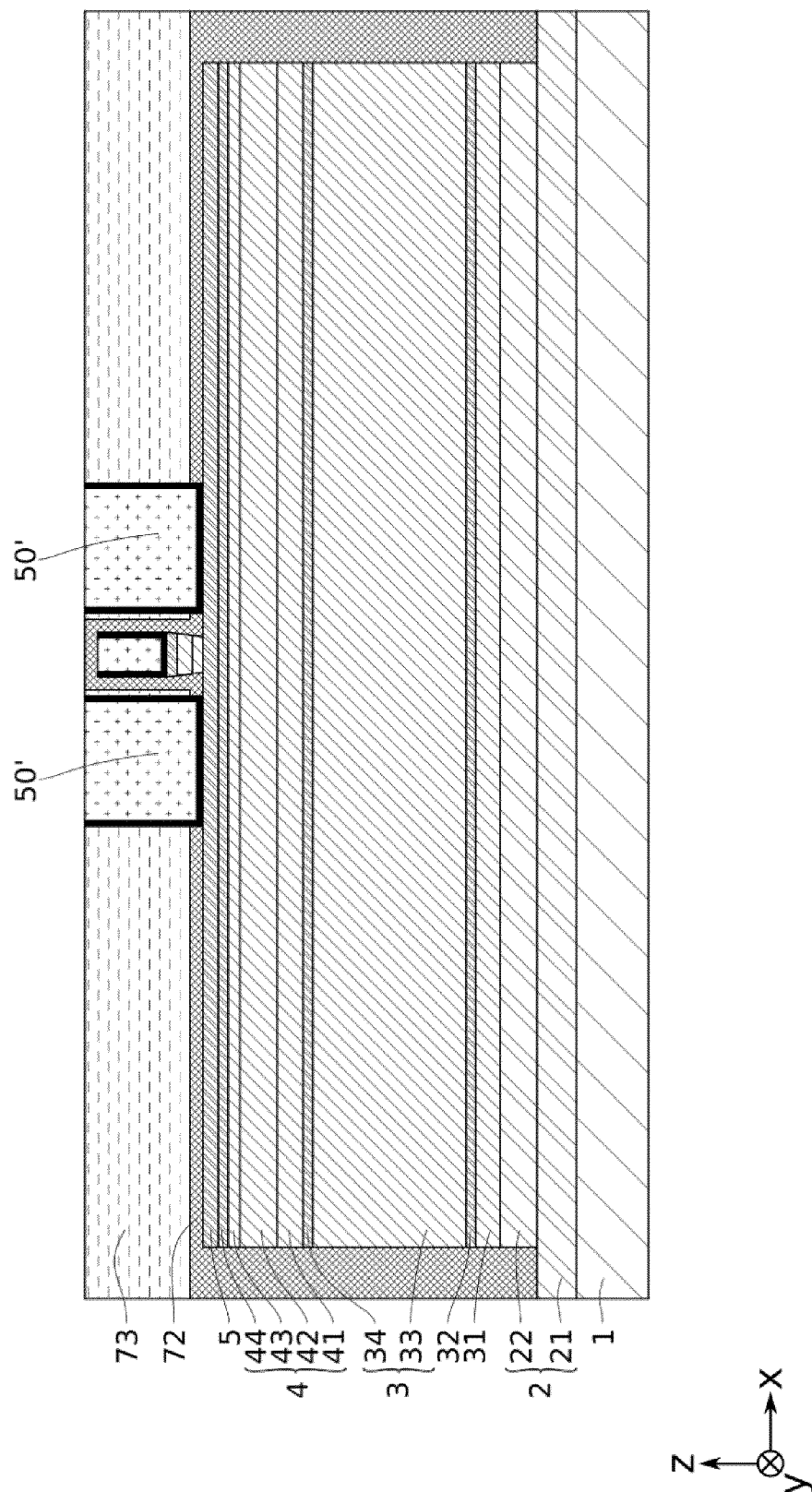
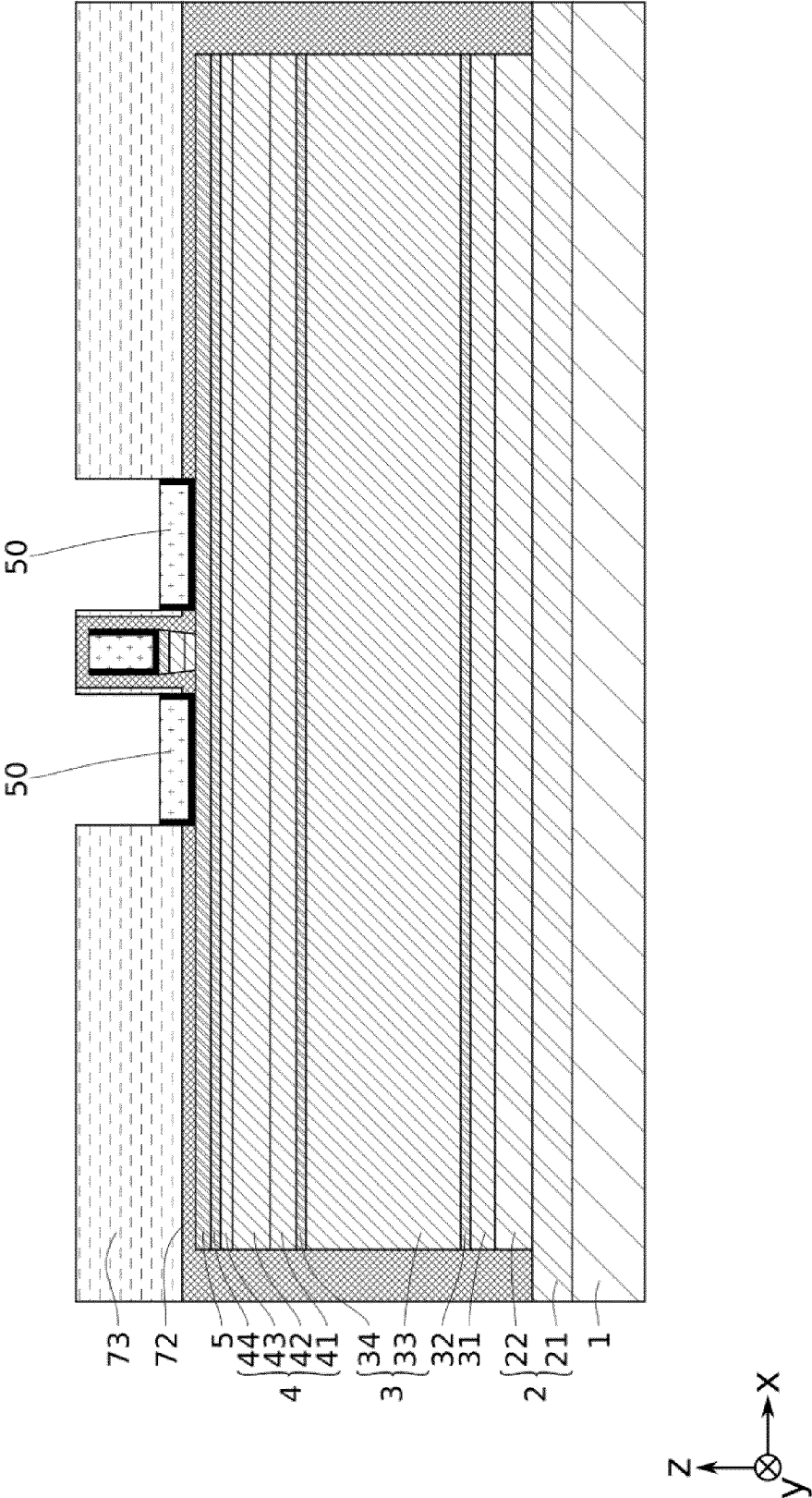


FIG. 11

[Fig. 12]

FIG. 12



[Fig.13]

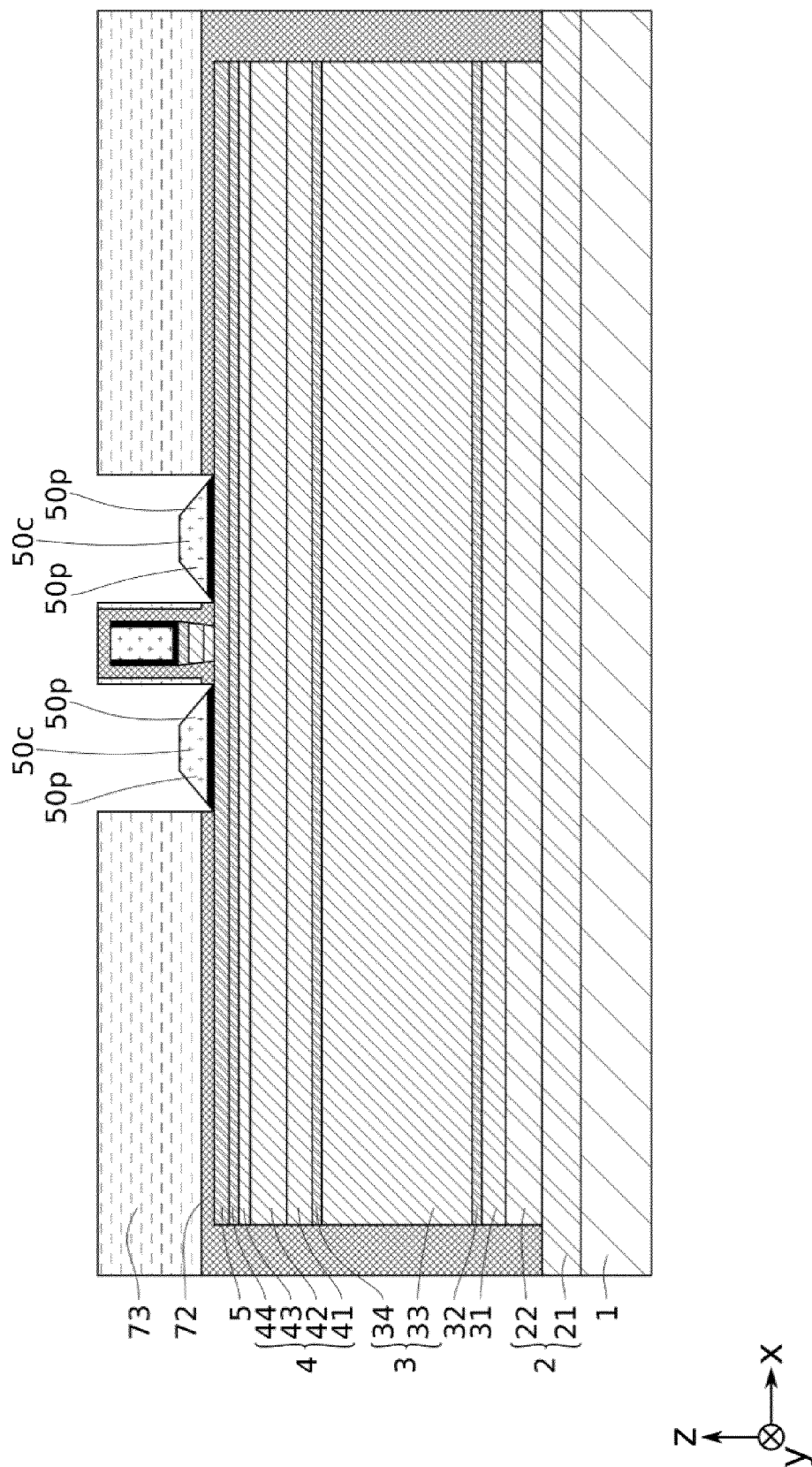
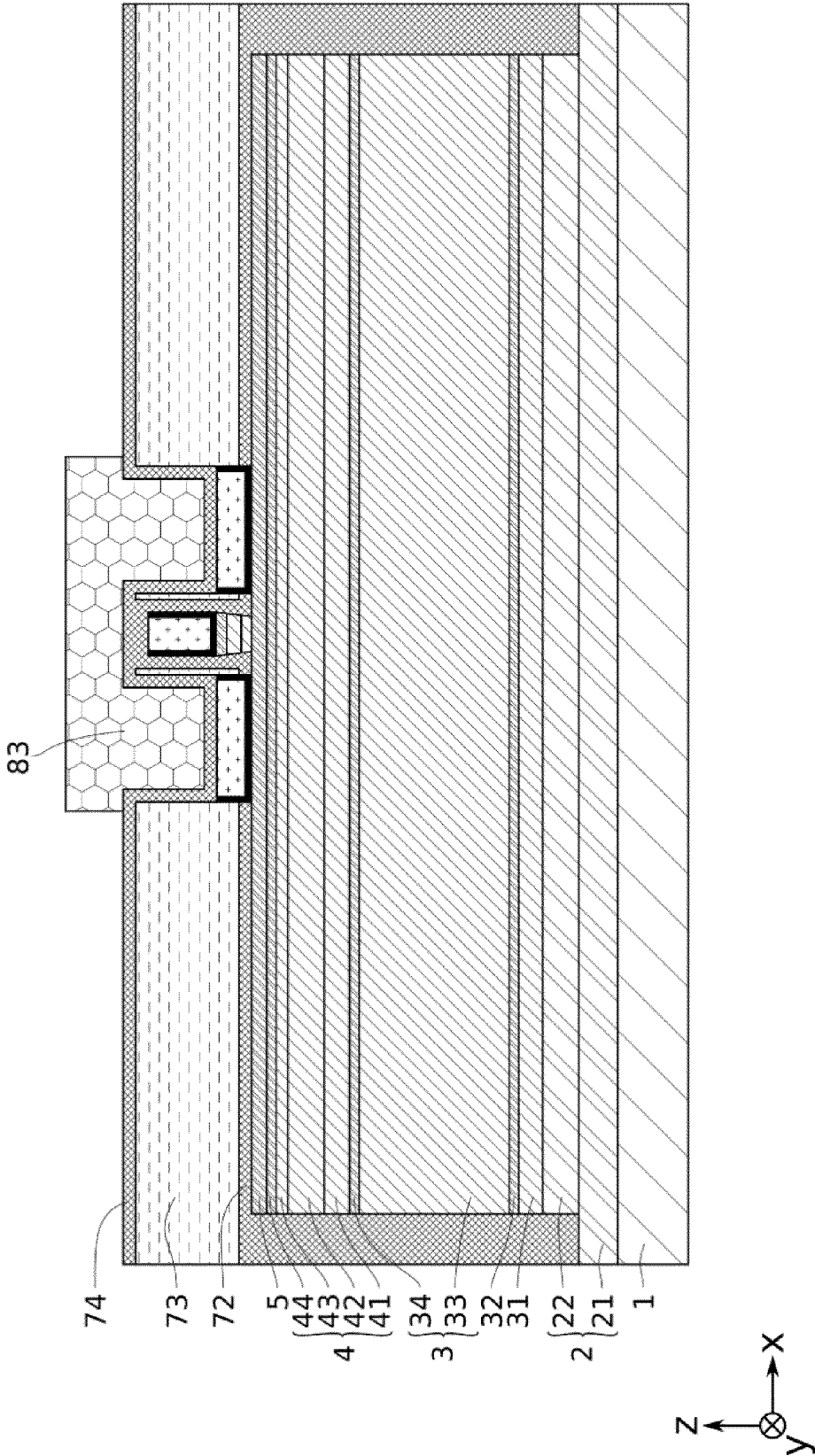


FIG. 13

[Fig. 14]

FIG. 14



[Fig.15]

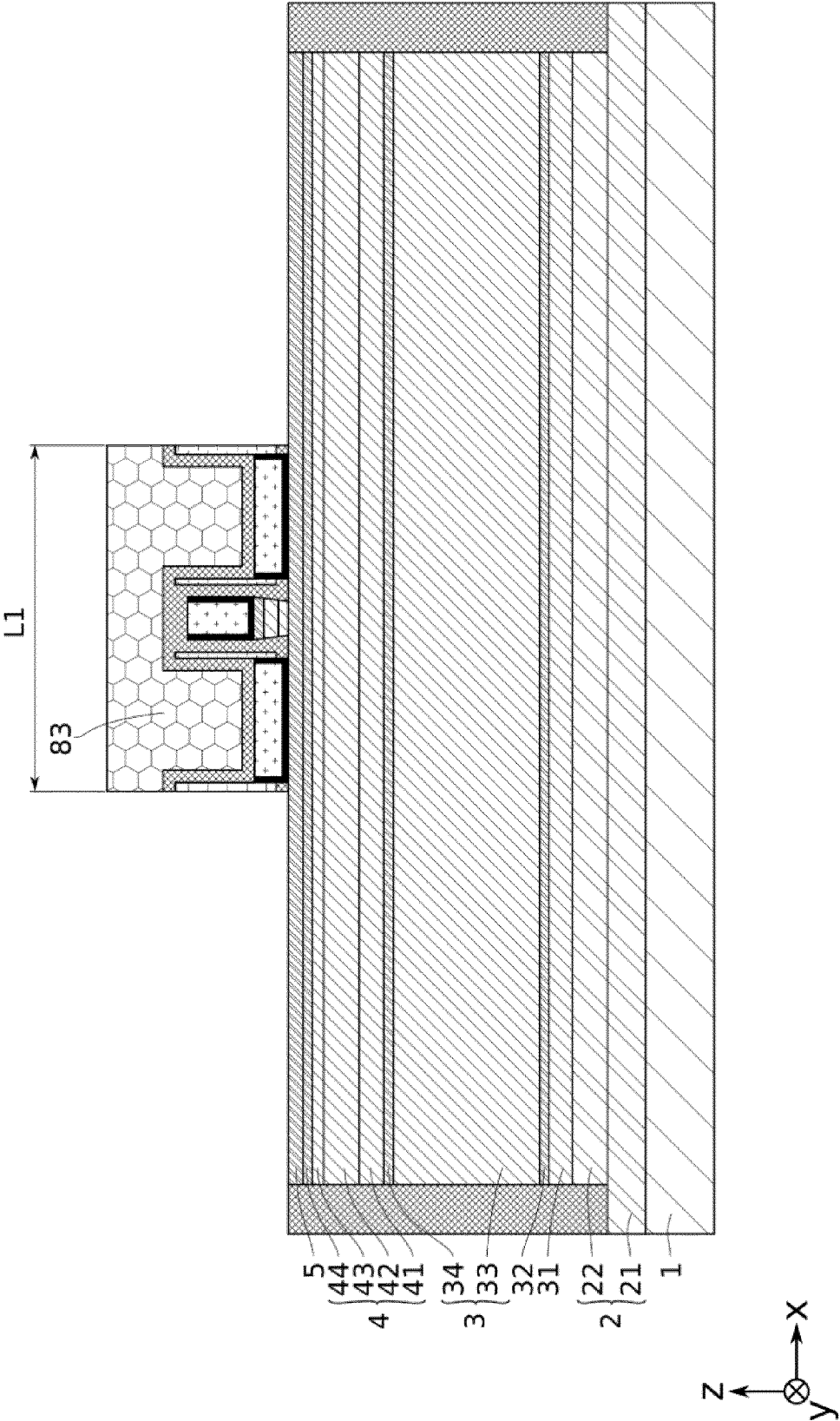


FIG. 15

[Fig. 16]

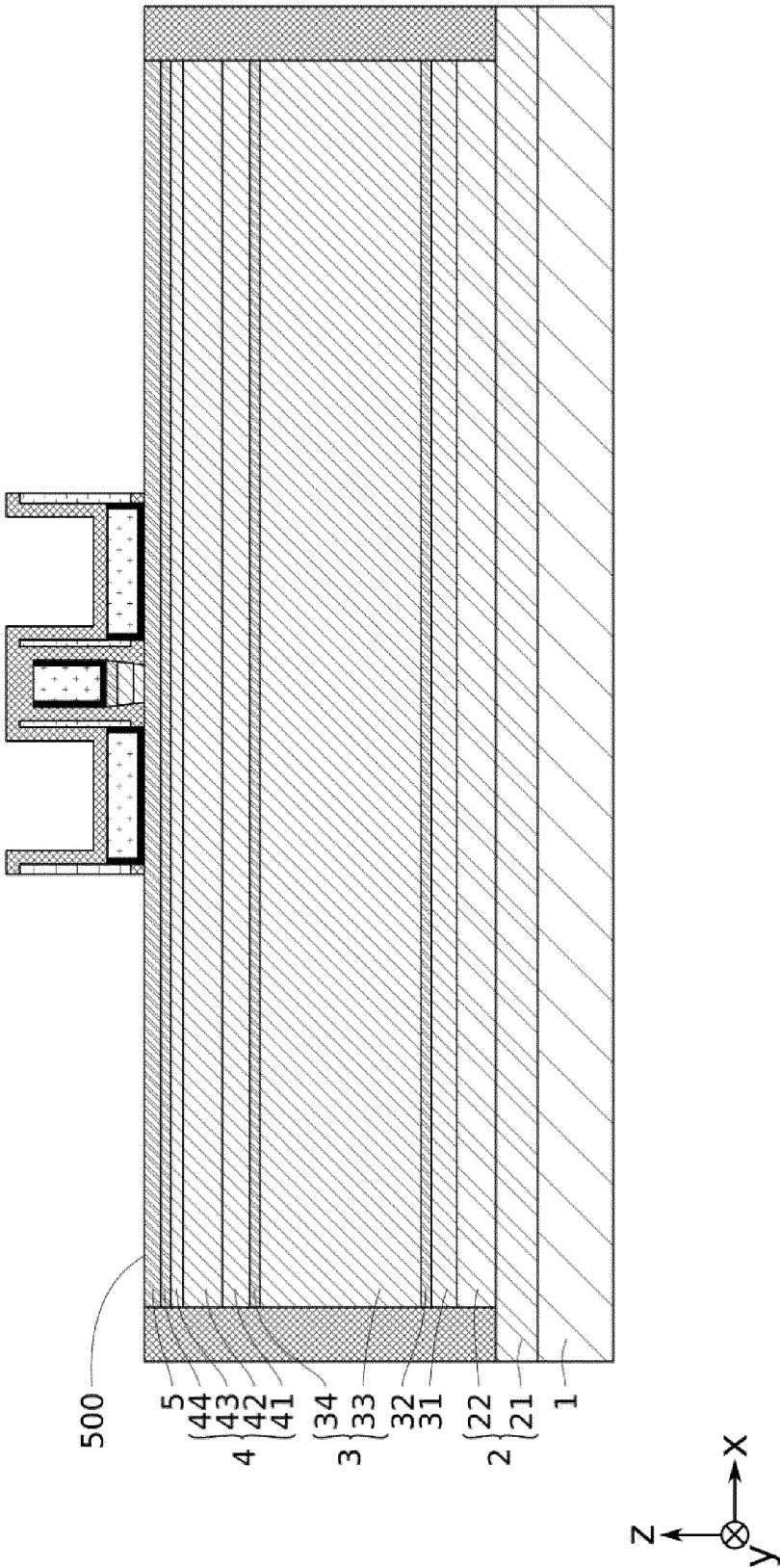
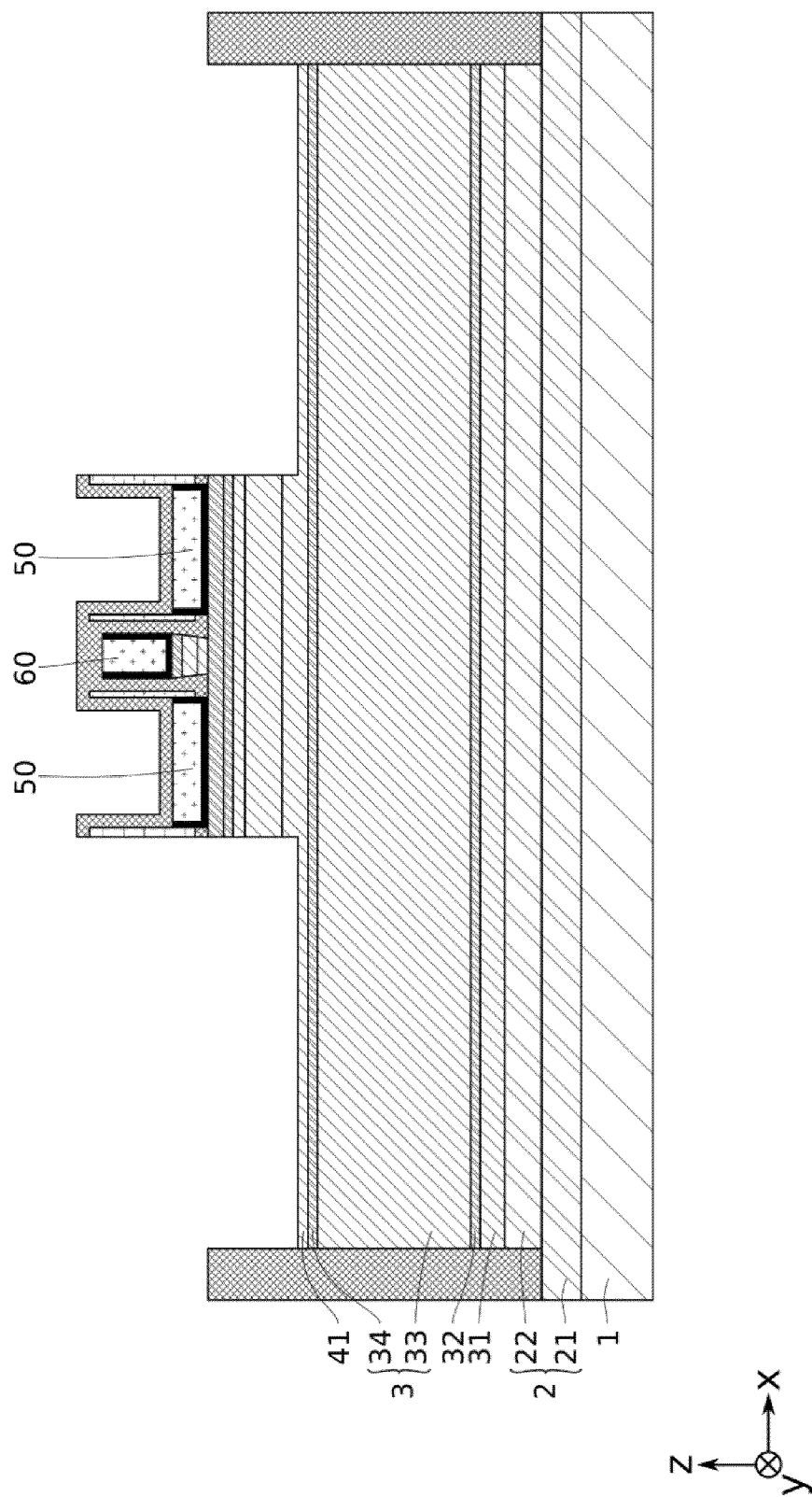


FIG. 16

[Fig.17]



[Fig.18]

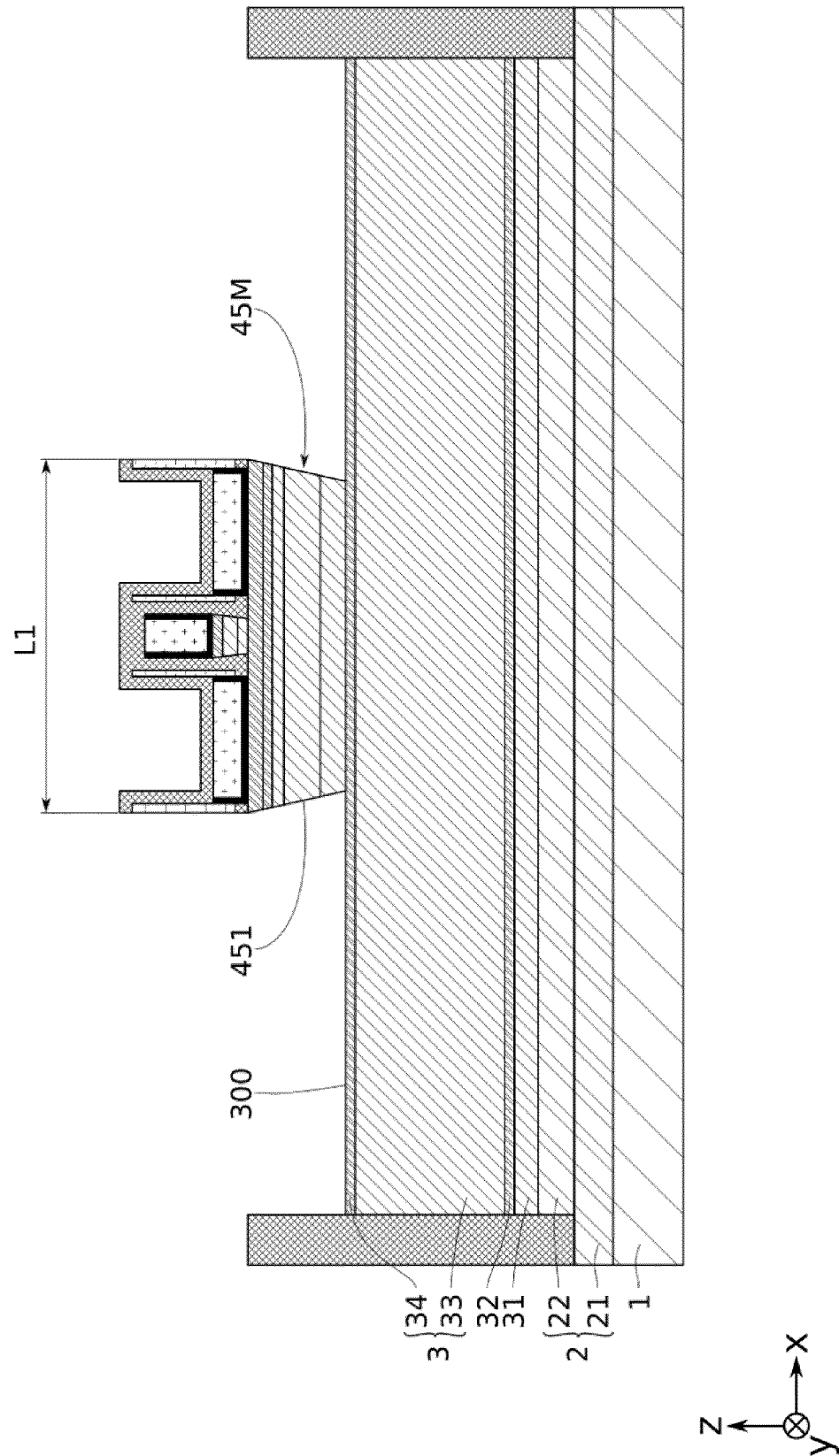
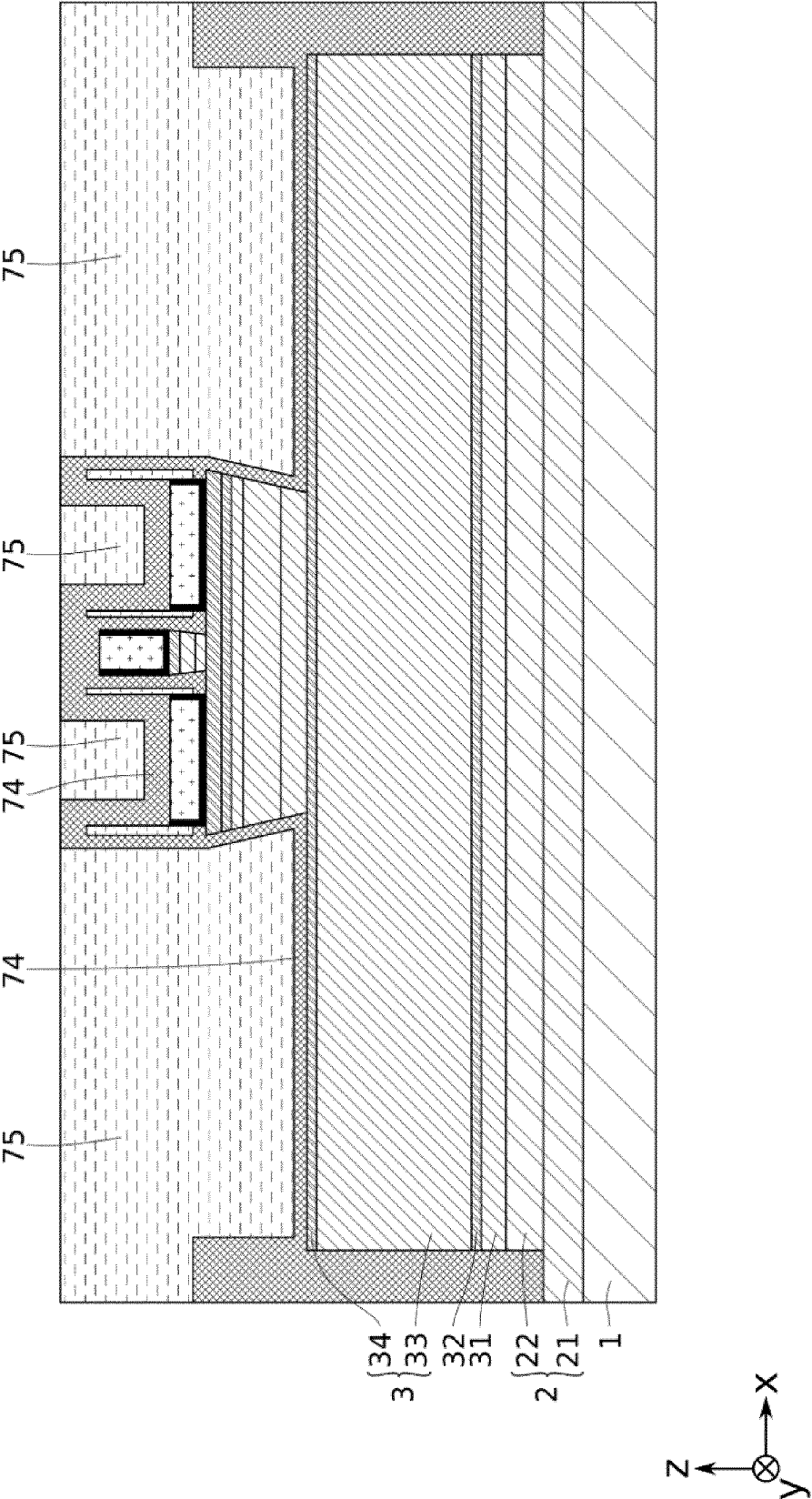


FIG. 18

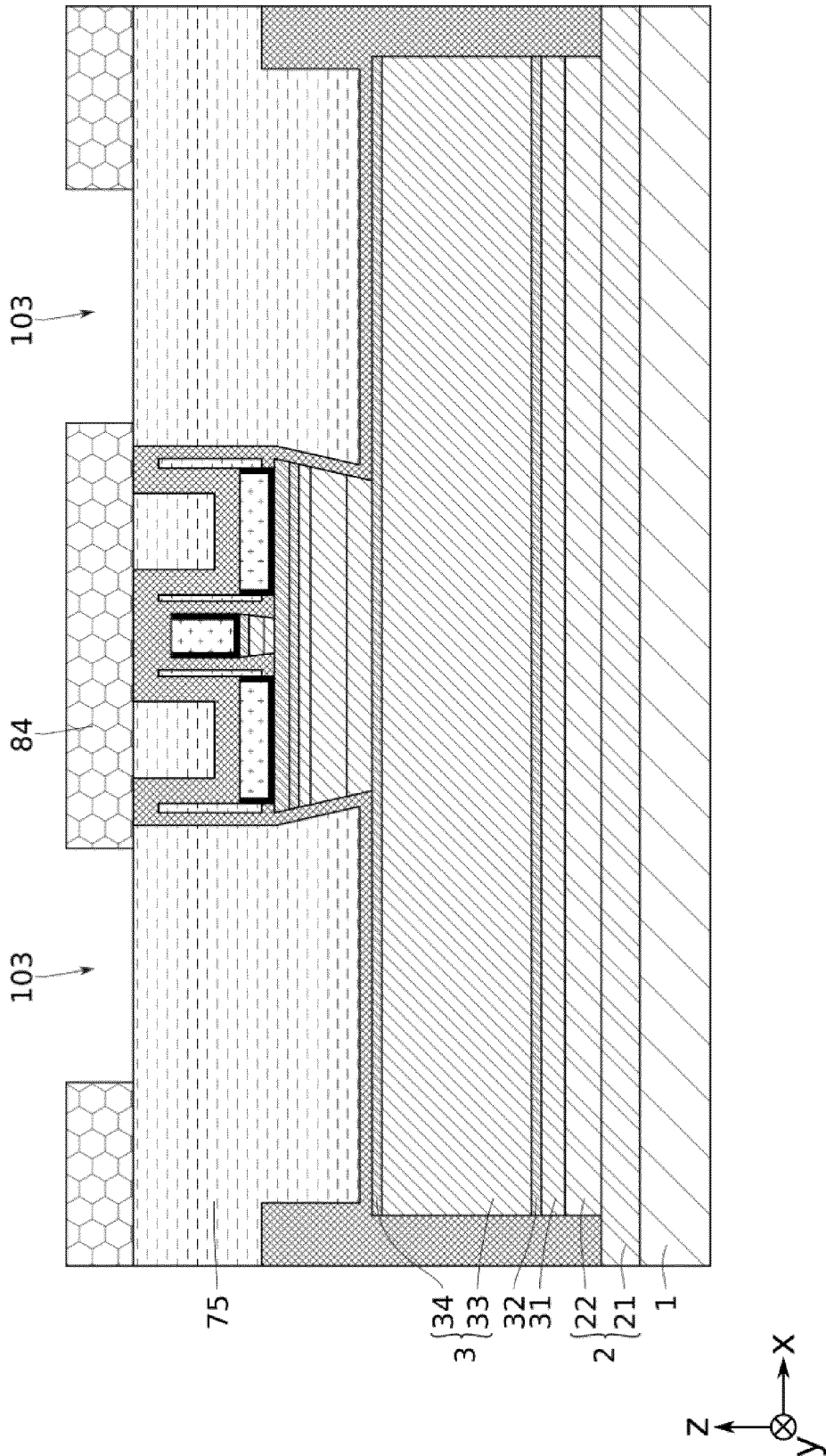
[Fig.19]

FIG. 19



[Fig.20]

FIG. 20



[Fig.22]

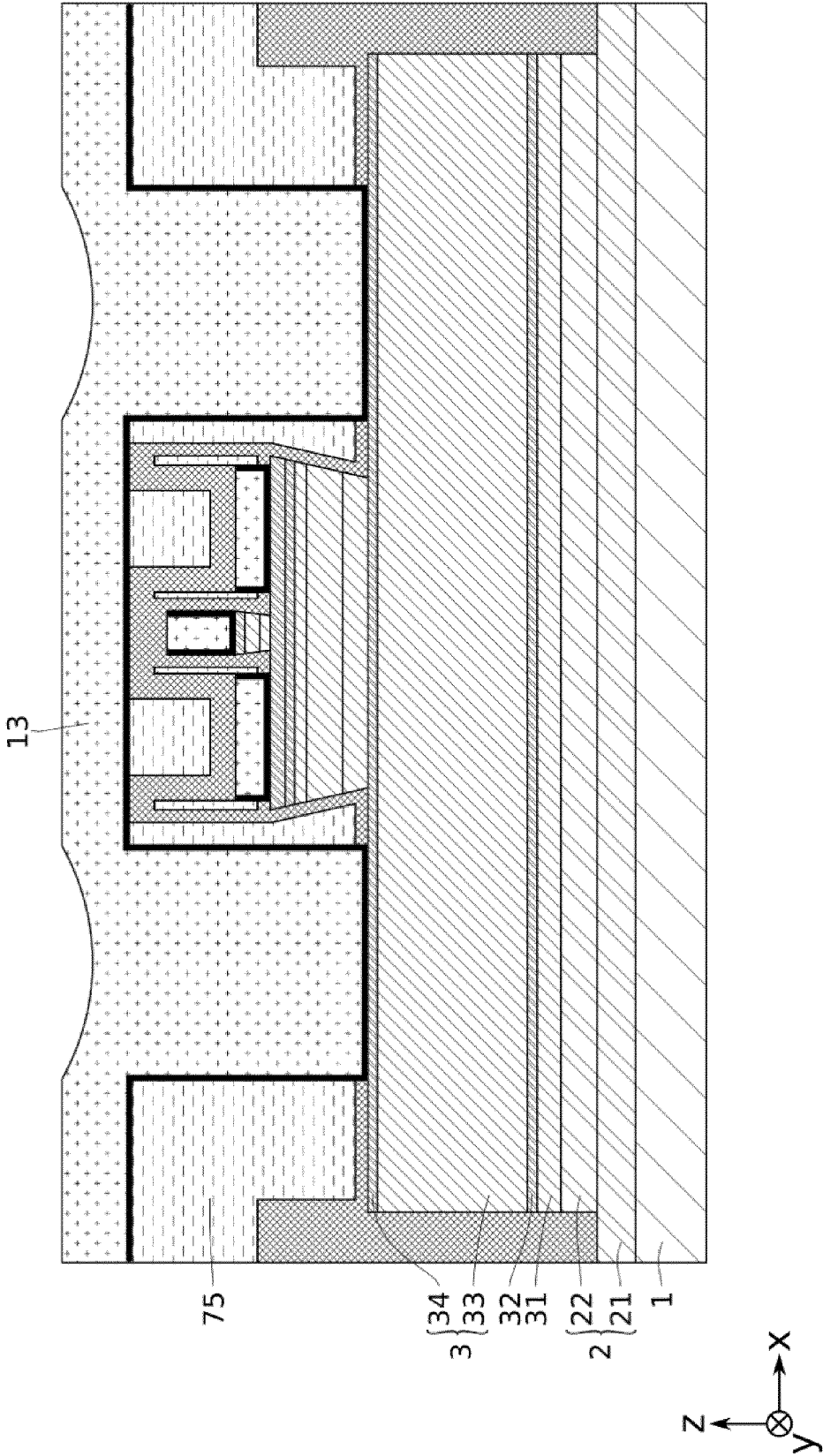


FIG. 22

[Fig.23]

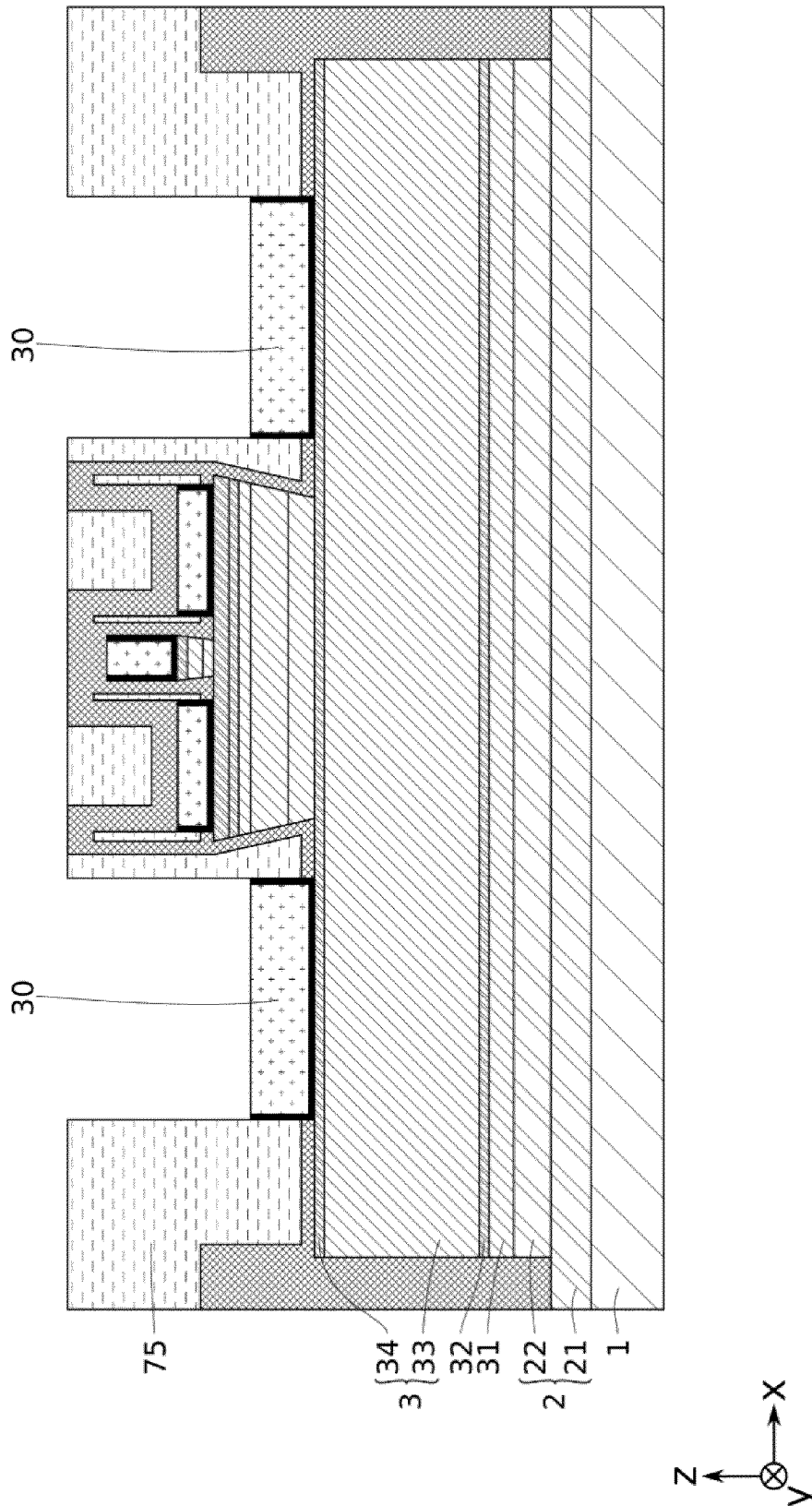


FIG. 23

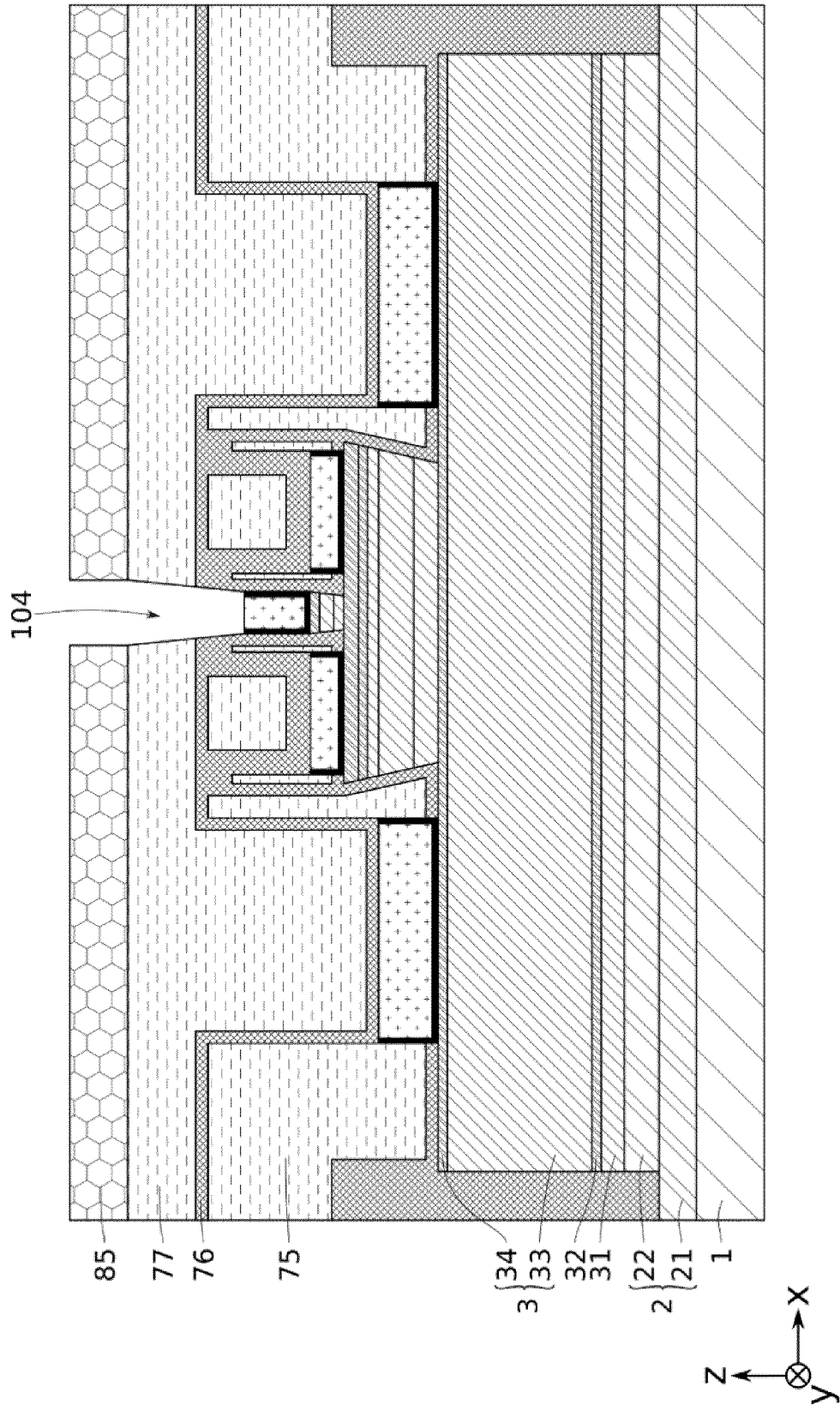
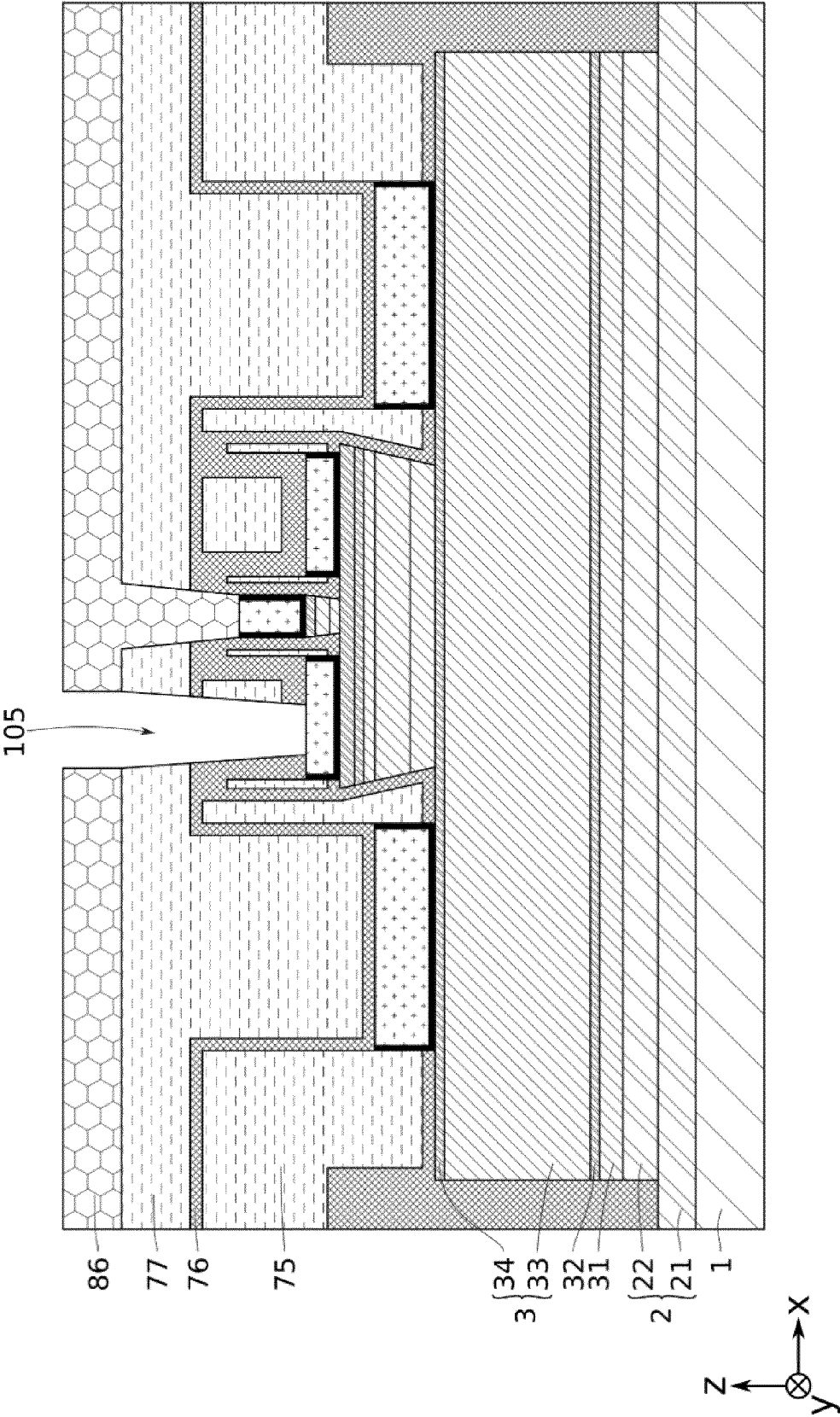


FIG. 25

[Fig.26]

FIG. 26



[Fig.27]

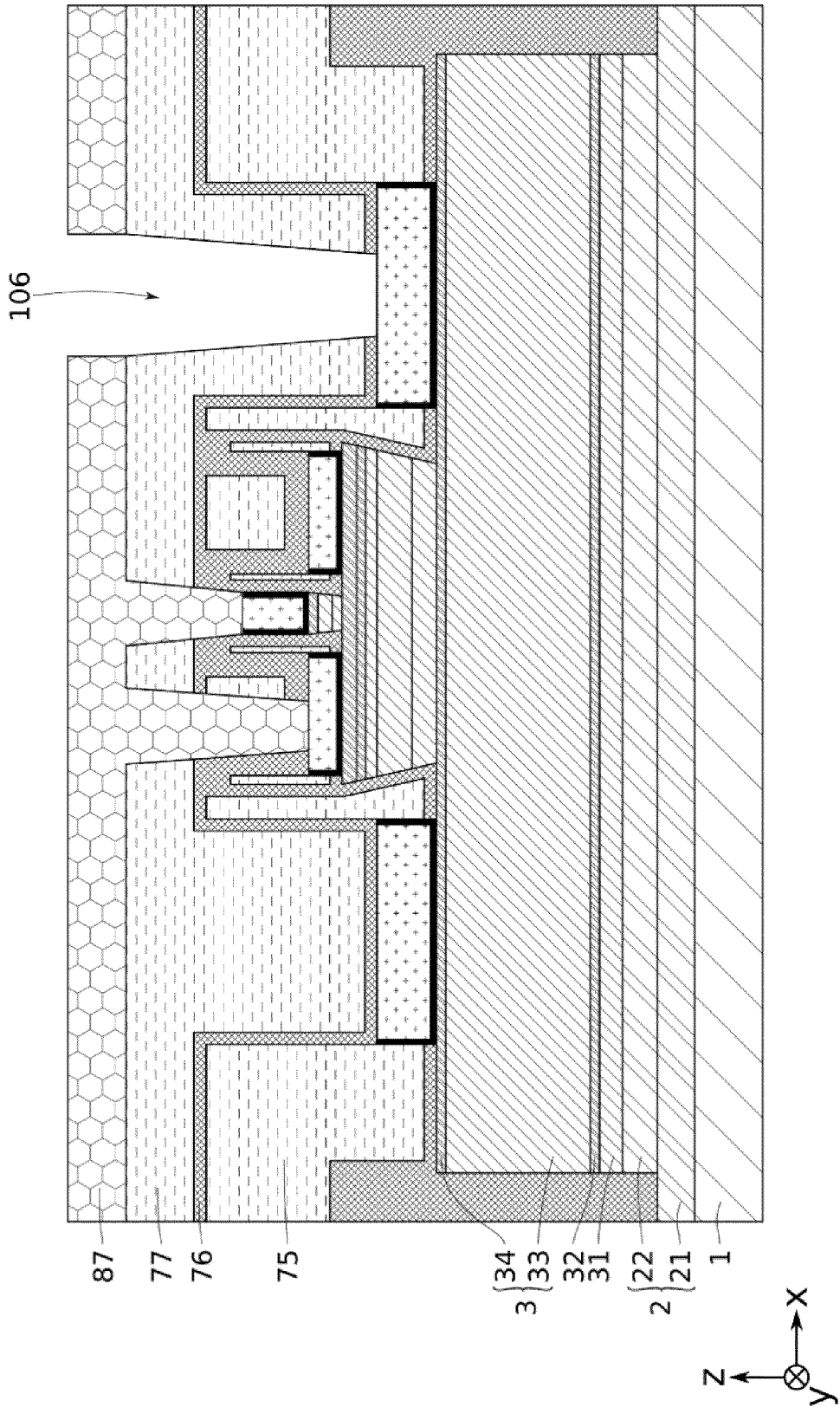
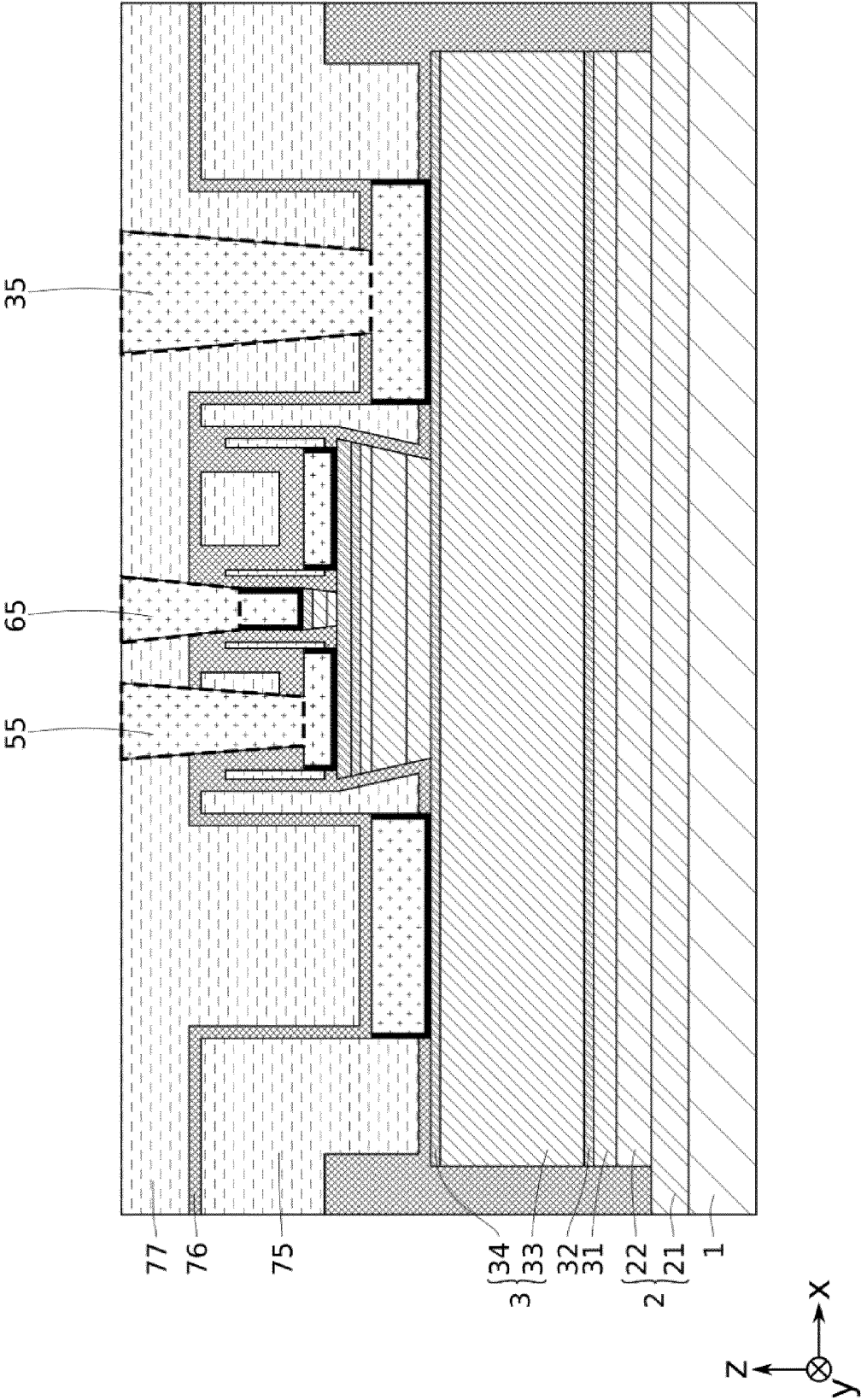


FIG. 27

[Fig.28]

FIG. 28



[Fig.29]

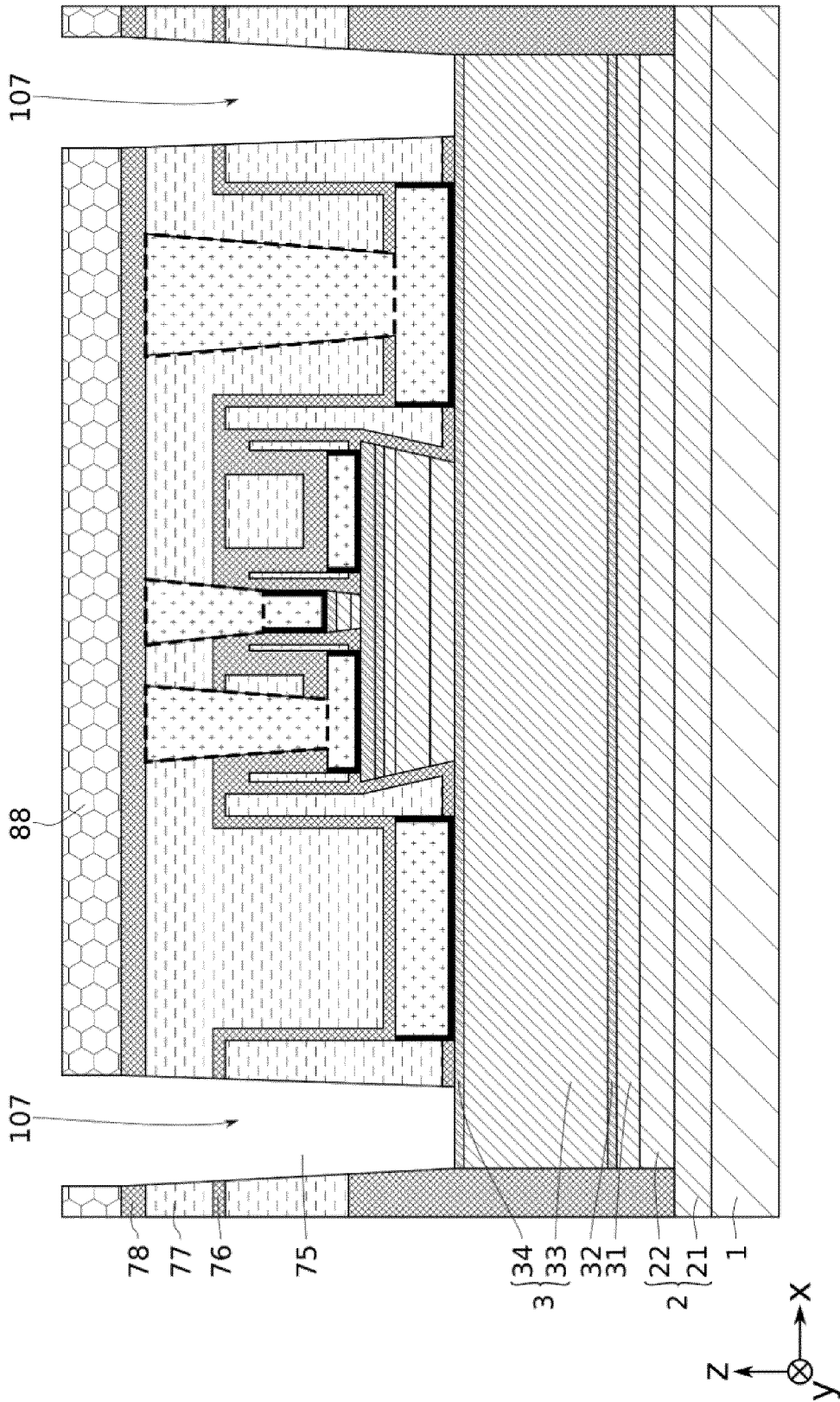


FIG. 29

[Fig.30]

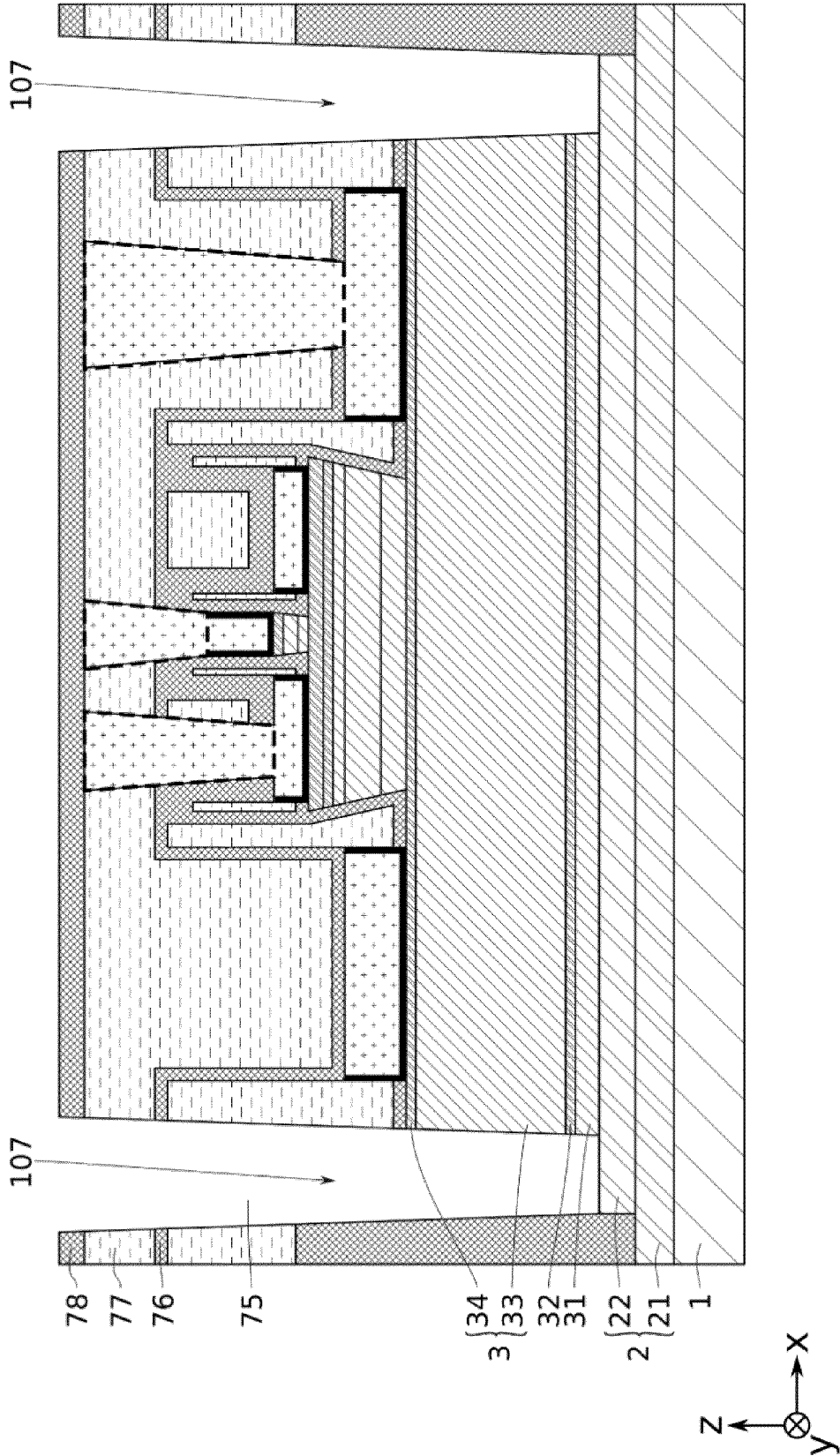
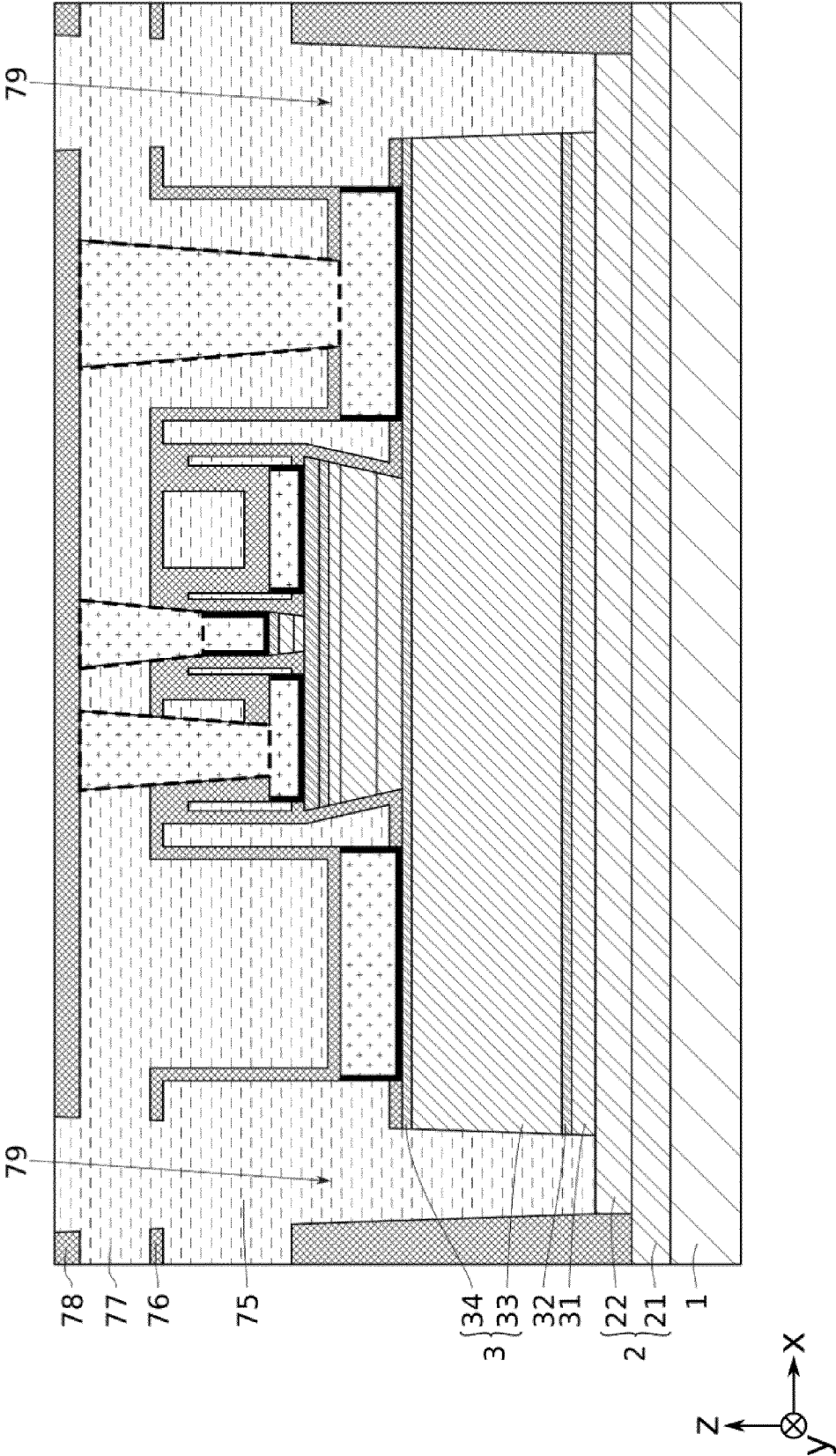


FIG. 30

[Fig.31]

FIG. 31



[Fig.32]

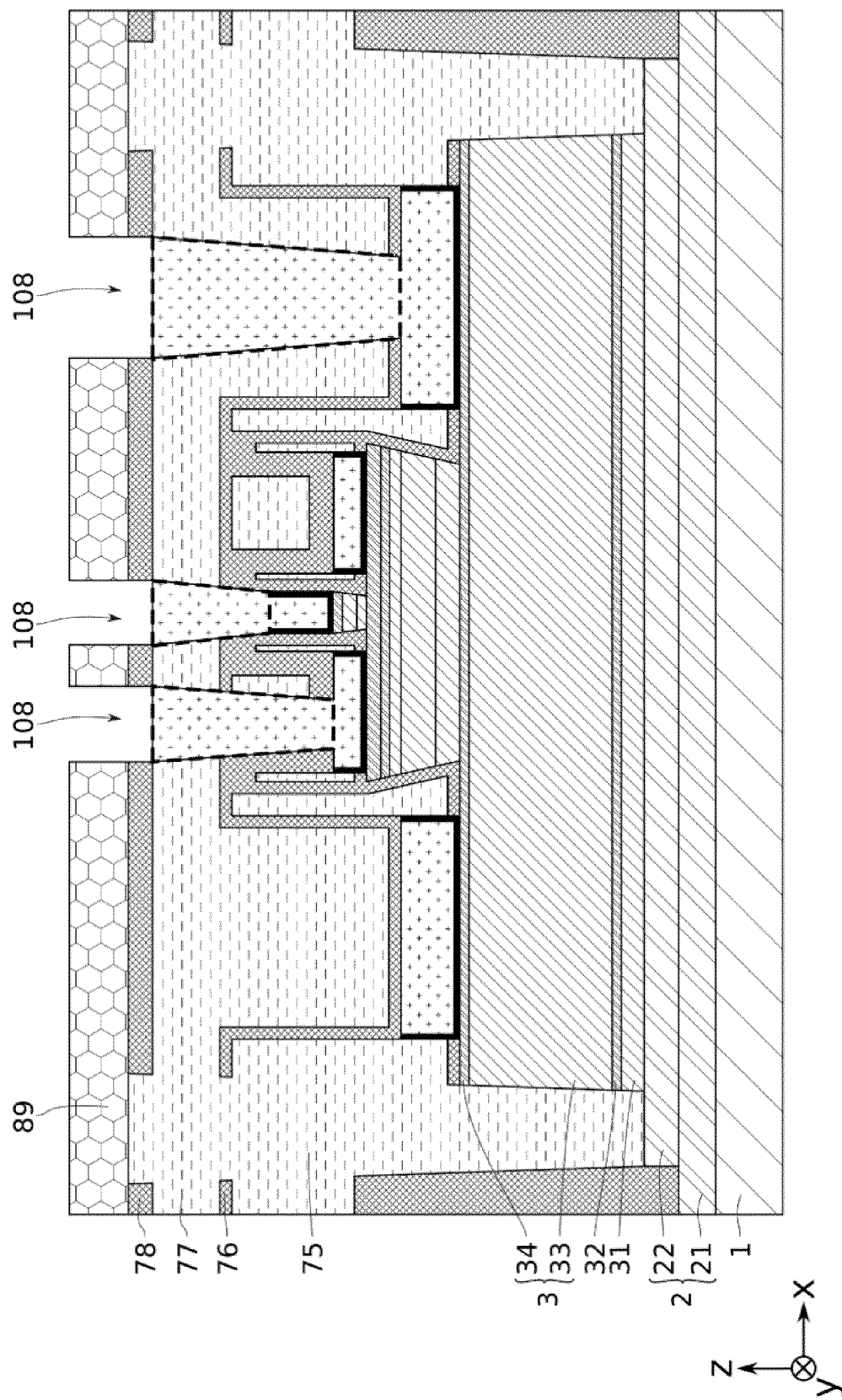


FIG. 32

[Fig.33]

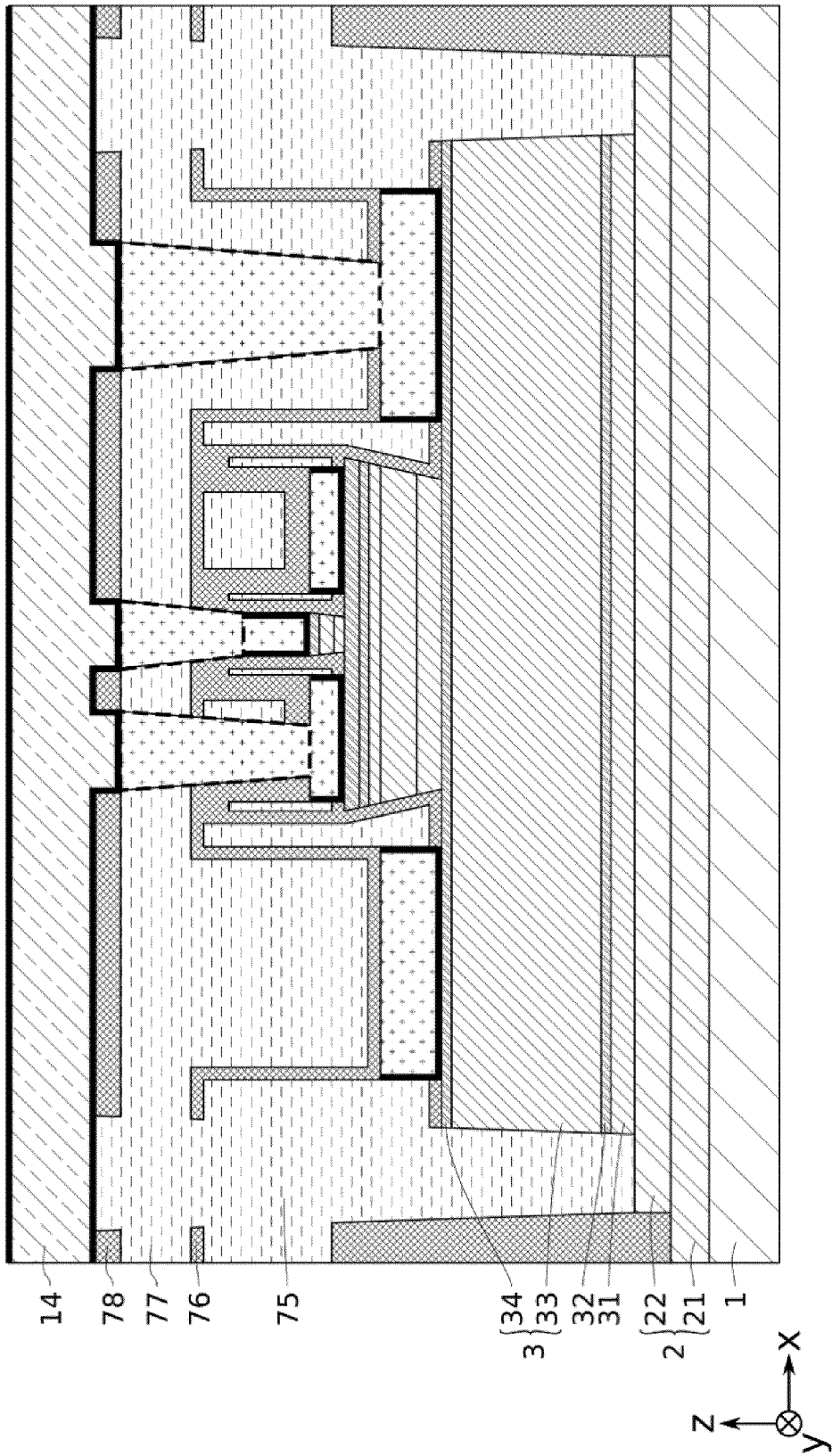


FIG. 33

[Fig.34]

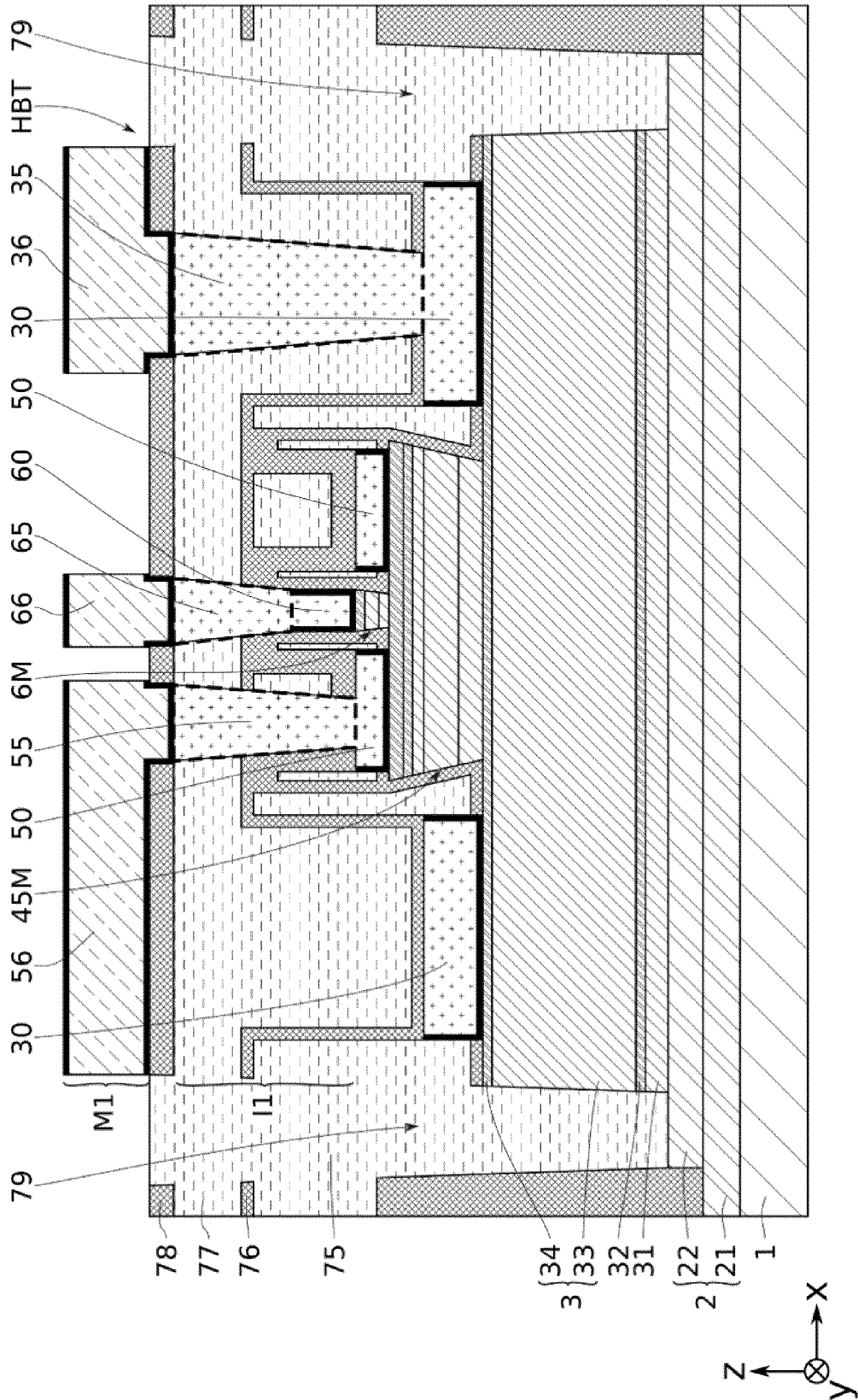
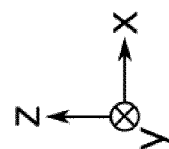
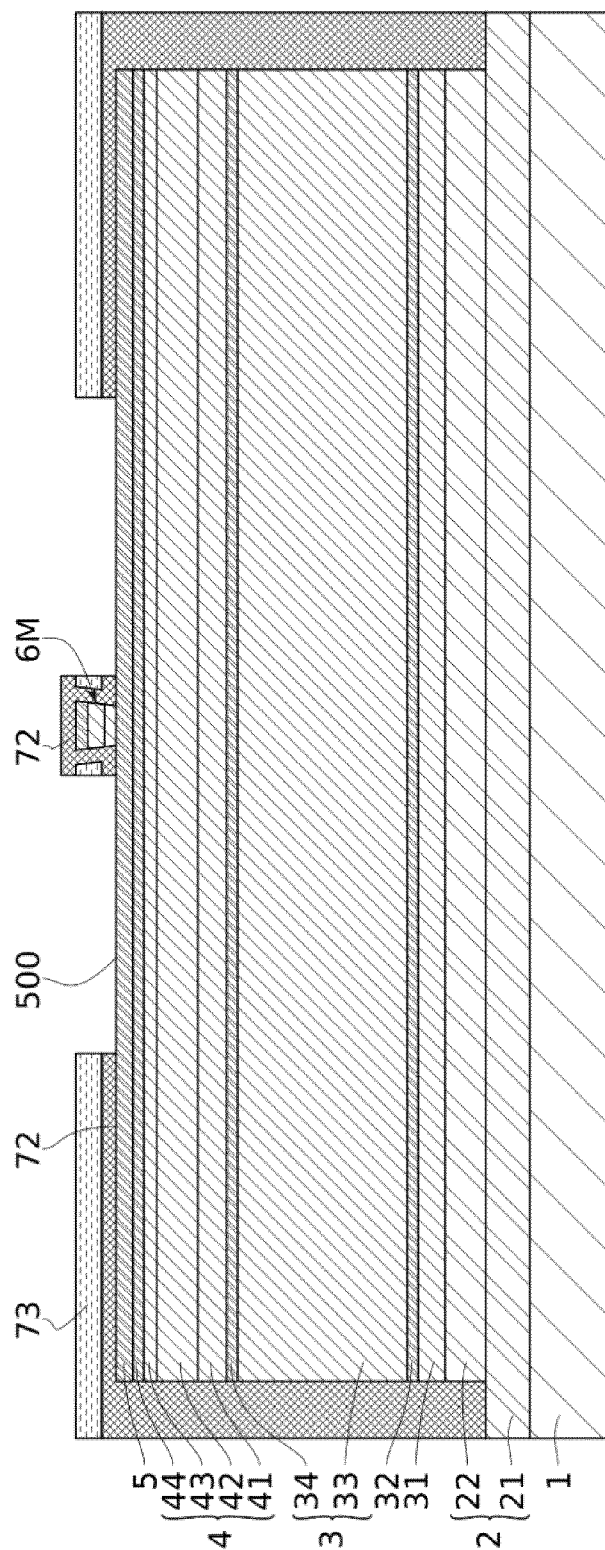


FIG. 34

[Fig.35]



[Fig.36]

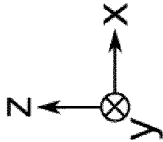
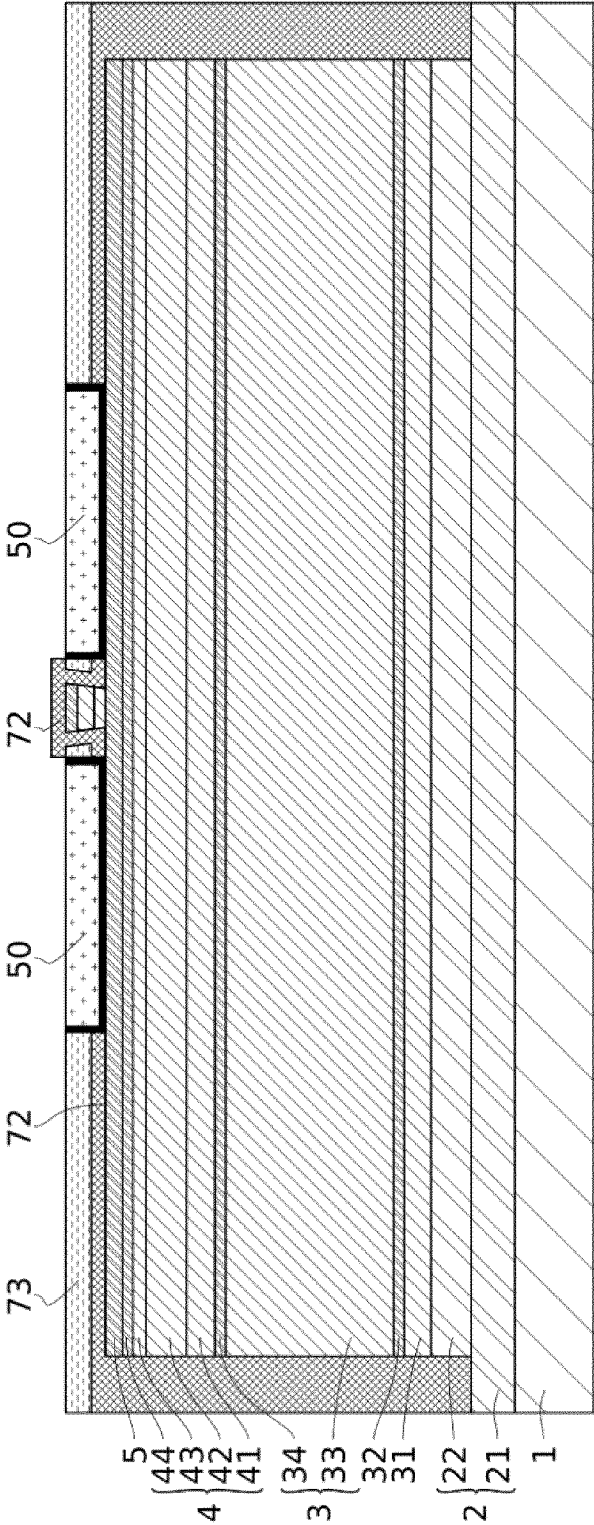


FIG. 36

[Fig.37]

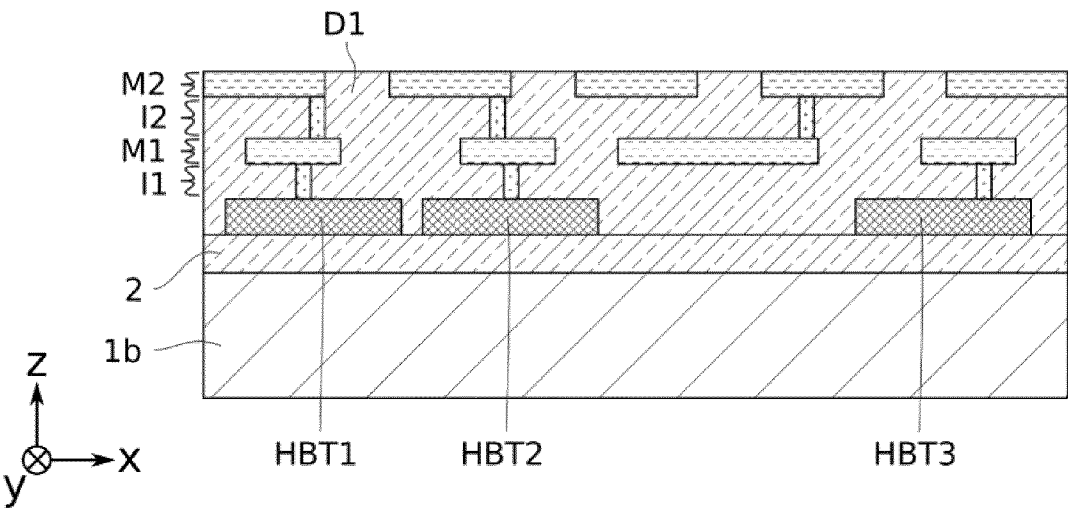


FIG. 37

[Fig.38]

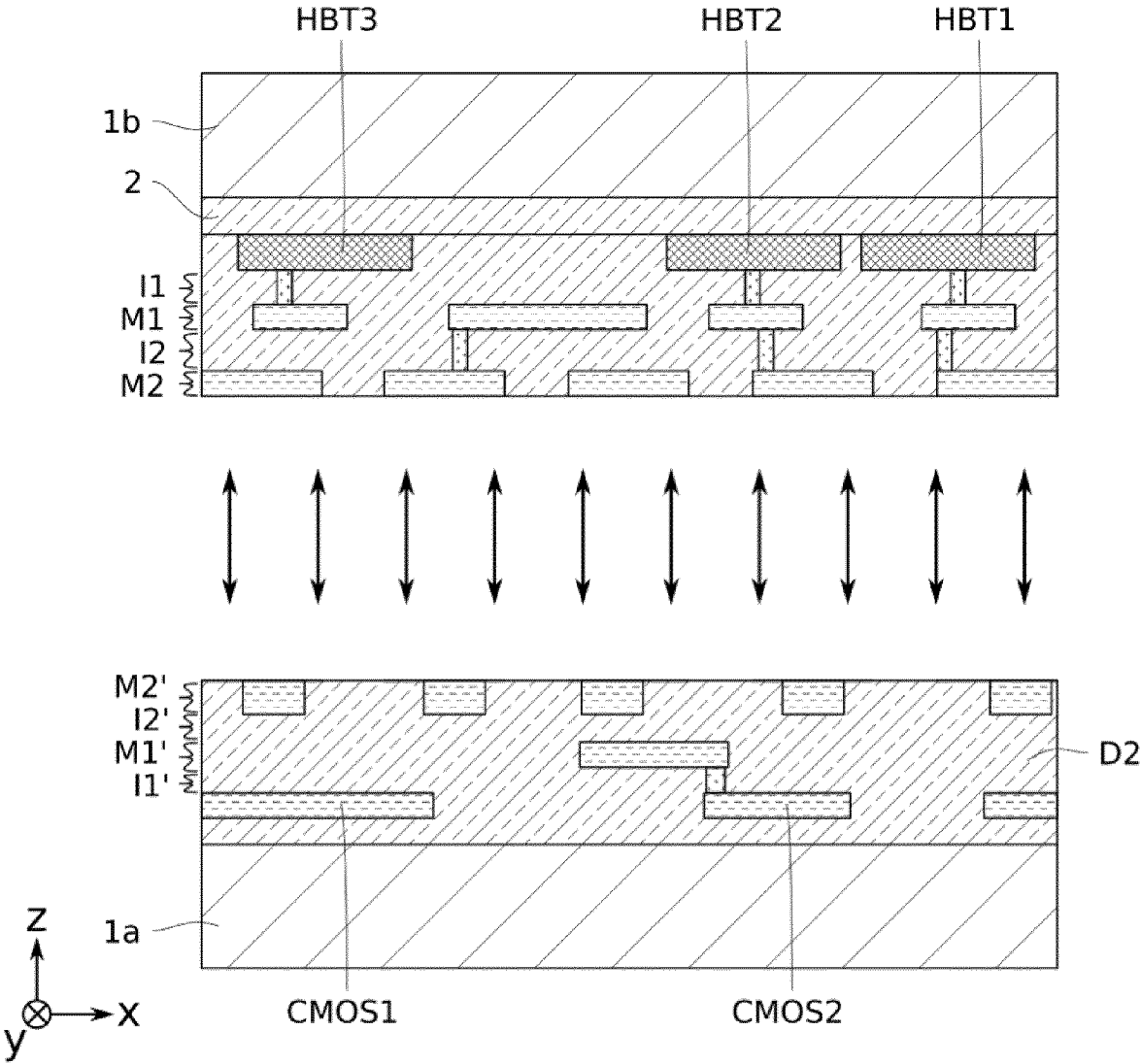


FIG. 38

[Fig.39]

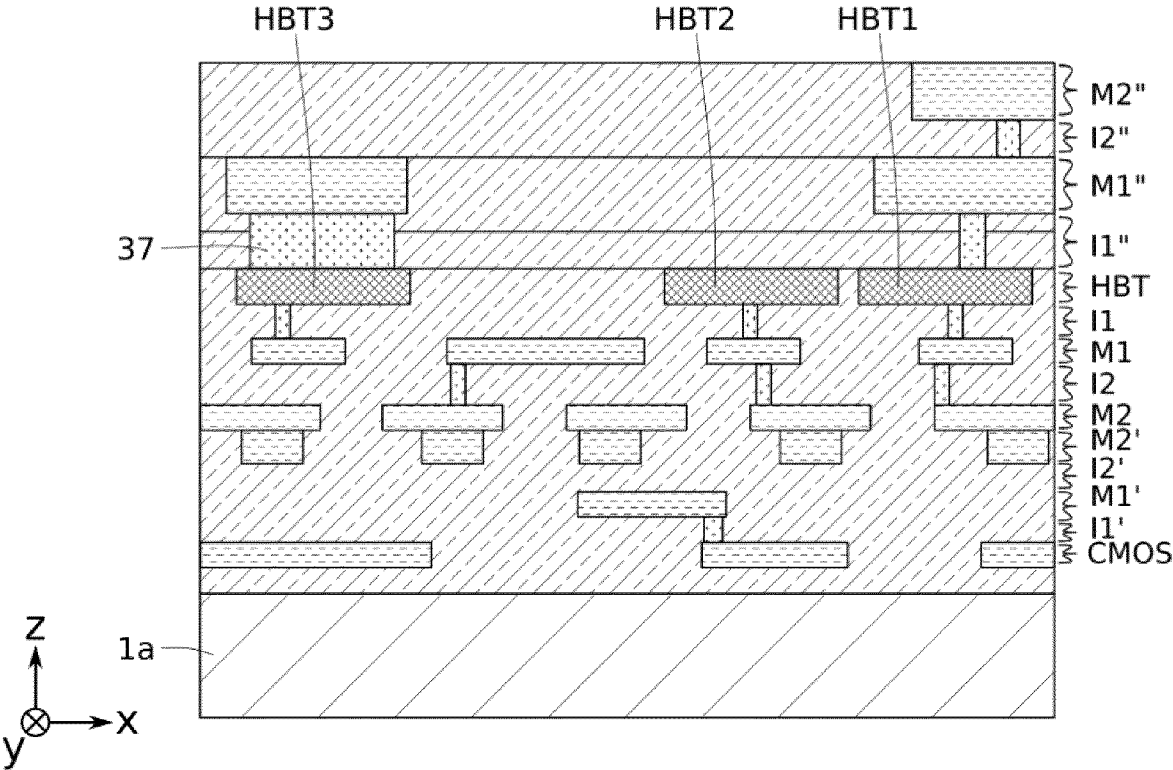


FIG. 39

[Fig.40]

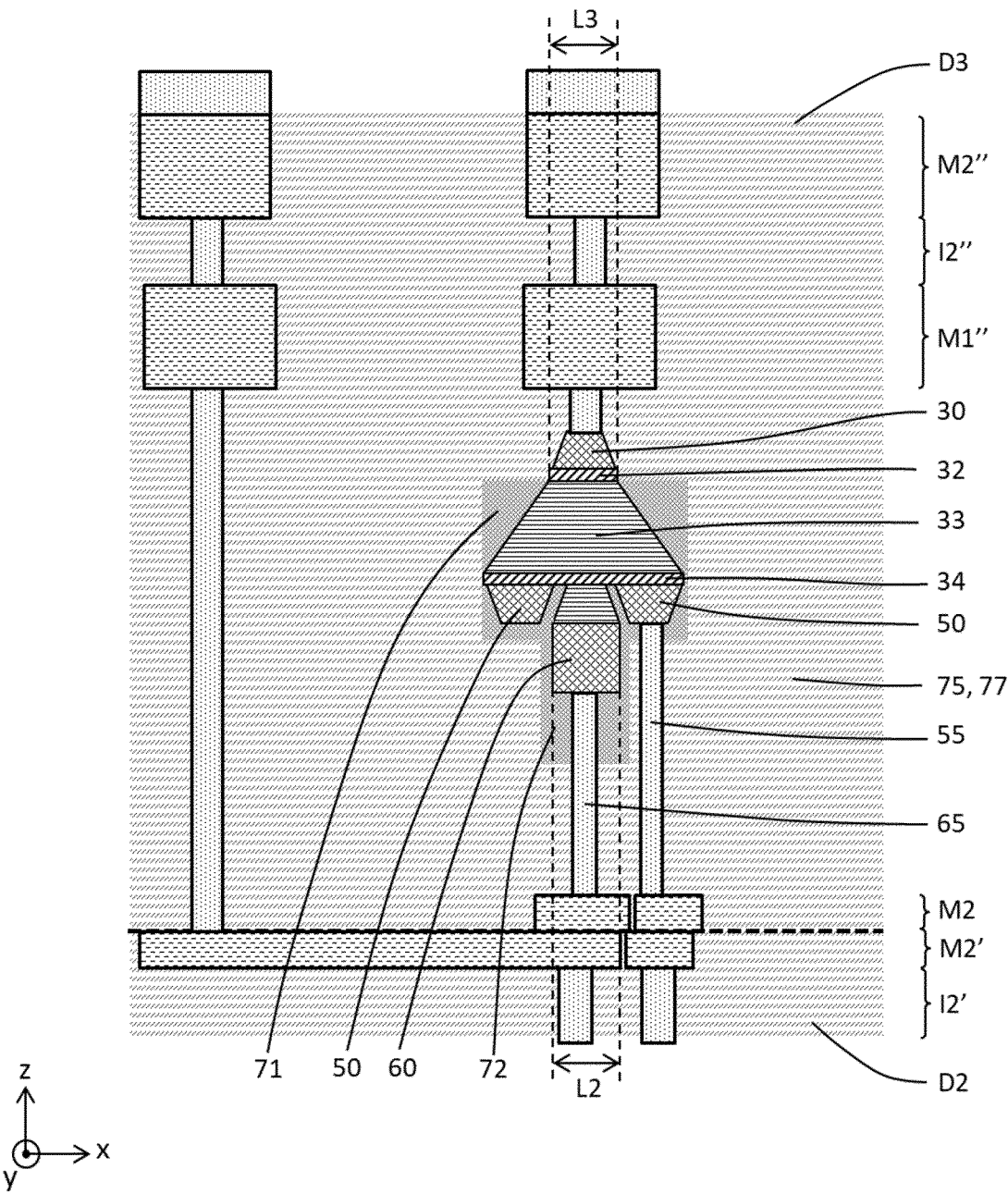


Fig. 40

INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2024/061798

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/08(2006.01)i; **H01L 29/417**(2006.01)i; **H01L 29/423**(2006.01)i; **H01L 29/45**(2006.01)i; **H01L 29/66**(2006.01)i;
H01L 29/737(2006.01)i; **H01L 21/8249**(2006.01)n; **H01L 21/8258**(2006.01)n; **H01L 27/06**(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2021391321 A1 (DUTTA RANADEEP [US] ET AL) 16 December 2021 (2021-12-16)	1, 2, 4, 5
Y	figures 3A-3H, 4 and corresponding text; paragraphs [0016], [0057] - [0062]	3
Y	US 6933545 B2 (SUMITOMO ELECTRIC INDUSTRIES [JP]) 23 August 2005 (2005-08-23)	3
	figures 2, 7 and corresponding text.	
A	JP H0548078 A (HITACHI LTD) 26 February 1993 (1993-02-26)	3
	figures 3-6 and corresponding text.	
A	EP 3682207 B1 (MACOM TECH SOLUTIONS HOLDINGS INC [US]) 27 October 2021 (2021-10-27)	1-16
	figures 1A, 2A and corresponding text.	
A	EP 2380195 B1 (RAYTHEON CO [US]) 12 September 2018 (2018-09-12)	1-16
	Figures 3A-3H and corresponding text; paragraphs [0011], [0021], [0022]	
A	WO 2019213420 A1 (QUALCOMM INC [US]) 07 November 2019 (2019-11-07)	1-16
	figures 3A-3D, 4A, 4B and corresponding text.	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search

16 July 2024

Date of mailing of the international search report

31 July 2024

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands (Kingdom of the)

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

Dauw, Xavier

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/EP2024/061798

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)	
US	2021391321	A1	16 December 2021	NONE			
US	6933545	B2	23 August 2005	JP	4788096	B2	05 October 2011
				JP	2004363322	A	24 December 2004
				US	2005017267	A1	27 January 2005
JP	H0548078	A	26 February 1993	JP	3278868	B2	30 April 2002
				JP	H0548078	A	26 February 1993
				KR	930005233	A	23 March 1993
EP	3682207	B1	27 October 2021	EP	3682207	A1	22 July 2020
				TW	201923319	A	16 June 2019
				US	2019078941	A1	14 March 2019
				WO	2019055641	A1	21 March 2019
EP	2380195	B1	12 September 2018	EP	2380195	A1	26 October 2011
				JP	5603882	B2	08 October 2014
				JP	2012516037	A	12 July 2012
				TW	201044554	A	16 December 2010
				US	2010181674	A1	22 July 2010
				WO	2010085458	A1	29 July 2010
WO	2019213420	A1	07 November 2019	US	2019341381	A1	07 November 2019
				WO	2019213420	A1	07 November 2019

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2024/061798

A. CLASSEMENT DE L'OBJET DE LA DEMANDE

INV. H01L29/08 H01L29/417 H01L29/423 H01L29/45 H01L29/66
H01L29/737
ADD. H01L21/8249 H01L21/8258 H01L27/06

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)

EPO-Internal

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2021/391321 A1 (DUTTA RANADEEP [US] ET AL) 16 décembre 2021 (2021-12-16)	1,2,4,5
Y	Figs. 3A-3H, 4 et texte correspondant.; alinéas [0016], [0057] - [0062] -----	3
Y	US 6 933 545 B2 (SUMITOMO ELECTRIC INDUSTRIES [JP]) 23 août 2005 (2005-08-23) Figures 2, 7 et texte correspondant. -----	3
A	JP H05 48078 A (HITACHI LTD) 26 février 1993 (1993-02-26) Figures 3-6 et texte correspondant. -----	3
A	EP 3 682 207 B1 (MACOM TECH SOLUTIONS HOLDINGS INC [US]) 27 octobre 2021 (2021-10-27) Figures 1A, 2A et texte correspondant. ----- - / - -	1-16

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

16 juillet 2024

Date d'expédition du présent rapport de recherche internationale

31/07/2024

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Dauw, Xavier

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/EP2024/061798

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 2 380 195 B1 (RAYTHEON CO [US]) 12 septembre 2018 (2018-09-12) Figures 3A-3H et texte correspondant.; alinéas [0011], [0021], [0022] -----	1-16
A	WO 2019/213420 A1 (QUALCOMM INC [US]) 7 novembre 2019 (2019-11-07) Figure 3A-3D, 4A, 4B et texte correspondant. -----	1-16

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2024/061798

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2021391321	A1	16-12-2021	AUCUN	

US 6933545	B2	23-08-2005	JP 4788096 B2	05-10-2011
			JP 2004363322 A	24-12-2004
			US 2005017267 A1	27-01-2005

JP H0548078	A	26-02-1993	JP 3278868 B2	30-04-2002
			JP H0548078 A	26-02-1993
			KR 930005233 A	23-03-1993

EP 3682207	B1	27-10-2021	EP 3682207 A1	22-07-2020
			TW 201923319 A	16-06-2019
			US 2019078941 A1	14-03-2019
			WO 2019055641 A1	21-03-2019

EP 2380195	B1	12-09-2018	EP 2380195 A1	26-10-2011
			JP 5603882 B2	08-10-2014
			JP 2012516037 A	12-07-2012
			TW 201044554 A	16-12-2010
			US 2010181674 A1	22-07-2010
			WO 2010085458 A1	29-07-2010

WO 2019213420	A1	07-11-2019	US 2019341381 A1	07-11-2019
			WO 2019213420 A1	07-11-2019
