

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号  
特許第6600318号  
(P6600318)

(45) 発行日 令和1年10月30日(2019. 10. 30)

(24) 登録日 令和1年10月11日(2019. 10. 11)

(51) Int.Cl.	F I	
HO 1 L 21/822 (2006. 01)	HO 1 L 27/04	R
HO 1 L 27/04 (2006. 01)	HO 1 L 21/90	C
HO 1 L 21/768 (2006. 01)	HO 1 L 21/88	K
HO 1 L 21/321 (2006. 01)	HO 1 L 27/04	A
HO 1 L 21/76 (2006. 01)	HO 1 L 27/04	P
請求項の数 20 (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2016-569994 (P2016-569994)	(73) 特許権者	390020248
(86) (22) 出願日	平成27年5月27日 (2015. 5. 27)		日本テキサス・インスツルメンツ合同会社
(65) 公表番号	特表2017-517154 (P2017-517154A)		東京都新宿区西新宿六丁目2 4 番 1 号
(43) 公表日	平成29年6月22日 (2017. 6. 22)	(73) 特許権者	507107291
(86) 国際出願番号	PCT/US2015/032690		テキサス インスツルメンツ インコーポ
(87) 国際公開番号	W02015/183964		レイテッド
(87) 国際公開日	平成27年12月3日 (2015. 12. 3)		アメリカ合衆国 テキサス州 7 5 2 6 5
審査請求日	平成30年5月10日 (2018. 5. 10)		ー 5 4 7 4 ダラス メール ステイショ
(31) 優先権主張番号	14/287, 434		ン 3 9 9 9 ピーオーボックス 6 5 5
(32) 優先日	平成26年5月27日 (2014. 5. 27)		4 7 4
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 上記1名の代理人	100098497
			弁理士 片寄 恭三
		最終頁に続く	

(54) 【発明の名称】 ウェルレジスタ及びポリシリコンレジスタ

(57) 【特許請求の範囲】

【請求項 1】

集積回路であって、  
頂部表面に半導体材料を含む基板と、  
前記基板の前記頂部表面に配置される、シャロートレンチアイソレーション（STI）プロセスによって形成されるフィールド酸化物と、  
前記フィールド酸化物の下の前記半導体材料に配置されるウェルレジスタと、  
前記ウェルレジスタの端部に近接して前記フィールド酸化物を介して配置されるレジスタヘッドアクティブエリアと、  
前記ウェルレジスタのためのエリアにおいて前記フィールド酸化物を介して配置されるレジスタダミーアクティブエリアであって、前記基板の上に電氣的接続がなく、10％～80％の密度を有する、前記レジスタダミーアクティブエリアと、  
を含む、集積回路。

【請求項 2】

請求項 1 に記載の集積回路であって、  
前記レジスタダミーアクティブエリアが20％～50％の密度を有する、集積回路。

【請求項 3】

請求項 1 に記載の集積回路であって、  
前記レジスタダミーアクティブエリアにおける重くドーピングされたダミー拡散された領域であって、前記ウェルレジスタにおける平均ドーピング密度の少なくとも10倍の平均ド

10

20

ーピング密度を有する、前記重くドーブされたダミー拡散された領域を更に含む、集積回路。

【請求項 4】

請求項 3 に記載の集積回路であって、

前記重くドーブされたダミー拡散された領域が、前記ウェルレジスタと同じ導電性を有する、集積回路。

【請求項 5】

請求項 1 に記載の集積回路であって、

前記レジスタヘッドアクティブエリアと前記レジスタダミーアクティブエリアとの頂部表面上の金属シリサイド層を更に含む、集積回路。

【請求項 6】

請求項 1 に記載の集積回路であって、

前記レジスタダミーアクティブエリアが複数の矩形として構成され、そのため、前記矩形の各々が、前記ウェルレジスタ一方の側の付近から前記ウェルレジスタの反対側の付近まで延在する、集積回路。

【請求項 7】

集積回路を形成する方法であって、

頂部表面に半導体材料を含む基板を提供することと、

前記基板の上に化学機械研磨 (CMP) ストップ層を形成することと、

前記 CMP ストップ層の上に STI マスクを形成することであって、前記 STI マスクが前記集積回路のアクティブエリアのためのエリアを覆い、前記アクティブエリアが、ウェルレジスタのためのエリアにおけるレジスタヘッドアクティブエリアを含み、かつ、前記ウェルレジスタのための前記エリアにおけるレジスタダミーアクティブエリアを含み、前記レジスタダミーアクティブエリアが 10% ~ 80% の密度を有する、前記 STI マスクを形成することと、

前記基板に 250 ナノメートル ~ 500 ナノメートルの深さの STI トレンチを形成するために、前記 STI マスクにより露出されるエリアにおいて、前記 CMP ストップ層を取り除き、前記基板の前記半導体材料の一部を取り除くことと、

前記 STI トレンチ内と、前記アクティブエリアの上の前記 CMP ストップ層の上とに、トレンチ充填誘電性材料の層を形成することであって、前記トレンチ充填誘電性材料が前記 STI トレンチを充填する、前記トレンチ充填誘電性材料の層を形成することと、

CMP プロセスにより前記 CMP ストップ層まで下に前記トレンチ充填誘電性材料を平坦化することであって、前記 CMP プロセスが、前記 CMP ストップ層の上から前記トレンチ充填誘電性材料の全てを取り除き、かつ、前記レジスタヘッドアクティブエリアと前記レジスタダミーアクティブエリアとから如何なる前記半導体材料も取り除かない、前記平坦化することと、

前記 CMP ストップ層の残りの部分を取り除くことであって、前記 STI トレンチ内の前記トレンチ充填誘電性材料が前記集積回路のフィールド酸化物を形成する、前記 CMP ストップ層の残りの部分を取り除くことと、

前記フィールド酸化物を介して、前記ウェルレジスタのための前記エリアにおける前記フィールド酸化物の下の前記基板の前記半導体材料内にウェルドーパントを注入することと、

前記ウェルレジスタを形成するために前記ウェルドーパントを活性化するようにウェルアニールプロセスにおいて前記基板を加熱することと、

前記レジスタヘッドアクティブエリアを介する前記ウェルレジスタへの電氣的接続を提供するためにコンタクトを形成することであって、前記基板の上の前記レジスタダミーアクティブエリアに電氣的接続がない、前記コンタクトを形成することと、

を含む、方法。

【請求項 8】

請求項 7 に記載の方法であって、

前記レジスタダミーアクティブエリアが20%～50%の密度を有する、方法。

【請求項9】

請求項7に記載の方法であって、

前記レジスタダミーアクティブエリアを露出させるために、前記基板と前記フィールド酸化物との上にダミー領域注入マスクを形成することと、

前記ダミー領域注入マスクが適所に置かれる一方で、ソース/ドレインドーパントを前記レジスタダミーアクティブエリアに注入することと、

その後、前記ダミー領域注入マスクを取り除くことと、

前記レジスタダミーアクティブエリアにおける重くドーパされたダミー拡散された領域を形成するために、前記ソース/ドレインドーパントを活性化するためにアニールオペレーションを実施することであって、前記重くドーパされたダミー拡散された領域が、前記ウェルレジスタにおける平均ドーピング密度の少なくとも10倍の平均ドーピング密度を有する、前記アニールオペレーションを実施することと、

を更に含む、方法。

【請求項10】

請求項9に記載の方法であって、

前記重くドーパされたダミー拡散された領域が、前記ウェルレジスタと同じ導電型を有する、方法。

【請求項11】

請求項7に記載の方法であって、

前記レジスタヘッドアクティブエリアと前記レジスタダミーアクティブエリアとの頂部表面上に耐火性金属の層を形成することと、

前記レジスタヘッドアクティブエリアと前記レジスタダミーアクティブエリアとの前記頂部表面に金属シリサイドの層を形成するために前記基板を加熱することと、

その後、未反応の耐火性金属を前記耐火性金属の層から取り除くことと、

を更に含む、方法。

【請求項12】

請求項7に記載の方法であって、

前記レジスタダミーアクティブエリアが複数の矩形として構成され、そのため、前記矩形の各々が、前記ウェルレジスタの一方の側の付近から前記ウェルレジスタの反対側の付近まで延在する、方法。

【請求項13】

集積回路であって、

頂部表面に半導体材料を含む基板と、

前記基板の前記頂部表面に配置される、STIプロセスによって形成されるフィールド酸化物と、

前記フィールド酸化物の上に配置されるポリシリコンレジスタであって、CMP平坦化されたポリシリコンの層から形成される、前記ポリシリコンレジスタと、

前記ポリシリコンレジスタのためのエリアにおける前記フィールド酸化物を介して配置されるレジスタダミーアクティブエリアであって、前記基板の上に電氣的接続がなく、10%～80%の密度を有する、前記レジスタダミーアクティブエリアと、

含む、集積回路。

【請求項14】

請求項13に記載の集積回路であって、

前記レジスタダミーアクティブエリアが、前記ポリシリコンレジスタの下に延在しない、集積回路。

【請求項15】

請求項13に記載の集積回路であって、

前記レジスタダミーアクティブエリアが、前記ポリシリコンレジスタの下に延在し、前記レジスタダミーアクティブエリアの頂部表面で誘電体層によって前記ポリシリコンレジ

10

20

30

40

50

スタから分離される、集積回路。

【請求項 16】

請求項 13 に記載の集積回路であって、

前記レジスタダミーアクティブエリアが 20% ~ 50% の密度を有する、集積回路。

【請求項 17】

集積回路を形成する方法であって、

頂部表面に半導体材料を含む基板を提供することと、

前記基板の上に CMP ストップ層を形成することと、

前記 CMP ストップ層の上に STI マスクを形成することであって、前記 STI マスクが前記集積回路のアクティブエリアのためのエリアを覆い、前記アクティブエリアがポリシリコンレジスタのための前記エリアにおけるレジスタダミーアクティブエリアを含み、前記レジスタダミーアクティブエリアが 10% ~ 80% の密度を有する、前記 STI マスクを形成することと、

10

前記基板に 250 ナノメートル ~ 500 ナノメートルの深さの STI トレンチを形成するために、前記 STI マスクにより露出されたエリアにおいて、前記 CMP ストップ層を取り除き、前記基板の前記半導体材料の一部を取り除くことと、

前記 STI トレンチ内と、前記アクティブエリアの上の前記 CMP ストップ層の上とに、トレンチ充填誘電性材料の層を形成することであって、前記トレンチ充填誘電性材料が前記 STI トレンチを充填する、前記トレンチ充填誘電性材料の層を形成することと、

CMP プロセスにより前記トレンチ充填誘電性材料を前記 CMP ストップ層まで下に平坦化することであって、前記 CMP プロセスが、前記 CMP ストップ層の上から前記トレンチ充填誘電性材料の全てを取り除き、前記レジスタダミーアクティブエリアから如何なる前記半導体材料も取り除かない、前記平坦化することと、

20

前記 CMP ストップ層の残りの部分を取り除くことであって、前記 STI トレンチ内の前記トレンチ充填誘電性材料が前記集積回路のフィールド酸化物を形成する、前記 CMP ストップ層の残りの部分を取り除くことと、

前記フィールド酸化物と前記レジスタダミーアクティブエリアとの上にポリシリコンの層を形成することと、

CMP 平坦化されたポリシリコン層を形成するために CMP プロセスを用いてポリシリコンの前記層を平坦化することと、

30

前記 CMP 平坦化されたポリシリコン層の上に、前記ポリシリコンレジスタを画定するポリシリコンエッチングマスクを形成することと、

前記ポリシリコンレジスタを形成するために前記ポリシリコンエッチングマスクの外側のエリアにおける前記 CMP 平坦化されたポリシリコン層からポリシリコンを取り除くことと、

前記ポリシリコンレジスタへの電氣的接続を提供するためにコンタクトを形成することであって、前記レジスタダミーアクティブエリアには前記基板の上に電氣的接続がない、前記コンタクトを形成することと、

を含む、方法。

【請求項 18】

40

請求項 17 に記載の方法であって、

前記レジスタダミーアクティブエリアが前記ポリシリコンレジスタの下に延在しない、方法。

【請求項 19】

請求項 17 に記載の方法であって、

前記レジスタダミーアクティブエリアが、前記ポリシリコンレジスタの下に延在し、前記レジスタダミーアクティブエリアの頂部表面で誘電体層により前記ポリシリコンレジスタから分離される、方法。

【請求項 20】

請求項 17 に記載の方法であって、

50

前記レジスタダミーアクティブエリアが20%～50%の密度を有する、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、概して集積回路に関し、更に特定して言えば、集積回路におけるレジスタに関連する。

【背景技術】

【0002】

シャロートレンチアイソレーション(STI)プロセスによりつくられるフィールド酸化物を含む集積回路は、化学機械研磨(CMP)プロセスを用いる酸化物平坦化工程を含む。CMPプロセスは、レジスタエリアなどの低アクティブエリア密度の大きなエリアをオーバーポリッシュし、これらのエリアにおいて予測不要な厚みプロファイルを備えた薄いフィールド酸化物を生成する。オーバーポリッシュされたフィールド酸化物の下につくられたウェルレジスタは、薄いフィールド酸化物を通過する一層多くの注入されたドーパントに起因して低い不規則な抵抗を有する。別のCMPプロセスを用いてポリシリコンが平坦化されている、オーバーポリッシュされたフィールド酸化物上の多結晶シリコン(ポリシリコン)のレジスタは、高い不規則な厚みを有しがちであり、これにより、低い可変抵抗、及び抵抗の温度依存における望ましくない変動が生じる。

【発明の概要】

【0003】

記載される例において、集積回路が、STIフィールド酸化物を有するウェルレジスタと、ウェルレジスタにおけるレジスタダミーアクティブエリアとを含む。STIマスクが形成され、これは、ウェルレジスタのためのエリアにおけるレジスタヘッドアクティブエリア及びレジスタダミーアクティブエリアを覆う。STIトレンチが、STIマスクにより露出されたエリアにおいてエッチングされ、トレンチ充填誘電性材料で充填される。トレンチ充填誘電性材料は、CMPプロセスによりアクティブエリアの上から取り除かれて、STIトレンチにおいてSTIフィールド酸化物が残される。その後、ウェルレジスタを形成するためにウェルレジスタエリアにおいて基板にドーパントが注入される。

【0004】

他の例において、集積回路が、ポリシリコンレジスタのためのエリアにおけるSTIフィールド酸化物においてレジスタダミーアクティブエリアを有するポリシリコンレジスタを含む。ポリシリコンの層が、フィールド酸化物の上に形成され、CMPプロセスにより平坦化される。ポリシリコンエッチングプロセスが、ポリシリコンレジスタを残して、ポリシリコンエッチングマスクにより露出されたエリアにおいてポリシリコンを取り除く。

【図面の簡単な説明】

【0005】

【図1】ウェルレジスタを含む例示の集積回路の断面図である。

【0006】

【図2】ウェルレジスタを含む例示の集積回路の上面図である。

【図3】ウェルレジスタを含む例示の集積回路の上面図である。

【0007】

【図4A】製造の連続的段階で示した、ウェルレジスタを含む例示の集積回路の断面図である。

【図4B】製造の連続的段階で示した、ウェルレジスタを含む例示の集積回路の断面図である。

【図4C】製造の連続的段階で示した、ウェルレジスタを含む例示の集積回路の断面図である。

【図4D】製造の連続的段階で示した、ウェルレジスタを含む例示の集積回路の断面図である。

【図4E】製造の連続的段階で示した、ウェルレジスタを含む例示の集積回路の断面図で

10

20

30

40

50

ある。

【図 4 F】製造の連続的段階で示した、ウェルレジスタを含む例示の集積回路の断面図である。

【図 4 G】製造の連続的段階で示した、ウェルレジスタを含む例示の集積回路の断面図である。

【図 4 H】製造の連続的段階で示した、ウェルレジスタを含む例示の集積回路の断面図である。

【図 4 I】製造の連続的段階で示した、ウェルレジスタを含む例示の集積回路の断面図である。

【図 4 J】製造の連続的段階で示した、ウェルレジスタを含む例示の集積回路の断面図である。

10

【図 4 K】製造の連続的段階で示した、ウェルレジスタを含む例示の集積回路の断面図である。

【図 4 L】製造の連続的段階で示した、ウェルレジスタを含む例示の集積回路の断面図である。

【 0 0 0 8 】

【図 5 A】製造の連続的段階で示した、ウェルレジスタを含む別の例示の集積回路の断面図である。

【図 5 B】製造の連続的段階で示した、ウェルレジスタを含む別の例示の集積回路の断面図である。

20

【図 5 C】製造の連続的段階で示した、ウェルレジスタを含む別の例示の集積回路の断面図である。

【図 5 D】製造の連続的段階で示した、ウェルレジスタを含む別の例示の集積回路の断面図である。

【 0 0 0 9 】

【図 6 A】製造の連続的段階で示した、ウェルレジスタを含む更なる例示の集積回路の断面図である。

【図 6 B】製造の連続的段階で示した、ウェルレジスタを含む更なる例示の集積回路の断面図である。

【図 6 C】製造の連続的段階で示した、ウェルレジスタを含む更なる例示の集積回路の断面図である。

30

【 0 0 1 0 】

【図 7】ポリシリコンレジスタを含む例示の集積回路を示す。

【図 7 A】図 7 の集積回路の断面を示す。

【 0 0 1 1 】

【図 8】ポリシリコンレジスタを含む例示の集積回路の上面図である。

【図 9】ポリシリコンレジスタを含む例示の集積回路の上面図である。

【 0 0 1 2 】

【図 1 0 A】製造の連続的段階で示した、ポリシリコンレジスタを含む例示の集積回路の断面図である。

40

【図 1 0 B】製造の連続的段階で示した、ポリシリコンレジスタを含む例示の集積回路の断面図である。

【図 1 0 C】製造の連続的段階で示した、ポリシリコンレジスタを含む例示の集積回路の断面図である。

【図 1 0 D】製造の連続的段階で示した、ポリシリコンレジスタを含む例示の集積回路の断面図である。

【図 1 0 E】製造の連続的段階で示した、ポリシリコンレジスタを含む例示の集積回路の断面図である。

【図 1 0 F】製造の連続的段階で示した、ポリシリコンレジスタを含む例示の集積回路の断面図である。

50

## 【発明を実施するための形態】

## 【0013】

図面は一定の縮尺で描いてはいない。図1は、ウェルレジスタを含む例示の集積回路の断面である。集積回路100が基板102上に形成され、基板102は、基板102の頂部表面106まで延在する半導体材料104を含む。この例は、p型半導体材料104について説明される。STIプロセスによって形成されるフィールド酸化物108が、基板102の頂部表面106において配置される。n型ウェルレジスタ110が、フィールド酸化物108の下、基板102の半導体材料104内に配置される。ウェルレジスタ110における例示の平均ドーピング密度は、 $1 \times 10^{17} \text{ cm}^{-3} \sim 5 \times 10^{18} \text{ cm}^{-3}$ であり得る。レジスタヘッドアクティブエリア112が、ウェルレジスタ110の端部に近接してフィールド酸化物108を介して配置される。コンタクト114が、場合によって金属シリサイド（図1には示していない）の層を介して、レジスタヘッドアクティブエリア112への電氣的接続を成すように形成される。フィールド酸化物108は、ウェルレジスタ110のためのエリアにおいてフィールド酸化物108を介してレジスタダミーアクティブエリア116が配置されるように、形成される。レジスタダミーアクティブエリア116には基板102の上に電氣的接続がない。この例では、レジスタダミーアクティブエリアは複数の矩形として構成されて、各矩形が、ウェルレジスタの一つの側の付近からウェルレジスタの反対側の付近まで延在するようにする。レジスタダミーアクティブエリア116の密度は10%～80%である。重くドーピングされたダミー拡散された領域118が、任意選択で、レジスタダミーアクティブエリア116に形成され得る。ダミー拡散された領域118における平均ドーピング密度は、ウェルレジスタ110における平均ドーピング密度の少なくとも10倍である。この例では、ダミー拡散された領域118はp型であり、そのため、ダミー拡散された領域118は、ウェルレジスタ110とは反対の導電型を有する。重くドーピングされたレジスタヘッドコンタクト領域120が、ウェルレジスタ110と同じ導電型を有するレジスタヘッドアクティブエリア112において形成され得る。10%～80%の密度でウェルレジスタ110のためのエリアにおいてレジスタダミーアクティブエリア116を形成することは、STIプロセスの間のフィールド酸化物108のオーバーポリッシュを防止し得、フィールド酸化物の所望の厚みを有利に提供し、そのため、ウェルレジスタ110のための所望の抵抗を提供する。この例の一つのバージョンにおいて、レジスタダミーアクティブエリア116の密度は20%～50%であり、所望の厚みに一層近いフィールド酸化物108の厚みを有利に提供する。更なるバージョンにおいて、レジスタダミーアクティブエリア116の密度は30%～35%であり、フィールド酸化物108のための厚みの範囲を更に一層有利に狭める。レジスタダミーアクティブエリア116の横方向の寸法及び間隔を調節することによって、ウェルレジスタ110のインスタンスの抵抗が調整され得る。ドーパント及び導電型の適切な変化を施したこの例に従って、n型基板においてp型ウェルレジスタが形成され得る。更に、p型ウェルレジスタの下、埋め込み層又はディープウェルなどの、隔離n型構造を形成することにより、p型ウェルレジスタがp型基板に形成され得る。同様に、p型隔離構造を用いてn型基板にn型ウェルレジスタが形成され得る。

## 【0014】

図2及び図3は、ウェルレジスタを含む例示の集積回路の上面図である。図2を参照すると、集積回路200が基板202上に形成され、基板202は、基板202の頂部表面206まで延在する半導体材料204を含む。STIプロセスによって形成されるフィールド酸化物208が、基板202の頂部表面206において配置される。フィールド酸化物208の下、半導体材料204にウェルレジスタ210が配置される。レジスタヘッドアクティブエリア212が、ウェルレジスタ210の端部に近接してフィールド酸化物208を介して配置される。コンタクト214が、レジスタヘッドアクティブエリア212への電氣的接続を成すように形成される。フィールド酸化物208は、レジスタダミーアクティブエリア216がウェルレジスタ210のためのエリアにおいてフィールド酸化物208を介して配置されるように形成される。この例では、レジスタダミーアクティブエ

リア 216 は、ウェルレジスタ 210 の抵抗に対する影響を最小化する一方で、フィールド酸化物 208 の所望の厚みを提供するためにレジスタダミーアクティブエリア 216 の所望の密度を維持するように構成され得る。任意選択の周囲ダミーアクティブエリア 222 が、ウェルレジスタ 210 のためのエリアの全ての側部で、及びその外側で、フィールド酸化物 208 を介して配置され得る。存在する場合、周囲ダミーアクティブエリア 222 は、ウェルレジスタ 210 の幅 224 内にある。周囲ダミーアクティブエリア 222 は、図 2 に示すように区分され得る。周囲ダミーアクティブエリア 222 をウェルレジスタ 210 の幅 224 内に形成することが、フィールド酸化物 208 の厚みのための一層タイトなプロセス範囲を有利に提供し得る。

#### 【0015】

図 3 を参照すると、集積回路 300 が基板 302 上に形成され、基板 302 は、基板 302 の頂部表面 306 まで延在する半導体材料 304 を含む。STI プロセスによって形成されるフィールド酸化物 308 が、基板 302 の頂部表面 306 において配置される。フィールド酸化物 308 の下の半導体材料 304 にウェルレジスタ 310 が配置される。レジスタヘッドアクティブエリア 312 が、ウェルレジスタ 310 の端部に近接してフィールド酸化物 308 を介して配置される。コンタクト 314 が、レジスタヘッドアクティブエリア 312 への電氣的接続を成すように形成される。フィールド酸化物は、ウェルレジスタ 310 のためのエリアにおけるフィールド酸化物 308 を介してレジスタダミーアクティブエリア 316 が配置されるように、形成される。この例では、レジスタダミーアクティブエリア 316 は、ウェルレジスタ 310 の抵抗に対する一層大きな調整能力を提供するようにウェルレジスタ 310 における電流フローに平行に構成され得、一方で、フィールド酸化物 308 の所望の厚みを提供するためにレジスタダミーアクティブエリア 316 の所望の密度を維持する。任意選択の周囲ダミーアクティブエリア 322 が、ウェルレジスタ 310 のためのエリアを継続的に囲むフィールド酸化物 308 を介して配置され得る。存在する場合、周囲ダミーアクティブエリア 322 は、ウェルレジスタ 310 の幅 324 内にある。ウェルレジスタ 310 の幅 324 内にウェルレジスタ 310 を継続的に囲むように周囲ダミーアクティブエリア 322 を形成することが、フィールド酸化物 308 の厚みのための一層タイトなプロセス範囲を有利に提供し得る一方で、レジスタダミーアクティブエリア 316 の密度を低減する。レジスタダミーアクティブエリア 316 の密度を低減することは、ウェルレジスタ 310 の全体的なエリアを低減するために望ましい場合がある。

#### 【0016】

図 4A ~ 図 4L は、製造の連続的段階で示した、ウェルレジスタを含む例示の集積回路の断面図である。図 4A を参照すると、集積回路 400 が基板 402 上に形成され、基板 402 は、基板 402 の頂部表面 406 まで延在する半導体材料 404 を含む。この例では、半導体材料 404 は p 型である。5 ナノメートル ~ 25 ナノメートルの厚みの二酸化シリコンのパッド酸化物層 426 が、テトラエトキシシラン (TEOS) としても知られているオルトケイ酸テトラエチルを用いるプラズマエンハンスト化学気相成長 (PECVD) プロセスなどにより、半導体材料 404 におけるシリコンの熱酸化により又は堆積により、基板 402 の頂部表面 406 の上に形成される。50 ナノメートル ~ 200 ナノメートルの厚みのシリコン窒化物の CMP ストップ層 428 が、700 °C でのシラン又はジクロロシラン及びアンモニアを用いる低圧化学気相成長 (LPCVD) プロセスなどにより、パッド酸化物層 426 の上に形成される。STI マスク 430 が、ウェルレジスタ 410 のためのエリアにおけるレジスタヘッドアクティブエリア 412 のためのエリア及びレジスタダミーアクティブエリア 416 のためのエリアを含み、集積回路 400 におけるアクティブエリアのためのエリアを覆うように CMP ストップ層 428 の上に形成される。STI マスク 430 は、フォトリソグラフィプロセスを用いて形成されるフォトレジストを含み得、任意選択で、反射防止層及び / 又はハードマスク層を含み得る。

#### 【0017】

図 4B を参照すると、STI トレンチエッチングプロセスが、STI マスク 430 によ

10

20

30

40

50



り露出されたエリアにおいてCMPストップ層428及びパッド酸化物層426を取り除き、STIマスク430により露出されたエリアにおいて、STIトレンチ432を250ナノメートル～500ナノメートルの深さ形成するために半導体材料404内へエッチングする。STIマスク430はその後、アッシングプロセスなどにより取り除かれ、その後、硫酸及び過酸化水素の水溶性混合物を用いるウェット洗浄工程が続く。二酸化シリコンの層(図4Bには示していない)が、STIマスク430が取り除かれた後、半導体材料404におけるシリコンの熱酸化によりSTIトレンチ432の側壁上に形成され得る。

#### 【0018】

図4Cを参照すると、トレンチ充填誘電性材料434の層が、STIトレンチ432内に、及び、レジスタヘッドアクティブエリア412のためのエリア及びレジスタダミーアクティブエリア416のためのエリアの上の、CMPストップ層428の上に形成される。トレンチ充填誘電性材料434は、STIトレンチ432を充填する。トレンチ充填誘電性材料434は、主として二酸化シリコンを含み得、シリコン窒化物又はシリコンオキシナイトライドの層を含み得る。トレンチ充填誘電性材料434は、単一の層に又は幾つかの層に形成され得る。ブランケットエッチングプロセスが、CMPストップ層428の上のトレンチ充填誘電性材料434の厚みを低減するために幾つかの層の形成の間に実施され得る。トレンチ充填誘電性材料434は、450 °Cでの、シラン及び酸素を用いる常圧化学気相成長(APCVD)プロセス、500 °Cでの、ジクロロシラン及び酸素を用いる準大気圧化学気相成長(SACVD)プロセス、高密度プラズマ(HDP)プロセス、又は、高アスペクト比プロセス(HARP)としても知られているオゾンベースの熱化学気相成長(CVD)プロセスなど、種々のプロセスにより形成され得る。トレンチ充填誘電性材料434はその後、窒素又は酸素雰囲気において少なくとも30分間900 ~ 1100 °Cでの熱アニールを用いて濃密化され得る。

#### 【0019】

図4Dを参照すると、トレンチ充填誘電性材料434は、CMPパッド436により図4Dにおいて概略で示される、CMPプロセス436によってCMPストップ層428まで下に平坦化される。レジスタヘッドアクティブエリア412及びレジスタダミーアクティブエリア416の上のトレンチ充填誘電性材料434は、ウェルレジスタ410のためのエリアにおけるトレンチ充填誘電性材料434のオーバーポリッシュを効果的に防止するためにCMPパッド436に対する十分な抵抗を提供する。この例では、ウェルレジスタ410のためのエリアにおけるCMPストップ層428の上の全てのトレンチ充填誘電性材料434がCMPプロセス436により取り除かれ、如何なる半導体材料404もCMPプロセス436によってレジスタヘッドアクティブエリア412及びレジスタダミーアクティブエリア416から取り除かれない。

#### 【0020】

図4Eを参照すると、集積回路400のためのフィールド酸化物408を提供するためにSTIトレンチ432におけるトレンチ充填誘電性材料434を残して、図4DのCMPストップ層428の残りの部分を取り除かれる。また、図4Eに示すように、パッド酸化物層426は任意で取り除かれ得る。CMPストップ層428は、155 °Cのリン酸の水溶液により取り除かれ得る。パッド酸化物層426は、フッ化水素酸の希釈緩衝水溶液により取り除かれ得る。

#### 【0021】

図4Fを参照すると、5ナノメートル～15ナノメートルの厚みの、二酸化シリコンのパッド酸化物438の第2の層が、基板402の上に形成され得る。パッド酸化物438の第2の層は、PECVDプロセスにより、図4Fに示すように、基板402及びフィールド酸化物408の上に二酸化シリコンのブランケット層を堆積することにより形成され得る。代替として、パッド酸化物438の第2の層は、基板402の頂部表面406における半導体材料404におけるシリコンの熱酸化により、レジスタヘッドアクティブエリア412及びレジスタダミーアクティブエリア416を含む集積回路400のアクティブ

エリアの上に形成され得る。ウェル注入マスク440が、ウェルレジスタ410のためのエリアを露出させるために基板402及びフィールド酸化物408の上に形成される。ウェル注入マスク440は、pチャネル金属酸化物半導体(PMOS)トランジスタの下にn型ウェルなど、集積回路400における他のn型ウェルのためのエリアを露出させ得、集積回路400の製造コスト及び製造複雑性を有利に低減する。n型ドーパント442(リンなど)が、基板102の半導体材料404におけるウェル注入された領域444を形成するためにウェル注入マスク440により露出されたエリアにおける基板402に注入される。n型ドーパント442は、 $1 \times 10^{13} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量及び400keV~700keVのエネルギーで注入され得る。ウェル注入された領域444は、フィールド酸化物408の下に延在する。ウェル注入マスク440はその後、図4BのSTIマスク430を参照して説明したように取り除かれる。

10

#### 【0022】

図4Gを参照すると、ウェルアニールプロセスが実施され、このプロセスは、ウェルレジスタ410を形成するために図4Fのウェル注入された領域444における注入されたn型ドーパント442を拡散及び活性化する。この例の一つのバージョンにおいて、ウェルアニールプロセスは、30分~2時間の800~900度のファーンエルアニールを含み得る。代替のバージョンにおいて、ウェルアニールは、20秒~60秒間の1025~1060度の高速サーマルプロセスアニールを含み得る。ウェルレジスタ410のシート抵抗が、100オーム/平方~1000オーム/平方であり得る。

#### 【0023】

20

図4Hを参照すると、コンタクト注入マスク446が、レジスタヘッドアクティブエリア412を露出させるために集積回路400の既存の頂部表面の上に形成される。この例では、コンタクト注入マスク446は、レジスタダミーアクティブエリア416を覆う。コンタクト注入マスク446はまた、集積回路400のnチャネル金属酸化物半導体(NMOS)トランジスタにおけるnチャネルソース/ドレイン(NSD)領域のためのエリアを露出させ得、集積回路400の製造コスト及び製造複雑性を有利に低減する。コンタクト注入された領域450を形成するために、n型ドーパント448(リン及び/又は砒素など)がレジスタヘッドアクティブエリア412に注入され、コンタクト注入された領域450は、基板402の頂部表面406から100ナノメートル~300ナノメートルの深さまで延在する。コンタクト注入された領域450は、フィールド酸化物408ほど

30

#### 【0024】

図4Iを参照すると、レジスタダミーアクティブエリア416を露出させるために及びレジスタヘッドアクティブエリア412を覆うために、ダミー領域注入マスク452が、集積回路400の既存の頂部表面の上に形成される。ダミー領域注入マスク452はまた、集積回路400のPMOSトランジスタにおけるpチャネルソース/ドレイン(PSD)領域のためのエリアを露出させ得、集積回路400の製造コスト及び製造複雑性を有利に低減する。p型ドーパント454(ボロンなど)が、ダミー注入された領域456を形成するためにレジスタダミーアクティブエリア416に注入され、ダミー注入された領域456は、基板402の頂部表面406から100ナノメートル~300ナノメートルの深さまで延在する。ダミー注入された領域456は、フィールド酸化物408ほど深く延在しない。p型ドーパント454は、 $1 \times 10^{15} \text{ cm}^{-2} \sim 5 \times 10^{16} \text{ cm}^{-2}$ のドーズ量及び5keV~15keVのエネルギーで注入され得る。ダミー領域注入マスク452はその後、図4BのSTIマスク430を参照して説明したように取り除かれる。

40

#### 【0025】

図4Jを参照すると、アニールオペレーションが実施され、このオペレーションは、レジスタヘッドアクティブエリア412においてn型レジスタヘッドコンタクト領域420

50

を形成するためにコンタクト注入された領域 4 5 0 において図 4 H の注入された n 型ドーパント 4 4 8 を活性化し、レジスタダミーアクティブエリア 4 1 6 において p 型ダミー拡散された領域 4 1 8 を形成するためにダミー注入された領域 4 5 6 における図 4 I の注入された p 型ドーパント 4 5 4 を活性化する。アニールオペレーションは、10 秒 ~ 30 秒間の 985 ~ 1025 での高速サーマルプロセスアニールを含み得る。ダミー拡散された領域 4 1 8 もレジスタヘッドコンタクト領域 4 2 0 も、フィールド酸化物 4 0 8 ほど深く延在しない。

#### 【0026】

図 4 K を参照すると、誘電性材料 ( レジスタヘッドアクティブエリア 4 1 2 の及び場合によってはレジスタダミーアクティブエリア 4 1 6 上の、頂部表面 4 0 6 上の、図 4 J のパッド酸化物 4 3 8 の第 2 の層など ) が、フッ化水素酸の希釈緩衝水溶液などにより、及びその後続く、S i c o n i エッチなどの順次ドライエッチなどにより取り除かれる。耐火性金属 4 5 8 の層が、レジスタヘッドアクティブエリア 4 1 2 上に、及び場合によっては、露出される場合にレジスタダミーアクティブエリア 4 1 6 上に、形成される。例えば、耐火性金属 4 5 8 の層は、白金、チタン、コバルト、ニッケル、又はモリブデンを含み得、5 ナノメートル ~ 50 ナノメートルの厚みであり得、任意選択でキャップ層を含み得る。耐火性金属 4 5 8 の層は、スパッタリングにより又は有機金属化学気相成長 ( M O C V D ) プロセスにより形成され得る。

#### 【0027】

図 4 L を参照すると、図 4 K の耐火性金属 4 5 8 の層における耐火性金属が基板 4 0 2 の頂部表面 4 0 6 におけるレジスタヘッドアクティブエリア 4 1 2 及びレジスタダミーアクティブエリア 4 1 6 におけるシリコンと反応するように、基板 4 0 2 が加熱されて、レジスタヘッドアクティブエリア 4 1 2 及びレジスタダミーアクティブエリア 4 1 6 の頂部において金属シリサイド層 4 6 0 が形成される。金属シリサイド層 4 6 0 を形成するために必要とされる温度は、耐火性金属 4 5 8 の層における特定の耐火性金属に依存する。その後、耐火性金属 4 5 8 の層における未反応の耐火性金属が、硫酸及び過酸化水素の混合を用いるウェットエッチングプロセスなどにより取り除かれる。金属シリサイド層 4 6 0 及びレジスタヘッドコンタクト領域 4 2 0 は、ウェルレジスタ 4 1 0 への低抵抗接続を有利に提供する。レジスタダミーアクティブエリア 4 1 6 上に金属シリサイド層 4 6 0 を形成することは、シリサイドブロック層を含まない製造シーケンスのための製造コスト及び製造複雑性を低減し得る。集積回路 4 0 0 の製造が、金属シリサイド層 4 6 0 の上のプレメタル誘電体 ( P M D ) 層の形成と、金属シリサイド層 4 6 0 及びレジスタヘッドコンタクト領域 4 2 0 を介するウェルレジスタ 4 1 0 への電氣的接続を成すための、P M D 層を介するコンタクトの形成で継続される。

#### 【0028】

図 5 A ~ 図 5 D は、製造の連続的段階で示した、ウェルレジスタを含む別の例示の集積回路の断面図である。図 5 A を参照すると、集積回路 5 0 0 が基板 5 0 2 上に形成され、基板 5 0 2 は、基板 5 0 2 の頂部表面 5 0 6 まで延在する半導体材料 5 0 4 を含む。この例では、半導体材料 5 0 4 は n 型である。フィールド酸化物 5 0 8 が、図 4 A ~ 図 4 E を参照して説明したように、基板 5 0 2 に形成される。集積回路 5 0 0 は、レジスタヘッドアクティブエリア 5 1 2 及びレジスタダミーアクティブエリア 5 1 6 を含む。図 4 F のパッド酸化物 4 3 8 の第 2 の層に対応するパッド酸化物 5 3 8 の層が、基板 5 0 2 の上に形成される。p 型ウェルレジスタ 5 1 0 が、注入されるドーパントを適切に変更して、図 4 F 及び図 4 G を参照して説明したように、フィールド酸化物 5 0 8 の下の半導体材料 5 0 4 に形成される。組み合わせられたコンタクト / ダミー注入マスク 5 5 2 が、レジスタヘッドアクティブエリア 5 1 2 及びレジスタダミーアクティブエリア 5 1 6 を露出させるために集積回路 5 0 0 の既存の頂部表面の上に形成される。組み合わせられたコンタクト / ダミー注入マスク 5 5 2 はまた、集積回路 5 0 0 における P M O S トランジスタにおいて P S D 領域のためのエリアを露出させ得、集積回路 5 0 0 の製造コスト及び製造複雑性を有利に低減する。p 型ドーパント 5 5 4 ( ボロンなど ) が、レジスタヘッドアクティブエリア

10

20

30

40

50

５１２においてコンタクト注入された領域５５０を形成するために及びレジスタダミーアクティブエリア５１６においてダミー注入された領域５５６を形成するために、図４Ｉを参照して説明したように、レジスタヘッドアクティブエリア５１２及びレジスタダミーアクティブエリア５１６に注入される。コンタクト注入された領域５５０及びダミー注入された領域５５６は、図４Ｉのダミー注入された領域４５６に類似する特性を有し得る。組み合わされたコンタクト／ダミー注入マスク５５２はその後取り除かれる。

#### 【００２９】

図５Ｂを参照すると、アニールオペレーションが実施され、このオペレーションは、レジスタヘッドアクティブエリア５１２におけるｐ型レジスタヘッドコンタクト領域５２０を形成するためにコンタクト注入された領域５５０において、及びレジスタダミーアクティブエリア５１６におけるｐ型ダミー拡散された領域５１８を形成するためにダミー注入された領域５５６において、図５Ａの注入されたｐ型ドーパント５５４を活性化する。このアニールオペレーションは、図４Ｊを参照して説明したように実施され得る。

#### 【００３０】

図５Ｃを参照すると、誘電性材料（シリコン窒化物及び／又は二酸化シリコンなど）のシリサイドブロック層５６２が、パッド酸化物５３８の層の上に形成される。エッチングマスクが、シリサイドブロック層５６２及びパッド酸化物５３８の層の上に形成され、エッチングマスクは、レジスタヘッドアクティブエリア５１２を露出させ、レジスタダミーアクティブエリア５１６を覆う。エッチングプロセスが、エッチングマスクにより露出されたエリアにおいてシリサイドブロック層５６２及びパッド酸化物５３８の層を取り除く。エッチングマスクはその後取り除かれる。レジスタヘッドアクティブエリア５１２は、図４Ｋを参照して説明したように洗浄され、一方で、レジスタダミーアクティブエリア５１６は、シリサイドブロック層５６２及びパッド酸化物５３８の層により覆われている。耐火性金属５５８の層が、集積回路５００の既存の頂部表面上に形成される。耐火性金属５５８の層は、レジスタヘッドアクティブエリア５１２上に形成され、シリサイドブロック層５６２及びパッド酸化物５３８の層によりレジスタダミーアクティブエリア５１６から分離される。耐火性金属５５８の層は、図４Ｋを参照して説明する組成及び厚みを有し得る。

#### 【００３１】

図５Ｄを参照すると、図５Ｃの耐火性金属５５８の層における耐火性金属が、図４Ｌを参照して説明したように、基板５０２頂部表面５０６におけるレジスタヘッドアクティブエリア５１２におけるシリコンと反応するように基板５０２が加熱されて、レジスタヘッドアクティブエリア５１２の頂部において金属シリサイド層５６０が形成される。その後、耐火性金属５５８の層における未反応の耐火性金属が取り除かれる。集積回路５００の製造が、ＰＭＤ層の形成、及び金属シリサイド層５６０及びレジスタヘッドコンタクト領域５２０を介するウェルレジスタ５１０へのコンタクトの形成で継続される。金属シリサイドがレジスタダミーアクティブエリア５１６上に形成しないようにすることが、レジスタダミーアクティブエリア上の金属シリサイドを備えるインスタンスに比して、ウェルレジスタ５１０のインスタンスのためのより均一な抵抗値を有利に提供し得る。

#### 【００３２】

図６Ａ～図６Ｃは、製造の連続的段階で示した、ウェルレジスタを含む更なる例示の集積回路の断面図である。図６Ａを参照すると、集積回路６００が基板６０２上に形成され、基板６０２は、基板６０２の頂部表面６０６まで延在する半導体材料６０４を含む。この例では、半導体材料６０４はｐ型である。フィールド酸化物６０８が、図４Ａ～図４Ｅを参照して説明したように、基板６０２に形成される。集積回路６００は、レジスタヘッドアクティブエリア６１２及びレジスタダミーアクティブエリア６１６を含む。図４Ｆのパッド酸化物６３８の第２の層に対応するパッド酸化物６３８の層が、基板６０２の上に形成される。ｎ型ウェルレジスタ６１０が、図４Ｆ及び図４Ｇを参照して説明したように、フィールド酸化物６０８の下で半導体材料６０４に形成される。コンタクト注入マスク６４６が、レジスタヘッドアクティブエリア６１２を露出させるために集積回路６００の

既存の頂部表面の上に形成される。この例では、コンタクト注入マスク 6 4 6 は、レジスタダミーアクティブエリア 6 1 6 を覆う。コンタクト注入マスク 6 4 6 はまた、集積回路 6 0 0 の N M O S トランジスタにおける N S D 領域のためのエリアを露出させ得る。n 型ドーパント 6 4 8 (リン及び / 又は砒素など) が、図 4 H を参照して説明したように、コンタクト注入された領域 6 5 0 を形成するためにレジスタヘッドアクティブエリア 6 1 2 に注入される。コンタクト注入マスク 6 4 6 はその後取り除かれる。

#### 【 0 0 3 3 】

図 6 B を参照すると、P S D マスク 6 5 2 が、レジスタヘッドアクティブエリア 6 1 2 及びレジスタダミーアクティブエリア 6 1 6 両方を覆うように、集積回路 6 0 0 の既存の頂部表面の上に形成される。P S D マスク 6 5 2 は、集積回路 6 0 0 の P M O S トランジスタにおける P S D 領域のためのエリアを露出させる。p 型ドーパント 6 5 4 (ボロンなど) が、P S D マスク 6 5 2 により露出されたエリアにおいて基板 6 0 2 に注入される。レジスタヘッドアクティブエリア 6 1 2 及びレジスタダミーアクティブエリア 6 1 6 には、実質的に p 型ドーパント 6 5 4 が無い。P S D マスク 6 5 2 はその後取り除かれる。レジスタダミーアクティブエリア 6 1 6 には実質的に、ウェルレジスタ 6 1 0 を形成する際に用いられるドーピング以外、ドーピングがない。

#### 【 0 0 3 4 】

図 6 C を参照すると、アニールオペレーションが実施され、このオペレーションは、レジスタヘッドアクティブエリア 6 1 2 における n 型レジスタヘッドコンタクト領域 6 2 0 を形成するためにコンタクト注入された領域 6 5 0 における図 6 A の注入された n 型ドーパント 6 4 8 を活性化する。シリサイドブロック層 6 6 2 が、図 5 C を参照して説明したように、レジスタヘッドアクティブエリア 6 1 2 を露出させるために基板 6 0 2 の上のパッド酸化物 6 3 8 の層を用いて形成及びパターニングされ、レジスタダミーアクティブエリア 6 1 6 を覆う。金属シリサイド層 6 6 0 が、図 5 C 及び図 5 D を参照して説明したように、レジスタヘッドアクティブエリア 6 1 2 の頂部表面において形成される。レジスタダミーアクティブエリア 6 1 6 における余分のドーピングなしにウェルレジスタ 6 1 0 を形成することは、レジスタダミーアクティブエリアにおける余分のドーピングを備えたインスタンスに比して、ウェルレジスタ 6 1 0 のインスタンスのためのより均一な抵抗値を有利に提供し得る。

#### 【 0 0 3 5 】

図 7 は、ポリシリコンレジスタを含む例示の集積回路を示す。集積回路 7 0 0 が基板 7 0 2 上に形成され、基板 7 0 2 は、基板 7 0 2 の頂部表面 7 0 6 まで延在する半導体材料 7 0 4 を含む。S T I プロセスによって形成されるフィールド酸化物 7 0 8 が、基板 7 0 2 の頂部表面 7 0 6 において配置される。ポリシリコンレジスタ 7 1 0 が、フィールド酸化物 7 0 8 の上に配置される。ポリシリコンレジスタ 7 1 0 は、C M P プロセスにより平坦化されたポリシリコンの層から形成される。フィールド酸化物 7 0 8 は、ポリシリコンレジスタ 7 1 0 のためのエリアにおけるフィールド酸化物 7 0 8 を介してレジスタダミーアクティブエリア 7 1 6 が配置されるように、形成される。基板 7 0 2 の頂部表面 7 0 6 の上のレジスタダミーアクティブエリア 7 1 6 には電氣的接続が成されない。レジスタダミーアクティブエリア 7 1 6 の密度は 1 0 % ~ 8 0 % である。ポリシリコンレジスタ 7 1 0 のためのエリアにおいて 1 0 % ~ 8 0 % の密度でレジスタダミーアクティブエリア 7 1 6 を形成することは、S T I プロセスの間のフィールド酸化物 7 0 8 のオーバーポリッシュを防止し得、ポリシリコンレジスタ 7 1 0 における平坦化されたポリシリコンの所望の厚みを有利に提供し、これにより、ポリシリコンレジスタ 7 1 0 のための所望の抵抗が提供される。この例の一つのバージョンにおいて、レジスタダミーアクティブエリア 7 1 6 の密度は 2 0 % ~ 5 0 % であり、所望の厚みに一層近いフィールド酸化物 7 0 8 の厚みを有利に提供する。更なるバージョンにおいて、レジスタダミーアクティブエリア 7 1 6 の密度は 2 5 % ~ 3 0 % であり、フィールド酸化物 7 0 8 のための厚みの範囲を更に一層有利に狭める。ポリシリコンレジスタ 7 1 0 への電氣的接続を提供するために、コンタクト 7 1 4 が、ポリシリコンレジスタ 7 1 0 上に形成される。図 7 A は、レジスタダミーアク

ティブエリア 716 をより明確に示す、図 7 の集積回路の断面である。

【0036】

図 8 及び図 9 は、ポリシリコンレジスタを含む例示の集積回路の上面図である。図 8 を参照すると、集積回路 800 が基板 802 上に形成され、基板 802 は、基板 802 の頂部表面 806 まで延在する半導体材料 804 を含む。STI プロセスによって形成されるフィールド酸化物 808 が、基板 802 の頂部表面 806 の基板 802 において配置される。ポリシリコンレジスタ 810 が、フィールド酸化物 808 の上のポリシリコンの CMP 平坦化された層から形成される。コンタクト 814 が、ポリシリコンレジスタ 810 への電氣的接続を成すように形成される。フィールド酸化物 808 は、ポリシリコンレジスタ 810 のためのエリアにおけるフィールド酸化物 808 を介してレジスタダミーアクティブエリア 816 が配置されるように、形成される。この例では、レジスタダミーアクティブエリア 816 はポリシリコンレジスタ 810 の下に延在せず、これにより、ポリシリコンレジスタ 810 上の静電性負荷が有利に低減され得る。任意選択の周囲ダミーアクティブエリア 822 が、ポリシリコンレジスタ 810 のためのエリアの周りに継続的にフィールド酸化物 808 を介して配置され得る。存在する場合、周囲ダミーアクティブエリア 822 は、ポリシリコンレジスタ 810 の幅 824 内にある。ポリシリコンレジスタ 810 の幅 824 内にポリシリコンレジスタ 810 を継続的に囲むように周囲ダミーアクティブエリア 822 を形成することが、フィールド酸化物 808 の厚みのための一層タイトなプロセス範囲を有利に提供し得、一方、レジスタダミーアクティブエリア 816 の密度を低減する。レジスタダミーアクティブエリア 816 の密度を低減することは、ポリシリコンレジスタ 810 の全体的なエリアを低減するために望ましい場合がある。

【0037】

図 9 を参照すると、集積回路 900 が基板 902 上に形成され、基板 902 は、基板 902 の頂部表面 906 まで延在する半導体材料 904 を含む。STI プロセスによって形成されるフィールド酸化物 908 が、基板 902 の頂部表面 906 において配置される。ポリシリコンレジスタ 910 が、フィールド酸化物 908 の上にポリシリコンの CMP 平坦化された層から形成される。コンタクト 914 が、ポリシリコンレジスタ 910 への電氣的接続を成すように形成される。フィールド酸化物 908 は、ポリシリコンレジスタ 910 のためのエリアにおいてフィールド酸化物 908 を介してレジスタダミーアクティブエリア 916 が配置されるように、形成される。この例では、レジスタダミーアクティブエリア 916 はポリシリコンレジスタ 910 の下に延在し、これにより、レジスタダミーアクティブエリア 916 の密度が増大され得、フィールド酸化物 908 のオーバーポリッシュが有利に低減される。任意選択の周囲ダミーアクティブエリア 922 が、ポリシリコンレジスタ 910 のためのエリアの周りにフィールド酸化物 908 を介して配置され得る。周囲ダミーアクティブエリア 922 は、図 9 に示すように区分され得る。存在する場合、周囲ダミーアクティブエリア 922 は、ポリシリコンレジスタ 910 の幅 924 内にある。

【0038】

図 10A ~ 図 10F は、製造の連続的段階で示した、ポリシリコンレジスタを含む例示の集積回路の断面図である。図 10A を参照すると、集積回路 1000 が基板 1002 上に形成され、基板 1002 は、基板 1002 の頂部表面 1006 まで延在する半導体材料 1004 を含む。この例では、半導体材料 1004 は p 型である。フィールド酸化物 1008 が、図 4A ~ 4E を参照して説明したように、基板 1002 の頂部表面 1006 において STI プロセスにより形成される。フィールド酸化物 1008 は、ポリシリコンレジスタ 1010 のためのエリアにおけるフィールド酸化物 1008 を介してレジスタダミーアクティブエリア 1016 が配置されるように、形成される。レジスタダミーアクティブエリア 1016 の上に誘電体層 1064 が配置される。誘電体層 1064 は、集積回路の NMOS 及び PMOS トランジスタのゲート誘電体層と同時に形成され得る。誘電体層は、フィールド酸化物 1008 の上に延在し得る。

【0039】

図10Bを参照すると、フィールド酸化物1008及び誘電体層1064の上にポリシリコン1066の層が形成される。ポリシリコン1066の層は、580 ~ 650 でシランを熱分解することなどにより、コンフォーマルプロセスにより形成され得る。ポリシリコン1066の層は、シランと一緒に、ホスフィン、アルシン、又はボロン三塩化物などのドーパントガスを含むことによる形成の間、インサイチュド - ピングされ得る。代替として、ポリシリコン1066の層は、イオン注入による形成の後ドーピングされ得る。インサイチュドドーピングは、ポリシリコン1066の層の厚みに関係なく、一定の平均ドーピング密度を生成し得る。イオン注入は、厚みに関係なく、ポリシリコン1066の層におけるドーパントの一定の総ドーズ量を生成し得る。

#### 【0040】

図10Cを参照すると、図10Bのポリシリコン1066の層は、CMPパッド1068により図10Cにおいて概略で示されるCMPプロセス1068によって平坦化されて、所望の厚みのCMP平坦化されたポリシリコン層1070が形成される。例えば、CMPプロセス1068は、ポリシリコン形成プロセスのコンフォーマル性に起因するポリシリコン1066の層から任意の表面トポロジを取り除くために用いられ得る。ポリシリコンレジスタ1010のためのエリアにおいてレジスタダミーアクティブエリア1016を備えるフィールド酸化物1008を形成することは、STIプロセスの間のオーバーポリッシュを低減することによってフィールド酸化物1008のための所望の厚みを提供し、これにより、CMP平坦化されたポリシリコン層1070のための所望の厚みが有利に提供される。オーバーポリッシュされたフィールド酸化物は、一層薄いフィールド酸化物を生成し得、これはその後、望ましくなく一層厚いCMP平坦化されたポリシリコン層を生成し得る。

#### 【0041】

図10Dを参照すると、ポリシリコンエッチングマスク1072が、ポリシリコンレジスタ1010を画定するためにCMP平坦化されたポリシリコン層1070の上に形成される。ポリシリコンエッチングマスク1072はまた、集積回路1000におけるNMOS及びPMOSTランジスタのゲートのためのエリアを覆い得る。ポリシリコンエッチングマスク1072は、シリコン窒化物又は非晶質炭素のハードマスク層1074、底部反射防止膜(BARC)と称されるスピコートされた有機材料の反射防止層1076、及び/又はフォトリソグラフィプロセスによって形成されるフォトレジスト層1078を含み得る。

#### 【0042】

図10Eを参照すると、ポリシリコンエッチングプロセスが、ポリシリコンレジスタ1010を形成するためにポリシリコンエッチングマスク1072によって露出されたエリアにおいてCMP平坦化されたポリシリコン層1070からポリシリコンを取り除く。ポリシリコンエッチングプロセスの間、フォトレジスト層1078及び反射防止層1076の一部又は全てが取り除かれ得る。ポリシリコンエッチングマスク1072の如何なる残りの部分も、その後取り除かれる。

#### 【0043】

図10Fを参照すると、ポリシリコンレジスタへの電氣的接続を成すためにポリシリコンレジスタ1010上にコンタクト1014が形成される。金属シリサイド(図10Fには示していない)が、ポリシリコンレジスタ1010への電氣的接続を改善するために、コンタクト1014の下ポリシリコンレジスタ1010上のエリア上に形成され得る。

#### 【0044】

本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得、他の実施例が可能である。

10

20

30

40

【図 1】

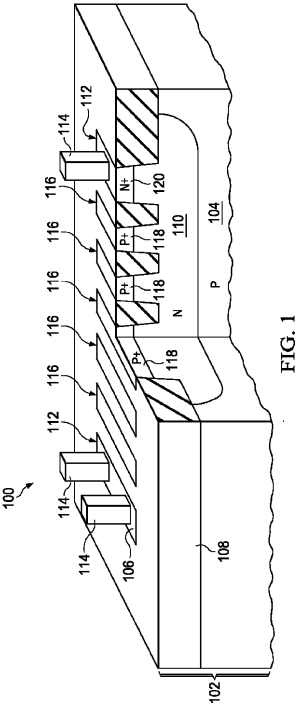


FIG. 1

【図 2】

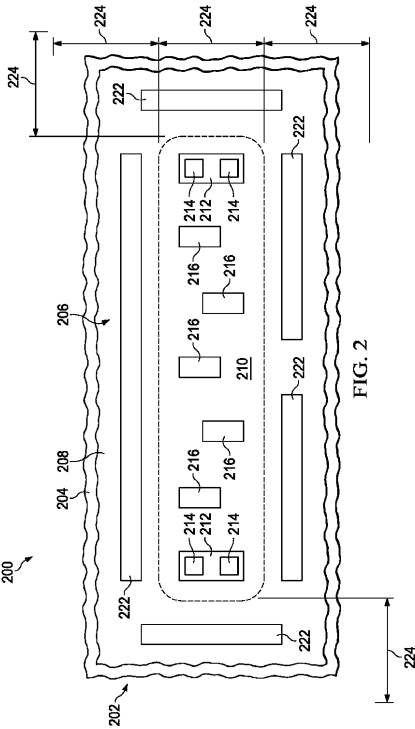


FIG. 2

【図 3】

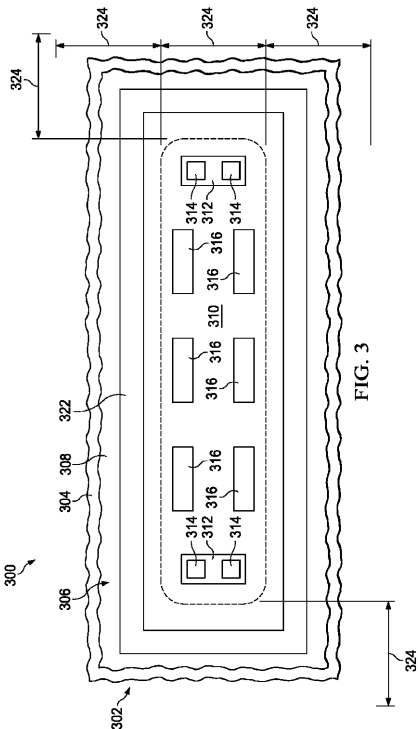


FIG. 3

【図 4 A】

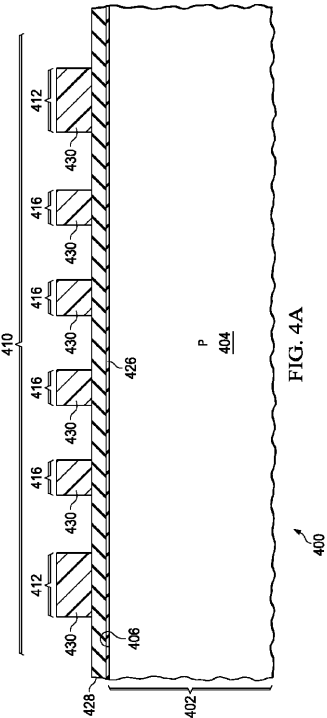
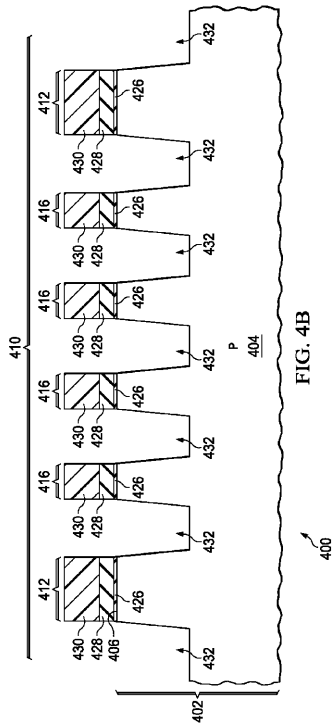


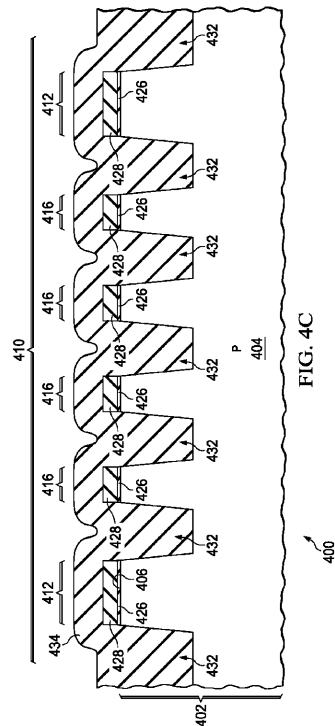
FIG. 4A



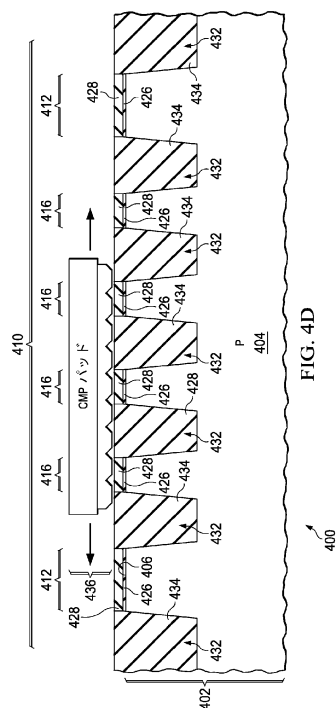
【 図 4 B 】



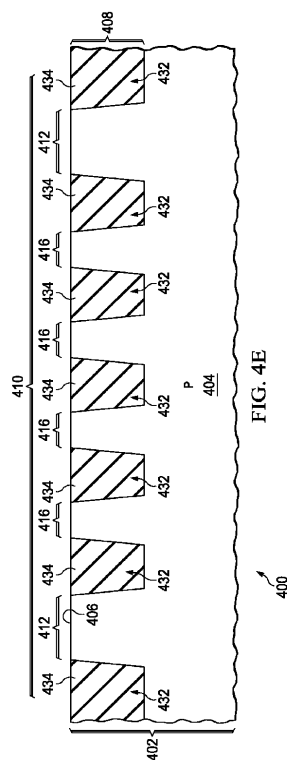
【 図 4 C 】



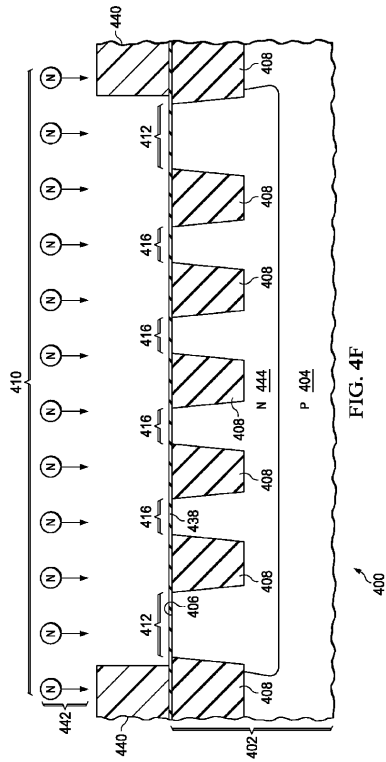
【 図 4 D 】



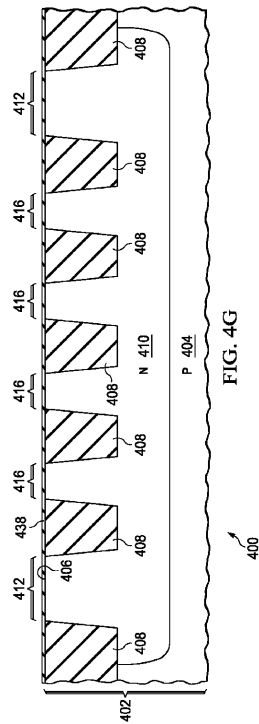
【 図 4 E 】



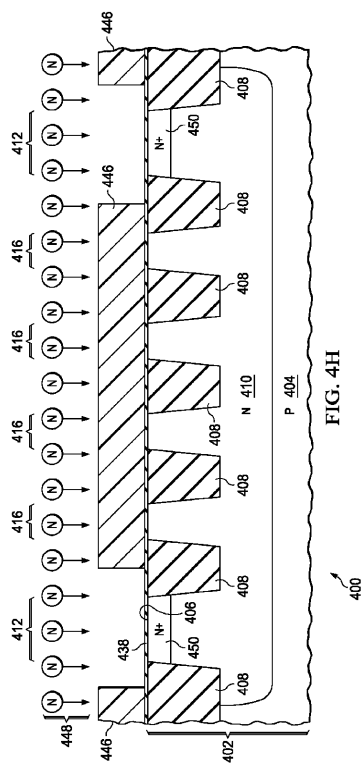
【 図 4 F 】



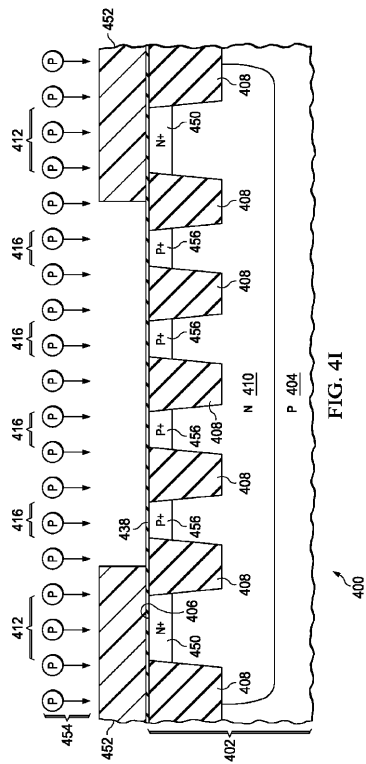
【 図 4 G 】



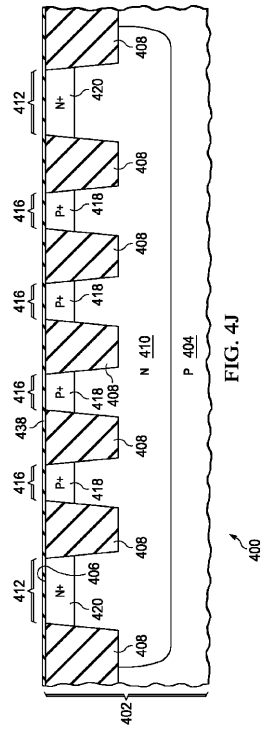
【 図 4 H 】



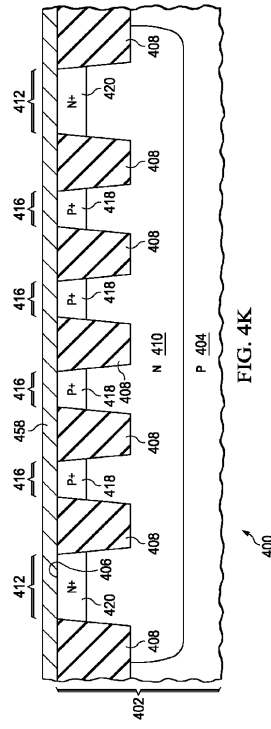
【 図 4 I 】



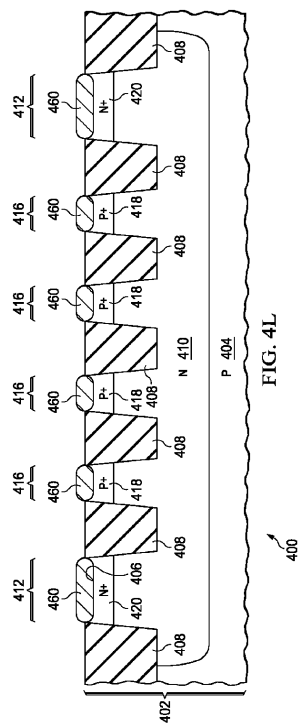
【図 4 J】



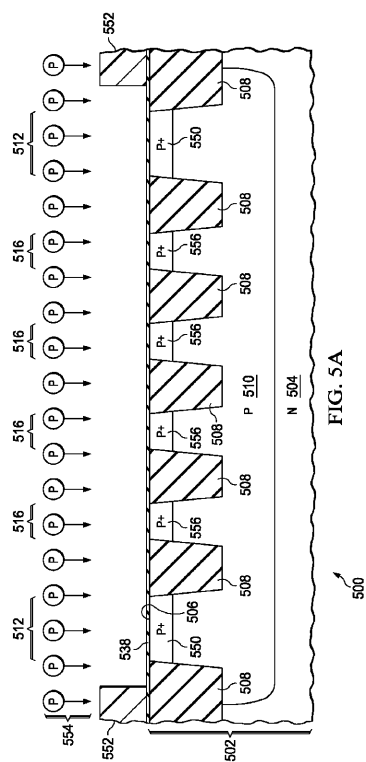
【図 4 K】



【図 4 L】

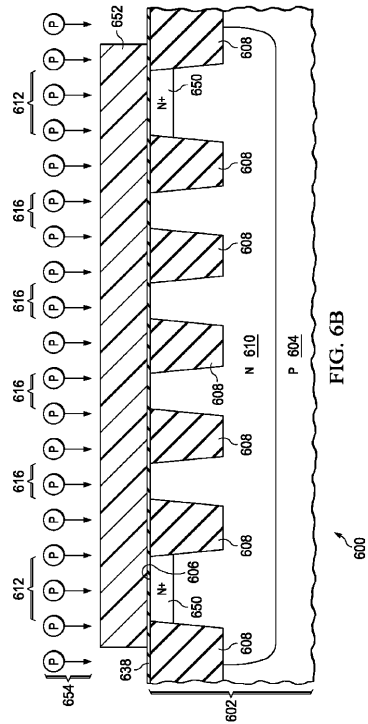


【図 5 A】

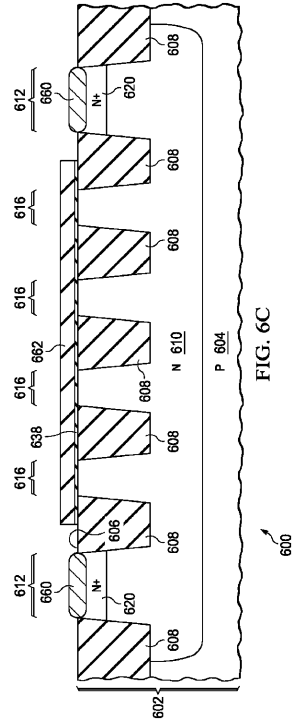




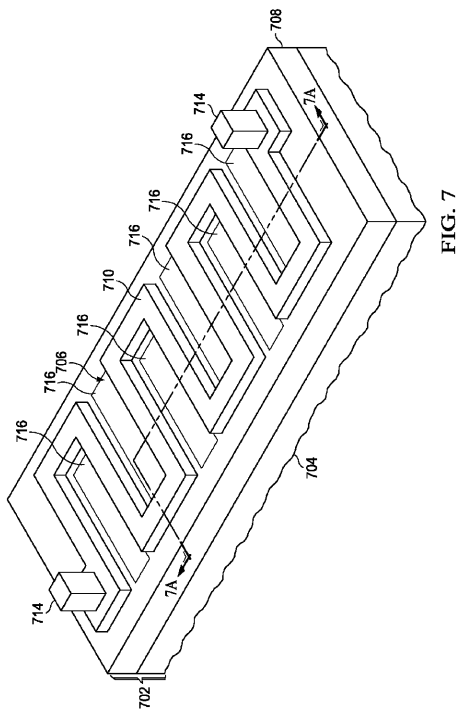
【 図 6 B 】



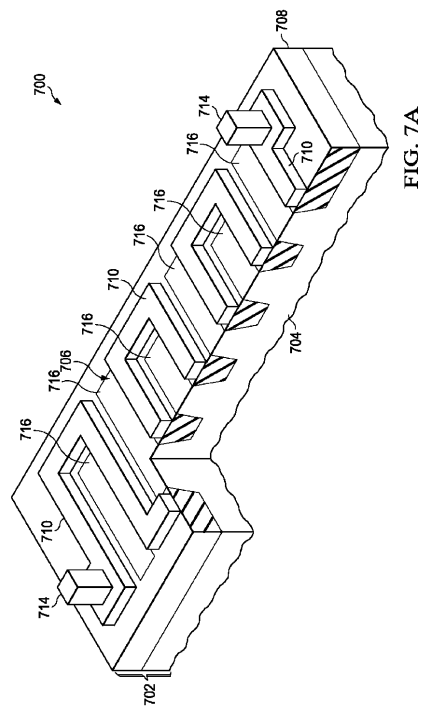
【 図 6 C 】



【 図 7 】



【 図 7 A 】



【図 8】

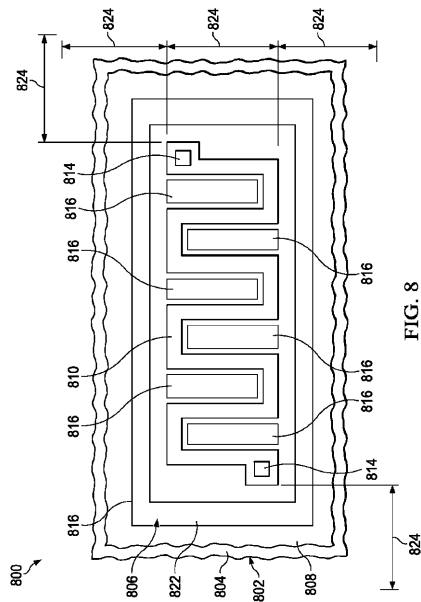


FIG. 8

【図 9】

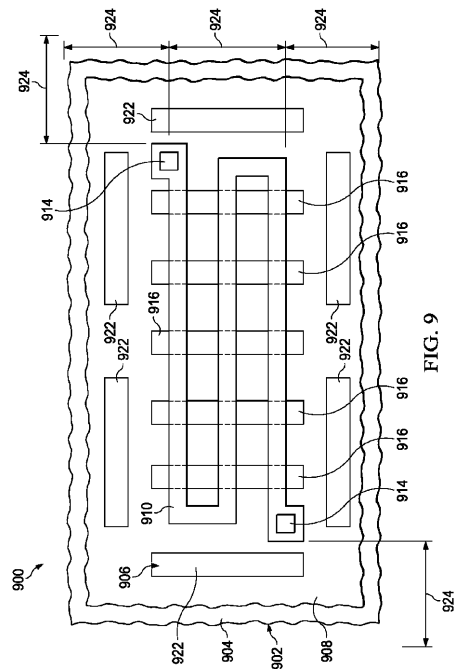


FIG. 9

【図 10A】

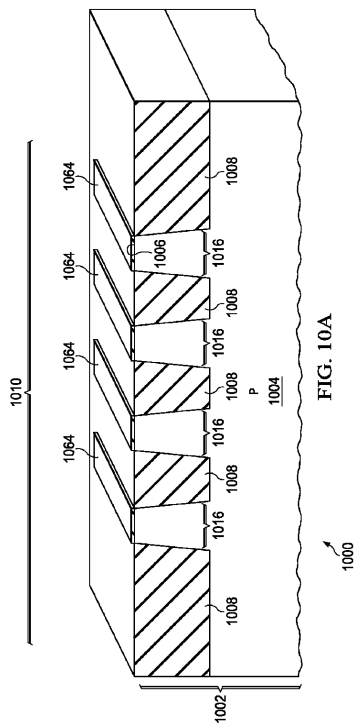


FIG. 10A

【図 10B】

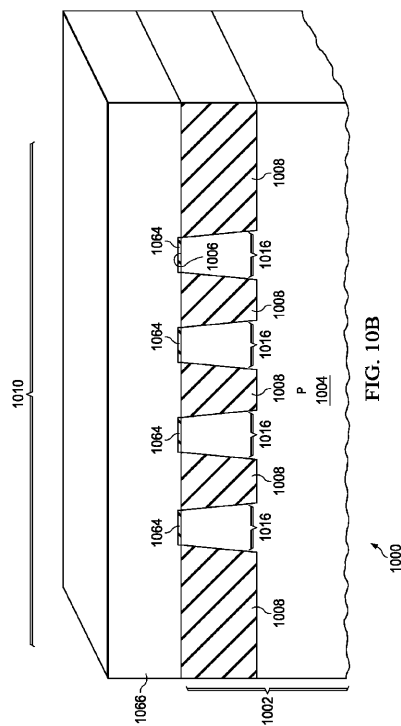
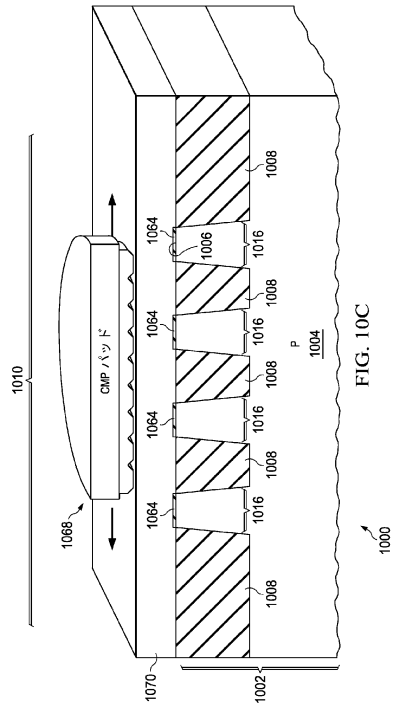
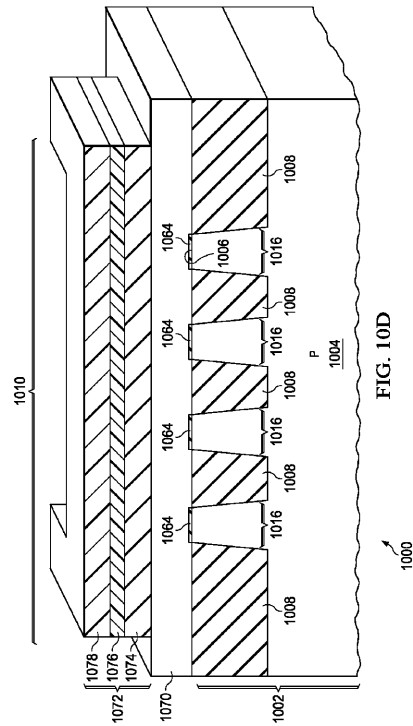


FIG. 10B

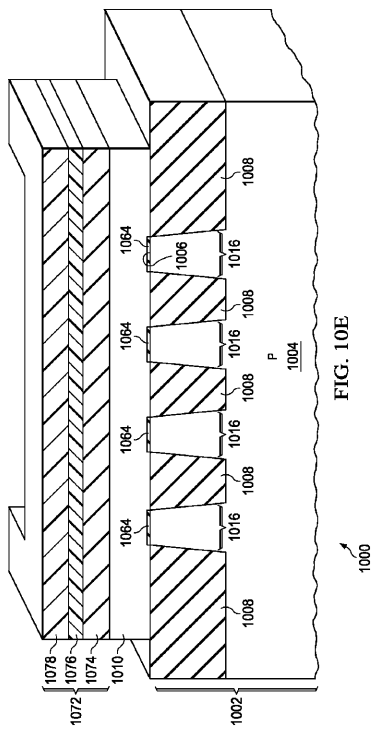
【図10C】



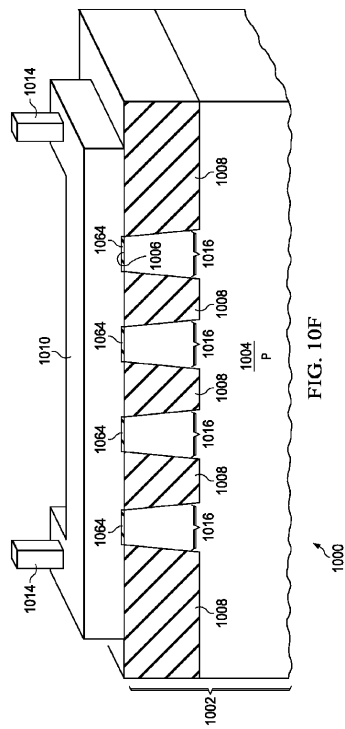
【図10D】



【図10E】



【図10F】



## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 21/76 L

- (72)発明者 ステファン キース ハイน์リッヒ バルナ  
アメリカ合衆国 7 5 0 9 4 テキサス州 マーフィー, フォールブルック ドライブ 1 2 5
- (72)発明者 ダグラス ピー パーレット  
アメリカ合衆国 7 7 4 9 8 テキサス州 シュガーランド, ベイ トゥリー ドライブ 1 3  
8 0 7
- (72)発明者 アルウィン ジェイ ツァオ  
アメリカ合衆国 7 5 0 4 4 テキサス州 ガーランド, パーム デザート 7 0 1

審査官 辻 勇貴

- (56)参考文献 米国特許第0 7 1 4 1 8 3 1 ( U S , B 1 )  
米国特許出願公開第2 0 1 3 / 0 2 0 3 2 2 6 ( U S , A 1 )  
特開2 0 0 6 - 2 6 9 5 7 3 ( J P , A )  
米国特許第0 7 4 0 3 0 9 4 ( U S , B 2 )

- (58)調査した分野(Int.Cl. , D B 名)
- |         |             |
|---------|-------------|
| H 0 1 L | 2 1 / 3 2 1 |
| H 0 1 L | 2 1 / 7 6   |
| H 0 1 L | 2 1 / 7 6 8 |
| H 0 1 L | 2 1 / 8 2 2 |
| H 0 1 L | 2 7 / 0 4   |