

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4431580号
(P4431580)

(45) 発行日 平成22年3月17日(2010.3.17)

(24) 登録日 平成21年12月25日(2009.12.25)

(51) Int.Cl.		F I		
HO 1 G 4/33	(2006.01)	HO 1 G	4/06	1 0 2
HO 1 G 4/008	(2006.01)	HO 1 G	1/01	
HO 1 L 21/822	(2006.01)	HO 1 L	27/04	C
HO 1 L 27/04	(2006.01)			

請求項の数 13 (全 18 頁)

(21) 出願番号	特願2006-540452 (P2006-540452)	(73) 特許権者	501209070
(86) (22) 出願日	平成16年11月17日(2004.11.17)		インフィネオン テクノロジーズ アクチ エンゲゼルシャフト
(65) 公表番号	特表2007-512697 (P2007-512697A)		ドイツ連邦共和国 85579 ノイビー ベルク アム カンペオン 1-12
(43) 公表日	平成19年5月17日(2007.5.17)	(74) 代理人	110000338
(86) 国際出願番号	PCT/EP2004/052992		特許業務法人原謙三国際特許事務所
(87) 国際公開番号	W02005/055292	(72) 発明者	デム, エルンスト, ヘルマン
(87) 国際公開日	平成17年6月16日(2005.6.16)		アメリカ合衆国 10579 ニューヨー ク パッナム ヴァリー レイク ショー ロード 398
審査請求日	平成18年5月24日(2006.5.24)	(72) 発明者	キム, ソンオー
(31) 優先権主張番号	10/720,450		アメリカ合衆国 12524 ニューヨー ク フィッシュキル ベイベリー サーク ル 12
(32) 優先日	平成15年11月24日(2003.11.24)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 MIMコンデンサ構造体およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体デバイスであって、
基板；
上記基板上に形成された少なくとも1つのメタライゼーション層；
上記基板上に形成されている、少なくとも1つの金属 - 絶縁体 - 金属(MIM)コンデンサ；および
上記少なくとも1つのメタライゼーション層に形成された少なくとも1つの第1伝導線；
を備え、
上記少なくとも1つの金属 - 絶縁体 - 金属(MIM)コンデンサには、
上記少なくとも1つのメタライゼーション層内に形成された第1プレートと、上記第1プレート上に設けられた誘電体材料と、上記誘電体材料上に設けられた第2プレートとが設けられているか、または
上記少なくとも1つのメタライゼーション層内に形成された第1プレートと、上記第1プレート下に設けられた誘電体材料と、上記誘電体材料下に設けられた第2プレートとが設けられており、
上記少なくとも1つの第1伝導線は、第1の厚みを有しており、
上記第1プレートは、上記第1の厚みを有しており、
上記第1プレートおよび上記少なくとも1つの第1伝導線は、

第 1 材料を含む第 1 伝導層と、
 上記第 1 伝導層上に設けられており、上記第 1 材料とは異なる第 2 材料を含む少なくとも 1 つの薄い導体材料層と、
 上記少なくとも 1 つの薄い導体材料層の少なくとも 1 つの上に設けられた少なくとも 1 つの第 2 伝導層と、
 を備え、
 上記薄い導体材料層の厚みは、450 以下であり、
 上記第 1 伝導層と上記少なくとも 1 つの第 2 伝導層とは、Al を含んでおり、
 上記第 2 伝導層の厚みは、2500 ~ 3000 であることを特徴とする半導体デバイス。

10

【請求項 2】

上記第 1 伝導層および上記少なくとも 1 つの第 2 伝導層は、Al を含んでおり、
 上記少なくとも 1 つの薄い導体材料層は、TiN、Ta₂N または WN を含んでいることを特徴とする請求項 1 に記載の半導体デバイス。

【請求項 3】

上記少なくとも 1 つの薄い導体材料層は、
 上記第 1 伝導層上に設けられた Ti、Ta または W からなる第 1 層と、
 Ti、Ta または W からなる上記第 1 層上に設けられた TiN、Ta₂N または WN からなる第 2 層とを備えていることを特徴とする請求項 1 に記載の半導体デバイス。

20

【請求項 4】

上記少なくとも 1 つの薄い導体材料層は、TiN、Ta₂N または WN からなる上記第 2 層上に設けられた Ti、Ta または W からなる第 3 層を備えていることを特徴とする請求項 1 に記載の半導体デバイス。

【請求項 5】

上記第 1 プレートは、上記メタライゼーション層中の少なくとも 1 つの伝導線に電氣的に結合されている、請求項 1 に記載の半導体デバイス。

【請求項 6】

基板を準備する工程と、
 上記基板上に、第 1 材料を含む第 1 伝導層を堆積する工程と、
 上記第 1 伝導層上に、上記第 1 材料とは異なる第 2 材料を含む少なくとも 1 つの薄い導体材料層を堆積する工程と、
 上記少なくとも 1 つの薄い導体材料層の少なくとも 1 つの上に、少なくとも 1 つの第 2 伝導層を堆積する工程と、
 上記少なくとも 1 つの第 2 伝導層、上記少なくとも 1 つの薄い導体材料層および上記第 1 伝導層をパターン化し、第 1 プレートを形成する工程とを含み、
 上記第 1 プレートを形成すると同時に、上記少なくとも 1 つの第 2 伝導層と、上記少なくとも 1 つの薄い導体材料層と、上記第 1 伝導層とに、複数の伝導線を形成する工程をさらに含み、

30

上記複数の伝導線は、半導体デバイスのメタライゼーション層に属しており、
 上記薄い導体材料層の厚みは 450 以下であることを特徴とする金属 - 絶縁体 - 金属 (MIM) コンデンサの製造方法。

40

【請求項 7】

上記少なくとも 1 つの第 2 伝導層と、上記少なくとも 1 つの薄い導体材料層と、上記第 1 の伝導層とをパターン化して、上記第 1 プレートと上記複数の伝導線とを形成する工程では、単一のマスクを使用することを特徴とする請求項 6 に記載の方法。

【請求項 8】

上記第 1 プレート上に誘電体材料を堆積する工程と、
 上記誘電体材料上に第 3 伝導層を堆積する工程と、
 上記第 3 伝導層と上記誘電体材料とをパターン化することにより、MIM コンデンサを形成する工程とをさらに含み、

50

パターン化された第3上記伝導層は、上記MIMコンデンサの最上プレートを含み、上記誘電体材料は、上記MIMコンデンサのコンデンサ誘電体を含むことを特徴とする請求項6に記載の方法。

【請求項9】

上記基板の上に上記第1伝導層を堆積する工程の前に、上記基板の上に、MIMコンデンサの底部プレートを含む第2プレートを形成する工程と

上記第2プレート上にコンデンサ誘電体を形成する工程とをさらに含み、上記第1プレートは、上記MIMコンデンサの最上プレートを含み、上記第1伝導層を堆積する工程では、上記MIMコンデンサ上に上記第1伝導層を堆積する工程を含むことを特徴とする請求項6に記載の方法。 10

【請求項10】

上記少なくとも1つの薄い導体材料層を堆積する工程は、約450オングストロームの材料を堆積する工程を含む、請求項6に記載の方法。

【請求項11】

上記少なくとも1つの薄い導体材料層を堆積する工程は、TiN、Ta_xNまたはWNを堆積する工程を含む、請求項6に記載の方法。

【請求項12】

上記TiN、Ta_xNまたはWNの上側または下側にTi、TaまたはWからなるバリア層を堆積する工程をさらに含む請求項11に記載の方法。 20

【請求項13】

上記第1伝導層を堆積する工程と上記少なくとも1つ第2伝導層を堆積する工程とは、Alを堆積する工程を含む、請求項6に記載の方法。

【発明の詳細な説明】

【発明の詳細な説明】

【0001】

〔技術分野〕

本発明は、半導体デバイスの製造に関し、特に、金属-絶縁体-金属(metal-insulator-metal:MIM)コンデンサ構造体の製造に関する。

【0002】

〔背景〕

コンデンサは、電荷を蓄えるための半導体デバイスに幅広く用いられている素子である。コンデンサは、基本的に、絶縁体によって分離された2つの伝導プレートを有している。キャパシタンス、すなわち印加電圧ごとのコンデンサの蓄電量は、多くのパラメータに依存している。このパラメータとは、例えば、上記プレートの領域、上記プレート間の距離、上記プレート間にある絶縁体の誘電率の値などである。コンデンサは、フィルタ、アナログ/デジタル変換器、メモリデバイス、制御アプリケーション、およびその他多くの種類の半導体デバイスに用いられている。

【0003】

コンデンサの1つの種類として、MIMコンデンサがある。このMIMコンデンサは、例えばアナログ/デジタル混在デバイス、論理半導体デバイスなどにおいて多く用いられている。MIMコンデンサは、様々な半導体デバイスにおいて電荷を蓄えるために用いられる。MIMコンデンサは、例えばメモリデバイス内のストレージノードとして多く用いられる。MIMコンデンサは、一般的に、半導体ウエハ上に水平に形成されており、かつ、上記ウエハの表面に対して平行である絶縁層を挟んでいる金属プレートを2つ有している。 40

【0004】

図1に、半導体デバイス内に形成された、従来技術によるMIMコンデンサ114を示す。上記半導体デバイスは、基板100を有している。この基板100は、能動領域および構成部分を有した半導体ウエハまたは基板、またはその上に形成された別の材料層を有 50

してよい。基板 100 上には、一般的に、複数のメタライゼーション層が形成されている。例えば、上部メタライゼーション層 M_n は、複数の伝導線 (conductive line) 122 を有することができ、そして下部の $M_{(n-1)}$ は、上部メタライゼーション層 M_n の下に配置することができる。 $M_{(n-1)}$ の内部には、複数の伝導線 106 が形成されていてもよい。伝導線 106 と伝導線 122 との間には、層間絶縁膜層 (ILD) が配置されている (図示せず)。また、メタライゼーション層 $M_{(n-1)}$ の下には、別のメタライゼーション層がすることもできる (図示せず)。例えば、メタライゼーション層 $M_{(n-1)}$ の下に、2~4 つの追加的なメタライゼーション層が配置されていてよい。メタライゼーション層 M_n 、 $M_{(n-1)}$ 、および別のメタライゼーション層 (図示せず) は、例えば、絶縁層 102 内に形成されたビア 104 と、絶縁層 120 内に形成されたビア 118 と共に、相互接続システムを提供している。伝導線 106、122、およびビア 104、118 は、様々な構成部分と、基板 100 内に形成された能動領域との間に相互接続手段を提供していて、また、半導体デバイスの外側から電氣的な接触を行うために用いられる接続点 (図示せず) を提供している。

10

【0005】

一般的にメタライゼーション層 M_n および $M_{(n-1)}$ は、銅またはアルミニウムを含んでいる。銅は、アルミニウムよりも抵抗が低くて伝導性に優れているが、ダマシンプロセスが必要であって、製造プロセスのコストがかさむ。アルミニウムは一般的に、例えばサブトラクティブエッチング法 (subtractive etch process) によってパターン化される。

20

【0006】

図 1 は、ビア誘電体層 120 に形成された、従来技術による MIM コンデンサ 114 を示している。MIM コンデンサ 114 を形成するためには、メタライゼーション層 $M_{(n-1)}$ 内に伝導線 106 が形成された後で、この伝導線 106 上に導体材料 108 が堆積され、そして伝導線 106 間に ILD 層 (図示せず) が配置される。一般的に、導体材料 108 は、例えば TiN を含んでいる。導体材料 108 は、リソグラフィによって、MIM コンデンサの底部プレートのパターンにパターン化される。該リソグラフィでは、例えば堆積させたフォトリジストをパターン形成し、これを、導電性材料 108 の一部を除去するためのエッチングにおいてマスクとして用いる。そして底部プレート 108 が形成される。次に、底部プレート 108 上にコンデンサ誘電体層 110 が堆積され、そしてこのコンデンサ誘電体材料 110 上に導体材料 112 が堆積される。導体材料 112 および誘電体材料 110 は、図示されている MIM コンデンサ 114 の最上プレートのためのパターンを用いてパターン化される。このとき、例えば、従来のリソグラフィ技術が用いられる。MIM コンデンサ 114 上に絶縁材料 120 が堆積され、そしてこの絶縁材料 120 がビア 116 を用いてパターン化され、そして導体材料によって充填される。ここでビア 116 は、MIM コンデンサ 114 の最上プレート 112 と、メタライゼーション層 M_n 内にある上部 (overlying) 伝導線 122 との間に電気接触を提供している。

30

【0007】

図 1 に示す、MIM コンデンサ 114 の従来技術による形成方法は、MIM コンデンサ 114 をパターン化するために 2 つのマスクレベルが必要であるという不都合点がある。上記 2 つのマスクレベルのうち、1 つは底部プレート 108 を形成するためであって、もう 1 つは最上プレート 112 および誘電体材料 110 を形成するためである。また、各メタライゼーション層 M_n 、 $M_{(n-1)}$ 、およびビア層 102、116 / 118 について、伝導線 112、106、およびビア層 102、116 / 118 をそれぞれパターン化するための別々のマスクが必要となる。

40

【0008】

そのため、MIM コンデンサおよびその構造をパターン化する方法であって、MIM コンデンサを形成するための製造処理において要するマスクレベルがより少ない方法が必要とされている。

【0009】

50

さらに、図1に示されている従来技術によるMIMコンデンサ114では、下部電極108の材料としてTiNが用いられているという別の問題がある。TiNは、そのシート抵抗が比較的高いため、MIMコンデンサ114の抵抗が高くなる。MIMコンデンサのプレートとしてTiNを用いることによって、高周波(RF)アプリケーションなどの、高速かつ高性能のアプリケーションにおけるMIMコンデンサデバイスの利用が制限されることになる。

【0010】

すなわち、シート抵抗が低減されたプレートを用いたMIMコンデンサがさらに必要とされている。

【0011】

〔発明の概要〕

本発明の形態は、マスクレベルを低減させたMIMコンデンサの製造形成方法、あるいは要するマスク数がより少ないMIMコンデンサの製造方法を提供することによって、技術面における優位性を達成している。一形態によると、MIMコンデンサの1つのプレートは、メタライゼーション層の層厚いっぱい形成されている。この形態では、上記メタライゼーション層のマスクレベルは、相互接続領域内にある伝導線のためのパターンを含んでいて、さらに、MIMコンデンサ領域内にある少なくとも1つのMIMコンデンサの底部プレートのためのパターンを含んでいる。また一形態によると、メタライゼーション層内に形成された上記MIMコンデンサのプレートはアルミニウムを含んでいてよく、シート抵抗が低くなっている。また、上記MIMコンデンサの1つ以上のプレート内に、メタライゼーション層またはコンデンサのプレートに用いられる導体材料とは別の材料を含んだ、薄い導体材料層が形成されていてもよい。この薄い導体材料層によって、メタライゼーション層の上面の粗さが軽減されるため、MIMコンデンサの信頼性が改善される。

【0012】

本発明の好ましい形態によると、本発明に係るMIMコンデンサプレートは、第1の材料を含む第1伝導層と、この第1伝導層上に配置された、少なくとも1つの薄い導体材料層とを備えている。上記少なくとも1つの薄い導体材料層は、上記第1の材料とは異なる材料である第2の材料を含む。上記少なくとも1つの薄い導体材料層の少なくとも1つの上には、少なくとも1つの第2伝導層が配置されている。

【0013】

本発明の別の形態によると、本発明に係るMIMコンデンサは、第1プレートと、この第1プレート上に設けられた誘電体材料と、この誘電体材料上に設けられた第2プレートとを備えている。上記第1プレートまたは第2プレートは、第1の材料を含む第1伝導層と、この第1伝導層上に設けられた少なくとも1つの薄い導体材料層とを有している。この薄い導体材料層は、上記第1の材料とは異なる第2の材料を含む。上記第1プレートまたは上記第2プレートは更に、上記少なくとも1つの薄い導体材料層上に設けられた少なくとも1つの第2伝導層を有している。

【0014】

本発明のさらに別の形態によると、本発明に係る半導体デバイスは、基板と、この基板上に形成された少なくとも1つのメタライゼーション層と、上記基板上に形成された少なくとも1つのMIMコンデンサとを備えている。そして、このMIMコンデンサは、上記少なくとも1つのメタライゼーション層内に形成された第1プレートと、この第1プレート上に設けられた誘電体材料と、この誘電体材料上に設けられた第2プレートとを有している。また、上記半導体デバイスの上記少なくとも1つのメタライゼーション層内には、少なくとも1つの第1伝導線が形成されている。この少なくとも1つの第1伝導線は第1の厚みを有していて、上記MIMコンデンサの第1プレートは、上記第1の厚みを有している。

【0015】

本発明の別の形態によると、本発明に係るMIMコンデンサの製造方法は、第1材料を含む第1伝導層を堆積する工程と、上記第1伝導層上に、少なくとも1つの薄い導体材料

10

20

30

40

50

層を堆積する工程とを含んでいる。上記少なくとも1つの薄い導体材料層は、上記第1材料とは異なる第2材料を含んでいる。上記方法は、上記少なくとも1つの薄い導体材料層の少なくとも1つの上に、少なくとも1つの第2伝導層を堆積する工程を含んでいる。上記方法はまた、上記少なくとも1つの第2伝導層と、上記少なくとも1つの薄い導体材料層と、上記第1伝導層とをパターン化して、第1プレートを形成する工程を含んでいる。

【0016】

本発明の形態の利点は、MIMコンデンサの製造に必要なマスク数を減らし、これによってプロセスコストを少なくできるという利点を有している。上記少なくとも1つの薄い導体材料層は、メタライゼーション層の滑らかで欠陥のない平坦な最上表面を形成する。表面が改善された上記メタライゼーション層内に底部プレートが形成されることによって、信頼性のより高いMIMコンデンサを提供することができる。

10

【0017】

本明細書に記載のMIMコンデンサ製造方法は、アルミニウムBEOL工程(aluminum back-end-of-the-line)と互換性がある。後に形成されるメタライゼーション層へのビア相互接続の信頼性は改善されている。上記少なくとも1つの薄い導体材料層は、後のビア相互接続の形成中に、エッチストップとして機能すると都合がよい。この方法により、上記半導体デバイスの様々な材料層をパターン化するために使用される反応イオンエッチングプロセスのためのプロセス窓が拡大される。本明細書に記載のMIMコンデンサの製造方法およびMIMコンデンサは、例えばRF半導体アプリケーションなどの高性能かつ高速のアプリケーションと互換性がある。

20

【0018】

以下に記載する本発明の詳細な説明をよりよく理解できるように、本発明の形態の特徴および技術的利点について、概要をやや大まかに示した。本発明の請求項の主題を形成している、本発明の形態のさらなる特徴および利点について、以下に説明する。当業者には言うまでもなく、本願に開示されている概念および特定の形態は、本発明の同一の目的を達成するための別の構造またはプロセスを変更または設計するための基準として容易に用いることができる。また、当業者には言うまでもなく、このような同様の構造は、請求項に記載されている本発明の精神と範囲を逸脱するものではない。

【0019】

本発明およびその利点をより完全に理解するために、添付図面と共に以下の説明を参照されたい。添付図面は以下の通りである：

30

【0020】

〔図面の簡単な説明〕

図1は、従来技術によるMIMコンデンサ構造を有した半導体デバイスの断面図を示す。

【0021】

図2Aは、本発明の好ましい実施形態の断面図であって、半導体デバイスのメタライゼーション層全体に属している底部プレートを有したMIMコンデンサが形成されている状態を示している。

【0022】

図2Bは、図2Aに示すMIMコンデンサをより詳細に示す図であって、メタライゼーション層の最上表面の粗さおよび不規則性が、上記MIMコンデンサの信頼性に関する問題を引き起こしている。

40

【0023】

図3、図4A～図4D、図5、および図6は、本発明の好ましい実施形態の断面図であって、半導体デバイスのメタライゼーション層内に薄い導体材料層が形成されていて、そして多層メタライゼーション層内に、伝導線およびMIMコンデンサの底部プレートが形成されている。

【0024】

図7は、本発明の一実施形態を示す図であって、MIMコンデンサの底部プレート内に

50

薄い導体材料層が配置されていて、そしてこのMIMコンデンサの底部プレートは、メタライゼーション層内に形成されていない。

【0025】

図8は、本発明の一実施形態を示す図であって、底部プレート内および上部プレート内に薄い導体材料層が配置されている状態を示している。

【0026】

図9は、本発明の一実施形態を示す図であって、半導体デバイスのメタライゼーション層内に上部プレートが形成されていて、この上部プレート内に薄い導体材料層が配置されている状態を示している。

【0027】

図10は、本発明の一実施形態によるMIMコンデンサの断面図であって、プレート内に複数の薄い導体材料層が形成されている状態を示している。

【0028】

図11は、本発明の別の実施形態を示す図であって、コンデンサのプレートの最上表面上に、薄い導体材料層が形成されている状態を示している。

【0029】

これらの図面に用いられている同様の符号および記号は、別段の記載がなければ、通常は同様の部位を示している。これらの図面は、好ましい実施形態の関連形態を明瞭に示すためのものであって、必ずしも範囲を限定するものではない。

【0030】

〔実施形態の詳細な説明〕

現時点での好ましい実施形態の実施および利用について、以下に詳しく説明する。しかしながら本発明は、様々な特殊な状況において実施可能な、実用的かつ独創的な多くの概念を提供していることについて理解されたい。説明されている具体的な実施形態は、本発明を実施および利用するための具体的な方法を示すのみであって、本発明の範囲を限定するものではない。

【0031】

図2Aは、本発明の好ましい実施形態を示す断面図であって、半導体デバイスのメタライゼーション層全体に属している底部プレートを有したMIMコンデンサが形成されている。まず、基板200がある。この基板200は、好ましくは半導体基板を含んでいて、内部には能動領域またはデバイス領域(図示せず)を形成することができる。上記基板は、例えば絶縁層で覆われたシリコンまたは別の半導体材料を含んだ半導体基板を含んでよい。さらに上記基板には、FEOLE工程(front-end-of-line)で形成された別の能動部品または回路(図示せず)を含んでいてもよい。上記基板は、例えば単結晶酸化ケイ素を含んでよい。上記基板は、例えばトランジスタおよびダイオードなどの、別の伝導層または別の半導体素子を含んでよい。シリコンの代わりに、例えばGaAs、InP、Si/Ge、SiCなどの化合物半導体を用いてもよい。基板200上に、1つ以上のメタライゼーション層(図示せず)が形成されていてよい。

【0032】

基板200上に、絶縁層202が堆積される。絶縁層202は、例えば二酸化ケイ素、ケイ酸ガラス(フッ素シリコンガラス(FSG))、または低誘電率材料などを含んでよい。あるいは絶縁層202は、半導体デバイス内の絶縁体として一般的に用いられる別の誘電体材料を含んでいてもよい。絶縁層202は、図示されている相互接続領域224およびMIMコンデンサ領域226の双方において、任意のビアスタッド(via stud)204のためにパターン形成される。任意のビアスタッド204は、基板200内または基板200上に配置されたメタライゼーション層内の素子またはデバイスから、後に形成されるメタライゼーション層206および222への電氣的接続を提供することができる。

【0033】

絶縁層202上に、導体材料206が堆積される。本発明の好ましい実施形態によれば

10

20

30

40

50

、導体材料 206 は、アルミニウムを含んでいることが好ましい。導体材料 206 は、例えば A1、または A1 を含有した合金を含んでいてよい。アルミニウムは、例えば銅などの別の導体材料と比べてプロセスコストが低い。しかし導体材料 206 は、例えば別の導体材料をさらに含んでいてもよい。導体材料 206 は、相互接続領域 224 に伝導線 206 を、そして MIM コンデンサ領域 226 に MIM コンデンサ 234 の底部プレートを同時に形成するために、サブトラクティブエッチングされることが好ましい。伝導線 206 および底部プレート 207 上には、絶縁層 257 が堆積され、そして過剰な絶縁材料 257 は、エッチングプロセス、または例えば化学的機械研磨プロセス (CMP) などの研磨プロセスによって、伝導線 206 および底部プレート 207 から除去される。

【0034】

パターン化された伝導線 206 および底部プレート 207 上には、誘電体材料 230 が堆積されている。誘電体材料 230 は、好ましくは、コンデンサ誘電体としての使用に適した材料を含んでいて、例えば高誘電率材料を含んでいることが好ましい。誘電体材料 230 は、相互接続領域 224 および MIM コンデンサ領域 226 を含んだ、基板の表面全体の上に堆積される。

【0035】

誘電体材料 230 の上に、導体材料 232 が堆積される。導体材料 232 は、例えば A1、または A1 を含有した合金、または別の導体材料を含んでいてよい。導体材料 232 および誘電体材料 230 は、リソグラフィ法によってパターン化され、そして MIM コンデンサ 234 の上部プレート 232 およびコンデンサ誘電体 230 を形成する。ここで、上部プレート 232 およびコンデンサ誘電体材料 230 の両方をパターン化する際、1つのマスクが用いられることが好ましい。

【0036】

MIM コンデンサ 234 および伝導線 206 上に、絶縁層 220 が堆積される。絶縁層 220 は、例えば酸化物、ケイ酸ガラス、または低誘電率材料などを含んでいてよい。絶縁層 220 は、相互接続領域 224 内のビア 218、および MIM コンデンサ領域 226 内のビア 236 のためのパターンを用いてパターン化される。例えば、ビア 218 は、相互接続領域 224 内の伝導線 206 との電氣的接触を形成して、そしてビア 236 は、MIM コンデンサ領域 226 内の MIM コンデンサ 234 の最上プレート 232 との電氣的接触を形成している。導体材料は、ビア 218 および 236 を充填するために堆積され、そして過剰な導体材料は、例えばエッチングまたは CMP プロセスを用いて、絶縁層 220 の最上表面から除去される。

【0037】

そして、ビア 218、ビア 236 および絶縁層 220 上に、導体材料 222 が堆積される。導体材料 206 は、例えば A1、または A1 を含有した合金、または別の導体材料を含んでいることが好ましい。導体材料 222 は、サブトラクティブエッチング法によってパターン化され、そして相互接続領域 224 および MIM コンデンサ領域 226 の双方において、伝導線 222 を形成する。本発明の好ましい実施形態によると、MIM コンデンサ 234 は、上記半導体デバイスの上部メタライゼーション層 $M_{(n-1)}$ 内またはその近傍に形成される。一実施形態では、ビア 236 によって MIM コンデンサ 234 の最上プレートと電氣的接触をなしている伝導線 222 は、上記半導体デバイスの上部メタライゼーション層 $M_{(n-1)}$ 内に形成されることが好ましい。図 2A には MIM コンデンサ 234 は 1 つしか図示されていないが、半導体デバイス内に複数の MIM コンデンサ 234 が形成されてもよい。

【0038】

図 2A に示す MIM コンデンサ 234 の構造およびその形成方法は、MIM コンデンサ 234 の底部プレート 207 が、伝導線 206 をパターン化するために用いられるマスクと同一のマスクを用いてパターン化されるという利点がある。メタライゼーション層 $M_{(n-1)}$ 内に形成された底部プレート 207 はアルミニウムを含むため、抵抗が高い別の材料を含んだプレートを有する MIM コンデンサと比べて、シート抵抗を低くすることが

10

20

30

40

50

できる。MIMコンデンサの底部プレート207が同じメタライゼーション層 $M_{(n-1)}$ (図示せず)内に形成された伝導線と結合されることは、ピアスタッド204を用いて底部プレート207との電氣的接触を形成するよりも有利である。

【0039】

しかしながら、本発明のこの実施形態は、底部プレート207の導体材料および伝導線206が、最上表面において欠陥を有しているため、最良のものとは言い難い。底部プレート207および伝導線206は、図2Aに示すMIMコンデンサ234のより詳細な図である図2Bに示すような表面形態を示すアルミニウムを含んでいることが好ましい。アルミニウム底部プレート207は、粗い最上表面を有している。この粗い最上表面は、突起構造238およびヒロック構造240を含んでいてよく、さらに結晶粒界の窪み242を含んでいてもよい。形状に関するこれらの特徴は、図示されているように、後に堆積される誘電体材料230および最上プレート232において再現される。表面の形状が不規則である非平面MIMコンデンサ234は、早期の絶縁破壊を引き起こす可能性があり、またMIMコンデンサ234の信頼性を低下させる可能性がある。

【0040】

本発明の好ましい一実施形態では、図3、図4A~図4D、図5、および図6に示すように、新規な多層構造は、MIMコンデンサの底部プレートとして用いられるメタライゼーション層の導体材料に対して用いられる。この導体材料は、MIMコンデンサの底部プレートの最上表面を滑らかにし、そして欠陥を取り除く。まず、前述の、図2Aに示す基板200に用いられる材料と同様の材料を含んだ、基板300が備えられる。絶縁層302をパターン化し、導体材料304を堆積し、そして絶縁層302の最上表面からあらゆる過剰な導体材料を除去することによって、基板300上に絶縁層が形成され、そして絶縁層302内にピアプラグ304が形成される。

【0041】

図4Aに示すように、任意のバリア層350を、例えば絶縁層302とピアプラグ304との上に形成する。このバリア層350は、Tiを含んでいることが好ましい。もしくは、バリア層350は、Ti/TiNの2層を含んでいてもよいし、または、例えば他の材料を含んでいてもよい。

【0042】

任意のバリア層350上に、第1伝導層352を堆積する。第1伝導層352は、アルミニウムを含んでいることが好ましい。しかしながら、第1伝導層352として、アルミニウム合金または他の導体材料を使用してもよい。第1伝導層352の厚みは、約2500~3000であることが好ましい。一実施形態では、第1伝導層352の厚みは、第1伝導層352と、薄層354と第2伝導層356とを含むメタライゼーション層の厚みの約2分の1である。メタライゼーション層について次に詳しく説明する。

【0043】

本発明の好ましい実施形態では、第1伝導層352上に、薄い導体材料層354を堆積または形成する。この薄い導体材料層354は、TiN、TaNまたはWNなどの導電材料からなる薄い層を含んでいることが好ましい。しかしながら、薄い導体材料層354として、他の導体材料を使用してもよい。

【0044】

一実施形態では、薄い導体材料層354は、図4Bに詳しく示すように、薄い導体材料364からなる単層を備えている。薄い導体材料364の厚みは、例えば約50~100であることが好ましい。もしくは、薄い導体材料364の厚みは、約450以下であってもよい。薄い導体材料364は、例えばスパッタリングプロセスなどの物理的気相成長法(PVD)によって堆積される。しかしながら、薄い導体材料364を堆積するために、化学気相堆積(CVD)を用いてもよい。薄い導体材料364は、例えばTiN、TaN、WNなどの導体材料からなる薄い層を含んでいることが好ましい。しかしながら、薄い導体材料364として、他の導体材料を使用してもよい。

【0045】

10

20

30

40

50

図4Cに示す他の実施形態では、薄い導体材料層354は、底部プレート352上に堆積された第1バリア層366を有している。第1バリア層366は、任意であり、例えば約150以下の厚みで堆積されたTi, TaまたはWを含んでいてもよい。この実施形態では、例えば約50~100のTiN, TaNまたはWNを含む薄い導体材料364は、第1バリア層366上に堆積されている。第1バリア層366により、アルミニウム底部プレート352と薄い導体材料364との間の接着が改善される。また、第1バリア層366により、薄い導体材料364の品質が高まる。

【0046】

さらに他の実施形態では、薄い導体材料層354は、さらに、図4Dに示すように、薄い導体材料364上に設けられた任意の第2バリア層368を備えている。第2バリア層368は、例えば薄い導体材料364上に堆積された約30~100のTi, TaまたはWを含んでいる。第2バリア層368は、薄い導体材料364と続いて形成される第2伝導層356との接着を改善する。この実施形態では、第1バリア層366は任意である。

10

【0047】

もう一度図4Aを参照すると、薄い導体材料層354上に、第2伝導層356が堆積されている。第2伝導層356は、第1伝導層352と同じ材料を含んでいることが好ましく、一実施形態では、アルミニウムを含んでいることが好ましい。もしくは、第2伝導層356は、例えば他の導体材料を含んでいてもよい。なお、第2伝導層356と第1伝導層352とは、例えばサブトラクティブエッチング法によってパターン化される導体材料を含んでいることが好ましい。一実施形態では、第1伝導層352と第2伝導層356とは、例えばダマシ技術を用いる場合に一般的に堆積される銅を含んでいないことが好ましい。第2伝導層356の厚みは、約2500~3000であることが好ましい。もしくは、第2伝導層356の厚みは、約500~2500であってもよい。第2伝導層356の厚みは、一実施形態において、約3000であることが好ましい。第2伝導層356の厚みは、例えば、メタライゼーション層 $M_{(n-1)}$ の所望の厚みの約2分の1であることが好ましい。メタライゼーション層 $M_{(n-1)}$ の合計の厚みは、例えば約5000でもよい。

20

【0048】

第1伝導層352と第2伝導層366との間に薄い導体材料層354を堆積することにより、第2伝導層366の表面トポグラフィが改善される。これにより、第2伝導層366の最上表面には、従来技術のメタライゼーション層(図2B参照)にあった突起やヒロックや窪みがなくなり、メタライゼーション層 $M_{(n-1)}$ が、MIMコンデンサの底部プレートとして使用するために改善されたことになる。

30

【0049】

次に、第2伝導層356上に、例えば任意の反射防止用のコーティング(ARC)を堆積する。任意のARC層358は、TiまたはTiNを含んでいてもよいし、もしくは、TiN上に設けられたTiからなる最上層を有するTiNの2重層を備えていてもよい。ARC層358の厚みは、例えば約100~300であってもよい。もしくは、ARC層358は、他の材料を含んでいてもよい。任意のARC層358は、クリティカルディメンション(CD)偏差(variations)を低減することができる。また、任意のARC層358は、オフノーマル反射と定常波の影響とを低減することにより、リソグラフィプロセスを改善する。ARC層358の厚みは、例えば約450未満であることが好ましい。

40

【0050】

次に、任意のARC層358上に、または、ARC358を使用しない場合は第2伝導層356上に、誘電層360を堆積する。誘電層360は、コンデンサ誘電体としての使用に適した材料(例えば、誘電率の高い材料、または、他の絶縁体など)を含んでいることが好ましい。そして図4Aに示すように、誘電層360上に、導体材料362を堆積する。導体材料362は、例えばアルミニウム、アルミニウム合金、または、例えば減法工

50

エッチングされる他の導体材料を含んでいることが好ましい。導体材料 362 は、MIM コンデンサの最上プレートを形成することになる。以下で最上プレートについてさらに説明する。

【0051】

なお、MIM コンデンサは、半導体デバイスの相互接続領域 324 ではなく、半導体デバイスの MIM コンデンサ領域 326 に形成される。一方、任意のバリア層 350、第 1 伝導層 352、薄い導体材料層 354、第 2 伝導層 356、任意の ARC 層 358、誘電層 360 および導体材料 362 は、基板 300 の表面全体に堆積される。任意のバリア層 350、第 1 伝導層 352、薄い導体材料層 354 および第 2 伝導層 356 は、半導体デバイスのメタライゼーション層 $M_{(n-1)}$ を備えている。一実施形態では、メタライゼーション層 $M_{(n-1)}$ は、半導体デバイスの最上メタライゼーション層 M_n (図 4A には図示せず、図 6 参照) の下側にメタライゼーション層を備えている。もしくは、メタライゼーション層 $M_{(n-1)}$ は、例えば一実施形態では、基板 300 上に形成された第 1、第 2、または第 3 のメタライゼーション層を備えていてもよい。

10

【0052】

図 5 に示す実施形態では、半導体デバイスの相互接続領域 324 に伝導線 356 を形成しながら、同時に、メタライゼーション層 $M_{(n-1)}$ をパターン化して、MIM コンデンサ 372 の底部プレート 361 のためのパターンを形成する。図に示すように、導体材料 362 と誘電層 360 (と任意の ARC 層 358) とをパターン化して、MIM コンデンサ 372 の最上プレートのためのパターンを形成する。

20

【0053】

メタライゼーション層 $M_{(n-1)}$ 内に形成された底部プレート 361 と、相互接続領域 324 の相互接続線 359 とは、誘電層 360 と伝導層 362 (図示せず) とを堆積する前にパターン化されてもよい。次に、パターン化した底部プレート 361 と伝導線 359 との間に絶縁層 357 を堆積する。底部プレート 361 と、伝導線 359 と、絶縁層 357 との上にコンデンサ誘電層 360 を堆積し、上記誘電層 360 上に、導体材料 362 を堆積する。次に、導体材料 362 と誘電層 360 とを、単一のマスクを使用してパターン化し、MIM コンデンサ 372 の最上プレートとコンデンサ誘電体とを形成する。

【0054】

もしくは、誘電層 360 をパターン化されていないメタライゼーション層 $M_{(n-1)}$ 上に堆積し、上記誘電層 360 上に、導体材料 362 を堆積してもよい。本発明の実施形態に応じて、メタライゼーション層 $M_{(n-1)}$ 内の底部プレート 361 および伝導線 359 を最初にパターン化してもよいし、または、最上プレート 362 および誘電層 360 を最初にパターン化してもよい。

30

【0055】

MIM コンデンサ領域 326 にある MIM コンデンサ 372 の底部プレート 361 は、相互接続領域 324 にある伝導線 359 をパターン化するために使用するのと同じリソグラフィマスクを用いてパターン化できるということが有利な点である。これにより、MIM コンデンサ 372 の底部プレート 361 を製造するために別のマスクが必要なくなるため、コストを下げることができる。

40

【0056】

メタライゼーション層 $M_{(n-1)}$ の材料をエッチングするために使用されるエッチング化学薬剤 (etch chemistry) は、例えば BC および Cb を含んだものを使用することができる。これらの化学薬剤の比率は、例えば各異なる材料層 352・354・356 に対して調整されてもよい。もしくは、メタライゼーション層 $M_{(n-1)}$ をパターン化するために、他のエッチング用の化学薬剤およびプロセスを使用してもよい。

【0057】

次に、図 6 に示すように、基板 300 に対して、半導体デバイスの後続のプロセスを行う。図 6 に示すように、最上プレート 362 と伝導線 359 との上に、例えば、酸化物または他の絶縁体を含む絶縁層 370 を堆積してもよい。最上プレート 362 と絶縁材料 3

50

70との上に、絶縁層374を堆積してもよく、上記絶縁材料374をパターン化し、相互接続領域324にある伝導線359に接触するため、絶縁層374・370内にビア378を形成してもよく、さらに、絶縁層374内にビア376を形成してもよい。このビア376は、MIMコンデンサ領域326にあるMIMコンデンサ372の最上プレート362に電氣的に接触する。ビア378・376に、例えば導体材料を充填し、絶縁層374とビア378・376との上に、好ましくはアルミニウム、アルミニウム合金または他の導体材料を含む最上メタライゼーション層 M_n を堆積する。メタライゼーション層 M_n をパターン化し、相互接続領域324とMIMコンデンサ領域326との双方に伝導線322を形成する。

【0058】

伝導層352・356間に、埋設された薄い導体材料層354を挿入することにより、伝導層352・356の厚みが低減され、最適化される。このことにより、アルミニウムの界面の大きな突起によって引き起こされる可能性のある表面の粗さが低減される。例えばアルミニウムの層を薄くすることにより、突起のサイズを小さくすることができる。薄い導体材料層354を、例えば、アルミニウムにヒロックの形成される温度未満の温度で堆積することが好ましい。

【0059】

図7、図8および図9に、本発明の3つの実施形態を示す。これらの図では、本発明の実施形態に応じて、最上プレート、底部プレート、または最上プレート及び底部プレートの双方に、薄い導体材料層が設けられている。メタライゼーション層内に伝導線を形成しながら、同時に、本発明の実施形態に応じてMIMコンデンサの最上プレートまたは底部プレートを、メタライゼーション層に最適に形成してもよい。

【0060】

図7に本発明の一実施形態を示す。この実施形態では、薄い導体材料層454がMIMコンデンサ484の底部プレート482内に設けられており、底部プレート482がメタライゼーション層には形成されていない。この実施形態では、導体材料481を絶縁層457内に形成する。絶縁層457は、基板400上に堆積された絶縁層402中に形成されたビアプラグ404上に設けられている。続いて形成された絶縁層486内に、ビア484を設ける。この場合、導体材料481は、下側のビアプラグ404とビア484とを電氣的に接続する。絶縁層486とビア484との上に、第1伝導層452を堆積し、第1伝導層452上に、薄い導体材料層454を堆積する。薄い導体材料層454上に、第2伝導層456を堆積する。第1伝導層452、薄い導体材料層454および第2導体材料層456は、例えば第1伝導層352、薄い導体材料層354および第2導体材料層356に関して図4Aでそれぞれ説明されたような材料および厚みを有していることが好ましい。

【0061】

第2伝導層456、薄い導体材料層454および第1伝導層452をパターン化して、図に示すような底部プレート482を形成する。第2伝導層456上に、コンデンサ誘電体460を堆積し、例えば底部プレート482をパターン化すると同時にパターン化してもよい。パターン化した誘電層460と、伝導層456・454・52との上に、絶縁層474を堆積する。半導体デバイスの相互接続領域424に、ビア478を形成する。また、絶縁層474上に、導体材料422を堆積する。導体材料422をパターン化して、MIMコンデンサ領域426に最上プレート483を形成し、相互接続領域424に複数の伝導線422を形成する。この実施形態では、MIMコンデンサ484の最上プレート483が最上メタライゼーション層 M_n に属しており、MIMコンデンサ領域426の最上プレート483は相互接続領域424の複数の伝導線422のパターン化と同時にパターン化される、ということが有利である。この場合は、MIMコンデンサ484の最上プレート483をパターン化するための別のマスクは不要である。

【0062】

図8に、本発明の一実施形態を示す。この実施形態では、底部プレート586と最上プ

10

20

30

40

50

レート588との双方に、薄い導体材料層544a・544bがそれぞれ設けられている。この実施形態では、図5および図6を参照しながら説明したように、薄い導体材料層544aは、第1メタライゼーション層 $M_{(n-1)}$ の第1伝導層522aと第2伝導層556aとの間に設けられていることが好ましい。繰り返しを避けるために、ここでは、図8を参照しながら参照番号および素子の全てについて説明するわけではない。同じ番号は、図5および図6に示す様々な素子に対して使用されている。この実施形態の最上プレート588も、第1伝導層552bと第2伝導層556bとの間に設けられた薄い導体材料層554bを備えていることが有利である。したがって、MIMコンデンサ590は、内部に薄い導体材料層554aの設けられた底部プレート586と、内部に薄い導体材料層554bの設けられた最上プレート588とを備えている。薄い導体材料層554a・554bは、それぞれ、第2伝導層556a・556bの最上表面の質感または形状を改善し、または、滑らかにする。絶縁層574内に、MIMコンデンサ590の最上プレート588に電氣的に接触するためのビア576を形成し、次に、最上メタライゼーション層 M_n に、伝導線522を形成する。なお、この実施形態の利点は、薄い導体材料層544bが例えばビア576のパターン化に対するエッチストップとしての役割を果たす、という点である。したがって、ビア576は、図に示すように、薄い導体材料層554bの最上表面に達する。

【0063】

図9に、本発明の一実施形態を示す。この実施形態では、MIMコンデンサ698の、薄い導体材料層654を有した最上プレート696が、半導体デバイスのメタライゼーション層 M_n 内に形成されている。同じく、ここでは、繰り返しを避けるために、全ての参照番号について説明または論議するわけではない。半導体デバイスの様々な材料層に対して同じ番号の使用されている図5および図6に関する説明を参照のこと。この実施形態では、MIMコンデンサ698の最上プレート696は、第1伝導層652と、第1伝導層652上に堆積された薄い導体材料層654と、薄い導体材料層654上に堆積された第2伝導層656とを備えている。底部プレート694は、例えばアルミニウムまたはアルミニウム合金を含む単一の伝導層を含んでいてもよい。しかしながら、底部プレート694は、例えば他の導体材料を含んでいてもよい。底部プレート694は、図8を参照しながら説明したように、第1伝導層、薄い導体材料層、および、第2伝導層(図示せず)を備えていてもよい。この実施形態では、MIMコンデンサ領域626に形成されたMIMコンデンサ698の最上プレート696は、相互接続領域624内に形成される複数の伝導線622をメタライゼーション層 M_n にパターン化するのと同時に、パターン化されてもよい、ということが有利である。このことは有利である。なぜなら、MIMコンデンサ698の最上プレート696のパターン化のために別のマスクは必要ないからである。なお、この実施形態では、相互接続領域624における複数の伝導線622は、さらに、該伝導線622内に薄い導体材料層654を備えている。

【0064】

本発明の実施形態では、少なくとも1つの薄い導体材料層が、MIMコンデンサの少なくとも1つのプレートの導体材料内に設けられていることが好ましい。特に、MIMコンデンサプレートに2つ以上の導体材料層が設けられていてもよい。図10に、本発明の一実施形態のMIMコンデンサのプレートの断面図を示す。該MIMコンデンサプレートは、それぞれ伝導層752・756a間、756a・756b間、および、756b・756c間に設けられた3つの薄い導体材料層754a・754b・754cを備えている。少なくとも1つの伝導層756a・756b・756cは、図に示すように、少なくとも1つの薄い導体材料層754a・754b・754cの少なくとも1つの上に堆積されていることが好ましい。また上述したように、MIMコンデンサプレートを半導体デバイスのメタライゼーション層 M_n に形成してもよい。

【0065】

図11に、本発明の一実施形態を示す。この図では、MIMコンデンサプレートは、複数の薄い導体材料層854a・854bを備えており、最上の薄い導体材料層854b上

10

20

30

40

50

には、導体材料層が設けられていない。薄い導体材料層 8 5 4 a は、伝導層 8 5 2 と第 2 伝導層 8 5 6 との間に形成されている。薄い導体材料層 8 5 4 b は、最上第 2 伝導層 8 5 6 上に堆積または形成されている。本発明の実施形態では、少なくとも 1 つの第 2 伝導層 8 5 6 は、図に示すように薄い導体材料層 8 5 4 a の少なくとも 1 つの上に堆積されていることが好ましい。また同じく、上述したように、MIM コンデンサプレートは、半導体デバイスのメタライゼーション層 M_n に形成されてもよい。

【0066】

メタライゼーション層または金属プレートの厚みは、MIM コンデンサプレートの抵抗が所望のものとなるように調整されることが好ましい。例えば、薄い導体材料層の材料（例えば、TiN、Ta₂N、WN、Ti、Ta、またはW）は、伝導層に使用される材料（Al、Al 合金）よりも高い抵抗を有していることもある。したがって、抵抗が所望のものとなるように、プレートの合計の厚みは低減される可能性がある。

【0067】

上記の絶縁層は、半導体製造において使用される典型的な絶縁体（例えば、二酸化シリコン、誘電率の低い材料、または、その他の材料）を含んでいることが好ましい。メタライゼーション層は、アルミニウムを含んでいることが好ましい。

【0068】

本発明の実施形態の利点は、MIM コンデンサの製造に必要なマスクの数を減らすことができ、その結果、プロセスコストを下げる点である。少なくとも 1 つの薄い伝導層により、メタライゼーション層の最上表面は、滑らかで、欠陥のない、平坦なものとなる。表面の改善されたメタライゼーション層に、底部プレートを形成する場合は、結果として MIM コンデンサの信頼性が向上する。上記した製造方法は、アルミニウム BEOL 工程と互換性がある。なぜなら、導体材料は、アルミニウムまたはアルミニウム合金を含んでいることが好ましいからである。続いて形成されるメタライゼーション層とのビア相互接続は、確実に改善されており、この方法により、様々な材料層をパターン化するために使用される反応イオンエッチングのためのプロセス窓が拡大される。上記した製造方法および MIM コンデンサ構造は、一例として RF 半導体アプリケーションなどの高性能かつ高速のアプリケーションと互換性がある。MIM コンデンサの底部プレートは、従来技術の MIM コンデンサ底部プレート（例えば、図 1 に示す TiN 底部プレート 108）に使用されていた TiN の抵抗よりも低いアルミニウムをかなりの割合で含んでいることが好ましい。したがって、以上で説明した抵抗の低減された MIM コンデンサの利点は、加速、電力消費量の減少、および、性能の改善である。さらに、本発明の実施形態に基づいてメタライゼーション層に形成された MIM コンデンサプレートは、プレートに対する電氣的接続を確立するために事前にまたは続いて堆積される層にあるビアスタッドを使用するよりもむしろ、同じメタライゼーション層に形成された伝導線に結合されていてもよい、ということが有利である。

【0069】

なお、本発明の実施形態およびその利点について詳しく説明してきたが、添付の請求項によって規定される本発明の精神と範囲とに反することなく、ここでは様々な変更、置換、改変を行うことができる。例えば、当業者には、本願に記載の特徴、機能、プロセスおよび材料の多くを本発明の範囲内で変化させてもよい、ということがすぐに理解されるであろう。さらに、本願の範囲は、明細書に記載の特定のプロセス、機械、製品、組成物、手段、方法および工程の特定の実施形態に制限されることを意図するものではない。当業者は、本発明で開示されたことに基づいて、本願に記載の対応する実施形態と本質的に同じ機能を果たす、または、本質的に同じ結果を達成する、既存のまたは後に開発されるであろうプロセス、機械、製品、組成物、手段、方法、または工程を、本発明に基づいて利用してもよいことを理解するであろう。したがって、添付の請求項は、その範囲内に、このようなプロセス、機械、製品、組成物、手段、方法、または、工程を含むことを意図している。

【図面の簡単な説明】

【 0 0 7 0 】

【図 1】従来技術による M I M コンデンサ構造を有した半導体デバイスの断面図である。

【図 2 A】半導体デバイスのメタライゼーション層全体に属している底部プレートをもつ M I M コンデンサが形成されている、本発明の好ましい実施形態の断面図である。

【図 2 B】メタライゼーション層の最上表面の粗さおよび不規則性が、上記 M I M コンデンサの信頼性に関する問題を引き起こしている、図 2 A に示す M I M コンデンサをより詳細に示す図である。

【図 3】半導体デバイスのメタライゼーション層内に薄い伝導材料層が形成されていて、そして多層メタライゼーション層内に、伝導線および M I M コンデンサの底部プレートが形成されている、本発明の好ましい実施形態の断面図である。

10

【図 4 A】半導体デバイスのメタライゼーション層内に薄い伝導材料層が形成されていて、そして多層メタライゼーション層内に、伝導線および M I M コンデンサの底部プレートが形成されている、本発明の好ましい実施形態の断面図である。

【図 4 B】半導体デバイスのメタライゼーション層内に薄い伝導材料層が形成されていて、そして多層メタライゼーション層内に、伝導線および M I M コンデンサの底部プレートが形成されている、本発明の好ましい実施形態の断面図である。

【図 4 C】半導体デバイスのメタライゼーション層内に薄い伝導材料層が形成されていて、そして多層メタライゼーション層内に、伝導線および M I M コンデンサの底部プレートが形成されている、本発明の好ましい実施形態の断面図である。

【図 4 D】半導体デバイスのメタライゼーション層内に薄い伝導材料層が形成されていて、そして多層メタライゼーション層内に、伝導線および M I M コンデンサの底部プレートが形成されている、本発明の好ましい実施形態の断面図である。

20

【図 5】半導体デバイスのメタライゼーション層内に薄い伝導材料層が形成されていて、そして多層メタライゼーション層内に、伝導線および M I M コンデンサの底部プレートが形成されている、本発明の好ましい実施形態の断面図である。

【図 6】半導体デバイスのメタライゼーション層内に薄い伝導材料層が形成されていて、そして多層メタライゼーション層内に、伝導線および M I M コンデンサの底部プレートが形成されている、本発明の好ましい実施形態の断面図である。

【図 7】M I M コンデンサの底部プレート内に薄い伝導材料層が配置されていて、そしてこの M I M コンデンサの底部プレートは、メタライゼーション層内に形成されていない、本発明の一実施形態を示す図である。

30

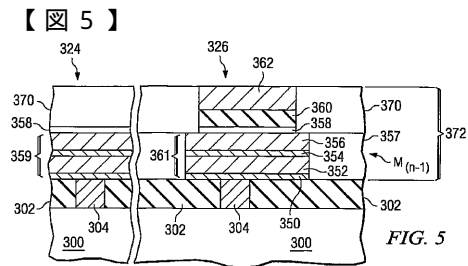
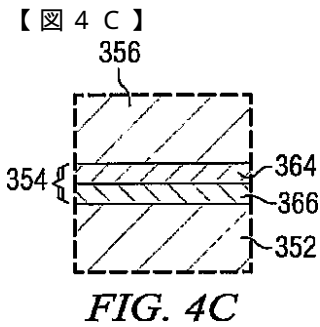
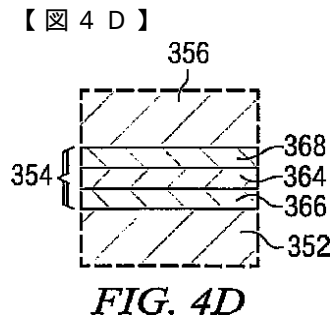
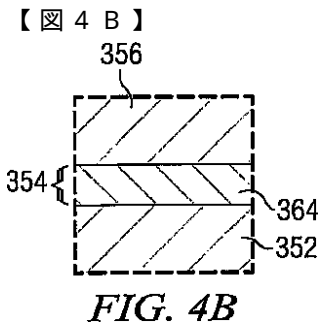
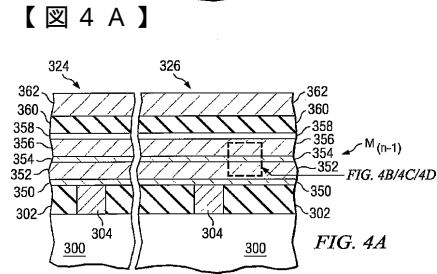
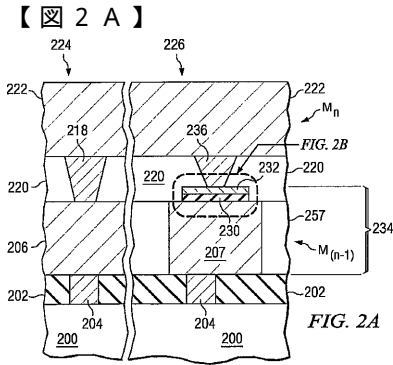
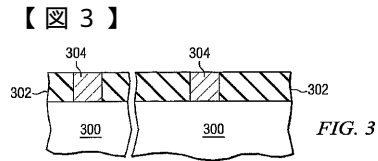
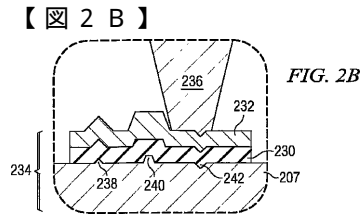
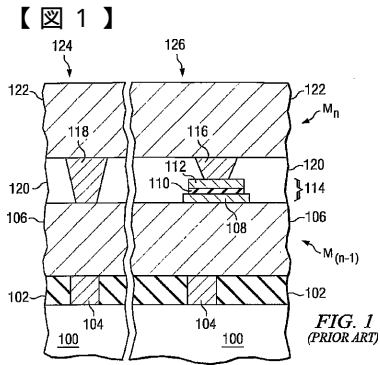
【図 8】底部プレート内および上部プレート内には、薄い伝導材料層が配置されている、本発明の一実施形態を示す図である。

【図 9】半導体デバイスのメタライゼーション層内に上部プレートが形成されていて、この上部プレート内には、薄い伝導材料層が配置されている、本発明の一実施形態を示す図である。

【図 1 0】プレート内に複数の薄い伝導材料層が形成されている、本発明の一実施形態による M I M コンデンサの断面図である。

【図 1 1】コンデンサのプレートの最上表面上に、薄い伝導材料層が形成されている、本発明の別の実施形態を示す図である。

40



【 図 6 】

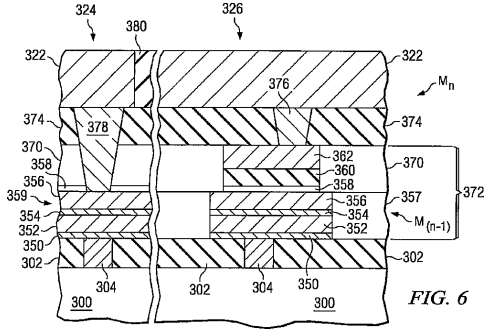


FIG. 6

【 図 8 】

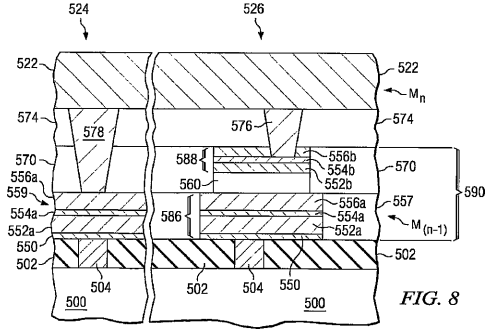


FIG. 8

【 図 7 】

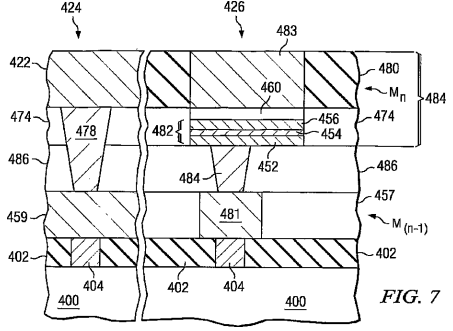


FIG. 7

【 図 9 】

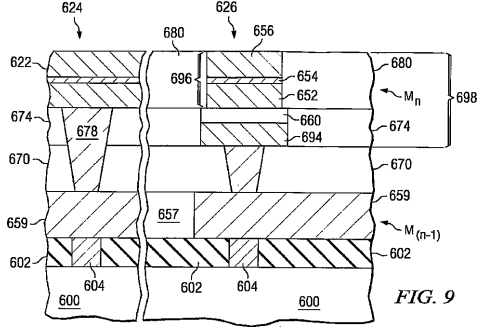


FIG. 9

【 図 1 0 】

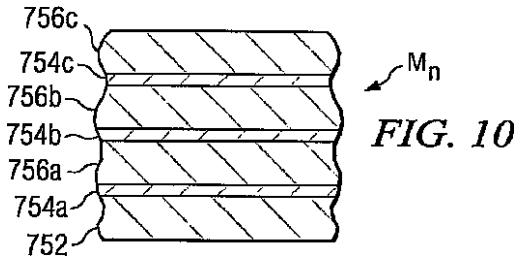


FIG. 10

【 図 1 1 】

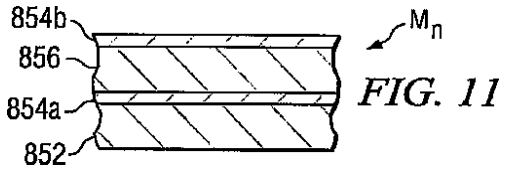


FIG. 11

フロントページの続き

審査官 田中 晃洋

- (56)参考文献 特開2001-203329(JP,A)
特開2004-214514(JP,A)
特開平06-326249(JP,A)
特開2003-031665(JP,A)
特開2001-313370(JP,A)
特開平03-054828(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01G 4/33
H01G 4/008
H01L 21/822
H01L 27/04