

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3954302号
(P3954302)

(45) 発行日 平成19年8月8日(2007.8.8)

(24) 登録日 平成19年5月11日(2007.5.11)

(51) Int. Cl.	F I
G 1 1 C 29/04 (2006.01)	G 1 1 C 29/00 6 O 3 K
H O 1 L 21/82 (2006.01)	G 1 1 C 29/00 6 O 3 J
H O 1 L 21/822 (2006.01)	H O 1 L 21/82 F
H O 1 L 27/04 (2006.01)	H O 1 L 27/04 U
H O 3 K 19/0948 (2006.01)	H O 3 K 19/094 B
請求項の数 4 (全 18 頁) 最終頁に続く	

(21) 出願番号	特願2000-371939 (P2000-371939)	(73) 特許権者	000003078
(22) 出願日	平成12年12月6日(2000.12.6)		株式会社東芝
(65) 公開番号	特開2002-175696 (P2002-175696A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成14年6月21日(2002.6.21)	(73) 特許権者	000221199
審査請求日	平成16年7月21日(2004.7.21)		東芝マイクロエレクトロニクス株式会社
			神奈川県川崎市川崎区駅前本町25番地1
		(74) 代理人	100092820
			弁理士 伊丹 勝
		(72) 発明者	伊東 幹彦
			神奈川県川崎市幸区小向東芝町1番地 株
			式会社東芝 マイクロエレクトロニクスセ
			ンター内
		最終頁に続く	

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

制御データがプログラムされた不揮発性記憶素子とその読み出しデータを保持するラッチ回路とを有する、複数グループに分けられた制御データ記憶回路と、

この制御データ記憶回路の各グループ毎に、前記不揮発性記憶素子のデータを異なるタイミングで対応するラッチ回路に読み出す読み出し制御回路とを有し、

前記読み出し制御回路は、所定の内部ノードの電位を検知する内部電位検出回路の出力、電源投入時電源電位が所定レベルに達したことを検出するパワーオン信号発生回路の出力及び、外部から供給されるリセット信号の少なくとも一つに基づいて各グループ毎に異なるタイミングの読み出し制御信号を生成するものであり、

前記制御データ記憶回路は、

レーザ溶断型ヒューズを用いたヒューズ回路ユニットにより構成される第1のグループと、電氣的にプログラミングされるヒューズを用いたヒューズ回路ユニットにより構成される第2のグループとに分けられ、且つ

前記第1のグループのヒューズデータは、前記パワーオン信号発生回路の出力に基づいて生成される第1の読み出し制御信号により読み出され、前記第2のグループのヒューズデータは、前記内部電位検出回路の出力に基づいて、前記第1の読み出し制御信号に遅れて生成される第2の読み出し制御信号により読み出される

ことを特徴とする半導体集積回路。

【請求項2】

10

20

制御データがプログラムされた不揮発性記憶素子とその読み出しデータを保持するラッチ回路とを有する、複数グループに分けられた制御データ記憶回路と、

この制御データ記憶回路の各グループ毎に、前記不揮発性記憶素子のデータを異なるタイミングで対応するラッチ回路に読み出す読み出し制御回路とを有し、

前記読み出し制御回路は、所定の内部ノードの電位を検知する内部電位検出回路の出力、電源投入時電源電位が所定レベルに達したことを検出するパワーオン信号発生回路の出力及び、外部から供給されるリセット信号の少なくとも一つに基づいて各グループ毎に異なるタイミングの読み出し制御信号を生成するものであり、

前記制御データ記憶回路は、

レーザ溶断型ヒューズを用いたヒューズ回路ユニットにより構成される第1のグループと、電氣的にプログラミングされるヒューズを用いたヒューズ回路ユニットにより構成される第2のグループとに分けられ、且つ

前記第1のグループのヒューズデータは、前記パワーオン信号発生回路の出力に基づいて生成される第1の読み出し制御信号により読み出され、前記第2のグループのヒューズデータは、前記外部から供給されるリセット信号に基づいて、前記第1の読み出し制御信号に遅れて生成される第2の読み出し制御信号により読み出される

ことを特徴とする半導体集積回路。

【請求項3】

制御データがプログラムされた不揮発性記憶素子とその読み出しデータを保持するラッチ回路とを有する、複数グループに分けられた制御データ記憶回路と、

この制御データ記憶回路の各グループ毎に、前記不揮発性記憶素子のデータを異なるタイミングで対応するラッチ回路に読み出す読み出し制御回路とを有し、

前記読み出し制御回路は、所定の内部ノードの電位を検知する内部電位検出回路の出力、電源投入時電源電位が所定レベルに達したことを検出するパワーオン信号発生回路の出力及び、外部から供給されるリセット信号の少なくとも一つに基づいて各グループ毎に異なるタイミングの読み出し制御信号を生成するものであり、

前記制御データ記憶回路は、

レーザ溶断型ヒューズを用いたヒューズ回路ユニットにより構成される第1のグループと、電氣的にプログラミングされるヒューズを用いたヒューズ回路ユニットにより構成される第2のグループとに分けられ、且つ

前記第1のグループのヒューズデータは、前記内部電位検出回路の出力に基づいて生成される第1の読み出し制御信号により読み出され、前記第2のグループのヒューズデータは、前記外部から供給されるリセット信号に基づいて、前記第1の読み出し制御信号に遅れて生成される第2の読み出し制御信号により読み出される

ことを特徴とする半導体集積回路。

【請求項4】

前記第1のグループのヒューズデータは、内部電圧調整用データを含み、この第1のグループから読み出された内部電圧調整用データに基づいて、前記内部電位検出回路に用いられる基準電位が調整されるようにした

ことを特徴とする請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、制御データを不揮発に記憶する制御データ記憶回路を内蔵する半導体集積回路に関する。

【0002】

【従来の技術】

従来より、メモリ等の各種半導体集積回路において、ウェハ工程終了後にプログラミングを行って制御データを不揮発に記憶するための制御データ記憶回路がチップ内に設けられる。この種の制御データ記憶回路に記憶される“制御データ”としては、チップの動作モ

10

20

30

40

50

ードの設定用データ、チップ内の動作タイミング調整や内部電圧発生回路の出力電圧調整等の調整用データ、チップのID情報等があり、特に半導体メモリの場合には、不良セルをスペアセルに置換制御するための不良アドレス判定用データ等がある。

【0003】

この種の制御データ記憶回路の不揮発性記憶素子としては、レーザ溶断型ヒューズ（以下、単にレーザヒューズという）や電氣的プログラミング可能なヒューズ（以下、単に電気ヒューズという）とがある。特にレーザヒューズは、構造が単純でレイアウトも容易なことから多く用いられているが、プログラミングはパッケージ封入前でないとできない。これに対して電気ヒューズは、構造的にも回路的にも複雑になるが、パッケージ封入後もプログラミング可能という特徴をもつ。

10

【0004】

プログラムされた不揮発性記憶素子のデータは、通常電源立ち上がり時に読み出されてラッチ回路に保持され、この保持データに基づいてチップの動作条件が制御されることになる。

【0005】

【発明が解決しようとする課題】

上述した制御データ記憶回路は、半導体集積回路の大規模化、高性能化と共に容量が増大し、多くの不揮発性記憶素子が用いられる。特に、半導体メモリでは微細化、大容量化と共に、歩留まり向上のために多くの不良アドレス置換のためのスペアロウ、スペアカラムが用意され、不良アドレス記憶回路も大きな容量と面積を占めるようになる。

20

このような現状において、制御データ記憶回路の不揮発性記憶素子のデータを電源投入時に同時に読み出した場合、一度に消費される消費電流量が大きく、消費電力ピークが増大するという問題がある。

【0006】

この発明は、上記事情を考慮してなされたもので、読み出し時の消費電力ピークを抑えた制御データ記憶回路を備えた半導体集積回路を提供することを目的としている。

【0007】

【課題を解決するための手段】

この発明に係る半導体集積回路は、制御データがプログラムされた不揮発性記憶素子とその読み出しデータを保持するラッチ回路とを有する、複数グループに分けられた制御データ記憶回路と、この制御データ記憶回路の各グループ毎に、前記不揮発性記憶素子のデータを異なるタイミングで対応するラッチ回路に読み出す読み出し制御回路とを有することを特徴とする。

30

【0008】

この発明によると、制御データ記憶回路を複数グループに分けて、これらのグループの不揮発性記憶素子のデータを異なるタイミングで読み出すようにしているから、読み出し時の消費電力ピークを抑制することが可能になる。

【0009】

具体的に読み出し制御回路は、（a）所定の内部ノードの電位を検知する内部電位検出回路と、この内部電位検出回路の出力に基づいて各グループ毎に異なるタイミングの読み出し制御信号を生成する読み出し信号生成回路とを備えて構成される。或いは、（b）電源投入時電源電位が所定レベルに達したことを検出するパワーオン信号発生回路と、このパワーオン信号発生回路の出力に基づいて各グループ毎に異なるタイミングの読み出し制御信号を生成する読み出し信号生成回路とを備えて構成される。或いはまた、（c）外部から供給されるリセット信号に基づいて各グループ毎に異なるタイミングの読み出し制御信号を生成する読み出し信号生成回路を備えて構成される。

40

【0010】

また、読み出し制御回路は、上述した内部電位検出回路の出力、パワーオン信号発生回路の出力、外部から供給されるリセット信号の適当な二つずつの組み合わせをタイミング基準として、各グループの読み出し制御信号を生成することができる。

50

【 0 0 1 1 】

この発明において制御データ記憶回路は、代表的には、レーザヒューズ或いは電気ヒューズを用いて構成される。またこの場合、第1のグループがレーザヒューズにより構成され、第2のグループが電気ヒューズにより構成されるというグループ分けもできる。そして、第1のグループのヒューズデータは、パワーオン信号発生回路の出力に基づいて生成される第1の読み出し制御信号により読み出され、第2のグループのヒューズデータは、内部電位検出回路の出力に基づいて、第1の読み出し制御信号に遅れて生成される第2の読み出し制御信号により読み出される、という読み出し制御が可能である。

【 0 0 1 2 】

このような読み出し制御方式とした場合、第1のグループのヒューズデータが、内部電圧調整用データを含み、この第1のグループから読み出された内部電圧調整用データに基づいて、内部電位検出回路に用いられる基準電位が調整されるようにすると、内部電位検出回路の出力を基準として、電気ヒューズを用いた第2のグループのヒューズデータ読み出し制御を確実に行うことが可能になる。

10

【 0 0 1 3 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

図1は、この発明の実施の形態による半導体メモリ集積回路の概略構成を示している。集積回路のコア部は、メモリセルが配列されたメモリセルアレイ1と、このメモリセルアレイ1のワード線選択及びビット線選択をそれぞれ行うロウデコーダ2及びカラムデコーダ3とカラムゲート3aを有する。外部アドレスは、アドレスバッファ4に入力され、ロウアドレス及びカラムアドレスがそれぞれロウデコーダ2及びカラムデコーダ3に送られる。メモリセルアレイ1の選択ビット線はカラムゲート3aを介してセンスアンプ5と接続されて、データの読み出し/書き込みが行われる。

20

【 0 0 1 4 】

このようなメモリ集積回路チップの制御データをプログラミングして記憶するために、不揮発性記憶素子を用いた制御データ記憶回路6が設けられる。制御データ記憶回路6に保持される制御データは、代表的にはリダンダンシーの不良アドレス判定用データであるが、その他、チップの動作モードの設定用データ、チップ内の動作タイミング調整や内部電圧発生回路の出力電圧調整等の調整用データ、チップのID情報等を含んでもよい。

30

【 0 0 1 5 】

制御データ記憶回路6に用いられる不揮発性記憶素子は、代表的にはレーザヒューズ又は電気ヒューズである。具体的にヒューズ回路は、レーザヒューズの場合、図2に示すようなヒューズ回路ユニットAを複数個用いて構成され、電気ヒューズの場合は図3に示すようなヒューズ回路ユニットBを複数個用いて構成される。

制御データ記憶回路6のヒューズデータを電源投入時に読み出すために、読み出し制御回路7が設けられている。

【 0 0 1 6 】

図2に示すヒューズ回路ユニットAは、一端がVssに接地されたレーザヒューズF1と、このレーザヒューズF1の他端と電源Vddの間に直列接続されたNMOSトランジスタT9及びPMOSトランジスタT8を有する。NMOSトランジスタT9及びPMOSトランジスタT8はそれぞれ、読み出し制御回路7から出力される制御信号FSETN及びFSETPにより制御される。

40

【 0 0 1 7 】

NMOSトランジスタT9とPMOSトランジスタT8の接続ノードFaに、読み出されたヒューズデータを保持するためのラッチ回路21が接続されている。ラッチ回路21は、逆並列接続されたインバータG104、G105により構成されている。ラッチ回路21の出力は更にインバータG106を通してヒューズデータFOUTとして出力される。

【 0 0 1 8 】

ヒューズデータの読み出しには、まず制御信号FSETPによりPMOSトランジスタT

50

8をオンにして、ノードF aをV d dにプリチャージする。その後P M O SトランジスタT 8をオフにし、制御信号F S E T NによりN M O SトランジスタT 9をオンすることにより行われる。ヒューズF 1が切断されている場合（プログラム時）、N M O SトランジスタT 9がオンしてもノードF aは放電せず、“ H ”状態を保つ。ヒューズF 1が切断されていない場合（非プログラム時）、N M O SトランジスタT 9がオンするとノードF aは放電し、“ L ”状態になる。このノードF aの状態をラッチ回路1に保持する。従ってヒューズデータF O U Tは、プログラム時に“ H ”、非プログラム時に“ L ”となる。

【 0 0 1 9 】

図3に示す電気ヒューズF 2を用いたヒューズ回路ユニットBは、高電圧プログラミングを行うため回路が複雑になっている。電気ヒューズF 2はキャパシタであり、その一端は制御信号P R O G R A Mによりプログラム時オフとされるP M O SトランジスタT 10を介して電源V d dに接続され、他端はバリア用のN M O SトランジスタT 11を介して、データ転送用のN A N DゲートF 107の一つの入力端に接続されている。電気ヒューズF 2とN M O SトランジスタT 11の両端間に高電圧を印加するためのプログラム電圧発生回路31が接続されている。N A N DゲートG 107の他の入力端には制御信号F S E T Pが入る。

10

【 0 0 2 0 】

N A N DゲートG 107の入出力にはインバータG 108が接続されて、一時データを保持するラッチを構成している。このN A N DゲートG 107の出力ノードF eは、ソースが接地されたセンス用N M O SトランジスタT 14のゲートに接続されている。N M O SトランジスタT 14のドレインは、制御信号F S E T N及びF S E T Pがそれぞれゲートに入るN M O SトランジスタT 13及びP M O SトランジスタT 12を介して電源V d dに接続されている。

20

【 0 0 2 1 】

N M O SトランジスタT 13とP M O SトランジスタT 12の接続ノードF dがセンス用N M O SトランジスタT 14により読み出されるフューズデータ端子であり、これにヒューズデータを保持するラッチ回路32が接続されている。ラッチ回路32は、逆並列接続されたインバータG 109、G 110により構成される。ラッチ回路32の出力は更にインバータG 111を介して、ヒューズデータF O U Tとして出力されることになる。

【 0 0 2 2 】

電気ヒューズF 2のプログラミングは、P M O SトランジスタT 10をオフとして、電源V d dから電気ヒューズF 2を切り離れた状態で、プログラム電圧発生回路31から高電圧を入力することにより行われる。高電圧の印加により、電気ヒューズF 2は導通状態になる。即ち、電気ヒューズF 2は、導通状態（プログラム時）と非導通状態（非プログラム時）により、データを記憶する。

30

【 0 0 2 3 】

ヒューズデータ読み出しは、プログラム時以外オンであるP M O SトランジスタT 10を介して電気ヒューズF 2の一端に電源V d dが与えられた状態で、バリア用N M O SトランジスタT 11をオンにすることで行われる。N M O SトランジスタT 11のゲートには、電源V d dの上昇と共に上昇する内部昇圧電位V g a t eが与えられる。昇圧電位V g a t eがある値になると、N M O SトランジスタT 11がオンし、電気ヒューズF 2が導通してノードF bが“ H ”（プログラム時）に、又は電気ヒューズF 2が導通せずにノードF bが“ L ”（非プログラム時）になる。

40

【 0 0 2 4 】

読み出し制御回路からの制御信号F S E T Pが“ L ”の間、P M O SトランジスタT 12がオンして、ノードF dはV d dにプリチャージされている。制御信号F S E T Pが“ H ”になると、ノードF dのプリチャージ動作は終了し、同時にN A N DゲートG 107が活性になって、ノードF bのデータがセンス用N M O SトランジスタT 14のゲートに転送される。即ち、ノードF bが“ H ”（プログラム時）の場合、ノードF cは“ L ”となり、ノードF bが“ L ”（非プログラム時）の場合、ノードF cは“ H ”となる。

50

【 0 0 2 5 】

これにより、センス用N M O SトランジスタT 1 4はデータに応じてオン又はオフになる。そして、読み出し制御回路から出力される制御信号F S E T Nが“ H ”になると、プリチャージされたノードF dは、プログラム時はN M O SトランジスタT 1 4がオフであるため、“ H ”を保持し、非プログラム時はN M O SトランジスタT 1 4がオンであるため放電されて、“ L ”になる。このノードF dのデータがラッチ回路3 2に保持される。従ってヒューズデータF O U Tは、プログラム時に“ H ”、非プログラム時に“ L ”となる。

【 0 0 2 6 】

制御データ記憶回路6は、上述したレーザヒューズによるヒューズ回路ユニットAの配列により、或いは電気ヒューズによるヒューズ回路ユニットBの配列により構成されるが、この発明においては制御データ記憶回路6が複数のグループに分けられ、それらのグループが異なるタイミングで読み出し制御されるようにしたことが特徴である。具体的には、読み出し制御回路7が、制御データ記憶回路6の各グループ毎に異なるタイミングで読み出し制御信号を出力するように構成される。

以下にその具体的な実施の形態を説明する。

【 0 0 2 7 】

図4は、制御データ記憶回路6が二つのグループ1, 2に分けられている場合に、これらの読み出し制御をタイミングをずらして行うための読み出し制御回路7の構成を示している。読み出し制御回路7は、この例では、内部電位検出回路4 1の出力V g a t e O Nを読み出しタイミングの基準とする。内部電位検出回路4 1は、電源投入時、電源電位V d dと共に上昇する内部昇圧回路の出力V g a t eが一定レベルになったことを検出するものである。

【 0 0 2 8 】

内部電位検出回路4 1は、例えば図5のように、内部昇圧回路の出力V g a t eを分圧する抵抗R 1, R 2の分圧回路4 1 1と、その分圧出力V g a t e Rのレベルを検知する差動アンプ4 1 2により構成されている。差動アンプ4 1 2は、P M O Sトランジスタカレントミラーを持つもので、差動N M O Sトランジスタ対T 3, T 4の一方のゲートに分圧出力V g a t e Rが、他方のゲートに基準電圧V r e fが入力される。これにより、昇圧出力V g a t eが一定レベルになると、検出出力V g a t e O Nが発生される。

【 0 0 2 9 】

読み出し制御回路7はまず、この内部電位検出回路4 1の出力V g a t e O Nを用いて、各グループ1, 2の制御信号F S E T P 1, F S E T P 2及びF S E T N 1, F S E T N 2を生成する。制御信号F S E T P 1, F S E T P 2は、図2及び図3に示したヒューズ回路ユニットA, Bのプリチャージ用制御信号F S E T Pに対応する。制御信号F S E T N 1, F S E T N 2は同じく読み出し制御信号F S E T Nに対応する。

【 0 0 3 0 】

具体的に、内部電位検出回路4 1の出力V g a t e O NをインバータG 1, G 2で遅延して、グループ1の制御信号F S E T P 1を発生する。この制御信号F S E T P 1の立ち上がりエッジを検出するエッジ検出回路4 2 (1)により、制御信号F S E T N 1を発生する。エッジ検出回路4 2 (1)は、制御信号F S E T P 1を反転遅延させるインバータチェーンG 3, G 4, G 5と、その遅延出力と元の制御信号F S E T P 1の積を取るN A N DゲートG 6及びその出力を反転するインバータG 7により構成される。

【 0 0 3 1 】

また、制御信号F S E T 1とF S E T N 1を遅延回路4 3に入力して、制御信号F S E T 1を遅延させた、グループ1用の制御信号F S E T 2を発生させる。遅延回路4 3は、ここでは4個のインバータG 8 - G 1 1とN A N DゲートG 1 3及びその出力に設けられたインバータG 1 4の6段ゲートに構成される。N A N DゲートG 1 3には、制御信号F S E T N 1をインバータG 1 2を介して入力することにより、制御信号F S E T N 1が“ L ”になった後に、制御信号F S E T P 1に対してゲート6段分の遅延を持つ制御信号F

10

20

30

40

50

SETP2を発生させるようにしている。更に、この制御信号FSETP2の立ち上がりエッジを検出するエッジ検出回路42(2)により、グループ2用の読み出し制御信号FSETN2を発生する。

【0032】

図6は、このように構成された読み出し制御回路7の動作波形を示している。電源電位V_{dd}の上昇に伴って、内部電位V_{gate}が上昇し、これはやがてV_{dd}より高いV_{dd}+ (は、NMOSトランジスタのゲートしきい値電圧相当)なる昇圧電位を発生する。内部電位V_{gate}が所定レベルになると、図3に示した電気ヒューズによるヒューズ回路ユニットBでは、ヒューズF2に接続されたNMOSトランジスタT11がオンして、ヒューズデータがノードFbまで読み出される。

10

【0033】

また、内部電位検出回路41が内部電位V_{gate}が所定レベルことを検出して、V_{gate}ONが“H”になると、これに僅かに遅れて、グループ1用の制御信号FSETP1が“H”になる。その遅れ時間₁は、インバータG1, G2による遅れに相当する。更に、その制御信号FSETP1の立ち上がりエッジを検出して、制御信号FSETN1が発生される。制御信号FSETP1から制御信号FSETN1が立ち上がるまでの遅れ時間₂は、NANDゲートG6及びインバータG7の遅れに相当する。

【0034】

そして、制御データ記憶回路6のグループ1では、図2のヒューズ回路ユニットAで構成されている場合には、制御信号FSETP1の“L”期間にノードFaがプリチャージされ、制御信号FSETP1が“H”となってプリチャージ動作が終了する。次いで、制御信号FSETN1が“H”になり、ラッチ回路21へのヒューズデータ転送が行われる。図3のヒューズ回路ユニットBで構成されている場合もほぼ同様であり、制御信号FSETP1の“L”期間にノードFdがプリチャージされ、制御信号FSETP1が“H”となってプリチャージ動作が終了して、ノードFbのデータがNMOSトランジスタT14のゲートに転送され、続いて制御信号FSETN1が“H”となって、ラッチ回路32へのヒューズデータ転送が行われる。

20

【0035】

制御信号FSETP1に時間₃だけ遅れて、グループ2用の制御信号FSETP2が“H”になる。この遅れ時間₃は、遅延回路43の6段ゲートの遅れ分である。従って、グループ1でプリチャージが終了した後も、グループ2では制御信号FSETP2が“H”になるまで、プリチャージ動作が続くことになる。そして、制御信号FSETP2の立ち上がりエッジ検出により、時間₄だけ遅れて制御信号FSETN2が発生される。これらの制御信号FSETP2, FSETN2により、グループ2のヒューズデータ読み出しが行われる。

30

【0036】

以上のように、グループ分けされた制御データ記憶回路6のデータ読み出しをグループ毎に少しずつずれたタイミングで行うことによって、制御データ記憶回路6の容量が大きい場合にも、ヒューズデータ読み出し電流が分散される結果、消費電力ピークを抑えることが可能になる。グループ1, 2が同数ずつのヒューズ回路ユニットにより構成される場合には、最大消費電力は1/2になる。

40

【0037】

なお、制御データ記憶回路6のグループ分けは、制御データの用途等に応じて適当に設定される。例えば、グループ1には、チップの内部電圧調整用データ、タイミング調整用データ等の動作モード設定データを記憶し、グループ2には、リダンダンシーのための不良アドレス判定用データを記憶する。或いは、制御データ記憶回路6がチップの左右に、又は上下に分けて配置される場合に、その配置分けをそのまま、グループ1, 2としてもよい。更に、制御データ記憶回路6がレーザヒューズを用いたヒューズ回路ユニットAにより構成される部分と、電気ヒューズを用いたヒューズ回路ユニットBにより構成される部分とからなる場合に、これらの構成素子の同じ範囲でグループ1, 2に分けることもで

50

きる。

【 0 0 3 8 】

図 4 では制御データ記憶回路 6 を 2 グループに分けた例を示したが、図 7 に示すように、2 以上の n 個のグループ 1, 2, ..., n に分けることもできる。この場合の読み出し制御回路 7 の構成原理は、図 4 と同様であり、グループ 1 用の制御信号 $FSETP1$, $FSETN1$ に基づいて、これらより一定時間遅れたグループ 2 用の制御信号 $FSETP2$, $FSETN2$ を生成し、以下順次少しずつ遅れた制御信号を生成すればよい。

【 0 0 3 9 】

この場合の読み出し制御回路 6 の動作波形を図 8 に示す。詳細な説明は省くが、制御信号 $FSETN1$, $FSETN2$, ..., $FSETNn$ により各グループ 1, 2, ..., n のヒューズデータが少しずつ遅れて読み出される。従って、ヒューズデータ読み出し時の最大消費電力は、 $1/n$ に低減される。

10

【 0 0 4 0 】

図 9 は、別の実施の形態による読み出し制御回路 7 の構成を、制御データ記憶回路 6 が二つのグループ 1, 2 に分けられている場合について示している。図 4 との相違は、パワーオン信号発生回路 9 1 の出力信号 $PWRON$ を制御信号のタイミング基準としている点であり、それ以外は図 4 と変わらない。

【 0 0 4 1 】

パワーオン信号発生回路 9 1 は、電源投入時電源電圧が所定のレベルに達したことを検出するもので、例えば図 10 のように構成される。カレントミラーを構成する $PMOS$ トランジスタ $T5$, $T6$ のソースは共通に電源端子に接続され、トランジスタ $T5$ のゲート・ドレインは抵抗 $R3$ を介して接地され、トランジスタ $T6$ のドレインは $NMOS$ トランジスタ $T7$ を介して接地される。 $NMOS$ トランジスタ $T7$ のゲートは $PMOS$ トランジスタ $T5$, $T6$ のゲートと共通接続される。

20

【 0 0 4 2 】

この様な構成として、電源電位 V_{dd} が上昇すると、低い値の間は、トランジスタ $T7$ がオフであり、トランジスタ $T5$, $T6$ がオンであって、ノード b , c が同様に電位上昇する。ノード b の電位がトランジスタ $T7$ のしきい値電圧を超えると、トランジスタ $T7$ がオンになって、“ H ” レベルのパワーオン信号 $PWRON$ が発生される。

【 0 0 4 3 】

図 9 の読み出し制御回路 7 は、この様なパワーオン信号発生回路 9 1 の出力 $PWRON$ をタイミングの基準として、先の実施の形態と同様に各グループ 1, 2 の制御信号 $FSETP1$, $FSETN1$ 及び $FSETP2$, $FSETN2$ を発生する。この場合の制御データ記憶回路 6 の読み出し動作波形を図 11 に示す。この実施の形態の場合も、一定の遅延をもって発生される読み出し制御信号 $FSETN1$, $FSETN2$ により各グループ 1, 2 のヒューズデータ読み出しが行われる。

30

従って、先の実施の形態と同様に、ヒューズデータ読み出し時の消費電流が分散され、最大消費電力が抑えられる。

【 0 0 4 4 】

図 12 は、更に別の実施の形態による読み出し制御回路 7 の構成を、制御データ記憶回路 6 が二つのグループ 1, 2 に分けられている場合について示している。図 4 との相違は、外部から供給されるリセット信号 $RESET$ を制御信号のタイミング基準としている点であり、それ以外は図 4 と変わらない。リセット信号 $RESET$ は例えば、外部とのインターフェース回路の初期化等のために、コマンド等の形で入力されるものである。

40

【 0 0 4 5 】

即ち、リセット信号 $RESET$ をタイミングの基準として、先の実施の形態と同様に各グループ 1, 2 の制御信号 $FSETP1$, $FSETN1$ 及び $FSETP2$, $FSETN2$ を発生する。この場合の制御データ記憶回路 6 の読み出し動作波形を図 13 に示す。この実施の形態の場合も、一定の遅延をもって発生される読み出し制御信号 $FSETN1$, $FSETN2$ により各グループ 1, 2 のヒューズデータ読み出しが行われる。

50

従って、先の各実施の形態と同様に、ヒューズデータ読み出し時の消費電流が分散され、最大消費電力が抑えられる。

【 0 0 4 6 】

図 1 4 は、更に別の実施の形態による読み出し制御回路 7 の構成を、制御データ記憶回路 6 が二つのグループ 1 , 2 に分けられている場合について示している。この場合、グループ 1 の制御信号のタイミング基準信号として、図 9 の実施の形態と同様にパワーオン信号発生回路 9 1 の出力 P W R O N を用い、グループ 2 の制御信号のタイミング基準信号として、図 4 の実施の形態と同様に内部電位検出回路 4 1 の出力 V g a t e O N を用いている。

【 0 0 4 7 】

即ち、パワーオン信号発生回路 9 1 の出力 P W R O N をインバータ G 9 0 , G 9 1 により遅延して、制御信号 F S E T P 1 を発生し、その立ち上がりエッジをエッジ検出回路 4 2 (1) により検出して、制御信号 F S E T N 1 を発生する。これらとは独立に、内部電位検出回路 4 1 の出力 V g a t e O N をインバータ G 9 7 , G 9 8 により遅延して、制御信号 F S E T P 2 を発生し、その立ち上がりエッジをエッジ検出回路 4 2 (2) により検出して、制御信号 F S E T N 2 を発生する。

【 0 0 4 8 】

この場合の制御データ記憶回路 6 の読み出し動作波形を図 1 5 に示す。パワーオン信号 P W R O N と内部電位検出信号 V g a t e O N が図示のように時間のずれをもって発生されるとすれば、これらに基づいて生成される読み出し制御信号 F S E T N 1 , F S E T N 2 により各グループ 1 , 2 のヒューズデータ読み出しも時間の遅れをもって順次に行われる。

従って、先の各実施の形態と同様に、ヒューズデータ読み出し時の消費電流が分散され、最大消費電力が抑えられる。

【 0 0 4 9 】

図 1 6 は、更に、グループ 1 , 2 の一方の制御信号のタイミング基準信号として、パワーオン信号発生回路 9 1 の出力 P W R O N を用い、他方の制御信号のタイミング基準信号として、外部からのリセット信号 R E S E T を用いた例である。

図 1 7 は、グループ 1 の制御信号のタイミング基準信号として、内部電位検出回路 4 1 の出力 V g a t e O N を用い、グループ 2 の制御信号のタイミング基準信号として外部からのリセット信号 R E S E T を用いた例である。

【 0 0 5 0 】

制御信号生成回路は、図 1 4 の場合と同様であり、動作波形等の詳細な説明は省く。これらの場合も、パワーオン信号 P W R O N とリセット信号 R E S E T の間、また内部電位検出信号 V g a t e O N とリセット信号 R E S E T の間に立ち上がりタイミングの差があれば、図 1 4 の場合と同様の制御信号を発生して、グループ 1 , 2 に対して異なるタイミングで読み出しを行うことができる。

そしてこれらの実施の形態によっても、先の各実施の形態と同様に、ヒューズデータ読み出し時の消費電流が分散され、最大消費電力が抑えられる。

【 0 0 5 1 】

図 1 8 は、図 1 4 の実施の形態を改良した実施の形態である。制御データ記憶回路 6 のグループ 1 は、内部電圧発生回路の出力調整用データを記憶するもので、レーザヒューズを用いたヒューズ回路ユニット A により構成されるものとする。グループ 2 は、リダンダンシーのアドレス判定用データを記憶するもので、電気ヒューズを用いたヒューズ回路ユニット B により構成されるものとする。但し、グループ 2 はチップ I D 情報等の他のデータを含んでもよい。

【 0 0 5 2 】

図 1 4 の実施の形態と同様に、基本的には、パワーオン信号発生回路 9 1 の出力 P W R O N を基準として、制御信号 F S E T 1 , F S E T N 1 を生成して、グループ 1 のヒューズデータ読み出しを行う。また、内部電位検出回路 4 1 の出力 V g a t e O N を基準として

10

20

30

40

50

、制御信号 F S E T P 1 , F S E T N 1 に遅れて発生される制御信号 F S E T P 2 , F S E T N 2 を生成して、グループ 2 のヒューズデータ読み出しを行う。

【 0 0 5 3 】

しかし、内部電位検出回路 4 1 は、図 5 に示したように、基準電位 V r e f に基づいて、検出信号 V g a t e O N を出力するものであり、基準電圧 V r e f の値が製造プロセスのばらつき等に起因して設定値より低い場合には、検出信号 V g a t e O N が例えば、パワーオン信号 P W R O N と変わらない早いタイミングで発生されるおそれがある。この場合、二つの問題が生じる。一つは、図 1 4 の実施の形態と同じ読み出し制御回路構成とすると、グループ 1 に対する読み出し制御信号 F S E T P 1 , F S E T N 1 と、グループ 2 に対する読み出し制御信号 F S E T P 2 , F S E T N 2 のタイミングに差がない状態になり、グループ分けの意味がなくなる。

10

【 0 0 5 4 】

もう一つの問題は、アドレス判定用のグループ 2 に電気ヒューズを用いたヒューズ回路ユニット B を利用したときに、ヒューズデータ読み出しが正常に行われなくなる可能性があることである。即ち、図 3 に示したように、電気ヒューズを用いたヒューズ回路ユニット B の場合、ヒューズ F 2 のデータはまず、内部電位 V g a t e で制御されるトランジスタ T 1 1 を介して、ノード F b に転送される。その後、制御信号 F S E T P が “ L ” から “ H ” になり、そして制御信号 F S E T N が “ H ” になることで、ヒューズデータ F b は正常に転送読み出しされる。もし、内部電位 V g a t e が不十分な状態、従ってノード F b にヒューズデータが十分なレベルで転送されていない状態で、検出信号 V g a t e O N により制御データ F S E T P , F S E T N が上述したような早期の変化を示したとすると、誤読み出しの原因になる。

20

【 0 0 5 5 】

図 1 8 の読み出し制御回路 7 は、これらの問題を回避する手当をしている。即ち、内部電位検出回路 4 1 の出力 V g a t e O N と、パワーオン信号発生回路 9 1 の出力 P W R O N に基づいて発生される制御信号 F S E T 1 をインバータ G 1 1 9 , G 1 2 0 により遅延させた信号を N A N D ゲート G 1 3 に入力するようにしている。これにより、内部電位検出回路 4 1 の出力 V g a t e O N が早期に “ H ” になったとしても、N A N D ゲート G 1 3 が、制御信号 F S E T 1 をインバータ G 1 1 9 , G 1 2 0 により遅延させた信号により活性化されるまで、グループ 2 用の制御信号 F S E T P 2 が発生されない。従って、グループ 2 の制御信号 F S E T P 2 , F S E T N 2 は、必ずグループ 1 の制御信号 F S E T P 1 , F S E T N 1 よりも遅れて変化し、二つのグループ 1 , 2 を遅延をもって読み出し制御することができる。

30

【 0 0 5 6 】

また、グループ 1 のヒューズデータ F O U T 1 は内部電圧発生回路の調整用データであり、その一つの出力に基づいて、プロセス上低くなった準電位 V r e f を調整するものとする。そうすると、図 5 から明らかなように、内部電位検出回路 4 1 の検出出力 V g a t e O N は、調整された基準電位 V r e f に基づいて出力されることになり、内部電位 V g a t e が十分に昇圧されない間に検出出力 V g a t e O N が出力されることが防止される。従って、グループ 2 の制御信号 F S E T P 2 , F S E T N 2 が正常なタイミングで発生され、グループ 2 に電気ヒューズによるヒューズ回路ユニット B を用いた場合にも、誤読み出しが防止されることになる。

40

【 0 0 5 7 】

図 1 9 は、以上のような手当を行うことにより、制御データ記憶回路 6 の各グループ 1 , 2 のヒューズデータ読み出しが正常に行われる場合の動作波形を示している。即ち、パワーオン信号 P W R O N に時間 だけ遅れて、内部電位検出信号 V g a t e O N が発生される。これらに基づいて、グループ 1 の読み出し制御信号 F S E T P 1 , F S E T N 1 と、グループ 2 の読み出し制御信号 F S E T P 2 , F S E T N 2 が順次変化を示し、一定の遅延をもって、ヒューズデータ F O U T 1 , F O U T 2 が読み出される。

【 0 0 5 8 】

50

従ってこの実施の形態によれば、先の各実施の形態と同様の効果が得られる他、製造プロセスのばらつきの影響を除去することができる。特に、制御データ記憶回路6の一方のグループにレーザヒューズを用いて電圧調整用データを記憶し、そのヒューズデータを用いて内部電圧調整を行うことにより、他方のグループに電気ヒューズを用いた場合の誤読み出しを確実に防止できる。

但し、この実施の形態の方式は、グループ2がレーザヒューズを用いたヒューズ回路ユニットAにより構成される場合も有効である。

【0059】

図20は、図18の実施の形態を変形した実施の形態である。制御データ記憶回路6の構成は、図18と同様とする。即ち、グループ1は、内部電圧発生回路の出力調整用データを記憶するもので、レーザヒューズを用いたヒューズ回路ユニットAにより構成されるものとする。グループ2は、リダンダンシーのアドレス判定用データを記憶するもので、電気ヒューズを用いたヒューズ回路ユニットBにより構成されるものとする。

10

【0060】

パワーオン信号発生回路91の出力PWRONに基づいて、グループ1の制御信号FSETP1、FSETN1を発生する点は、図18と同様である。グループ2側の制御信号FSETP2、FSETN2については、パワーオン信号発生回路91の出力PWRONと、内部電位検出回路41の出力VgateONの二つを利用する。

【0061】

即ち、パワーオン信号PWRONの立ち上がりエッジをエッジ検出回路201により検出して、負パルスを発生する。同様に、内部電位検出信号VgateONの立ち上がりエッジをエッジ検出回路202により検出して、負パルスを発生する。これらの負パルスは、NANDゲートG151とインバータG152を通して、図21に示すように、制御信号FSETP2の二つの負パルスP1、P2となる。最初の負パルスP1が“H”に戻った後、エッジ検出回路42(2)によって、制御信号FSETN2の正パルスP3が発生し、同様に後の負パルスP2が“H”に戻った後、エッジ検出回路42(2)により、制御信号FSETN2の二つ目の正パルスP4が発生される。

20

【0062】

そして、グループ2のヒューズ回路では、負パルスP1が“H”に戻ったFSETP2=“H”の期間、プリチャージ動作が一旦停止し、制御信号FSETN2の正パルスP3で一回目のヒューズデータ読み出しが行われる。更に、負パルスP2で再度プリチャージが行われ、これが“H”に戻ることでプリチャージ動作が停止し、その後制御信号FSETN2の正パルスP4で二回目のヒューズデータ読み出しが行われる。

30

【0063】

グループ1のヒューズデータFOUT1一つは、図18の実施の形態で説明したと同様に、基準電位Vrefの調整用として用いられるものとする。そうすると、グループ2のヒューズデータ読み出しは、パワーオン信号PWRONに基づいて生成した制御信号FSETN1の最初のパルスP3による一回目の読み出しが正常に行われなかったとしても、次のパルスP4による二回目の読み出しで確実に正常読み出しが行われる。即ち図18の実施の形態の場合と同様に、グループ1のヒューズデータFOUT1に基づいて内部電位検出信号VgateONは、内部昇圧電位Vgateが十分な値になってから確実に発生され、電気ヒューズを用いたヒューズ回路ユニットBのヒューズデータ転送と読み出し動作が確実に行われるからである。

40

但しこの実施の形態の方式も、グループ2が、レーザヒューズを用いたヒューズ回路ユニットAにより構成される場合にも有効である。

【0064】

【発明の効果】

以上述べたようにこの発明によれば、不揮発性記憶素子からなる制御データ記憶回路をグループ分けしてこれらを異なるタイミングで読み出すようにすることで、読み出し時の消費電力ピークを抑えた制御データ記憶回路を備えた半導体集積回路を得ることができる。

50

【図面の簡単な説明】

【図 1】この発明が適用される半導体集積回路の構成例を示す図である。

【図 2】図 1 の制御データ記憶回路に用いられるヒューズ回路ユニット A の構成を示す図である。

【図 3】図 1 の制御データ記憶回路に用いられる他のヒューズ回路ユニット B の構成を示す図である。

【図 4】図 1 の制御データ読み出し回路 7 と制御データ記憶回路 6 の構成例を示す図である。

【図 5】図 4 の内部電位検出回路 4 1 の構成例を示す図である。

【図 6】図 4 のヒューズデータ読み出し波形を示す図である。

10

【図 7】図 1 の制御データ読み出し回路 7 と制御データ記憶回路 6 の他の構成例を示す図である。

【図 8】図 7 のヒューズデータ読み出し波形を示す図である。

【図 9】図 1 の制御データ読み出し回路 7 と制御データ記憶回路 6 の他の構成例を示す図である。

【図 10】図 9 のパワーオン信号発生回路 9 1 の構成例を示す図である。

【図 11】図 9 のヒューズデータ読み出し波形を示す図である。

【図 12】図 1 の制御データ読み出し回路 7 と制御データ記憶回路 6 の他の構成例を示す図である。

【図 13】図 12 のヒューズデータ読み出し波形を示す図である。

20

【図 14】図 1 の制御データ読み出し回路 7 と制御データ記憶回路 6 の他の構成例を示す図である。

【図 15】図 14 のヒューズデータ読み出し波形を示す図である。

【図 16】図 1 の制御データ読み出し回路 7 と制御データ記憶回路 6 の他の構成例を示す図である。

【図 17】図 1 の制御データ読み出し回路 7 と制御データ記憶回路 6 の他の構成例を示す図である。

【図 18】図 1 の制御データ読み出し回路 7 と制御データ記憶回路 6 の他の構成例を示す図である。

【図 19】図 18 のヒューズデータ読み出し波形を示す図である。

30

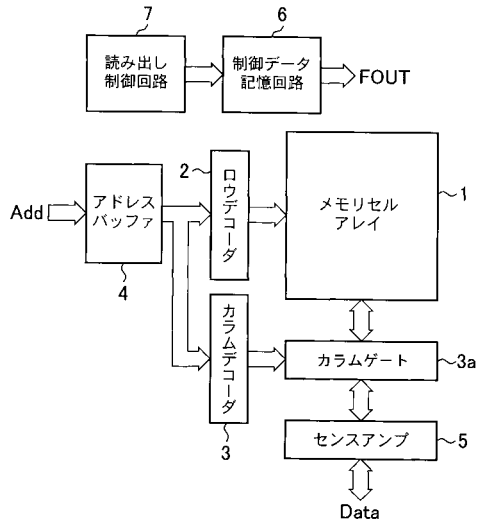
【図 20】図 1 の制御データ読み出し回路 7 と制御データ記憶回路 6 の他の構成例を示す図である。

【図 21】図 20 のヒューズデータ読み出し波形を示す図である。

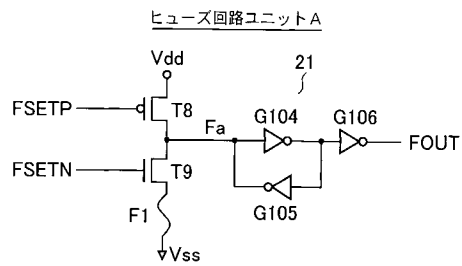
【符号の説明】

1 ... メモリセルアレイ、2 ... ロウデコーダ、3 ... カラムデコーダ、4 ... アドレスバッファ、5 ... データバッファ、6 ... 制御データ記憶回路、7 ... 読み出し制御回路、F 1 ... レーザヒューズ、2 1 ... ラッチ回路、F 2 ... 電気ヒューズ、3 1 ... プログラム電圧発生回路、3 2 ... ラッチ回路、4 1 ... 内部電位検出回路、9 1 ... パワーオン信号発生回路。

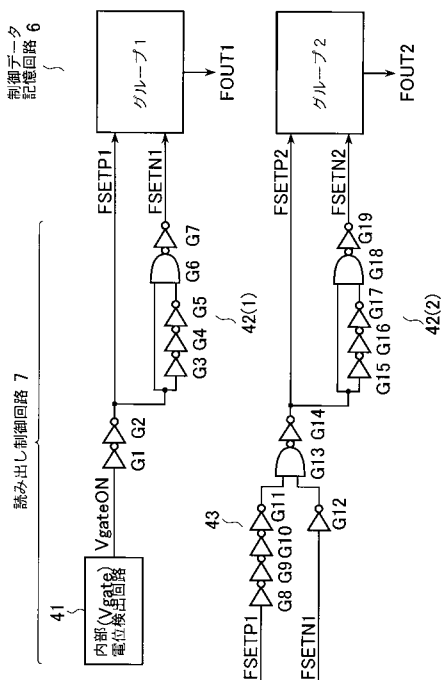
【図1】



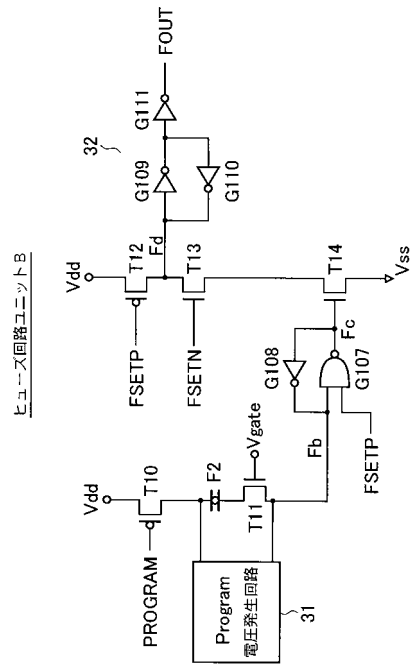
【図2】



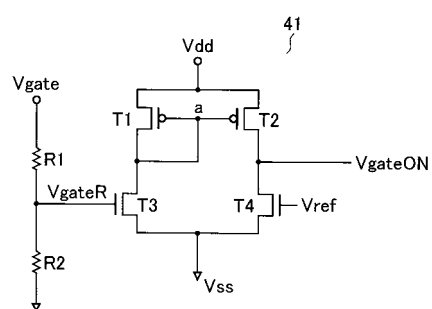
【図4】



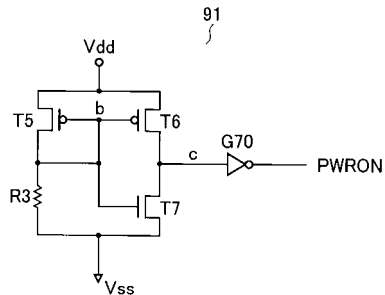
【図3】



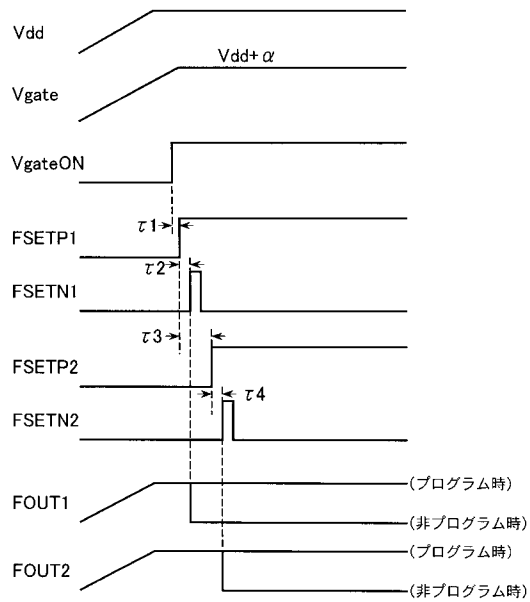
【図5】



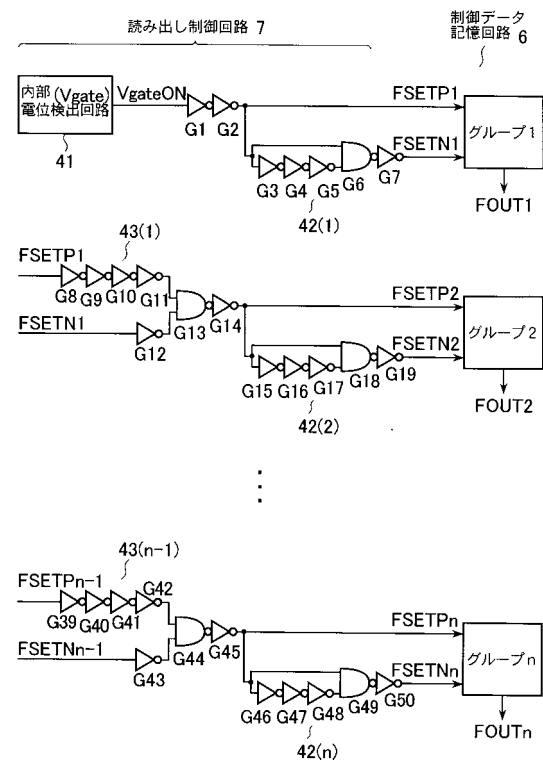
【図10】



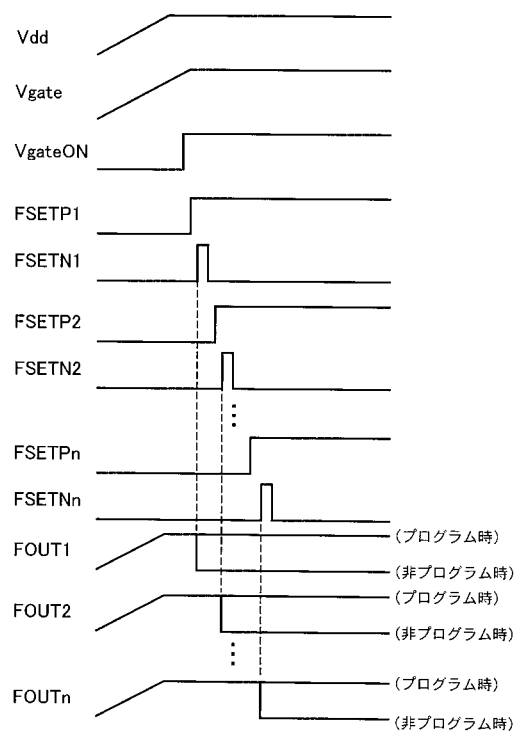
【図 6】



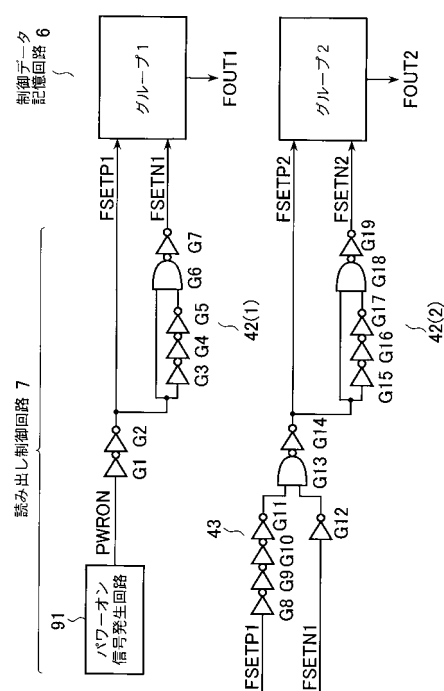
【図 7】



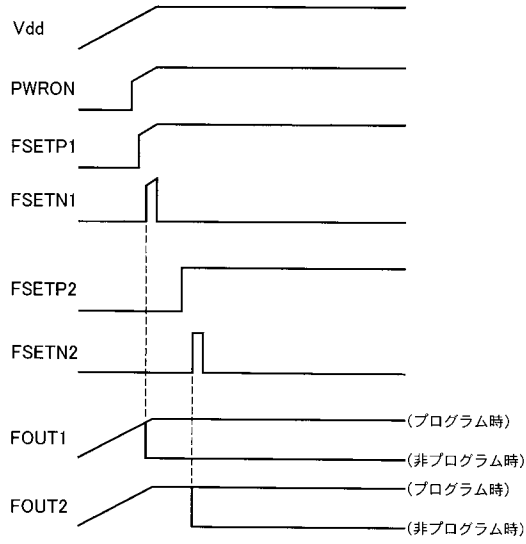
【図 8】



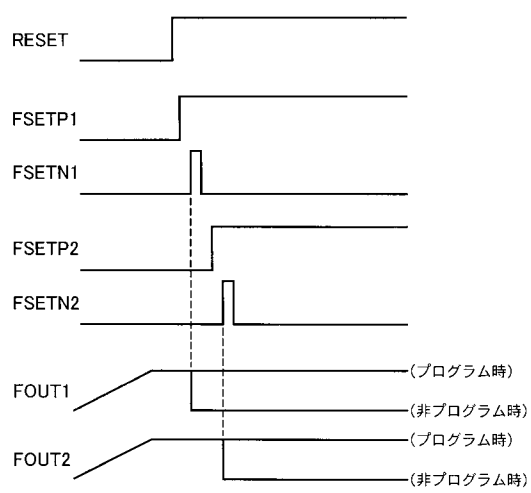
【図 9】



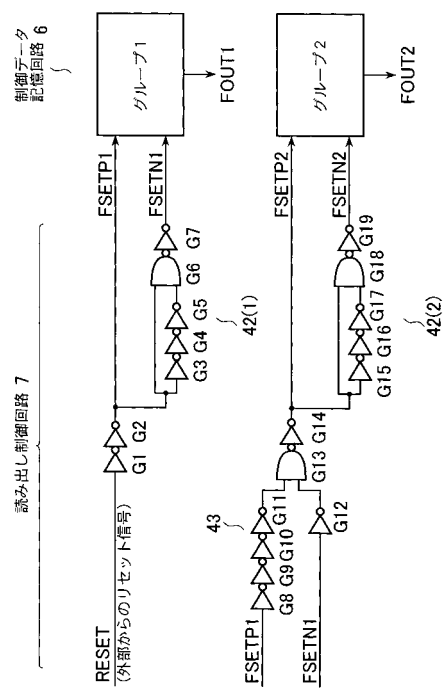
【図 1 1】



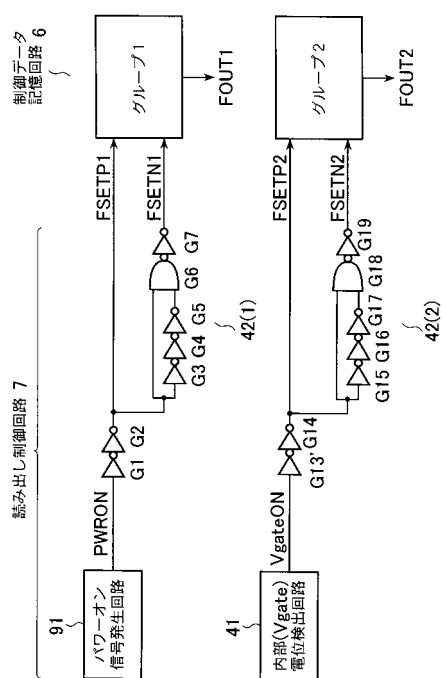
【図 1 3】



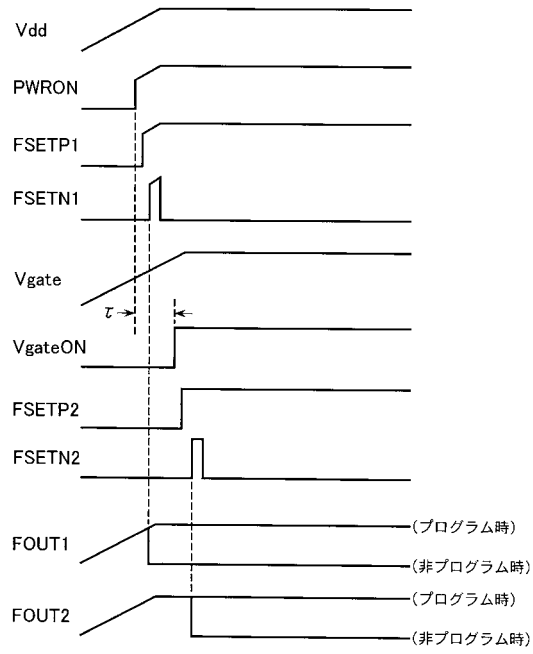
【図 1 2】



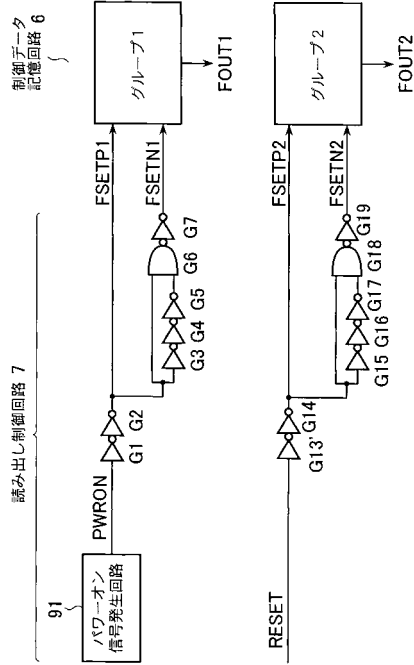
【図 1 4】



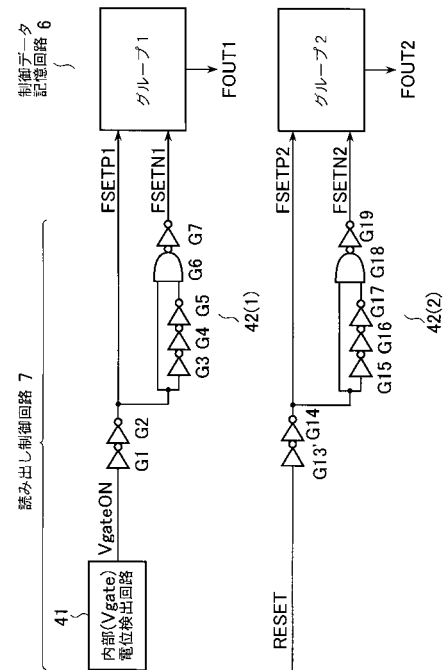
【図 15】



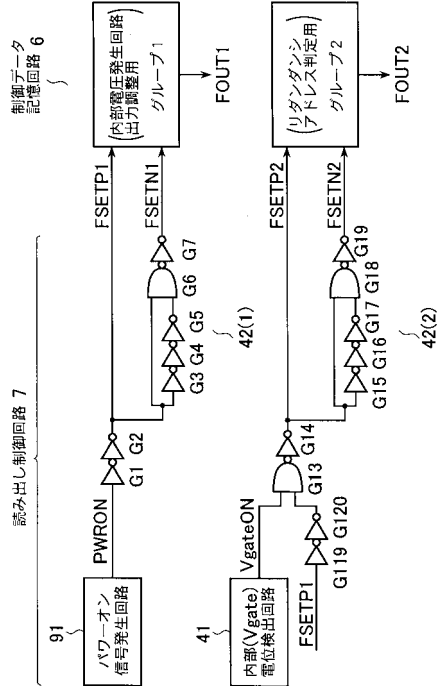
【図 16】



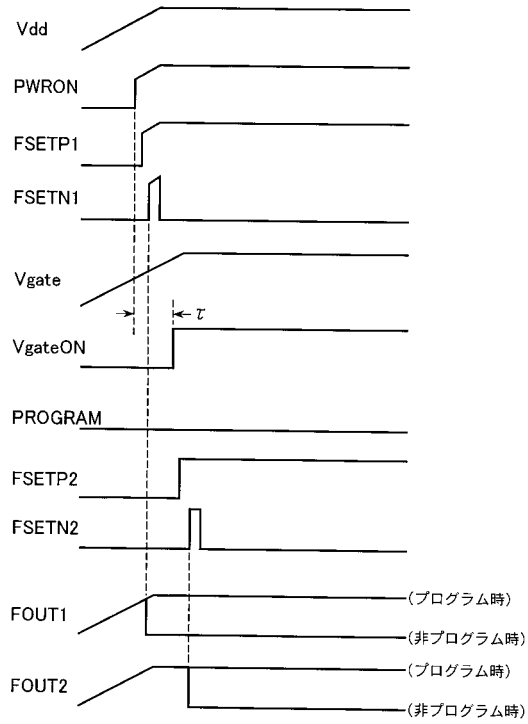
【図 17】



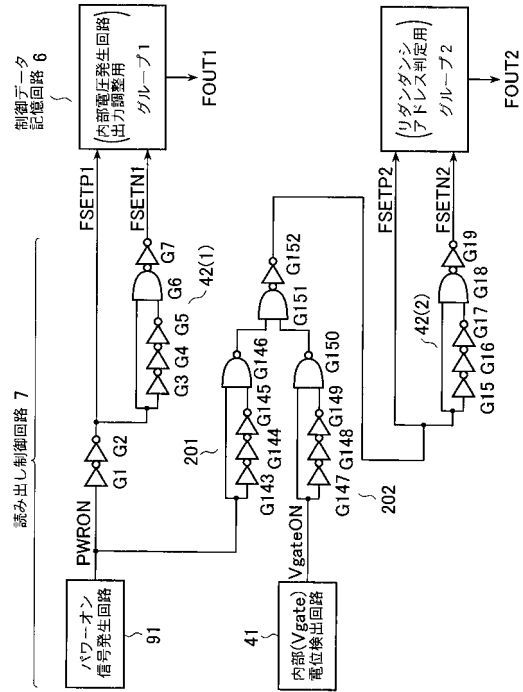
【図 18】



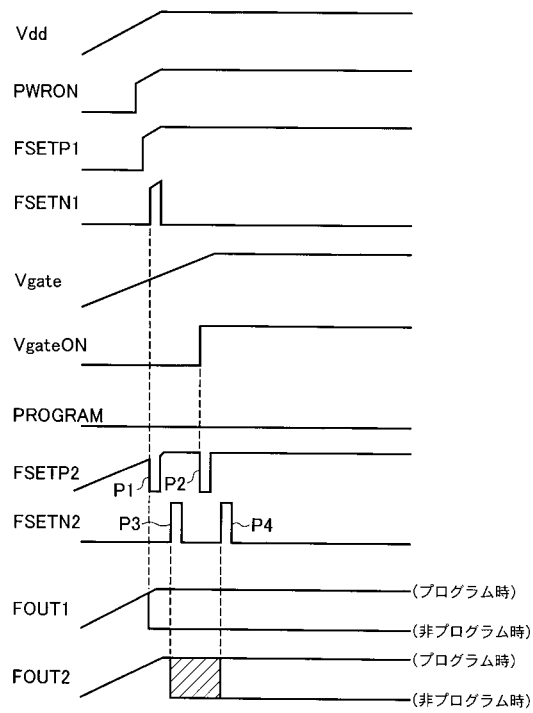
【図 19】



【図 20】



【図 21】



フロントページの続き

(51) Int.Cl. F I
H 0 3 K 17/22 (2006.01) H 0 3 K 17/22 E

- (72)発明者 小柳 勝
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 原 毅彦
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内
- (72)発明者 高瀬 覚
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 木村 亨
神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

審査官 須原 宏光

- (56)参考文献 特開2000-311496(JP, A)
特開平11-126489(JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 29/00