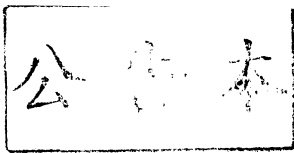


分割子



740789-1

申請日期	90 年 5 月 4 日
案 號	91115977 (由90110778分寄)
類 別	H05B 33/00

(以上各欄由本局填註)

554638

發明專利說明書

一、發明 名稱	中 文	發光裝置
	英 文	Light emitting device
二、發明人 創作	姓 名	(1) 小山潤 (2) 木村肇
	國 籍	(1) 日本 (2) 日本 (1) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
	住、居所	(2) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導體エネルギー研究所
	國 籍	(1) 日本 (1) 日本國神奈川縣厚木市長谷三九八番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 山崎舜平

續請委員會明示本案
分割後是否變更
實質內容

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權日本 2000 年 5 月 12 日 2000-140513 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

發明背景

1. 發明領域

本發明係關於一種藉由製造一 EL(電冷光)元件在一基底上而形成之電子顯示器(電光學裝置)。特別的，本發明係關於一種使用半導體元件(使用半導體薄膜之元件)之顯示裝置，和進一步係關於使用 EL 顯示裝置當成一顯示部份之電子設備。

2. 相關技藝之說明

在一基底上形成薄膜電晶體(TFT)之技術近年來已廣泛的進步，且對主動矩陣型顯示裝置之 TFT 之應用發展亦顯著進步。特別的，使用多晶膜，如多晶矽膜之 TFT，具有比使用習知非晶半導體膜，如非晶矽膜之 TFT 較高的電場效應移動率，因此此 TFT 可進行較高速操作。結果，可藉由和圖素形成在相同基底上之驅動電路而執行習知以在基底外之驅動電路所執行之圖素控制。

藉由形成各種電路和元件在相同基底上而獲得之使用多晶半導體膜之主動矩陣裝置具有許多優點，如降低製造成本，降低顯示裝置之尺寸，增加良率，和高產量等。

再者，在具有 EL 元件當成自冷光裝置之主動矩陣型 EL 顯示裝置之研發上亦蓬勃發展。此 EL 顯示器視為有機 EL 顯示器(OELD)或有機發光二極體(OLED)。

EL 元件具有之構造為由一對電極間(陽極和陰極)和夾於其間之 EL 層之疊層構造所構成。由柯達公司之 Tang 等

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (2)

人所提出之疊層構造(電洞傳送層，發光層，電子傳送層)可使用當成 EL 層之典型疊層構造。此疊層構造具有非常高的冷光效率，且因此，此 EL 層之疊層構造採用在幾乎所有現今研發之 EL 顯示裝置中。

除了上述疊層構造外，亦可形成之構造為其中以電洞注入層，電洞傳送層，發光層，和電子傳送層之順序，或以電洞注入層，電洞傳送層，發光層，電子傳送層，和電子注入層之順序疊層在陽極上之層。發光層亦可摻雜螢光染料等。

在本說明書中，EL 層為一上位名稱，其表示所有形成在陰極和陽極間之層。因此，上述之電洞注入層，電洞傳送層，發光層，電子傳送層，和電子注入層等皆包括在 EL 層中。

如果一預定電壓從一對電極應用至具有上述構造之 EL 層時，會在發光層中發生載子之再耦合以發光。在本說明書中，由 EL 元件之發光稱為由 EL 元件之驅動。此外，在本說明書中，由陽極，EL 層，和陰極所形成之冷光元件稱為 EL 元件。

於此使用之 EL 元件包括使用從單態激勵狀態發光者(螢光)和使用從三態激勵狀態發光者(磷光)。

類比系統之驅動方法(類比驅動)可引用當成 EL 顯示裝置之驅動方法。關於 EL 顯示裝置之類比驅動將參考圖 18 和 19 說明。

圖 18 為在具有類比驅動之 EL 顯示裝置中之圖素部份

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (3)

1800 之構造之圖。用以從一閘極訊號線驅動電路輸入一選擇訊號之閘極訊號線(G1 至 Gy)連接至相關圖素之開關 TFT1801 之閘電極。關於相關圖素之開關 TFT1801 之源極區域和汲極區域方面，其一連接至一源極訊號線(資料訊號線)(S1 至 Sx)以輸入一類比視頻訊號，而另一分別連接至驅動 TFT1804 之閘電極和每一圖素之電容 1808。

每一圖素之驅動 TFT1804 之源極區域和汲極區域連接至電源線(V1 至 Vx)，和汲極區域分別連接至 EL 元件 1806。電源線(V1 至 Vx)之電位稱為電源電位。每一電源線(V1 至 Vx)連接至相關圖素之電容 1808。

EL 元件 1806 以陽極，陰極，和夾於其間之 EL 層所組成。當 EL 元件 1806 之陽極連接至 EL 驅動 TFT1804 之源極區域或汲極區域時，EL 元件 1806 之陽極和陰極分別變成圖素電極和相反電極。替代的，如果當 EL 元件 1806 之陰極連接至 EL 驅動 TFT1804 之源極區域或汲極區域時，EL 元件 1806 之陽極變成相反電極而和陰極變成圖素電極。

相反電極之電位稱為相反電位。用以提供相反電位至相反電極之電源稱為相反電源。介於圖素電極之電位和相反電極之電位間之差異為 EL 驅動電壓，其應用至 EL 層。

圖 19 為當圖 18 之 EL 顯示器以類比系統驅動時之時間圖。從一閘極訊號線之選擇至次一不同閘極訊號線之選擇之週期稱為 1 線週期(L)。此外，從一影像之顯示至次一影像之顯示之週期稱為 1 框週期(F)。在圖 18 之 EL 顯示裝置之例中，有 y 個閘極訊號線，且因此，提供 y 個線週期(L1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (4)

至 L_y) 在 1 框週期中。

因為當解晰度變高時，在 1 框週期中之線週期數目增加，驅動電路需以高頻驅動。

首先，電源線 (V_1 至 V_x) 保持在固定電源電位，和相反電極之電位亦保持在固定電位。在介於相反電位和電源電位間之電位差異達到可使 EL 元件發光之程度。

來自閘極訊號線驅動電路之所選擇訊號在第一線週期 (L_1) 輸入至閘極訊號線 G_1 。而後，一類比視頻訊號線循序的輸入至源極訊號線 (S_1 至 S_x)。連接至閘極訊號線 G_1 之所有開關 TFT 啟動以輸入已輸入至源極訊號線之類比視頻訊號經由開關 TFT 至驅動 TFT 之閘電極。

經由 TFT 之通道形成區域以驅動電流之量由其閘極電壓所控制。

舉例說明用於驅動之 TFT 之源極區域連接至電源線和用於驅動之 TFT 之汲極區域連接至 EL 元件之例。

由於用於驅動之 TFT 之源極區域連接至電源線，相同電位乃輸入至圖素部份之相關圖素。此時，當類比訊號輸入至源極訊號線時，介於用於驅動之 TFT 之源極區域之電位和訊號電壓之電位間之差異變成閘極電壓。流經 EL 元件之電流決定於用於驅動之 TFT 之閘極電壓。於此，從 EL 元件發出之光之亮度和介於 EL 元件之電極間之電流成比例。以此方式，在類比視頻訊號之電壓控制下，EL 元件發光。

重覆上述之操作。當完成輸入類比視頻訊號至源極訊號線 (S_1 至 S_x) 時，第一線週期 (L_1) 終止。直到完成類比視

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (5)

頻訊號之輸入至源極訊號線(S1 至 S_x)之週期結合水平返回線週期亦可為一線週期。而後，在接續之第二線週期(L2)中，一選擇訊號輸入至閘極訊號線 G2。相似的於第一線週期(L1)之例，類比視頻訊號循序的輸入至源極訊號線(S1 至 S_x)。

當選擇訊號輸入至所有閘極訊號線(G1 至 G_y)時，所有線週期(L1 至 L_y)終止。當所有線週期(L1 至 L_y)終止時，1 框週期終止。在 1 框週期中，所有圖素執行顯示以形成一影像。於此，所有線週期(L1 至 L_y)結合一垂直返回線週期亦可為一框週期。

如上所述，從 EL 元件發出之光量由類比視頻訊號所控制，且藉由控制光發出量，可執行分級顯示。此即所謂的類比驅動方法，其中藉由改變輸入至源極訊號線之類比視頻訊號之電壓而執行分級顯示。

圖 20 為用於驅動之 TFT 之特性圖。401 為 I_d - V_g (或 I_d - V_g 曲線)，其中 I_d 為汲極電流，和 V_g 為閘極電壓。使用此圖，可知相關於任意閘極電壓之電流量。

在驅動一 EL 元件中，一般使用以上述 I_d - V_g 特性圖之虛線 402 所示之區域。由虛線 402 圍繞之區域視為一飽和區域，其中當閘極電壓 V_g 改變時，汲極電流 I_d 顯著改變。

在類比驅動方法中，使用飽和區域，用於驅動之 TFT 之汲極電流藉由改變其閘極電壓而改變。

當用於開關之 TFT 啟動時，從源極訊號線輸入至一圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (6)

素之類比視頻訊號施加至用於驅動之 TFT 之閘電極。以此方式，用於驅動之 TFT 之閘極電壓改變。於此，依照圖 20 所示之 I_d-V_g 特性，相關於特定閘極電壓之汲極電流獨特的決定。以此方式，相關於輸入至用於驅動之 TFT 之閘電極之類比視頻訊號之電壓之預定汲極電流通過 EL 元件，和 EL 元件發出相當於電流量之光量。

以此方式，從 EL 元件發出之光量由類比視頻訊號所控制，且藉由控制光發出量，可執行分級顯示。

於此，即使當相同訊號從源極訊號線輸入時，如果用於驅動之 TFT 之源極區域之電位改變，則每一圖素之用於驅動之 TFT 之閘極電壓亦改變。於此，用於驅動之 TFT 之源極區域之電位從電源線提供。但是，由於由接線電阻引起電位降，電源線之電位會根據其在圖素部份中之位置而改變。

除了由在圖素部份中之電源線之接線電阻所引起之電位降影響外，亦有之問題為從外部(外部輸入端)至圖素部份之電源線之來自電源之輸入部份之連接接線部份(電源線連接接線部份)之電位降。

更特別而言，根據從外部輸入端之位置至圖素部份之電源線之位置之接線長度，電源線之電位改變。

於此，在電源線之接線電阻相當小，顯示裝置相當小，或通過電源線之電流量相當小的例中，不會有顯著之問題。但是，相反的，特別當顯示裝置相當大時，因為接線電阻而引起之電源線之電位改變變大。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (7)

特別的，當顯示裝置變大時，從外部輸入端至圖素部份之電源線間之距離之變化變大，且在電源線拉出環繞部份之接線長度中之變化亦因此而變大。因此，在電源線之電位中因為電源線連接部份之電位降而造成之改變亦變大。

在電源線之電位中因為這些因素之改變會因為改變顯示之亮度而影響從圖素之 EL 元件發光之亮度，且因此，為不均勻顯示之原因。

下述說明在電源線中之電位變化之特殊例。

如圖 23 所示，當一白色或黑色盒顯示在一顯示器時，發生所謂串音之現象。此現象為，相較於盒旁之部份，在亮度中之差異發生在盒之上或下方。

圖 40 和 41 分別為發生此現象時之習知顯示裝置之圖素部份之部份電路圖和頂表面圖。

在圖 41 中，使用和圖 40 所示相同的部份以相同參考數字表示，因此省略其說明。

每一圖素由用於開關之 TFT4402，用於驅動之 TFT4406，儲存電容 4419，和 EL 元件 4414 所形成。

雖然在圖 40 和 41 中，用於開關之 TFT4402 為雙閘極構造，其亦可為其它構造。

由於在流經介於在盒上和下方和在盒旁之圖素間之用於驅動之 TFT4406 之電流差異會發生串音。此差異之發生乃是因為電源線 V1 和 V2 與源極訊號線 S1 和 S2 並聯設置。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (8)

例如，如圖 23 所示，當一白色盒顯示在相關於顯示該盒之圖素之電源線中之一部份顯示時，由於電流流經介於顯示該盒之圖素之用於驅動之 TFT 之源極和汲極間之 EL 元件，由於電源線之接線電阻而引起之電位降大於只供應電源至不顯示該盒之圖素之電源線者。因此，比不顯示該盒之其它圖素暗之部份會產生在盒之上和下方。

再者，在習知之主動矩陣 EL 顯示裝置中，如圖 24 所示，電源線從顯示裝置之一方向拉出，和電源，訊號等從輸入部份輸入。

於此，即使顯示裝置之顯示尺寸較小，亦不會發生特別的問題。但是，當顯示裝置之顯示尺寸變大時，電流耗損隨顯示之面積成比例的增加。

例如，具有 20 吋顯示之顯示裝置之電流耗損為 4 吋顯示之顯示裝置之 25 倍。

因此，對於具有大尺寸顯示之顯示裝置而言，上述之電位降為一嚴重的問題。

再者，雖然接近輸入部份(在圖 24 中之 a)之電源線之電位降並不顯著，由於接線之長度，就遠離輸入部份(圖 24 中之 b)之電源線而言，因為接線電阻而引起之電位降則相當大。因此，應用至具有連接至電源線(圖 24 中之 b)之驅動 TFT 之圖素之 EL 元件之電壓降低，而破壞影像之品質。

例如，在 20 吋顯示裝置中，當接線之長度為 700 mm，接線寬度為 10 mm，和片電阻為 $0.1\ \Omega$ 時，如果通過約 1A 之電流，則電位降約為 10V，因此無法正常顯示。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (9)

發明概要

本發明乃鑒於上述製成，且本發明之目的乃在提供一種主動矩陣 EL 顯示裝置，其可以多重分級顯示生動顏色。本發明之另一目的乃在提供一種使用此主動矩陣 EL 顯示裝置之高效能電子裝置。

本發明人構思一種消除因為電源線之接線電阻而引起之電位降，特別的，由於在電源線拉出部份上之接線電阻之電位降。

依照本發明之構造說明如下。

依照本發明，一種顯示裝置，包含：多數源極訊號線，多數閘極訊號線，多數電源線，和多數圖素設置成矩陣型式，該源極訊號線，閘極訊號線，電源線，和圖素設置在一絕緣表面上，且該多數圖素由用於開關之薄膜電晶體，用於驅動之薄膜電晶體，和 EL 元件所形成，

其特徵在於：

該顯示裝置具有多數拉出開口；

該多數電源線拉出環繞至該多數拉出開口；

電位在該多數拉出開口上提供至多數電源線；和

該拉出開口提供在顯示裝置之至少兩方向。

依照本發明，一種顯示裝置，包含：多數源極訊號線，多數閘極訊號線，多數電源線，和多數圖素設置成矩陣型式，該源極訊號線，閘極訊號線，電源線，和圖素設置在一絕緣表面上，且該多數圖素由用於開關之薄膜電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (10)

，用於驅動之薄膜電晶體，和 EL 元件所形成，

其特徵在於：

該顯示裝置具有一拉出開口；

該拉出開口具有多數外部輸入端；

五至五十條該多數電源線集合在一起成為一單元且拉出環繞至該多數外部輸入端；和

電位在該多數外部輸入端上提供至多數電源線。

依照本發明，一種顯示裝置，包含：多數源極訊號線，多數閘極訊號線，多數電源線，和多數圖素設置成矩陣型式，該源極訊號線，閘極訊號線，電源線，和圖素設置在一絕緣表面上，且該多數圖素由用於開關之薄膜電晶體，用於驅動之薄膜電晶體，和 EL 元件所形成，

其特徵在於：

該顯示裝置具有一外部輸入端；

該多數電源線拉出環繞至該多數外部輸入端；和

電位藉由在饋回迴路中之饋回放大器而經由該外部輸入端提供至多數電源線。

該顯示裝置之特徵在於多數電源線設置如同一矩陣。

該顯示裝置之特徵在於多數電源線由形成源極訊號線之接線層和形成閘極訊號線之接線層所形成。

該顯示裝置之特徵在於多數電源線由與形成源極訊號線之接線層不同之接線層和形成閘極訊號線之接線層所形成。

該顯示裝置之特徵在於多數電源線由與形成閘極訊號

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (1)

線之接線層不同之接線層和形成源極訊號線之接線層所形成。

該顯示裝置之特徵在於多數電源線由與形成閘極訊號線之接線層不同之接線層和與形成源極訊號線之接線層不同之接線層所形成。

該顯示裝置之特徵在於在行方向中之多數電源線之數目小於在行方向中之多數圖素之數目。

該顯示裝置之特徵在於在列方向中之多數電源線之數目小於在列方向中之多數圖素之數目。

該顯示裝置之特徵在於顯示裝置之顯示部份之對角線為 20 吋或更長。

一個人電腦，電視接收器，視頻相機，影像再生裝置，頭戴式顯示器，或手提資訊終端之特徵在於應用上述顯示裝置。

圖式簡單說明

圖中，

圖 1 為本發明之顯示裝置之拉出開口；

圖 2 為本發明之顯示裝置之圖素部份之電路構造；

圖 3 為本發明之顯示裝置之圖素部份之頂視圖；

圖 4 為本發明之顯示裝置之電源線之拉出埠之形狀；

圖 5 為本發明之顯示裝置之驅動方法；

圖 6A 和 B 分別為本發明之顯示裝置之頂視圖和橫截面圖；

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (12)

圖 7A 和 B 分別為本發明之顯示裝置之頂視圖和橫截面圖；

圖 8 為本發明之顯示裝置之橫截面圖；

圖 9 為本發明之顯示裝置之橫截面圖；

圖 10 為本發明之顯示裝置之圖素部份之電路圖；

圖 11A 至 E 為本發明之顯示裝置之製造方法；

圖 12A 至 D 為本發明之顯示裝置之製造方法；

圖 13A 至 D 為本發明之顯示裝置之製造方法；

圖 14A 至 C 為本發明之顯示裝置之製造方法；

圖 15 為本發明之顯示裝置之源極訊號側驅動電路之電路圖；

圖 16 為本發明之顯示裝置門鎖之頂視圖；

圖 17A 至 F 為使用本發明之顯示裝置之電器用品圖；

圖 18 為習知顯示裝置之圖素部份之電路圖；

圖 19 為顯示裝置之驅動方法之時間圖；

圖 20 為 TFT 之 I_d-V_g 特性圖；

圖 21A 和 B 分別為本發明之顯示裝置之頂視圖和橫截面圖；

圖 22 為本發明之顯示裝置之橫截面圖；

圖 23 為串音之產生例；

圖 24 為本發明之顯示裝置之拉出埠之圖；

圖 25A 至 E 為本發明之顯示裝置之製造方法；

圖 26A 至 E 為本發明之顯示裝置之製造方法；

圖 27A 至 D 為本發明之顯示裝置之製造方法；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (18)

圖 28A 至 D 為本發明之顯示裝置之製造方法；
圖 29A 至 C 為本發明之顯示裝置之製造方法；
圖 30A 至 E 為本發明之顯示裝置之製造方法；
圖 31A 至 D 為本發明之顯示裝置之製造方法；
圖 32A 至 D 為本發明之顯示裝置之製造方法；
圖 33A 至 D 為本發明之顯示裝置之製造方法；
圖 34 為本發明之顯示裝置之製造方法；
圖 35 為本發明之顯示裝置之電源線之拉出埠之圖；
圖 36 為本發明之顯示裝置之橫截面圖；
圖 37 為本發明之顯示裝置之橫截面圖；
圖 38 為本發明之顯示裝置之橫截面圖；
圖 39 為本發明之顯示裝置之橫截面圖；
圖 40 為習知顯示裝置之圖素部份之電路圖；
圖 41 為習知顯示裝置之圖素部份之頂視圖；
圖 42 為本發明之顯示裝置之圖素部份之頂視圖；
圖 43 為本發明之顯示裝置之圖素部份之電路圖；
圖 44 為本發明之顯示裝置之圖素部份之頂視圖； 和
圖 45 為本發明之顯示裝置之灰階特性圖。

元件對照表

1800:圖素部份	1801:開關 TFT
1804:驅動 TFT	1808:電容
1806:EL 元件	4402:開關 TFT
4406:驅動 TFT	4419:電容

五、發明說明 (14

4414:EL 元件	1,2:電源線輸入部份
4010:基底	4011:圖素部份
4012:源極訊號線驅動電路	4013:閘極訊號線驅動電路
4017:FPC	4014-4016:接線
6000:蓋	7000:密封材料
7001:氣密材料	4022:驅動電路 TFT
4023:圖素部份 TFT	4027:圖素電極
4026:中間層絕緣膜	4029:EL 層
4028:絕緣膜	4030:陰極
4031:區域	4032:導電膏材料
6003:被動膜	6004:填充材料
6001:框構件	6002:密封材料
3502:開關 TFT	3501:基底
39:電極	3503:驅動 TFT
37:閘極電極	35:汲極接線
36:接線	34:源極訊號線
40:源極接線	41:第一鈍化膜
42:位準膜	43:圖素電極
45:發光層	44:觸排
46:電洞注入層	47:陽極
48:第二鈍化層	3701:EL 元件
3553:驅動 TFT	51:觸排
52:發光層	53:電子注入層
54:陰極	501:基底

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (15)

502:非晶矽膜	504:保護膜
503:開口部份	506:加鎳區域
507:多晶矽膜	508:加磷區域
509:多晶矽膜	510~513:主動層
514:閘極絕緣膜	515:阻止光罩
516,517:雜質區域	519:阻止光罩
520:雜質區域	522~525:閘極電極
534:阻止光罩	535~539,528~531:雜質區域
542:阻止光罩	540,541,543,544:雜質區域
546:第一中間層絕緣膜	547~550:源極接線
551~553:汲極接線	554:第一鈍化膜
555:第二中間層絕緣膜	556:圖素電極
557:第三中間層絕緣膜	558:EL層
559:陰極	560:保護電極
561:第二鈍化膜	203:EL元件
201:開關 TFT	202:驅動 TFT
204:n通道 TFT	205:p通道 TFT
801:移位暫存器	802:門鎖(A)
803:門鎖(B)	831:主動層
804:部份	836:共同閘極電極
832:主動層	837:閘極電極
833:主動層	838,839:閘極電極
834:主動層	840,841:閘極電極
6801:源極訊號側驅動電路	6802:閘極訊號側驅動電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (16)

6803:圖素部份	6804:蓋構件
6805:第一密封材料	6806:第二密封材料
6807:填充材料	6808:連接接線
6800:基底	6851:驅動 TFT
6852:圖素電極	6853:n 通道 TFT
6854:p 通道 TFT	6855,6856:濾色器
6857:絕緣膜	6858,6859:發光層
6860:陰極	6861:吸水基底
6862:導電材料	6901:圖素部份
6902:驅動 TFT	6903:圖素電極
6904:透明導電膜	6905,6906:濾色器
600:基底	601:阻止光罩
602:電源線	603,604:氮氧化矽膜
605:非晶矽膜	607:保護膜
606:開口部份	608:含鎳層
609:加鎳區域	610:多晶矽膜
611:加磷區域	612:多晶矽膜
613:主動層	614:閘極絕緣膜
615,619:阻止光罩	620:雜質區域
622,623,625:閘極電極	624:源極訊號電極
626:電源電極	627-631:雜質區域
634:阻止光罩	635-637:雜質區域
642:阻止光罩	643,644:雜質區域
646:第一中間層絕緣膜	647,650:源極接線

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(17

652,653:汲極接線	654:第一鈍化膜
655:第二中間層絕緣膜	656:圖素電極
661:樹脂	658:EL層
659:電極	660:保護電極
701:基底	702:底膜
703:非晶矽膜	704:開口部份
705:保護膜	706:含鎳層
707:加鎳區域	708:多晶矽膜
709:加磷區域	710:多晶矽膜
711:主動層	712:閘極絕緣膜
713:阻止光罩	714,715:雜質區域
716:阻止光罩	717,718:接線
719-724:閘極電極	725-729:雜質區域
730:阻止光罩	731-733,735,736:雜質區域
737:第一中間層絕緣膜	738,739:源極接線
740,741:汲極接線	742:第一鈍化膜
743:絕緣膜	744:電源線
745:第二中間層絕緣膜	746:圖素電極
747:樹脂	748:EL層
749:陰極	750:保護電極
2001:主體	2002:殼
2003:顯示部份	2004:鍵盤
2101:主體	2102:顯示部份
2103:聲音輸入部份	2104:操作開關

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (19)

源線在一方向拉出之例，可縮短從圖素部份之電源線至外部輸入端之接線長度，且可降低在接線長度中之變化。

藉由上述之構造，可降低在環繞圖素部份之電源線拉出環繞部份上之電位降之影響。

(實施例模式 2)

在本實施例模式中，電源線之輸入部份之少數接線集合在一起成為一單元，和相關單元拉出至多數外部輸入端，該外部輸入端並非互相次列，而是在相關輸入部份。

此實施例模式之構造如圖 4 所示。

在此實施例模式中，相較於圖素部份之所有電源線集合在一起成為一單元以拉出至一外部輸入端之例，可縮短從相關集合電源線至外部輸入端之接線長度，且可降低在接線長度中之變化。

更特別而言，介於圖 4 中之接線 a 和 b 間之長度差異相較於介於圖 35 中之接線 a 和 b 間之長度差異顯著降低。

藉由上述之構造，可降低在環繞圖素部份之電源線拉出環繞部份上之電位降之影響。

(實施例模式 3)

如上所述，在大尺寸顯示裝置中，流經電源線之電流量較大。在此例中，由於介於圖素區域和外部輸入端間之接線電阻之電位降之影像不可忽略。

對策之一為事先增加外部電源之電位。但是，由於流

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (2b)

經電源線之電流根據所顯示者而改變，因此，並不需要均勻的增加外部電源之電位。因此，在本實施例模式中，建議使用一饋回放大器，且包括使在饋回迴路中引起電位降之接線。

如圖 5 所示，外部輸入端連接至饋回放大器之輸出。應用至電源線之電壓輸入至饋回放大器之非反相輸入端(+)。圖素部份之電源線電位受到監視且施加至一反相輸入端(-)。依照饋回放大器之原理，非反相輸入端和反相輸入端在相同電位上操作，且因此，從饋回放大器之輸出端輸出高於電位降之電位。如上所述，執行電位補償以抵銷在電位間之間隙。

當電源線輸入部份之接線電阻為 R 且電流為 i 時，發生 Ri 之電位降。但是，在監視端上，由於幾乎無電流通過監視端，則無電位降。

包含一外部 IC 之饋回放大器在形成具有圖素區域之板後形成在一外部基底上。

(實施例模式 4)

圖 2 為依照本發明之圖素部份之構造之電路圖。

圖素部份之每一圖素由一用於開關之 TFT4402，一用於驅動之 TFT4406，一儲存電容 4419，和一 EL 元件 4414 所形成。電源線 ($VX1-VXn$ 和 $VY1-VYn$) 不只設置在平行於源極訊號線 ($S1$ 至 Sn) 之方向，且亦設置在垂直源極訊號線之方向。因此，電壓從相關方向施加至圖素之驅動 TFT4406

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (2)

之源極區域或汲極區域。由於流經 EL 元件 4414 之電流不只從平行於源極訊號線 S1-Sn 供應，且亦從垂直方向供應，因此可抑制習知串音之發生。

於此，電源線乃在相鄰圖素間共用。如此可降低在相關圖素中由電源線所占用之面積。因此，即使相關於電源線垂直和水平設置(如同一矩陣)之圖素構造，亦可改善開口比例。

實施例模式 1 至 4 可互相自由的結合而實施。

(實施例)

以下說明本發明之實施例。

(第一實施例)

圖 4 顯示少數之電源線集合在一起成為一單元和連接至外部輸入端之例，外部輸入端說明於第二實施例。

由於當顯示尺寸變大時，電位降變大，因此需要使拉出電源線之接線愈短愈好。依照本發明，少數之電源線集合在一起成為一單元，且輸出至相鄰外部輸入端。

在圖 4 所示之例中，少數之電源線集合在一起成為一單元，和經由一驅動器區域連接至一外部輸入端。以此方式，可降低接線電阻。

所需的是，約 5 至 50 條電源線集合在一起成為一單元。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(22

(第二實施例)

圖 3 為當成本發明之實施例之圖 2 所示之電路圖之圖素部份之一部份(4 個圖素)之頂視圖。

與圖 2 相似的部份以相同的參考數字表示。

每一圖素由一用於開關之 TFT4402，一用於驅動之 TFT4406，一儲存電容 4419，和一 EL 元件 4414 所形成。在此實施例中，電源線 VX1 和 VX2 平行於使用和閘極訊號線 G1 和 G2 相似接線材料之閘極訊號線 G1 和 G2。電源線 VX1 和 VX2 經由接觸孔連接至習知平行於源極訊號線 S1 和 S2 之電源線 VY1 和 VY2。

平行於閘極訊號線之電源線使用如同本實施例之形成閘極訊號線之接線層形成之構造於此視為依照本發明之圖素構造之第一實施例。

在依照本發明之圖素構造之第一實施例中，相較於在圖 40 和 40 所示實際形成圖素之習知例，可形成矩陣形電源線而未增加光罩數目。

本實施例可自由結合第一實施例而實施。

(第三實施例)

在本實施例中，參考圖 10 和 42-44，說明電源線共用於相鄰圖素間之例，如第四實施例所述。

在本實施例中，G1-G4 為開關 TFT4402 之閘極接線(一部份閘極接線)，S1-S3 為開關 TFT4402 之源極接線(一部份源極接線)，4406 為驅動 TFT，4414 為 EL 元件，VY1-VY2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (23)

為平行於源極接線之電源線，VX1-VX2 為平行於閘極接線之電源線，和 4419 為儲存電容。

圖 10 為電源線 VY1 和 VX1 共用於相鄰圖素間之例。於此之特徵為兩圖素形成相關於電源線 VY1 和 VX1 對稱。在此例中，由於可降低電源線之數目，可改善顯示裝置之孔徑比，且圖素部份可製成高度準確。

圖 42 為圖 10 之頂視圖。和圖 10 相似部份以相同參考數字表示，因此省略其說明。

圖 43 為本發明之另一實施例。在本實施例中，在 X 方向中之電源線並未相關於所有圖素列設置，而是圖素列數目之 $1/n$ ，其中 n 為 2 或比 2 大的自然數。於此顯示 $n = 3$ 之例。

圖 44 為圖 43 之頂視圖。和圖 43 相似部份以相同參考數字表示，因此省略其說明。

本實施例可自由結合第一和第二實施例而實施。

(第四實施例)

依照本發明，雖然 n 通道型 TFT 和 p 通道型 TFT 皆可使用當成圖素之驅動 TFT，在 EL 元件之陽極為圖素電極而陰極為相反電極時，驅動 TFT 最好使用 p 通道型 TFT。相反的，在 EL 元件之陽極為相反電極而陰極為圖素電極時，驅動 TFT 最好使用 n 通道型 TFT。

本實施例可自由結合第一至第三實施例而實施。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (24)

(第五實施例)

在此實施例中說明本發明之 EL 顯示裝置之製造例。

圖 6A 為使用本發明之 EL 顯示裝置之頂視圖。圖 6B 為沿圖 6A 之 A-A'線所截取之橫截面圖。

在圖 6A 中，參考數字 4010 為一基底，參考數字 4011 為圖素部份，參考數字 4012a 和 4012b 為源極訊號線驅動電路，和參考數字 4013a 和 4013b 為閘極訊號線驅動電路。每一驅動電路經由 FPC4017，藉由接線 4014a，4014b，4015 和 4016 連接至外部設備。

形成一蓋構件 6000，一密封材料(亦稱為殼材料)7000，和一氣密材料(第二密封材料)7001 以包圍至少圖素部份 4011，最好亦包圍驅動電路 4012a，4012b，4013a，和 4013b，和圖素部份 4011。

再者，圖 6B 為第五實施例之 EL 顯示裝置之橫截面構造。一驅動電路 TFT4022(於此圖中顯示 n 通道 TFT 和 p 通道 TFT 結合之 CMOS 電路)和一圖素部份 TFT4023(於此圖中只顯示用以控制電流流至 EL 元件之驅動 TFT)形成在一基底 4010 上之底膜 4021 上。TFT 可使用已知構造(頂閘構造或底閘構造)形成。

在完成驅動電路 TFT4022 和圖素部份 TFT4023 後，圖素電極 4027 形成在以樹脂材料製成之中間層絕緣膜(位準膜)4026 上。圖素電極 4027 以一透明導電膜製成以電連接至圖素 TFT4023 之汲極。可使用氧化銦和氧化錫化合物(ITO)或氧化銦和氧化鋅化合物當成透明導電膜。在形成圖素電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (25)

極 4027 後，形成一絕緣膜 4028，和一開口部份形成在圖素電極 4027 上。

其次形成 EL 層 4029。EL 層 4029 可藉由自由結合已知 EL 材料(如電洞注入層，電洞傳送層，發光層，電子傳送層，和電子注入層)而形成具有疊層構造，或單層構造。可使用已知技術以決定使用那一構造。再者，EL 材料可為低分子量材料或高分子量(聚合物)材料。當使用低分子量材料時，使用蒸鍍法，但是當使用高分子量材料時，亦可使用如旋轉塗覆，印刷，和噴墨印刷等簡易方法。

在此實施例中，藉由使用一遮蔽罩之蒸鍍形成 EL 層。對每一圖素使用一遮蔽罩，藉由形成可發出具有不同波長之光之發射層(紅色發光層，綠色發光層，藍色發光層)，可變成彩色顯示。此外，亦可使用結合電荷耦合層(CCM)和濾色器之方法，或結合白色發光層和濾色器之方法。當然，EL 顯示裝置亦可發出單色光。

在形成 EL 層 4029 後，陰極 4030 形成在 EL 層上。最好儘可能移除存在於陰極 4030 和 EL 層 4029 間之介面中之濕氣或氧氣。因此，需要使用在真空中連續沉積 EL 層 4029 和陰極 4030 之方法，或在惰性氣體中沉積 EL 層 4029 和沉積陰極 4030 而未曝露至大氣中之方法。上述之膜沉積在此實施例中可藉由使用多室方法(叢集工具法)膜沉積裝置實施。

於此，LiF(氟化鋰)膜和 Al(鋁)膜之疊層構造使用在此實施例中當成陰極 4030。特別的，以蒸鍍法形成 1 nm 厚

五、發明說明 (26)

LiF 膜在 EL 層 4029 上，和形成 300 nm 厚之鋁膜在 LiF 膜上。當然亦可使用已知陰極材料之 MgAg 電極。而後，接線 4016 在以參考數字 4031 表示之區域中連接至陰極 4030。接線 4016 為一電源線以授予一預定電壓至陰極 4030，且經由一導電膏材料 4032 連接至 FPC4017。

爲了電連接陰極 4030 和接線 4016 在以參考數字 4031 表示之區域中，需要形成接觸孔在中間層絕緣膜 4026 和絕緣膜 4028 中。接觸孔可形成在蝕刻中間層絕緣膜 4026 時（當形成用於圖素電極之接觸孔時）和形成在蝕刻絕緣膜 4028 時（當形成 EL 層前形成開口部份時）。再者，當蝕刻絕緣膜 4028，蝕刻可一次一路執行至中間層絕緣膜 4026。在此例中，假設中間層絕緣膜 4026 和絕緣膜 402 爲相同樹脂材料，可形成良好的接觸孔。

鈍化膜 6003，填充材料 6004，和蓋構件 6000 形成以覆蓋所形成之 EL 元件之表面。

此外，密封材料 7000 形成在蓋構件 6000 和基底 4010 間，以圍繞 EL 元件部份，和氣密材料（第二密封材料）7001 形成在密封材料 7000 之外側上。

填充材料 6004 作用當成一黏劑以結合蓋構件 6000。可使用 PVC（聚氯乙烯），環氧樹脂，矽酮樹脂，PVB（聚乙烯醇縮丁醛），和 EVA（乙烯醋酸乙酯）當成填充材料 6004。如果一乾燥劑形成在填充材料 6004 內側上時，可持續保持濕氣吸收效果。

再者，在填充材料 6004 內可包括間隔器。此間隔器可

五、發明說明 (2)

爲如 BaO 之粉末物質，以使間隔器本身具有吸收濕氣之能力。

當使用間隔器時，鈍化保護膜 6003 可鬆弛間隔器壓力。再者，如樹脂膜之膜可與鈍化保護膜分別形成以鬆弛間隔器壓力。

再者，可使用玻璃板，鋁板，不鏽鋼板，FRP(玻璃纖維強化塑膠)板，PVF(聚氯乙烯)膜，Mylar 膜，聚酯膜，和丙烯酸膜當成蓋構件 6000。如果 PVB 或 EVA 使用當成填充材料 6004 時，最好使用具有數十 μm 厚之鋁箔由 PVF 膜或 Mylar 膜夾住之構造之片。

再者，根據來自 EL 元件之發光方向，蓋構件 6000 需具有透光性。

再者，接線 4016 經由介於密封材料 7000，氣密材料 7001 和基底 4010 間之間隙，電連接至 FPC4017。雖然於此說明接線 4016，但是，藉由相似的通過密封材料 7000，氣密材料 7001 和基底 4010 下方，接線 4014a，4014b，4015 亦可電連接至 FPC4017。

在此實施例中，在形成填充材料 6004 後，結合蓋構件 6000，和密封材料 7000 接附以覆蓋填充材料 6004 之側表面(曝露表面)，但是，填充材料 6004 亦可在接附蓋構件 6000 和密封材料 7000 後形成。在此例中，一填充材料注入開口經由以基底 4010，蓋構件 6000，和密封材料 7000 所形成之間隙而形成。此間隙設定成真空狀態(壓力等於或小於 10^{-2} Torr)，且在將注入開口浸入保存有填充材料之槽後，在間

五、發明說明 (28)

隙外之空間壓力高於在間隙內之壓力，和填充材料填充該間隙。

本實施例可自由結合第一至第四實施例而實施。

(第六實施例)

以下參考圖 7A 和 7B 說明依照本發明之 EL 顯示裝置之例，其製造成與依照本發明之第五實施例不同之形式。於此，相似的參考數字表示和圖 6A 和 6B 相似的部份，且因此省略其說明。

圖 7A 為第六實施例之 EL 顯示裝置之頂視圖，和圖 7B 為沿圖 7A 之 A-A' 線所截取之橫截面圖。

依照第五實施例，藉由覆蓋 EL 元件之表面而形成一鈍化膜 6003。

再者，填充材料 6004 提供以覆蓋 EL 元件。填充材料 6004 作用當成一黏劑以結合蓋構件 6000。可使用 PVC(聚氯乙烯)，環氧樹脂，矽酮樹脂，PVB(聚乙烯醇縮丁醛)，和 EVA(乙烯醋酸乙酯)當成填充材料 6004。最好提供一乾燥劑在填充材料 6004 中，以保持濕氣吸收效果。

填充材料 6004 亦可包括間隔器。此間隔器可為如 BaO 之顆粒，以使間隔器本身具有吸收濕氣之能力。

當提供間隔器時，鈍化膜 6003 可降低間隔器壓力。再者，如樹脂膜之膜可與鈍化膜分別提供以降低間隔器壓力。

再者，可使用玻璃板，鋁板，不鏽鋼板，FRP(玻璃纖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (29)

維強化塑膠)板，PVF(聚氯乙烯)膜，Mylar 膜，聚酯膜，和丙烯酸膜當成蓋構件 6000。如果 PVB 或 EVA 使用當成填充材料 6004 時，最好使用具有數十 μm 厚之鋁箔由 PVF 膜或 Mylar 膜夾住之構造之片。

部份設定來自 EL 元件之發光方向需要使蓋構件 6000 爲透明的。

其次，蓋構件 6000 藉由使用填充材料 6004 結合。而後，接附框構件 6001 以覆蓋由填充材料 6004 形成之側表面(曝露表面)。框構件 6001 以密封材料 6002(作用當成一黏劑)結合。較佳的是，使用光硬化樹脂當成密封材料 6002。但是，如果 EL 層之熱阻足夠高到允許使用一熱固樹脂時，亦可使用此種樹脂。

所需的是，密封材料 6002 具有可有效的阻止濕氣和氧氣穿透之性質。亦可混合一乾燥劑在密封材料 6002 中。

再者，接線 4016 藉由通過介於密封材料 6002 和基底 4010 間之間隙，電連接至軟性印刷電路(FPC)4017。雖然於此說明接線 4016 之電連接，但是，藉由通過介於密封材料 6002 和基底 4010 間之間隙，其它接線 4014a，4014b，4015 亦可電連接至 FPC4017。

在第六實施例中，在提供填充材料 6004 後，結合蓋構件 6000，和框構件 6001 接附以覆蓋填充材料 6004 之側表面(曝露表面)，但是，填充材料 6004 亦可在接附蓋構件 6000 和框構件 6001 後提供。在此例中，一填充注入孔形成以相通經由以基底 4010，蓋構件 6000，和框構件 6001 所形

五、發明說明 (30)

成之間隙。此間隙抽真空(壓力等於或小於 10^{-2} Torr)，且在將注入孔浸入保存有填充材料之槽後，在間隙外之空間壓力相對高於在間隙內之壓力，藉以將填充材料填充該間隙。

本實施例可自由結合第一至第五實施例而實施。

(第七實施例)

圖 8 為在 EL 顯示裝置之圖素部份之橫截面部份中之更詳細構造。

本實施例顯示依照本發明之圖素構造之第一實施例之圖素構造，其相當於與源極訊號線平行之電源線形成在形成源極訊號線之層中，和與閘極訊號線平行之電源線形成在形成閘極訊號線之層中之例。

在圖 8 中，提供在基底 3501 上之開關 TFT3502 為習知形成之 n 通道型 TFT。在本實施例中，TFT3502 為具有閘極電極 39a 和 39b 之雙閘極構造。藉由採用此雙閘極構造，兩 TFT 實施串聯連接，且因此，具有降低關閉電流值之優點。雖然在本實施例中採用雙閘極構造，但是，亦可採用單閘極構造，三閘極構造，或具有超過三閘之多閘極構造。再者，亦可使用習知形成之 p 通道型 TFT。

在本實施例中，驅動 TFT3503 為習知形成之 n 通道型 TFT。驅動 TFT3503 之閘電極 37 經由一接線 36 而電連接至開關 TFT3502 之汲極接線 35。34 為源極訊號線。

由於驅動 TFT 為用以控制流經 EL 元件之電流量之元件

五、發明說明 (3)

，有多數電流通過，且因此，其易於因熱或熱載子而遭受損壞。因此，LDD 區域提供在驅動 TFT 之汲極側上以經由一閘極絕緣膜重疊閘電極之構造是相當有效的。

再者，在此實施例中，圖中顯示驅動 TFT3503 之單閘極構造，但是亦可使用多數 TFT 串聯連接之多閘極構造。此外，亦可使用多數 TFT 並聯連接，有效的分隔成多數通道形成區域，且可執行高效率熱輻射之構造。

再者，源極接線 40 連接至形成在形成閘極電極 37 和 39 之層中，和固定電壓始終應用至源極接線 40。於此，雖然圖中未顯示，電源線亦形成在形成源極接線 40 和源極訊號線 34 之層中，且經由一接觸孔電連接至電源線 38。

第一鈍化膜 41 形成在開關 TFT3502 和驅動 TFT3503 上，和包含一絕緣樹脂膜之位準膜形成在第一鈍化膜 41 上。極重要的是使用位準膜 42 以位準化因為 TFT 而引起之步階。於後形成之 EL 層極薄，因此，會有發生缺陷光發射之例。因此，為了儘可能形成具有位準化表面之 EL 層，最好在形成圖素電極前執行位準化。

再者，參考數字 43 表示以具有高反射率之導電膜製成之圖素電極(在此例中為 EL 元件陰極)，且此電連接至驅動 TFT3503 之汲極區域。最好使用低電阻導電膜，如鋁合金膜，銅合金膜，和銀合金膜，或上述膜之疊層。當然，亦可使用具有其它導電膜之疊層構造。

此外，發光層 45 形成在以觸排 44a 和 44b 形成之凹槽(相關於一圖素)之中間，觸排 44a 和 44b 以絕緣膜(最好為樹

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

脂)形成。於此圖中只顯示一圖素，但是，發光層亦可區分以對應 R(紅色)，G(綠色)，和 B(藍色)。π 共軛聚合物材料使用當成有機 EL 材料。典型的聚合物材料可為聚對位苯撐乙烯撐 (PPVs)，聚乙烯 (PVK)，和聚芴。

於此有許多形式之 PPV 有機 EL 材料，而可使用記錄在“用於發光二極體之聚合物”，由 Shenk, H., Becker, H., Gelsen, O., Kluge, E., Kreuder, W., 和 Spreitzer, H., 發表於 Euro Display Proceedings, 1999, pp. 33-7，和日本專利第平 10-92567 號案所揭示之材料。

關於特殊發光層方面，可使用如氰基聚苯撐乙烯撐當成紅色發光層；聚苯撐乙烯撐當成綠色發光層；和聚苯撐乙烯撐和聚烷基苯撐當成藍色發光層。膜厚度可為 30 至 150 nm(最好為 40 至 100 nm)。

但是，上述之例只是可使用當成發光層之有機 EL 材料之一例，而非限於使用這些材料。EL 層亦可自由的結合發光層，電荷傳送層，和電荷注入層。

例如，第四實施例顯示使用聚合物材料當成發光層之一例，但是亦可使用低分子量有機 EL 材料。再者，亦可使用如碳化矽之無機材料，當成電荷傳送層或電荷注入層。可使用已知之材料於這些有機 EL 材料和無機材料。

一疊層膜，其中以 PEDOT(聚噻吩)或 Pani(聚苯胺)製成之電洞注入層 46 形成在發光層 45 上，乃使用在第四實施例中。而後陽極 47 形成在以透明導電膜製成之電洞注入層 46 上。由發光層 45 產生之光在此實施例中照向上表面(相

五、發明說明 (38)

對於形成 TFT 之基底 3501 之方向)，且因此，陽極必須具有一導電率且以具有透光性質之材料形成。可使用氧化銦和氧化錫化合物，或氧化銦和氧化鋅化合物當成透明導電膜。但是，由於其在形成低熱阻發光和電洞注入層後形成，最好使用可以儘可能低之溫度沉積之材料。

在形成陽極 47 時，即完成 EL 元件 3505。於此所謂的 EL 元件 3505 以圖素電極(陽極)43，發光層 45，電洞注入層 46，和陽極 47 所形成。圖素電極 43 之面積幾乎等於圖素，且因此，整個圖素作用當成 EL 裝置。因此，發光效率極高，和可進行明亮影像顯示。

此外，第二鈍化膜 48 在此實施例中形成在陽極 47 上。最好使用氮化矽膜或氮氧化矽膜當成第二鈍化膜 48。其目的為使 EL 元件與外界隔離，且如此可防止因為有機 EL 材料之氧化而造成之損壞，和控制從有機 EL 材料發出之氣體。因此可提升 EL 顯示器之可靠度。

本發明之 EL 顯示裝置具有以圖 8 所示之構造之圖素製成之圖素部份，且具有充分低關閉電流值之開關 TFT，和相對於熱載子注入抵抗力相當強之電流控制 TFT。因此可獲得具有高可靠度，且具有良好影像顯示之 EL 顯示器。

於此可自由結合本實施例和第一至第六實施例之構成而實施本實施例之構成。

(第八實施例)

在此實施例中，將說明 EL 元件 3505 之構造與第七實

五、發明說明 (34)

施例所示之圖素部份中反向之構造。於此參考圖 9 說明。由於與圖 8 所示之構造之差異只在於 EL 元件 3701 和驅動 TFT3553 之部份，因此省略其它部份之說明。

參考圖 9，驅動 TFT3553 使用以已知方法製造之 p 通道 TFT 形成。於此，驅動 TFT 並不限於 p 通道 TFT，而是亦可使用 n 通道 TFT。

在此實施例中，使用透明導電膜當成圖素電極(陽極)50。具體而言，此導電膜以氧化銮和氧化鋅化合物製成。當然，亦可使用氧化銮和氧化錫化合物製成之導電膜。

此外，在形成以絕緣膜製成之觸排 51a 和 51b 後，以聚乙烯吡啶製成之發光層 52 根據溶液之應用而形成。發光層 52 重疊以乙烯丙酮鉀(acacK)製成之電洞注入層 53，和以鋁合金製成之陰極 54。在此例中，陰極 54 亦作用當成一鈍化膜。因此，形成 EL 元件 3701。

在此實施例中，由發光層 52 產生之光照向以 TFT 形成之基底 3501，如箭頭所示。

本實施例可自由的結合第一至第六實施例而實施。

(第九實施例)

雖然圖 2，3，10，和 42 至 44 顯示儲存電容提供以保持施加至驅動 TFT 之閘極電極之電壓之構造，於此亦可省略儲存電容。

在使用當成驅動 TFT 之 n 通道 TFT 具有提供以經由閘極絕緣膜重疊閘電極之 LDD 區域之例中，雖然稱為閘極電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 35）

容之寄生電容形成在此重疊區域，但是，此實施例之特徵在於此寄生電容正向的使用當成一電容以保持施加至驅動 TFT 之閘極電極之電壓。

由於此寄生電容之電容由閘極電極和 LDD 區域之重疊面積而改變，因此，其由在重疊區域中之 LDD 區域之長度所決定。

本實施例可自由的結合第一至第八實施例而實施。

（第十實施例）

在此實施例中，說明依照本發明製造 EL 顯示裝置之圖素部份和提供在圖素部份之週邊之驅動電路部份之 TFT 之方法。圖中顯示之 CMOS 電路當成驅動電路之基本單元，以簡化此說明。

首先，如圖 11A 所示，準備一基底 501，其表面上形成有一底膜（圖中未顯示）。在第十實施例中，疊層 100 nm 厚之氮氧化矽膜和 200 nm 厚之氮氧化矽膜當成底膜。在接觸結晶玻璃基底之膜之氮濃度最好設定為 10 至 25 wt%。當然，亦可直接形成元件在石英基底之頂上而未形成底膜。

其次，以已知之膜沉積法形成 45 nm 厚之非晶矽膜在基底 501 上。於此無需限制於非晶矽膜，只要是其為含非晶構造之半導體膜（包括微晶半導體膜）之任何膜皆可使用。此外，亦可使用含非晶構造之化合物半導體膜，如非晶矽鍺膜。

由此至圖 11C 之方法可參考本申請人之日本專利申請

五、發明說明 (36)

案第平 10-247735 號案所述。在此專利案中，揭示藉由使用如鎳等之元素當成觸媒而使半導體膜結晶之方法之技術。

首先，形成具有開口部份 503a 和 503b 之保護膜 504。在第十實施例中使用 150 nm 厚之氧化矽膜。而後，以旋轉塗覆法形成含鎳(Ni)層 505 在保護膜 504 上。關於含鎳層之形成可參考上述專利。

其次，如圖 11B 所示，在惰性氣體中，在 570℃ 下熱處理 14 小時以使非晶矽膜 502 結晶。結晶大致平行於基底進行，而以接觸鎳之區域 506a 和 506b(添加鎳區域)當成啓始點，以形成具有條狀晶體排列在一起之晶體構造之多晶矽膜 507。

而後，週期表 15 族(最好為磷)之元素添加至添加鎳區域 506a 和 506b，而留下保護膜 504 當成光罩，如圖 11C 所示。因此可形成添加高濃度磷之區域 508a 和 508b(添加磷區域)。

其次，如圖 11C 所示，在惰性氣體中，在 600℃ 下執行熱處理 12 小時。存在於多晶矽膜 507 中之鎳因為此熱處理而滲透，且最後，幾乎完全在添加磷區域 508a 和 508b 中被捕捉，如箭頭所示。此即為以磷對金屬元素(在第十實施例中為鎳)之吸氣效應之現象。

以此處理留在多晶矽膜 509 中之鎳濃度以 SIMS(二次離子質量頻譜儀)量測降低至 2×10^{17} 原子/cm³。鎳為半導體壽命之殺手，且如果鎳濃度降低至此位準時，則對 TFT 之特性不會有害。再者，此濃度幾乎在由現今 SIMS 所能量測之

五、發明說明 (37

極限，且因此，預期會有實際更低之濃度(不超過 2×10^{17} 原子/cm³)。

因此可獲得多晶矽膜 509，其使用觸媒結晶，且其中觸媒降低至不會破壞 TFT 功能之位準。而後，藉由定圖樣形成只使用多晶矽膜 509 之主動層 510 至 513。此時，可使用上述多晶矽膜形成在後續定圖樣時執行光罩對準之標示(圖 11D)。

其次，以電漿 CVD 法形成 50 nm 厚之氮氧化矽膜，如圖 11E 所示，再者，在氧化氣體中，在 950℃ 下，藉由熱處理 1 小時以執行熱氧化步驟。氧化環境可為氧氣或添加有鹵素之氧氣。

藉由上述熱氧化步驟，在主動層和上述氮氧化矽膜之介面中進行氧化，且約 15 nm 厚之多晶矽膜氧化，形成約 30 nm 厚之氧化矽膜。換言之，從 30 nm 厚之氧化矽膜和 50 nm 厚之氮氧化矽膜之疊層膜形成 80 nm 厚之閘極絕緣膜 514。

其次，形成阻止光罩 515a 和 515b，如圖 12A 所示，且授予 p 型導電率之雜質元素(以下稱 p 型雜質元素)經由閘極絕緣膜 514 添加。可使用週期表 13 族之元素，如硼或鎵，當成 p 型雜質元素。此處理為用以控制 TFT 之臨界電壓之處理(通道摻雜處理)。

在第十實施例中，以二硼化氫(B₂H₆)電漿激勵離子摻雜添加硼，而未進行質量分離。當然亦可使用執行質量分離之離子摻雜。藉由此處理，可形成含硼濃度 1×10^{15} 至 $1 \times$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (38)

10^{18} 原子/cm³(最好為 5×10^{16} 至 5×10^{17} 原子/cm³)之雜質區域 516 和 517。

而後，形成阻止光罩 519a 和 519b，如圖 12B 所示，和經由閘極絕緣膜 514 添加授予 n 型導電率之雜質元素(以下稱 n 型雜質元素)。通常使用週期表第 15 族中之元素當成 n 型雜質元素，且典型的為使用磷或砷。在第十實施例中，使用磷化氫(PH₃)之電漿激勵電漿摻雜方法，添加 1×10^{18} 原子/cm³ 之濃度之磷，而無質量分離。當然亦可使用執行質量分離之離子植入法。

調整劑量以使 n 型雜質元素包含在 n 型雜質區域 520 中，以濃度 2×10^{16} 至 5×10^{19} 原子/cm³(最好在 5×10^{17} 至 5×10^{18} 原子/cm³ 間)。

其次，如圖 12C 所示，執行所添加 n 型雜質元素和 p 型雜質元素之活化。於此無需對活化機構做任何限制，但是因為已形成閘極絕緣膜 514，因此最好使用電爐之爐退火處理。再者，於此有可能破壞主動層和在圖 12A 之處理中變成通道形成區域之部份之閘極絕緣膜之介面，且因此，最好在儘可能高的溫度上執行熱處理。

在第十實施例中，使用具有高熱阻之結晶玻璃，且因此，以爐退火在 800℃ 下執行活化處理 1 小時。亦可使處理環境成為氧化氣體而執行熱氧化，和藉由使用惰性氣體執行熱處理。

n 型雜質區域 520 之緣部份，亦即，未添加 n 型雜質元素之 n 型雜質區域 520(由圖 12A 之處理所形成之 p 型雜質

五、發明說明 (39)

區域)之週邊中之區域之邊界(接面部份)，乃以上述處理界定。此意即當於後完成 TFT 時，在 LDD 區域和通道形成區域間可形成極佳之接面部份。

其次，形成具有 200 至 400 nm 厚之導電膜且定圖樣，以形成閘電極 522 至 525。閘電極 522 至 525 之線寬度決定每一 TFT 之通道長度。

閘電極可以單層導電膜形成，但是，當有需要時，最好使用兩層或三層疊層膜。可使用已知之導電膜當成閘電極材料。特別的，可使用選自鈦(Ti)，鉭(Ta)，鉬(Mo)，鎢(W)，鉻(Cr)和矽(Si)之元素所製成之膜；或上述元素之氮化物膜(典型的，氮化鉭膜，氮化鎢膜，或氮化鈦膜)；或上述元素之結合之合金膜(典型的，Mo-W 合金或 Mo-Ta 合金)；或上述元素之矽化物膜(典型的，矽化鎢膜或矽化鉭膜)。當然亦可使用單層膜或疊層膜。

在第十實施例中，使用 50 nm 厚之氮化鎢(WN)膜和 350 nm 厚之 W 膜之疊層膜。可以濺鍍形成此膜。再者，如果如 Xe 或 Ne 之惰性氣體添加至濺鍍氣體中時，可防止因為應力之膜剝離。

此時形成閘電極 523 重疊一部份之 n 型雜質區域 520，夾住閘極絕緣膜 514。重疊部份於後變成重疊閘電極之 LDD 區域。在橫截面中可看到兩閘電極 524a 和 524b，但是，它們實際電連接。

其次，n 型雜質元素(在第十實施例中使用磷)以自我對準方式以閘電極 522 至 525 當成光罩添加，如圖 13A 所示

五、發明說明 (40)

。可調整此種添加，因此磷以 n 型雜質區域 520 之濃度之 1/10 至 1/2 (典型為 1/4 至 1/3) 添加至所形成之雜質區域 526 至 533。特別的，濃度最好為 1×10^{16} 至 5×10^{18} 原子/cm³ (典型為 3×10^{17} 至 3×10^{18} 原子/cm³)。

其次形成阻止光罩 534a 至 534d 以覆蓋閘電極，如圖 13B 所示，和添加 n 型雜質元素 (在第十實施例中使用磷)，形成含有高濃度磷之雜質區域 535 至 539。於此亦執行使用磷化氫 (PH₃) 之離子摻雜，並調整以使此區域之磷濃度為 1×10^{20} 至 1×10^{21} 原子/cm³ (典型為 2×10^{20} 和 5×10^{20} 原子/cm³)。

以此方法形成 n 通道 TFT 之源極區域或汲極區域，和在開關 TFT 中，留下有由圖 13A 之方法所形成之 n 型雜質區域 528 至 531 之一部份。其餘區域相當於開關 TFT 之 LDD 區域。

其次，如圖 13C 所示，移去阻止光罩 534a 至 534d，和形成一新的阻止光罩 542。而後添加 p 型雜質元素 (在第十實施例中使用硼)，形成含有高濃度硼之雜質區域 540，541，543，和 544。於此使用硼化氫 (B₂H₆) 之離子摻雜，而添加硼至濃度為 3×10^{20} 至 3×10^{21} 原子/cm³ (典型為 5×10^{20} 至 1×10^{21} 原子/cm³)。

磷已以濃度為 1×10^{20} 至 1×10^{21} 原子/cm³ 添加至雜質區域 540，541，543 和 544，但是，硼以至少磷濃度之三倍添加。因此，n 型雜質區域已完全的 formed 反向為 p 型，且作用當成 p 型雜質區域。

五、發明說明 (4)

其次，在移除阻止光罩 542 後，形成第一中間層絕緣膜 546，如圖 13D 所示。含矽之單層絕緣膜使用當成第一中間層絕緣膜 546，但是亦可使用一疊層膜。再者，可使用介於 400 nm 和 1.5 μ m 之膜厚度。在第十實施例中使用 800 nm 厚氧化矽膜在 200 nm 厚氮氧化矽膜上之疊層構造。

而後，以相關濃度添加之 n 型雜質元素和 p 型雜質元素受到活化。關於活化機構方面，最好使用爐退火。在第十實施例中執行之熱處理為在電爐中在惰性氣下在 550℃ 下熱處理 4 小時。

此外，在含有 3 至 100% 氫之氣體中，在 300 至 450℃ 上執行熱處理 1 至 12 小時，以執行氫化。此處理為在半導體膜中以熱激勵之氫做懸垂鍵之氫終結之處理之一。亦可執行電漿氫化(使用以電漿激勵之氫)當成氫化之另一方式。

在第一中間層絕緣膜 546 之形成時亦可進行氫化步驟。亦即，氫處理可如上述在形成 200 nm 厚之氮氧化矽膜後執行，而後形成剩餘之 800 nm 厚之氧化矽膜。

其次，如 14A 所示，在第一中間層絕緣膜 546 和閘極絕緣膜 514 中形成接觸孔，藉以形成源極接線 547 至 550 和汲極接線 551 至 553。在第十實施例中，具有 100 nm 鈦膜，300 nm 含鈦鋁膜，和 150 nm 鈦膜連續以濺鍍形成之三層構造之疊層膜使用當成電極。當然亦可使用其它導電膜。

其次形成厚度為 50 至 500 nm(典型的為介於 200 和 300 nm 間)之第一鈍化膜 554。在第十實施例中，使用 300 nm 厚之氮氧化矽膜當成第一鈍化膜 554。此氮氧化矽膜亦可以

五、發明說明(42

氮化矽膜取代之。

在氮氧化矽膜形成前，可有效的執行使用含如 H_2 或 NH_3 之氫之氣體之電漿處理。以此先前處理激勵之氫乃供應至第一中間層絕緣膜 546，和藉由執行熱處理而改善第一鈍化膜 554 之膜品質。同時，添加至第一中間層絕緣膜 546 之氫擴散至下側，和主動層可有效的受到氫化。

其次，如圖 14B 所示，以一有機樹脂形成第二中間層絕緣膜 555。關於有機樹脂方面，可使用聚醯亞胺，丙烯酸，和 BCB(苯並環丁烷)等材料。特別的，由於第二中間層絕緣膜 555 需要位準化由 TFT 所形成之步階，且因此，最好使用具有優良位準特性之丙烯酸。在第十實施例中形成 $2.5\ \mu m$ 之丙烯酸膜。

而後，到達汲極接線 553 之一接觸孔形成在第二中間層絕緣膜 555 和第一鈍化膜 554 中，而後形成圖素電極(陽極)556。在第十實施例中，形成厚度 $110\ nm$ 之銦錫氧化膜(ITO)，且定圖樣，形成圖素電極。再者，亦可使用 2 至 20 % 氧化鋅(ZnO)混合在氧化銦中之透明導電膜。此圖素電極變成 EL 元件 203 之陽極。

其次形成含矽之 $500\ nm$ 厚之絕緣膜(在第十實施例中為氧化矽膜)，和開口部份形成在相當於圖素電極 556 之位置上，以形成第三中間層絕緣膜 557。當形成開口部份時，藉由使用濕蝕刻，可輕易製成具有漸尖狀之側壁。如果開口部份之側壁不充分緩和時，由於步階而引起對 EL 層之損壞變成一明顯的問題。

五、發明說明 (4B)

其次，以真空蒸鍍連續形成 EL 層 558 和陰極 (MgAg 電極) 559，而未曝露至大氣。EL 層 558 之膜厚度可設為 80 至 200 nm (典型的介於 100 至 120 nm)，和陰極 559 之厚度可設為 180 至 300 nm (典型的介於 200 至 250 nm)。

在此步驟中，EL 層和陰極依序形成以用於相關於紅色之圖素，相關於綠色之圖素，和相關於藍色之圖素。EL 層相對於溶液具有些微的抗力，且因此，對於每一顏色之 EL 層需個別形成而未使用微影成像技術。而後，使用金屬光罩以覆蓋除了所需圖素外之區域，且較佳的是 EL 層和陰極選擇性的形成在所需部份。

換言之，一光罩設定以覆蓋除了用於相關於紅色之圖素外之所有區域，和紅色發光 EL 層和陰極使用光罩選擇性形成。其次，一光罩設定以覆蓋除了用於相關於綠色之圖素外之所有區域，和綠色發光 EL 層和陰極使用光罩選擇性形成。再者，一光罩設定以覆蓋除了用於相關於藍色之圖素外之所有區域，和藍色發光 EL 層和陰極使用光罩選擇性形成。於此說明使用所有不同光罩，但是亦可再使用相同光罩。此外，較佳的是，執行所有處理而未破壞真空，直到對所有圖素形成 EL 層和陰極。

可使用已知材料當成 EL 層 558。在考量驅動電壓下，最好使用有機材料當成已知材料。例如，亦可使用以電洞注入層，電洞傳送層，發光層，和電子注入層之 4 層構造當成 EL 層。再者，在第十實施例中，顯示 MgAg 電極使用當成 EL 元件 203 之陰極之例，但是，亦可使用其它材料。

五、發明說明(44)

再者，適當的是使用包含鋁當成其主要構成之導電膜當成一保護電極 560。此保護電極 560 可以真空蒸鍍法，使用與在 EL 層和陰極形成中所使用不同之光罩形成。此外，在形成 EL 層和陰極後，保護電極 560 最好連續形成而未曝露至大氣。

最後，以氮化矽膜製成之第二鈍化膜 561 形成厚度 300 nm。EL 層以保護電極 560 防止如濕器之侵入。再者，第二鈍化膜 561 進一步改善 EL 元件 203 之可靠度。

因此可完成如圖 14C 所示之構造之主動矩陣型 EL 顯示裝置。參考數字 201 為一開關 TFT，202 為一驅動 TFT，204 為用於驅動電路之 n 通道 TFT，和 205 為用於驅動電路之 p 通道 TFT。

實際上，在完成至圖 14C 之狀態後，最好使用具有良好氣密性質之保護膜(如疊層膜或紫外線硬化樹脂膜)，或以如陶瓷製成之密封罐之殼材料執行封裝(密封)，而未曝露至大氣中。

(第十一實施例)

在此實施例中，說明當驅動非類比灰階方法而是數位時間灰階方法時之源極訊號側驅動電路之構造。

圖 15 為在此實施例中使用之源極訊號側驅動電路之電路圖。在本發明中，驅動方法可應用至任何類比灰階方法，數位時間灰階方法，數位區域灰階方法等。再者，亦可使用結合灰階方法之方法。

五、發明說明 (45)

移位暫存器 801，門鎖(A)802，和門鎖(B)803 安排如圖所示。在此實施例中，一群門鎖(A)802 和門鎖(B)803 對應於四個源極訊號線 S_a 至 S_d。再者，用於改變訊號電壓之振幅寬度之位準移位器未形成在此實施例中，但是其可由設計者適當的形成。

時鐘訊號 CLK，CLK 之極性反向之時鐘訊號 CLKB，啓始脈衝訊號 SP，和驅動方向轉換訊號 SL/R 以接線輸入至移位暫存器 801，如圖所示。再者，從外界輸入之數位資料訊號 VD 以接線輸入至門鎖(A)802，如圖所示。門鎖訊號 S_LAT 和 S_LAT 極性反向之訊號 S_LATb 以接線輸入至門鎖(B)803，如圖所示。

關於門鎖(A)802 之詳細構造方面，於此說明相關於源極訊號線 S_a 之門鎖(A)802 之一部份 804。門鎖(A)802 之部份 804 具有兩時鐘反向器和兩反向器。

門鎖(A)802 之部份 804 之頂視圖如圖 16 所示。參考數字 831a 和 831b 表示形成門鎖(A)802 之部份 804 之一反向器之 TFT 之主動層，和參考數字 836 表示形成一反向器之 TFT 之共同閘電極。再者，參考數字 832a 和 832b 表示形成門鎖(A)802 之部份 804 之另一反向器之另一 TFT 之主動層，和參考數字 837a 和 837b 分別表示形成在主動層 832a 和 832b 上之閘電極。閘電極 837a 和 837b 電連接。

參考數字 833a 和 833b 表示形成門鎖(A)802 之部份 804 之一時鐘反向器之 TFT 之主動層。閘電極 838a 和 838b 形成在主動層 833a 上，變成雙閘極構造。再者，閘電極 838b

五、發明說明 (46)

和 839 形成在主動層 833b 上，變成一雙閘極構造。

參考數字 834a 和 834b 表示形成閘鎖(A)802 之部份 804 之另一時鐘反向器之 TFT 之主動層。閘電極 839 和 840 形成在主動層 834a 上，變成雙閘極構造。再者，閘電極 840 和 841 形成在主動層 834b 上，變成一雙閘極構造。當進行上述數位灰階時，可顯示如圖 45 所示之灰階特性。

藉由使用上述數位時間灰階方法，如圖 45 所示，可表現 64 灰階。

此實施例可自由結合第一至第十實施例之任一實施例並實施。

(第十二實施例)

在本發明之 EL 顯示裝置中，使用於 EL 元件之 EL 層之材料並不限於有機 EL 材料，而是亦可以無機 EL 材料實施。但是，由於現有之無機 EL 材料之驅動電壓較高，因此必須使用具有電阻特性以承受驅動電壓之 TFT。

再者，如果未來發展出具有較低電壓之無機 EL 材料，其亦可應用於本發明中。

此實施例可自由結合第一至第十一實施例之任一實施例並實施。

(第十三實施例)

在本發明中，使用當成 EL 層之有機物質可為低分子有機物質或聚合物(高分子)有機物質。

五、發明說明 (47)

關於低聚合物有機物質方面，已知之材料主要為 Alq₃(tris-8-羥基喹啉鋁)和 TPD(三苯胺介電)。關於聚合物有機物質方面，於此有 π 共軛聚合物之物質。典型的，於此有 PPV(聚對位苯撐乙烯撐)，PVK(聚乙烯吡啶)，或聚碳酸鹽。

聚合物(高分子)有機物質可以如旋轉塗覆法(溶液應用法)，浸漬法，印刷法或噴墨法等輕易薄膜形成方法形成，且相較於低聚合物有機物質而具有較高的電阻。

再者，在本發明之 EL 顯示裝置之 EL 元件中，如果 EL 元件之 EL 層包含電子傳送層和電洞傳送層時，電子傳送層和電洞傳送層亦可以無機材料構成，如非晶矽和非晶 Si_{1-x}C_x 之非晶半導體製成。

在非晶半導體中，有大量的陷波位準，亦可大量形成在非晶半導體接觸其它層之表面上之表面位準。因此，EL 元件可以高準確度低電壓發光。

再者，可添加摻雜劑(雜質)至有機 EL 層以改變從有機 EL 層發出之光顏色。關於摻雜劑方面，可使用如 DCM1，尼羅紅，rubrene，coumarin 6，TPB，quinacridon。

此實施例可自由結合第一至第十二實施例之任一實施例並實施。

(第十四實施例)

在此實施例中，使用圖 21A 和 21B 說明本發明之 EL 顯示裝置。圖 21A 為形成有 EL 元件之 TFT 基底之頂視圖，其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (48)

中已進行 EL 元件之填充。參考數字 6801 表示源極訊號側驅動電路，參考數字 6802a 和 6802b 表示閘極訊號側驅動電路，和參考數字 6803 表示一圖素部份。再者，參考數字 6804 表示一蓋構件，6805 為第一密封材料，和 6806 為第二密封材料。填充材料 6807 提供在由第一密封構件 6805 所圍繞之內蓋構件和 TFT 基底間(參考圖 21B)。

參考數字 6808 為一連接線，用以傳送輸入至源極訊號側驅動電路 6801，閘極訊號側驅動電路 6802a 和圖素部份 403 之訊號，和從當成與外部設備之連接端之 FPC(軟性印刷電路)接收視頻訊號或時鐘訊號。

圖 21B 為沿圖 21A 之線 A-A'所截取之橫截面圖。在圖 21A 和 21B 中，具有相同參考數字之部份表示相同部份。

如圖 21B 所示，在基底 6800 上形成一圖素部份 6803 和一源極訊號側驅動電路 6801，和圖素部份 6803 以多數包括用以控制在 EL 元件中流動之電流之 TFT(驅動 TFT)之圖素和電連接至汲極之圖素電極 6852 所形成。在此實施例中，驅動 TFT6851 可為 p 通道 TFT。再者，使用 CMOS 電路形成源極側驅動電路 6801，其中 n 通道 TFT6853 和 p 通道 TFT6854 互補結合。

每一圖素在圖素電極下方包含一濾色器(R)6855，濾色器(G)6856，和濾色器(B)(未顯示)。於此，濾色器(R)為用以抽取紅色光之濾色器，濾色器(G)為用以抽取綠色光之濾色器，和濾色器(B)為用以抽取藍色光之濾色器。濾色器(R)6855 提供於紅色發光圖素，濾色器(G)6856 提供於綠色發

五、發明說明 (49)

光圖素，和濾色器(B)提供於藍色發光圖素。

關於提供濾色器之效果方面，首先為可改善發光顏色之顏色純度。例如，從紅色發光圖素可發出紅色光(在此實施例中，光照向圖素電極側)，但是，當此紅色光通過抽取紅色光之濾色器時，可改善紅色之純度。對於綠色和藍色亦相同。

再者，在未使用濾色器之習知構造中，從 EL 顯示裝置外側穿透之可見光激勵 EL 元件之發光層，如此導致無法獲得所要之顏色。但是，藉由提供濾色器，只有特別波長之光可進入 EL 元件。亦即，可防止由來自外界之光激勵 EL 元件之問題。

於此已提出提供濾色器之構造，但是，亦可使用發白色光之 EL 元件。在此例中，由於其它波長之光受去除以抽取紅色光，因此會發生亮度降低之情形。但是，在此實施例中，由於來自 EL 元件之紅色光通過會抽取紅色光之濾色器，因此亮度不會降低。

其次，圖素電極 6852 以一透明導電膜形成且作用當成 EL 元件之陽極。再者，在圖素電極 6852 兩側上形成一絕緣膜 6857，和進一步形成發紅色光之發光層 6858，和發綠色光之發光層 6859。再者，雖然圖中未顯示，發出藍色光之發光層提供在相鄰圖素中，和藉由相關於紅色，綠色，和藍色之圖素而執行彩色顯示。當然，提供有發出藍色光之發光層之圖素亦提供有抽取藍色之濾色器。

關於發光層 6858 和 6859 之材料方面，不只可使用有機

五、發明說明 (50)

材料，且亦可使用無機材料。再者，其構造為不只發光層，且亦有電子注入層，電子傳送層，電洞傳送層，和電洞注入層之結合之疊層構造。

再者，在每一發光層上，EL元件之陰極6860以具有遮光性質之導電膜形成。陰極6860共接至所有圖素且經由一連接線6808電連接至FPC6809。

其次，以一散佈器等形成第一密封材料6805，且以一間隔器(未顯示)噴灑以黏著蓋構件6804。而後，由TFT基底，蓋構件6804和第一密封材料6805所圍繞之區域以真空注入填充以填充劑6807。

再者，可事先添加氧化鋇當成吸濕物質6861至填充劑6807。在此實施例中，吸濕物質添加至填充劑並使用，但是，亦可藉由將其散佈當成叢集而填充在填充劑中。再者，雖然未顯示，吸濕物質亦可使用當成用於間隔器之材料。

其次，在以紫外線照射和加熱使填充劑6807硬化後，封閉形成在第一密封材料6805中之開口(未顯示)。當封閉第一密封材料之開口時，使用導電材料6802電連接連接線6808和FPC6809。再者，提供第二密封材料6806以覆蓋第一密封材料6805之曝露部份和FPC6809之一部份。第二密封材料6806可使用與第一密封材料6805相同的材料。

使用上述方法以填充EL元件至填充劑6807時，EL元件可完全與外界隔離，以防止如濕氣或氧氣之會引起有機材料氧化之物質從外界滲透入。因此，可製造具有高度可

五、發明說明 (5)

靠度之 EL 顯示裝置。

再者，藉由使用本發明，可轉換已存在之液晶顯示裝置之製造線，以顯著降低維護投資成本，且多數發光裝置可從一基底以高良率之處理生產，因此可顯著降低製造成本。

(第十五實施例)

在此實施例中說明第十四實施例所示之 EL 顯示裝置中從 EL 元件發出之光之照射方向與濾色器安排不同之例。圖 22 使用於說明，但是其基本構造與圖 21B 相同，因此，只有改變部份冠以新的文字。

在此實施例中，使用 n 通道 TFT 當成在圖素部份 6901 中之驅動 TFT6902。再者，驅動 TFT6902 之汲極電連接至圖素電極 6903，且圖素電極 6903 以具有遮光性質之導電膜形成。在此實施例中，圖素電極 6903 為 EL 元件之陰極。

再者，一透明導電膜 6904，共接至所有圖素，乃形成在發出紅色光之發光層 6858 和發出綠色光之發光層 6859 上。

再者，此實施例之特徵在於濾色器(R)6905，濾色器(G)6909 和濾色器(B)(未顯示)形成在蓋構件 6804 內。在此實施例之 EL 元件之構造之例中，從發光層發出之光之方向照向蓋構件側，因此，如果使用圖 22 之構造，濾色器可提供在光路徑上。

如果濾色器(R)6905，濾色器(G)6909 和濾色器(B)(未顯

五、發明說明（ 52

示)提供在蓋構件 6804 上，可減少 TFT 基底之處理，因此可改善良率和生產量。

(第十六實施例)

圖 36 和 38 為本發明之圖素構造之第二實施例。此實施例為與源極訊號線不同之接線層和閘極訊號線添加以形成電源線之例。

在圖 36 中，和圖 7 之第七實施例所示相同之部份以相同的參考數字表示，因此省略其說明。

在圖 38 中，和圖 9 之第八實施例所示相同之部份以相同的參考數字表示，因此省略其說明。

接線層 4502a 提供在半導體層之下側上，藉以形成一電源線 49a。以此方式，藉由提供不同層，可藉由添加接線而防止開口比例之下降。

圖 37 和 39 為本發明之第三實施例。在此實施例中，電源線 49b 連接至與第二實施例不同之層，即層 4502b。

在圖 37 中，和圖 8 之第七實施例所示相同之部份以相同的參考數字表示，因此省略其說明。

在圖 39 中，和圖 9 之第八實施例所示相同之部份以相同的參考數字表示，因此省略其說明。

在圖 37 和 39 中，電源線 49b 形成在訊號線 34 上方，但是其亦可不形成在此位置，而是形成在介於閘極訊號線和源極訊號線間之層，或在閘極訊號線下方之層上。

五、發明說明 (53)

(第十七實施例)

在此實施例中，在此實施例中，說明 EL 顯示裝置之光照射方向為至在第十實施例之(基底側)之下表面方向，和電源線提供在半導體層之下側上之例。但是，為了簡化說明，於此顯示相關於驅動電路之基本單元之 CMOS 電路。此驅動電路 TFT 可使用在第十實施例所述之製造方法製造，因此省略其說明。

首先，如圖 25A 所示，準備一基底 600。在此實施例中，使用一結晶玻璃。200 至 400 nm 厚之導電膜形成在基底 600 上，以一阻止光罩 601 定圖樣，和執行蝕刻以形成電源線 602。所執行之蝕刻可為乾蝕刻或濕蝕刻。

其次，如圖 25B 和 25C 所示，形成氧化膜。在此實施例中，疊層 100 nm 厚之氮氧化矽膜 603 和 200 nm 厚之氮氧化矽膜 604。在接觸結晶玻璃基底之膜之氮氧化矽膜 603 之氮濃度最好設定為 10 至 25 wt%。在形成氮氧化矽膜 604 後，執行表面之位準化。特別的，執行一 CMP 或表面拋光。

其次，以已知之膜形成法形成 45 nm 厚之非晶矽膜 605。於此無需限制於非晶矽膜，只要是其為含非晶構造之半導體膜(包括微晶半導體膜)之任何膜皆可使用。此外，亦可使用含非晶構造之化合物半導體膜，如非晶矽鍺膜。

由此至圖 26C 之方法可完全參考本申請人之日本專利申請案第平 10-247735 號案所述。在此專利案中，揭示藉由使用如鎳等之元素當成觸媒而使半導體膜結晶之方法之技術。

五、發明說明 (54)

如圖 25E 所示，形成具有開口部份 606a 和 606b 之保護膜 607。在此實施例中，使用 150 nm 厚之氧化矽膜。而後，如圖 26A 所示，以旋轉塗覆法形成含鎳(Ni)層 608 在保護膜 607 上。關於含鎳層之形成可參考上述專利。

其次，如圖 26B 所示，在惰性氣體中，在 570℃ 下熱處理 14 小時以使非晶矽膜 605 結晶。鎳接觸之區域 609a 和 609b 為開始結晶之啓始點，此結晶大致平行基底進行，以形成具有條狀晶體排列在一起之晶體構造之多晶矽膜 610。

其次，如圖 26C 所示，週期表 15 族(最好為磷)之元素添加至添加鎳區域 609a 和 609b，而以保護膜 607 當成光罩。以此方式，可形成添加高濃度磷之區域 611a 和 611b(添加磷區域)。

其次，如圖 26C 所示，在惰性氣體中，在 600℃ 下執行熱處理 12 小時。以此熱處理，存在於多晶矽膜 610 中之鎳移動，且最後，幾乎所有鎳皆在添加磷區域 611a 和 611b 中被捕捉，如箭頭所示。此即為以磷對金屬元素(在此實施例中為鎳)之吸氣效應之現象。

以此處理留在多晶矽膜 612 中之鎳濃度以 SIMS(二次離子質量頻譜儀)量測降低至 2×10^{17} 原子/cm³。鎳為半導體壽命之殺手，且如果鎳濃度降低至此位準時，則對 TFT 之特性不會有害。再者，此濃度幾乎在由現今 SIMS 所能量測之極限，且因此，預期會有實際更低之濃度(不超過 2×10^{17} 原子/cm³)。

因此可獲得多晶矽膜 612，其使用觸媒結晶，且其中觸

五、發明說明 (55)

媒之位準降低至不會破壞 TFT 功能之位準。而後，藉由定圖樣形成只使用多晶矽膜 612 之主動層 613a 和 613b。此時，可使用上述多晶矽膜形成在後續定圖樣時執行光罩對準之標示(圖 26D)。

其次，以電漿 CVD 法形成 50 nm 厚之氮氧化矽膜，如圖 26E 所示，再者，在氧化氣體中，在 950℃ 下，藉由熱處理 1 小時以執行熱氧化步驟。氧化氣體可為氧氣或添加有鹵素之氧氣。

在此熱氧化處理中，在主動層和上述氮氧化矽膜之介面中進行氧化，藉以氧化約 15 nm 厚之多晶矽膜，以形成約 30 nm 厚之氧化矽膜。亦即，約 50 nm 厚之氧化矽膜和約 30 nm 厚之氮氧化矽膜之疊層膜形成 80 nm 厚之閘極絕緣膜 614。以此熱氧化處理，主動層 613a 和 613b 之厚度為 30 nm。

其次，形成阻止光罩 615，如圖 27A 所示，且授予 p 型導電率之雜質元素(以下稱 p 型雜質元素)經由閘極絕緣膜 614 添加。可使用週期表 13 族之元素，如硼或鎵，當成 p 型雜質元素。此處理為用以控制 TFT 之臨界電壓之處理(通道摻雜處理)。

在此實施例中，以二硼化氫(B_2H_6)電漿激勵以離子摻雜添加硼，而未進行質量分離。當然亦可使用執行質量分離之離子摻雜。藉由此處理，可形成含硼濃度 1×10^{15} 至 1×10^{18} 原子/cm³(典型為 5×10^{16} 至 5×10^{17} 原子/cm³)之雜質區域 616。

五、發明說明 (56)

而後，形成阻止光罩 619，如圖 27B 所示，和經由閘極絕緣膜 614 添加授予 n 型導電率之雜質元素(以下稱 n 型雜質元素)。通常使用週期表第 15 族中之元素當成 n 型雜質元素，且典型的為使用磷或砷。在此實施例中，使用磷化氫(PH_3)之電漿激勵電漿摻雜方法，添加 1×10^{18} 原子/ cm^3 之濃度之磷，而無質量分離。當然亦可使用執行質量分離之離子植入法。

在以此處理形成之 n 型雜質區域 620 中，控制 n 型雜質元素之劑量以使濃度在 2×10^{16} 至 5×10^{19} 原子/ cm^3 間(典型為在 5×10^{17} 至 5×10^{18} 原子/ cm^3 間)。

其次，如圖 27B 所示，進行所添加 n 型雜質元素和 p 型雜質元素之活化處理。於此無需對活化機構做任何限制，但是因為已提供閘極絕緣膜 614，因此最好使用電爐之爐退火處理。再者，在圖 27A 之處理中，有可能破壞主動層和當成通道形成區域之部份之閘極絕緣膜之介面，且因此，最好在儘可能高的溫度上執行熱處理。

在此實施例中，使用具有高熱阻之結晶玻璃，且因此，以爐退火在 800°C 下執行活化處理 1 小時。亦可以氧化氣體之處理氣體而執行熱氧化，或藉由在惰性氣體中執行熱處理。

其次，形成具有 200 至 400 nm 厚之導電膜且定圖樣，以形成閘電極 622，623，和 625，和源極訊號電極 624，和電源電極 626。閘電極 622，623，和 625 之線寬度決定每一 TFT 之通道長度(圖 27D)。

五、發明說明 (57)

閘電極可以單層導電膜形成，但是，亦可製成兩層或三層之疊層膜。可使用已知之導電膜當成閘電極材料。特別的，可使用選自鈦(Ti)，鉭(Ta)，鉬(Mo)，鎢(W)，鉻(Cr)和矽(Si)之元素所製成之膜；或上述元素之氮化物膜(典型的，氮化鉭膜，氮化鎢膜，或氮化鈦膜)；或上述元素之結合之合金膜(典型的，Mo-W 合金或 Mo-Ta 合金)；或上述元素之矽化物膜(典型的，矽化鎢膜或矽化鉭膜)。當然亦可使用單層膜或疊層膜。

在此實施例中，使用 50 nm 厚之氮化鎢(WN)膜 622b，623b，和 625b，和 350 nm 厚之 W 膜 622a，623a，和 625a 之疊層膜。可以濺鍍法形成此膜。再者，如果如 Xe 或 Ne 之惰性氣體添加當成濺鍍氣體時，可防止因為應力之膜剝離。

閘電極 622a(622b)和 623a(623b)在橫截面中看似分離，但是，它們實際電連接。

其次，如圖 28A 所示，n 型雜質元素(在此實施例中使用磷)以自我對準方式以閘電極 622，623，和 625，源極訊號電極 624，和電源電極 626 當成光罩添加。可調整此種添加，因此磷以 n 型雜質區域 620 之濃度之 1/2 至 1/10(典型為 1/3 至 1/4)添加至所形成之雜質區域 627 至 631。特別的，濃度最好為 1×10^{16} 至 5×10^{18} 原子/cm³(典型為 3×10^{17} 至 3×10^{18} 原子/cm³)。

其次，形成阻止光罩 634a 至 634d 以覆蓋閘電極，如圖 28B 所示，和添加 n 型雜質元素(在此實施例中使用磷)，以

五、發明說明 (58

形成含有高濃度磷之雜質區域 635 至 637。於此，亦執行使用磷化氫(PH_3)之離子摻雜，以使此區域之磷濃度為 1×10^{20} 至 1×10^{21} 原子/ cm^3 (典型為 2×10^{20} 和 5×10^{20} 原子/ cm^3)。

以此方法形成 n 通道 TFT 之源極區域或汲極區域，和在開關 TFT 中，留下有由圖 28A 之方法所形成之 n 型雜質區域 627 至 631 之一部份。其餘區域相當於開關 TFT 之 LDD 區域。

其次，如圖 28C 所示，移去阻止光罩 634a 至 634d，和形成一新的阻止光罩 642。而後添加 p 型雜質元素(在此實施例中使用硼)，形成含有高濃度硼之雜質區域 643 和 644。於此使用硼化氫(B_2H_6)之離子摻雜，而添加硼至濃度為 3×10^{20} 至 3×10^{21} 原子/ cm^3 (典型為 5×10^{20} 至 1×10^{21} 原子/ cm^3)。

磷已以濃度為 1×10^{20} 至 1×10^{21} 原子/ cm^3 添加至雜質區域 643 和 644，但是，硼以至少磷濃度之三倍添加。因此，事先形成之 n 型雜質區域已完全的形成反向為 p 型，且作用當成 p 型雜質區域。

其次，在移除阻止光罩 642 後，形成第一中間層絕緣膜 646，如圖 28D 所示。關於第一中間層絕緣膜 646 方面，可使用含矽之單層絕緣膜，或亦可使用一疊層膜。再者，可使用介於 400 nm 和 $1.5 \mu\text{m}$ 之膜厚度。此實施例中使用 800 nm 厚氧化矽膜在 200 nm 厚氮氧化矽膜上之疊層構造。

而後，以相關濃度添加之 n 型雜質元素和 p 型雜質元素受到活化。關於活化機構方面，最好使用爐退火。在此

五、發明說明 (59)

實施例中，執行之熱處理為在電爐中在惰性氣下在 550℃ 下熱處理 4 小時。

此外，在含有 3 至 100% 氫之氣體中，在 300 至 450℃ 上執行熱處理 1 至 12 小時，以執行氫化。此處理為以熱激勵之氫終結在半導體膜中之懸垂鍵之處理之一。亦可執行電漿氫化(使用以電漿激勵之氫)當成氫化之另一方式。

在第一中間層絕緣膜 646 之形成時亦可進行氫化步驟。亦即，氫處理可如上述在形成 200 nm 厚之氮氧化矽膜後執行，而後形成剩餘之 800 nm 厚之氧化矽膜。

其次，如 29A 所示，在第一中間層絕緣膜 646 和閘極絕緣膜 614 中形成接觸孔，藉以形成源極接線 647，650 和汲極接線 652，653。在此實施例中，具有 100 nm 鈦膜，300 nm 含鈦鋁膜，和 150 nm 鈦膜連續以濺鍍形成之三層構造之疊層膜使用當成電極。當然亦可使用其它導電膜。

其次形成厚度為 50 至 500 nm(典型的為介於 200 和 300 nm 間)之第一鈍化膜 654。在此實施例中，使用 300 nm 厚之氮氧化矽膜當成第一鈍化膜 654。此氮氧化矽膜亦可以氮化矽膜取代之。

在氮氧化矽膜形成前，可有效的執行使用含如 H_2 或 NH_3 之氫之氣體之電漿處理。以此先前處理激勵之氫乃供應至第一中間層絕緣膜 646，和藉由執行熱處理，可改善第一鈍化膜 654 之膜品質。同時，添加至第一中間層絕緣膜 646 之氫擴散至下側，和主動層可有效的受到氫化。

其次，如圖 29B 所示，以一有機樹脂形成第二中間層

五、發明說明 (60)

絕緣膜 655。關於有機樹脂方面，可使用聚醯亞胺，丙烯酸，和 BCB(苯並環丁烷)等材料。特別的，由於第二中間層絕緣膜 655 需要位準化由 TFT 所形成之步階，且因此，最好使用具有優良位準特性之丙烯酸。在此實施例中形成 $2.5\ \mu\text{m}$ 之丙烯酸膜。

而後，到達汲極接線 653 之一接觸孔形成在第二中間層絕緣膜 655 和第一鈍化膜 654 中，而後形成圖素電極(陽極)656。在此實施例中，形成厚度 110 nm 之銦錫氧化膜(ITO)，且定圖樣，形成圖素電極。再者，亦可使用 2 至 20 %氧化鋅(ZnO)混合在氧化銦中之透明導電膜。此圖素電極變成 EL 元件之陽極。

其次，形成 500 nm 厚之樹脂 661a 和 661b，和開口部份形成在相關於圖素電極 656 之位置上。

其次，以真空蒸鍍法連續形成 EL 層 658 和陰極(MgAg 電極)659，而未曝露至大氣。EL 層 658 之膜厚度可設為 80 至 200 nm(典型的介於 100 至 120 nm)，和陰極 659 之厚度可設為 180 至 300 nm(典型的介於 200 至 250 nm)。

在此處理中，EL 層和陰極依序形成以對應於相關於紅色之圖素，相關於綠色之圖素，和相關於藍色之圖素。但是，EL 層相對於溶液相當微弱，且因此，對於每一顏色之 EL 層和陰極之形成，未使用微影成像技術。而後，使用金屬光罩以覆蓋所需圖素外之區域，且較佳的是選擇性的形成 EL 層和陰極只在所需位置。

換言之，一光罩首先設定以覆蓋除了用於相關於紅色

五、發明說明 (6)

之圖素外之所有區域，和發紅色光 EL 層和陰極使用光罩選擇性形成。其次，一光罩設定以覆蓋除了用於相關於綠色之圖素外之所有區域，和發綠色光 EL 層和陰極使用光罩選擇性形成。再者，一光罩設定以覆蓋除了用於相關於藍色之圖素外之所有區域，和發藍色光 EL 層和陰極使用光罩選擇性形成。於此說明使用所有不同光罩，但是亦可再使用相同光罩。此外，較佳的是，執行所有處理而未破壞真空，直到對所有圖素形成 EL 層和陰極。

可使用已知材料當成 EL 層 658。在考量驅動電壓下，最好使用有機材料當成已知材料。例如，亦可使用以電洞注入層，電洞傳送層，發光層，和電子注入層之 4 層構造當成 EL 層。再者，在第十七實施例中，雖然 MgAg 電極使用當成 EL 元件之陰極，但是，本發明並不限於此，陰極亦可使用其它材料。

再者，適當的是使用包含鋁當成其主要構成之導電膜當成一保護電極 660。此保護電極 660 可以真空蒸鍍法，使用與在 EL 層和陰極形成中所使用不同之光罩形成。此外，在形成 EL 層和陰極後，保護電極 660 最好連續形成而未曝露至大氣。

以此方式，可完成如圖 29C 所示構造之主動矩陣 EL 顯示裝置。

實際上，在完成至圖 29C 之狀態後，最好使用具有良好氣密性質之保護膜(如疊層膜或紫外線硬化樹脂膜)，或以如陶瓷製成之密封罐之殼材料執行封裝(密封)，而未曝露至

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(62

大氣中。

(第十八實施例)

在第十八實施例中，說明一種方法，其中 EL 顯示裝置之發光方向設定至向著下表面(基底側)之方向，和電流線製造在第十實施例中之訊號線之上部份上。但是，爲了簡化說明起見，圖中顯示一 CMOS 電路，其爲驅動電路之基本電路。於此，驅動電路 TFT 可使用第十實施例所述之製造方法製造，因此省略其說明。

首先，如圖 30A 所示，準備一基底 701，其表面上提供一底膜 702。在第十八實施例中，100 nm 厚之氮氧化矽膜和 200 nm 厚之氮氧化矽膜之疊層膜使用當成在一結晶玻璃上之底膜。此時，在接觸結晶玻璃側之氮濃度最好設定爲 10 至 25 wt%。當然，亦可將一元件直接形成在一石英基底上，而未提供底膜。

其次，以已知之膜形成法形成 45 nm 厚之非晶矽膜 703 在底膜 702 上。於此無需限制於非晶矽膜，只要是其爲含非晶構造之半導體膜(包括微晶半導體膜)之任何膜皆可使用。此外，亦可使用含非晶構造之化合物半導體膜，如非晶矽鍺膜。

由此至圖 30C 之方法可完全參考本申請人之日本專利申請案第平 10-247735 號案所述。在此專利案中，揭示藉由使用如鎳等之元素當成觸媒而使半導體膜結晶之方法之技術。

五、發明說明 (68)

首先，形成具有開口部份 704a，704b，和 704c 之保護膜 705。在此實施例中，使用 150 nm 厚之氧化矽膜。而後，以旋轉塗覆法形成含鎳(Ni)層 706 在保護膜 705 上。關於含鎳層之形成可參考上述專利。

其次，如圖 30B 所示，在惰性氣體中，在 570℃ 下熱處理 14 小時以使非晶矽膜 703 結晶。鎳接觸之區域 707a，707b，和 707c(添加鎳區域)為開始結晶之起始點，此結晶大致平行基底進行，以形成具有條狀晶體排列在一起之晶體構造之多晶矽膜 708。

其次，如圖 30C 所示，週期表 15 族(最好為磷)之元素添加至添加鎳區域 707a，707b，和 707c，而以保護膜 705 當成光罩。以此方式，可形成添加高濃度磷之區域 709a，709b，和 709c(添加磷區域)。

其次，如圖 30C 所示，在惰性氣體中，在 600℃ 下執行熱處理 12 小時。以此熱處理，存在於多晶矽膜 708 中之鎳移動，且最後，幾乎所有鎳皆在添加磷區域 709a，709b，和 709c 中被捕捉，如箭頭所示。此即為以磷對金屬元素(在此實施例中為鎳)之吸氣效應之現象。

以此處理，留在多晶矽膜 710 中之鎳濃度以 SIMS(二次離子質量頻譜儀)量測降低至 2×10^{17} 原子/cm³。鎳為半導體壽命之殺手，且如果鎳濃度降低至此位準時，則對 TFT 之特性不會有害。再者，此濃度幾乎在由現今 SIMS 所能量測之極限，且因此，預期會有實際更低之濃度(不超過 2×10^{17} 原子/cm³)。

五、發明說明 (64)

因此可獲得多晶矽膜 710，其使用觸媒結晶，且其中觸媒之位準降低至不會破壞 TFT 功能之位準。而後，藉由定圖樣形成只具有多晶矽膜 710 之主動層 711a 和 711b。此時，可使用上述多晶矽膜形成在後續定圖樣時執行光罩對準之標示(圖 30D)。

其次，以電漿 CVD 法形成 50 nm 厚之氮氧化矽膜，如圖 30E 所示，再者，在氧化氣體中，在 950℃ 下，藉由熱處理 1 小時以執行熱氧化處理。氧化氣體可為氧氣或添加有鹵素之氧氣。

在此熱氧化處理中，在主動層和上述氮氧化矽膜之介面中進行氧化，藉以氧化約 15 nm 厚之多晶矽膜，以形成約 30 nm 厚之氧化矽膜。亦即，約 50 nm 厚之氧化矽膜和約 30 nm 厚之氮氧化矽膜之疊層膜形成 80 nm 厚之閘極絕緣膜 712。以此熱氧化處理，主動層 711a 和 711b 之厚度為 30 nm。

其次，如圖 31A 所示，形成阻止光罩 713，且授予 p 型導電率之雜質元素(以下稱 p 型雜質元素)經由閘極絕緣膜 712 添加。可使用週期表 13 族之元素，如硼或鎵，當成 p 型雜質元素。此處理為用以控制 TFT 之臨界電壓之處理(通道摻雜處理)。

在此實施例中，以二硼化氫(B_2H_6)電漿激勵以離子摻雜添加硼，而未進行質量分離。當然亦可進行執行質量分離之離子摻雜。藉由此處理，可形成含硼濃度 1×10^{15} 至 1×10^{18} 原子/cm³(典型為 5×10^{16} 至 5×10^{17} 原子/cm³)之雜質區

五、發明說明 (65)

域 714。

而後，形成阻止光罩 716，如圖 31B 所示，和經由閘極絕緣膜 712 添加授予 n 型導電率之雜質元素(以下稱 n 型雜質元素)。通常使用週期表第 15 族中之元素當成 n 型雜質元素，且典型的為使用磷或砷。在此實施例中，使用磷化氫(PH_3)之電漿激勵電漿摻雜方法，添加 1×10^{18} 原子/ cm^3 之濃度之磷，而無質量分離。當然亦可進行執行質量分離之離子植入法。

在以此處理形成之 n 型雜質區域 715 中，控制 n 型雜質元素之劑量以使濃度在 2×10^{16} 至 5×10^{19} 原子/ cm^3 間(典型為在 5×10^{17} 至 5×10^{18} 原子/ cm^3 間)。

其次，如圖 31C 所示，進行所添加 n 型雜質元素和 p 型雜質元素之活化處理。於此無需對活化機構做任何限制，但是因為已提供閘極絕緣膜 712，因此最好使用電爐之爐退火處理。再者，在圖 31A 之處理中，有可能破壞主動層和當成通道形成區域之部份之閘極絕緣膜之介面，且因此，最好在儘可能高的溫度上執行熱處理。

在此實施例中，使用具有高熱阻之結晶玻璃，且因此，以爐退火在 800°C 下執行活化處理 1 小時。亦可以氧化氣體之處理氣體而執行熱氧化，或藉由在惰性氣體中執行熱處理。

其次，形成具有 200 至 400 nm 厚之導電膜且定圖樣，以形成閘電極 622，719 至 724，和汲極接線 717 和 718。閘電極 719 至 714 之線寬度決定每一 TFT 之通道長度(圖 31D)

五、發明說明 (66)

。

閘電極可以單層導電膜形成，但是，最好製成兩層或三層之疊層膜。可使用已知之導電膜當成閘電極材料。特別的，可使用選自鈦(Ti)，鉭(Ta)，鉬(Mo)，鎢(W)，鉻(Cr)和矽(Si)之元素所製成之膜；或上述元素之氮化物膜(典型的，氮化鉭膜，氮化鎢膜，或氮化鈦膜)；或上述元素之結合之合金膜(典型的，Mo-W 合金或 Mo-Ta 合金)；或上述元素之矽化物膜(典型的，矽化鎢膜或矽化鉭膜)。當然亦可使用單層膜或疊層膜。

在此實施例中，使用 50 nm 厚之氮化鎢(WN)膜 722 至 724，和 350 nm 厚之 W 膜 719 至 721 之疊層膜。可以濺鍍法形成此膜。再者，如果如 Xe 或 Ne 之惰性氣體添加當成濺鍍氣體時，可防止因為應力之膜剝離。

閘電極 719(722)和 720(723)在橫截面中看似分離，但是，它們實際電連接。

其次，如圖 32A 所示，n 型雜質元素(在此實施例中使用磷)以自我對準方式以閘電極 719 至 724，和汲極接線 717 和 718 當成光罩添加。可調整此種添加，因此磷以 n 型雜質區域 715 之濃度之 1/2 至 1/10(典型為 1/3 至 1/4)添加至所形成之雜質區域 725 至 729。特別的，濃度最好為 1×10^{16} 至 5×10^{18} 原子/cm³(典型為 3×10^{17} 至 3×10^{18} 原子/cm³)。

其次，形成阻止光罩 730a 至 730c 以覆蓋閘電極，如圖 32B 所示，和添加 n 型雜質元素(在此實施例中使用磷)，以形成含有高濃度磷之雜質區域 731 至 733。於此，亦執行使

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (67)

用磷化氫(PH_3)之離子摻雜，以使此區域之磷濃度為 1×10^{20} 至 1×10^{21} 原子/ cm^3 (典型為 2×10^{20} 和 5×10^{20} 原子/ cm^3)。

以此方法形成 n 通道 TFT 之源極區域和汲極區域，但是在開關 TFT 中，留下有由圖 32A 之方法所形成之 n 型雜質區域 725 至 727 之一部份。其餘區域變成開關 TFT 之 LDD 區域。

其次，如圖 32C 所示，移去阻止光罩 730a 至 730c，和形成一新的阻止光罩 34。而後添加 p 型雜質元素(在此實施例中使用硼)，以形成含有高濃度硼之雜質區域 735 和 736。於此使用硼化氫(B_2H_6)之離子摻雜，而添加硼至濃度為 3×10^{20} 至 3×10^{21} 原子/ cm^3 (典型為 5×10^{20} 至 1×10^{21} 原子/ cm^3)。

磷已以濃度為 1×10^{20} 至 1×10^{21} 原子/ cm^3 添加至雜質區域 735 和 736，但是，硼以至少磷濃度之三倍添加。因此，事先形成之 n 型雜質區域已完全的形成反向為 p 型，且作用當成 p 型雜質區域。

其次，在移除阻止光罩 734 後，形成第一中間層絕緣膜 737，如圖 32D 所示。關於第一中間層絕緣膜 737 方面，可使用含矽之單層絕緣膜，或亦可使用一疊層膜。再者，可使用介於 400 nm 和 $1.5 \mu\text{m}$ 之膜厚度。此實施例中使用 800 nm 厚氧化矽膜在 200 nm 厚氮氧化矽膜上之疊層構造。

而後，以相關濃度添加之 n 型雜質元素和 p 型雜質元素受到活化。關於活化機構方面，最好使用爐退火。在此實施例中，執行之熱處理為在電爐中在惰性氣下在 550°C 下

五、發明說明 (68)

熱處理 4 小時。

此外，在含有 3 至 100% 氫之氣體中，在 300 至 450℃ 上執行熱處理 1 至 12 小時，以執行氫化。此處理為以熱激勵之氫終結在半導體膜中之懸垂鍵之處理之一。亦可執行電漿氫化(使用以電漿激勵之氫)當成氫化之另一方式。

在第一中間層絕緣膜 737 之形成時亦可進行氫化步驟。亦即，氫處理可如上述在形成 200 nm 厚之氮氧化矽膜後執行，而後形成剩餘之 800 nm 厚之氧化矽膜。

其次，如 33A 所示，在第一中間層絕緣膜 737 和閘極絕緣膜 712 中形成接觸孔，藉以形成源極接線 738，739 和汲極接線 740，741。在此實施例中，具有 100 nm 鈦膜，300 nm 含鈦鋁膜，和 150 nm 鈦膜連續以濺鍍形成之三層構造之疊層膜使用當成電極。當然亦可使用其它導電膜。

其次形成厚度為 50 至 500 nm(典型的為介於 200 和 300 nm 間)之第一鈍化膜 742。在此實施例中，使用 300 nm 厚之氮氧化矽膜當成第一鈍化膜 742。此氮氧化矽膜亦可以氮化矽膜取代之。

在氮氧化矽膜形成前，可有效的執行使用含如 H_2 或 NH_3 之氫之氣體之電漿處理。以此先前處理激勵之氫乃供應至第一中間層絕緣膜 737，和藉由執行熱處理，可改善第一鈍化膜 742 之膜品質。同時，添加至第一中間層絕緣膜 737 之氫擴散至下側，和主動層可有效的受到氫化。

其次，如圖 33B 所示，形成一絕緣膜 743。在此實施例中，使用氮氧化矽膜當成絕緣膜 743。而後，到達接線 739

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (69)

之一接觸孔形成在絕緣膜 743，第一鈍化膜 742，和第一中間層絕緣膜 737 中，以形成一電源線 744。在此實施例中，電源線 744 為以氮化鎢膜和鎢膜形成之疊層膜。當然，亦可使用其它導電膜。

其次，如圖 33C 所示，以一有機樹脂形成第二中間層絕緣膜 742。關於有機樹脂方面，可使用聚醯亞胺，丙烯酸，和 BCB(苯並環丁烷)等材料。特別的，由於第二中間層絕緣膜 745 需要位準化由 TFT 所形成之步階，且因此，最好使用具有優良位準特性之丙烯酸。在此實施例中形成 $2.5\ \mu\text{m}$ 之丙烯酸膜。

其次，如圖 33D 所示，到達汲極接線 741 之一接觸孔形成在第二中間層絕緣膜 745，絕緣膜 743，和第一鈍化膜 742 中，而後形成圖素電極(陽極)746。在此實施例中，形成厚度 110 nm 之銦錫氧化膜(ITO)，且定圖樣，形成圖素電極。再者，亦可使用 2 至 20 %氧化鋅(ZnO)混合在氧化銦中之透明導電膜。此圖素電極變成 EL 元件之陽極。

其次，如圖 34 所示，形成 500 nm 厚之樹脂 747a 和 747b，和開口部份形成在相關於圖素電極 746 之位置上。

其次，以真空蒸鍍法連續形成 EL 層 748 和陰極(MgAg 電極)749，而未曝露至大氣。EL 層 748 之膜厚度可設為 80 至 200 nm(典型的介於 100 至 120 nm)，和陰極 749 之厚度可設為 180 至 300 nm(典型的介於 200 至 250 nm)。

在此處理中，EL 層和陰極依序形成以對應於相關於紅色之圖素，相關於綠色之圖素，和相關於藍色之圖素。但

五、發明說明 (70)

是，EL 層相對於溶液相當微弱，且因此，EL 層和陰極必須相對於每一顏色形成，而未使用微影成像技術。而後，最好使用金屬光罩以覆蓋所需圖素外之區域，且較佳的是選擇性的形成 EL 層和陰極只在所需位置。

換言之，一光罩首先設定以覆蓋除了用於相關於紅色之圖素外之所有區域，和發紅色光 EL 層和陰極使用光罩選擇性形成。其次，一光罩設定以覆蓋除了用於相關於綠色之圖素外之所有區域，和發綠色光 EL 層和陰極使用光罩選擇性形成。再者，一光罩設定以覆蓋除了用於相關於藍色之圖素外之所有區域，和發藍色光 EL 層和陰極使用光罩選擇性形成。於此說明使用所有不同光罩，但是亦可再使用相同光罩。此外，較佳的是，執行所有處理而未破壞真空，直到對所有圖素形成 EL 層和陰極。

可使用已知材料當成 EL 層 748。在考量驅動電壓下，最好使用有機材料當成已知材料。例如，亦可使用以電洞注入層，電洞傳送層，發光層，和電子注入層之 4 層構造當成 EL 層。再者，在此實施例中，雖然 MgAg 電極使用當成 EL 元件之陰極，但是，本發明並不限於此，陰極亦可使用其它材料。

再者，適當的是使用包含鋁當成其主要構成之導電膜當成一保護電極 750。此保護電極 750 可以真空蒸鍍法，使用與在 EL 層和陰極形成中所使用不同之光罩形成。此外，在形成 EL 層和陰極後，保護電極 750 最好連續形成而未曝露至大氣。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (7)

以此方式，可完成如圖 34 所示構造之主動矩陣 EL 顯示裝置。

實際上，在完成至圖 34 之狀態後，最好使用具有良好氣密性質之保護膜(如疊層膜或紫外線硬化樹脂膜)，或以如陶瓷製成之密封罐之殼材料執行封裝(密封)，而未曝露至大氣中。

(第十九實施例)

藉由應用本發明所製造之 EL 顯示裝置可使用在各種電子設備。以下說明安裝應用本發明所製造之 EL 顯示裝置當成顯示媒體之電子設備。

此種電子設備包括電視接收器，電話，視頻相機，數位相機，頭戴式顯示器(魚眼型顯示器)，遊戲機，車輛導航系統，個人電腦，手提資訊終端(如手提電腦，行動電話，或電子書)等。這些範例如圖 17A 至 17F 所示。

圖 17A 為一個人電腦，且包含一主體 2001，一殼 2002，一顯示部份 2003，和一鍵盤 2004。本發明之 EL 顯示裝置可使用在個人電腦之顯示部份 2003。

圖 17B 為一視頻相機，且包含一主體 2101，一顯示部份 2102，一聲音輸入部份 2103，操作開關 2104，一電池 2105，和一影像接收部份 2106。本發明之 EL 顯示裝置可使用在視頻相機之顯示部份 2102。

圖 17C 為一頭戴型顯示器之部份(右側)，且包含一主體 2301，一訊號線 2302，一頭固定帶 2303，一螢幕監視器

五、發明說明 (72)

2304，一光學系統 2305，和一顯示部份 2306。本發明之 EL 顯示裝置可使用在頭戴式顯示器之顯示部份 2306。

圖 17D 為一安裝有記錄媒體之影像播放裝置(特別是，DVD 播放裝置)，且包含一主體 2401，一記錄媒體(如 CD，LD，或 DVD)2402，一操作開關 2403，一顯示部份(a)2404，和一顯示部份(b)2405。顯示部份(a)2404 主要使用於顯示影像資訊，和顯示部份(b)2405 主要使用於顯示文字資訊。本發明之 EL 顯示裝置可使用在安裝有記錄媒體之影像播放裝置之顯示部份(a)2404 和顯示部份(b)2405。值得注意的是，本發明可使用在如 CD 播放裝置和遊戲設備之裝置中當成安裝有記錄媒體之影像播放裝置。

圖 17E 為一行動電腦，且包含一主體 2501，一相機部份 2502，一影像接收部份 2503，操作開關 2504，和一顯示部份 2505 等。本發明之 EL 顯示裝置可使用在行動電腦之顯示部份 2505。

圖 17F 為一 TV 接收器，且包含一主體 2601a，一顯示部份 2604c，操作開關 2604d 等。本發明之 EL 顯示裝置可使用在 TV 接收器之顯示部份 2604c。

再者，如果未來可改善 EL 材料之發射亮度時，此 EL 材料亦可使用在前面型或背面型投影器中。

如上所述，本發明之可應用範圍極廣，且本發明可應用至所有領域之電子設備。再者，此實施例之電子設備亦可使用第一至第十八實施例之自由結合之構造而達成。

在習知 EL 顯示裝置中，當螢幕尺寸變大時，會因為大

五、發明說明 (78)

尺寸而造成電流之增加而在電流線上發生電位降，且如此會產生之問題是影像顯示之品質受到損壞。

但是，本發明可藉由上述構造降低接線電阻之效應，且即使在 EL 元件中流動之電流增加，亦可執行顯示而不會使圖像品質遭受破壞。

(請先閱讀背面之注意事項再填寫本頁)

裝

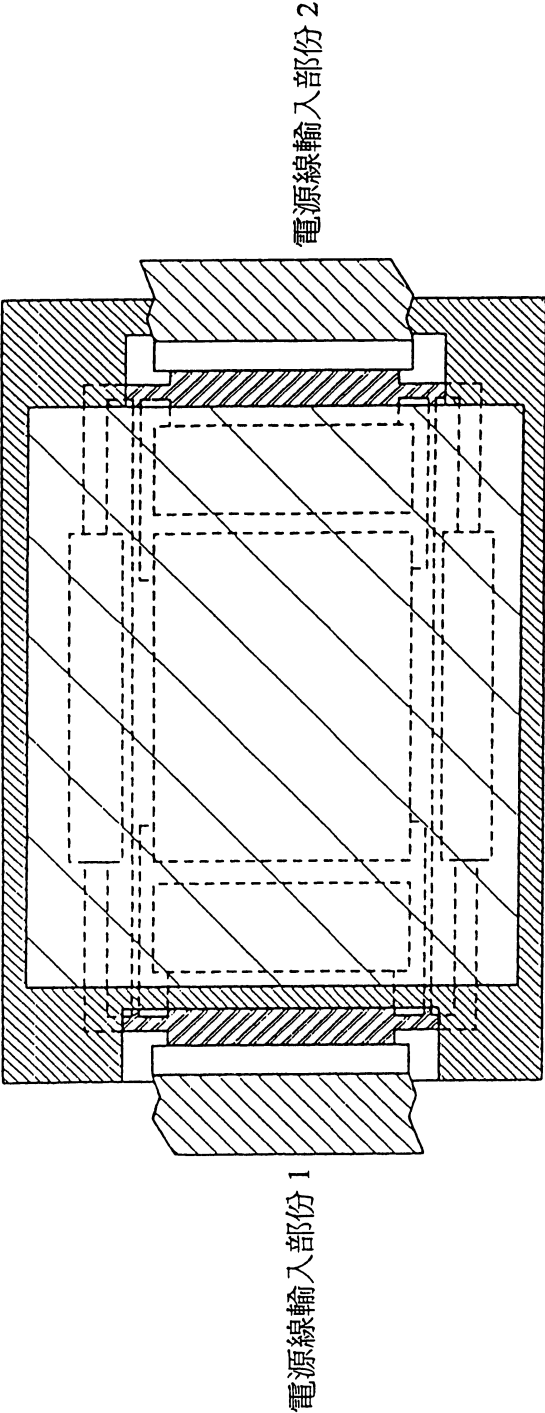
訂

四、中文發明摘要(發明之名稱：發光裝置)

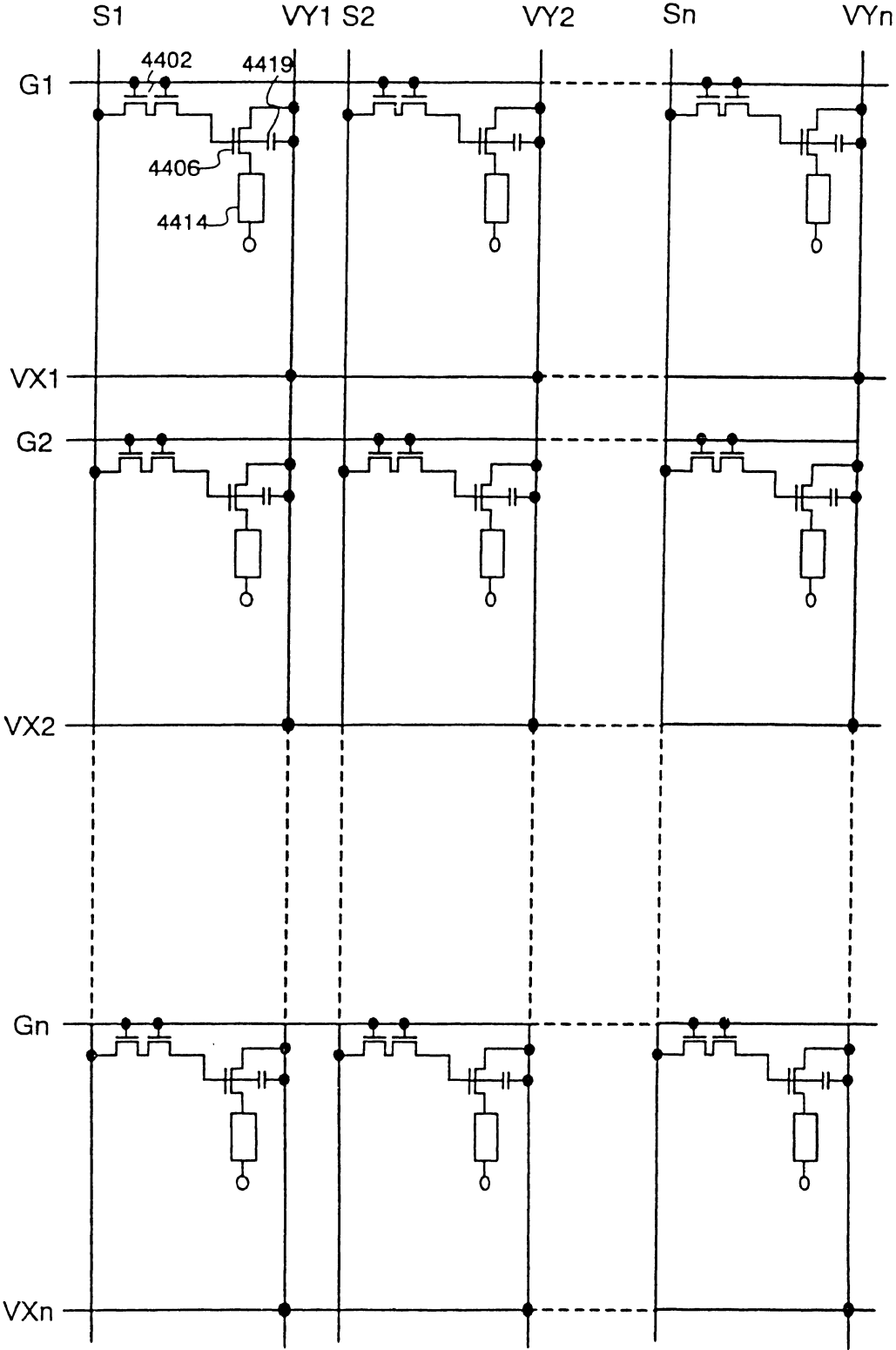
本發明提供一種主動矩陣 EL 顯示裝置，其可顯示一清晰多灰階彩色顯示以降低因為電源線之接線電阻之電位降所引起之電位移位，藉以降低在顯示區域中之不均勻性。於此安排電源線之多數拉出埠。再者，在介於外部輸入端和圖素部份電源線間之接線電阻中，藉由以一饋回放大器而供應電位至電源線而執行電位補償。再者，除了上述構造外，電源線亦可安排成矩陣。

英文發明摘要(發明之名稱：Light emitting device)

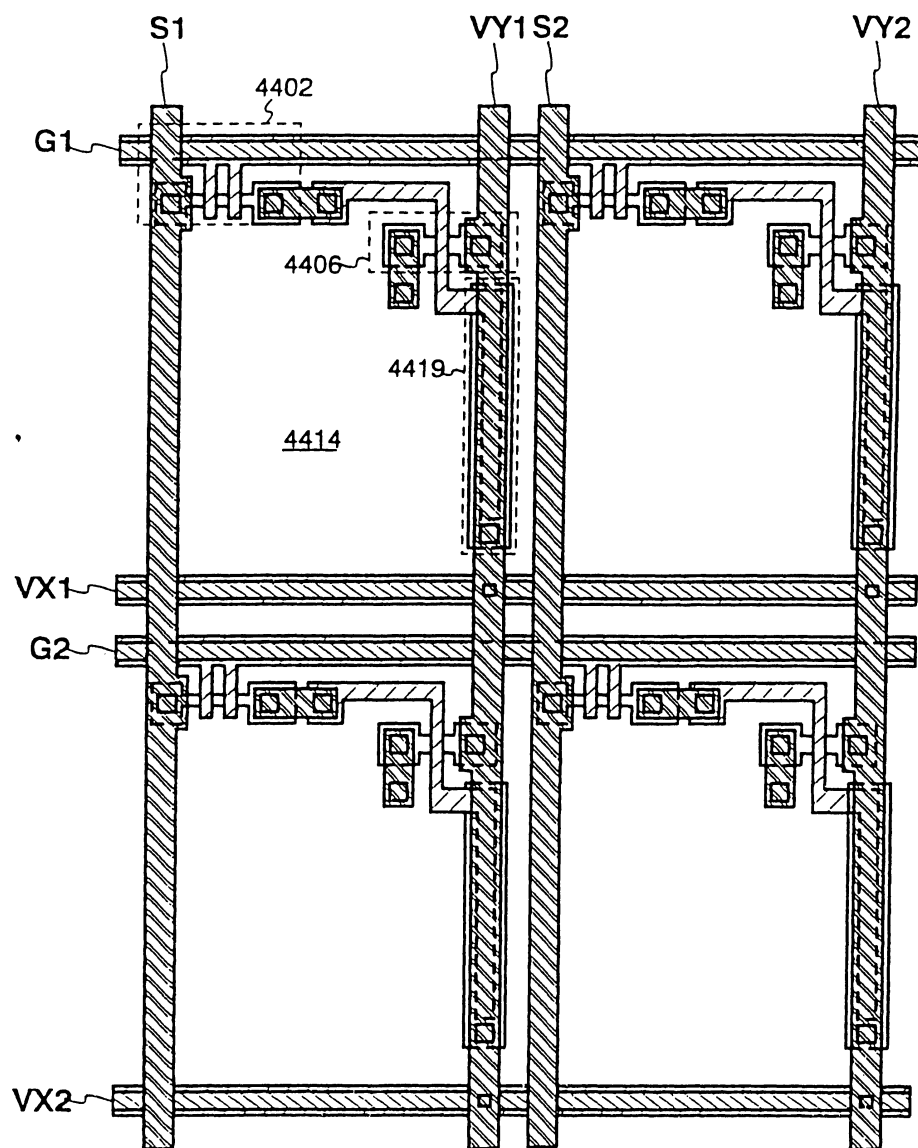
There is provided an active matrix EL display device that can display a clear multi gray-scale color display to reduce the shift in the potential caused by the potential drop due to the wiring resistance of a power source supply line, in order to decrease the unevenness in a display region. A plurality of drawing out ports of the power source supply line are arranged. Further, in the wiring resistance between the external input terminal and the pixel portion power source supply line, potential compensation is performed by supplying potential to the power source supply line by a feedback amplifier. Further, in addition to above structure, the power source supply line may be arranged in a matrix.



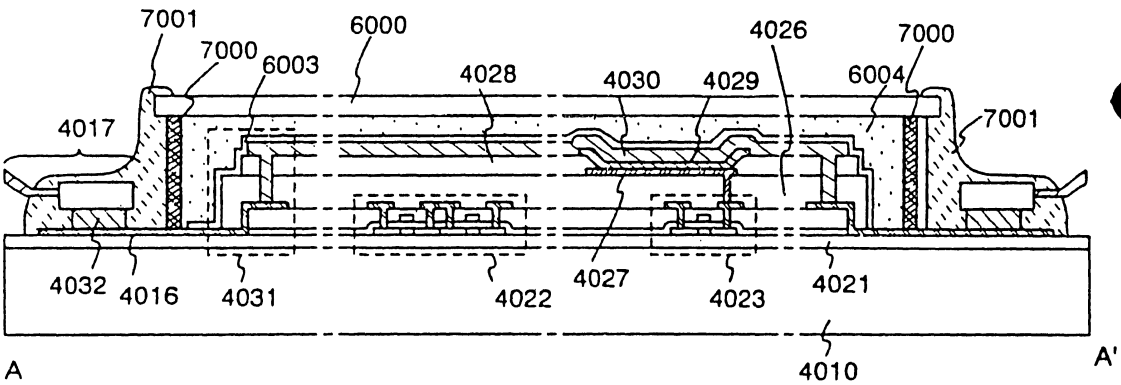
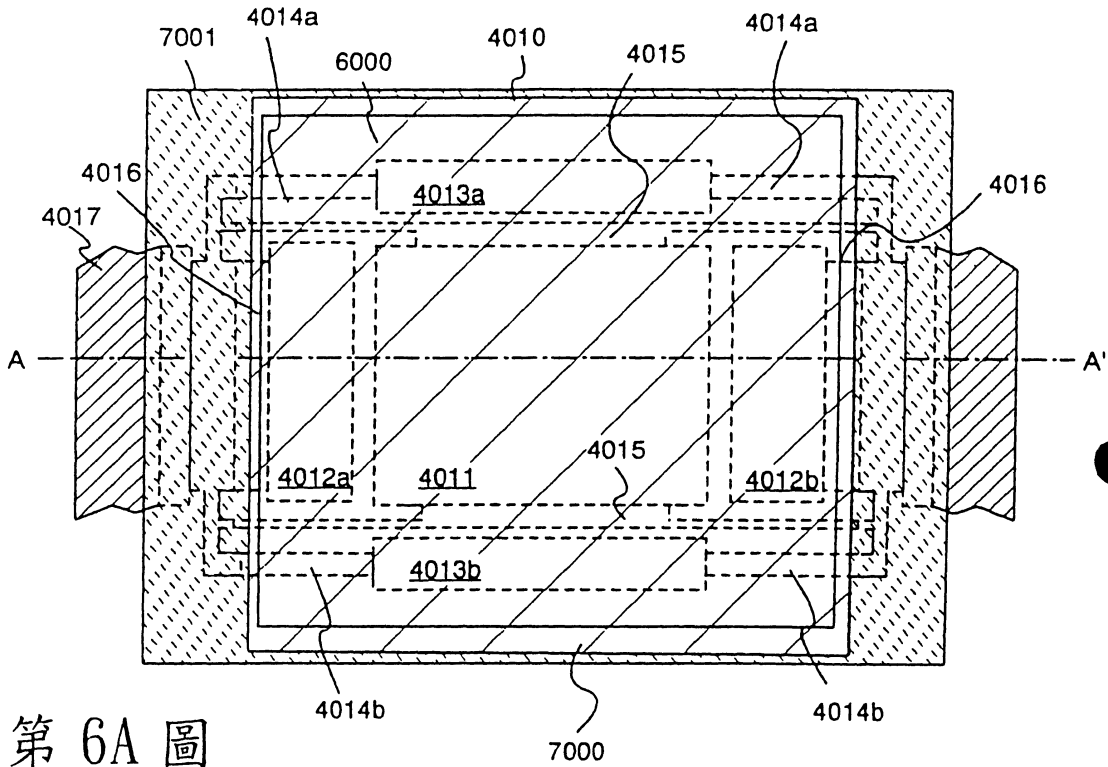
第 1 圖

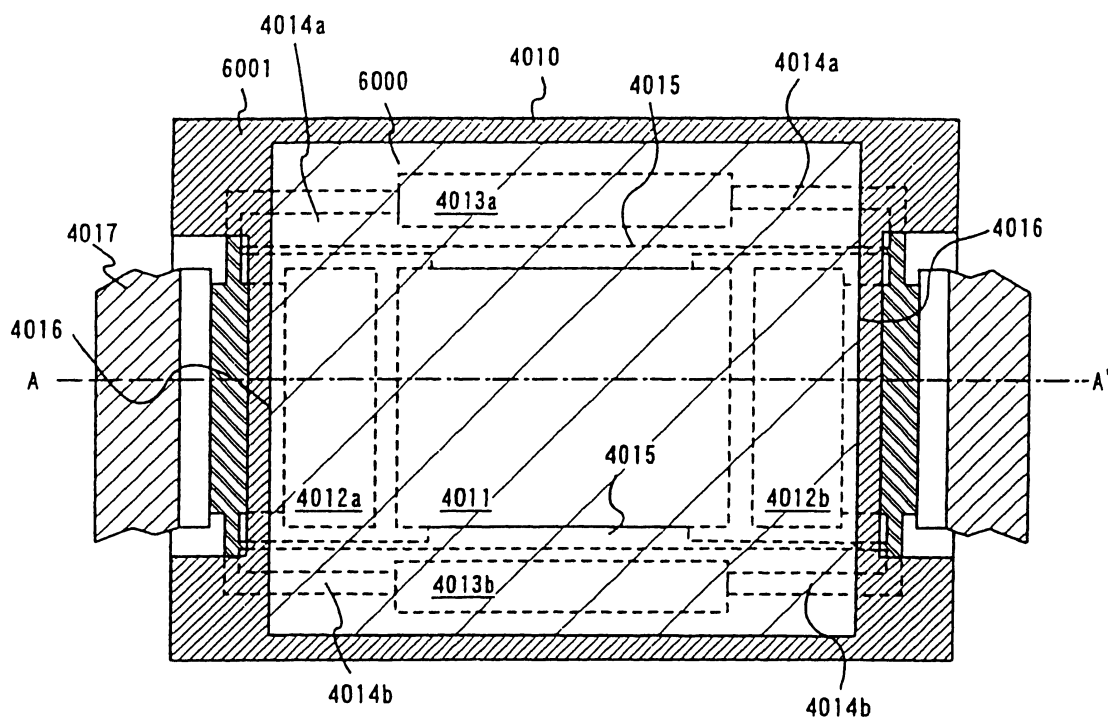


第 2 圖

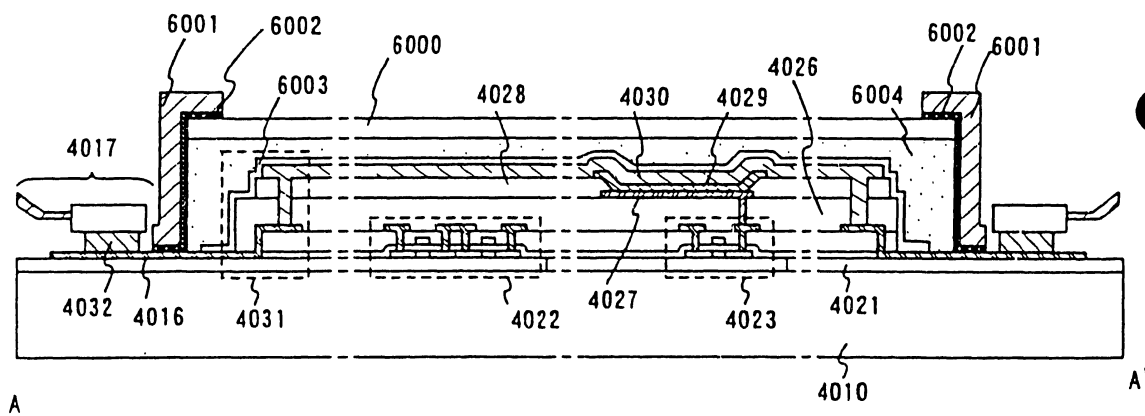


第 3 圖

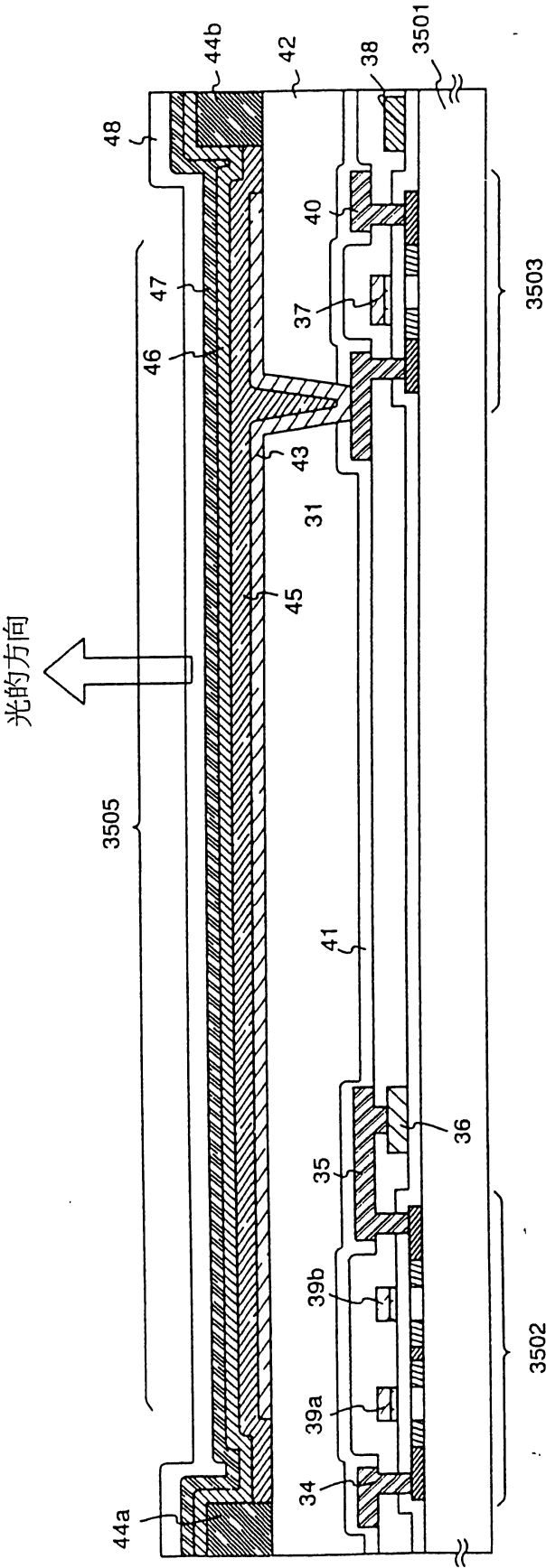




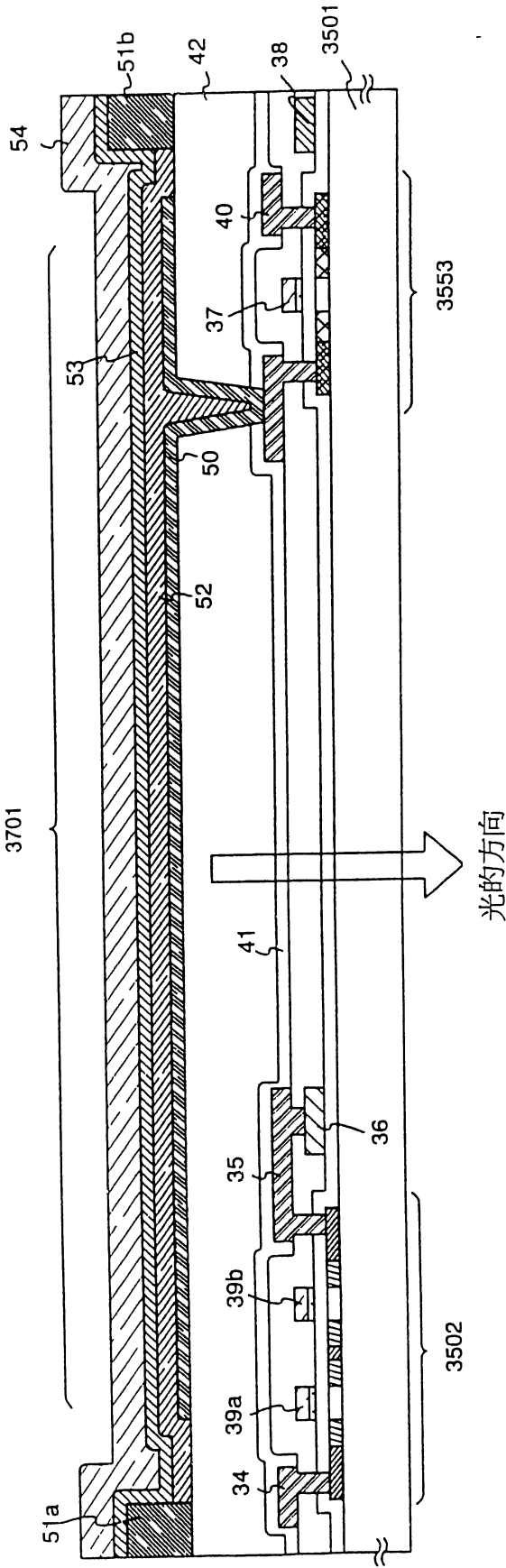
第 7A 圖



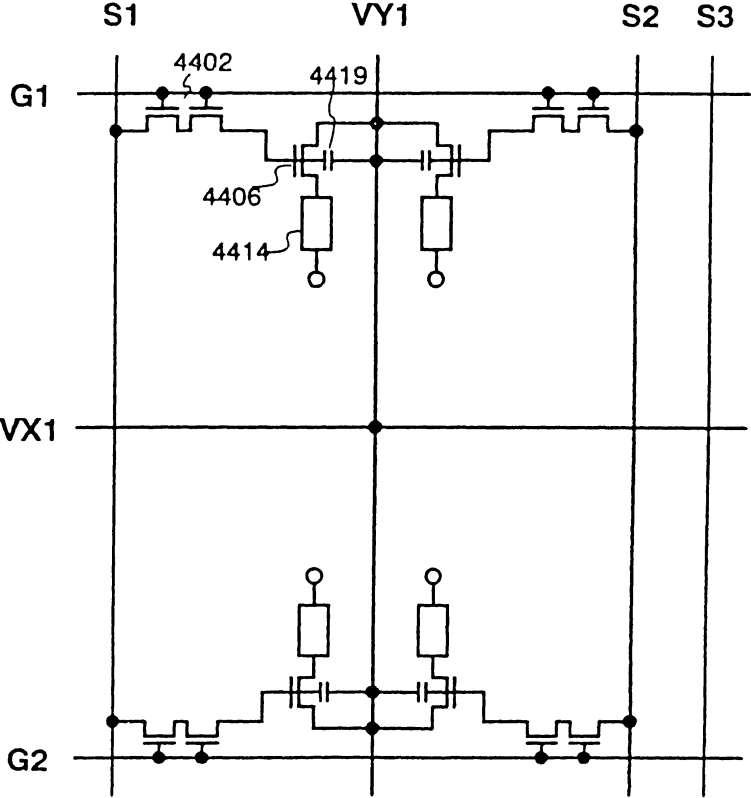
第 7B 圖



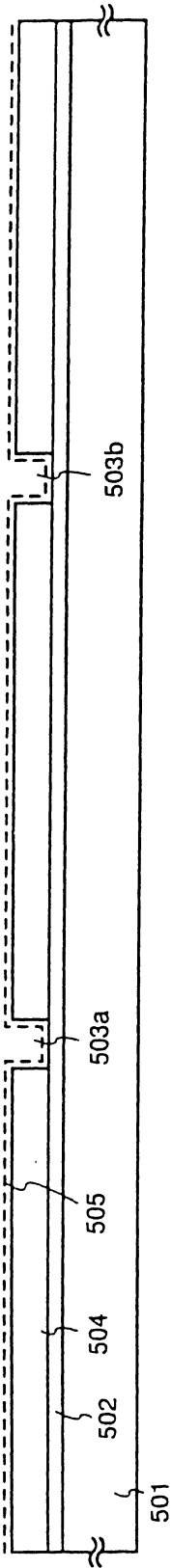
第 8 圖



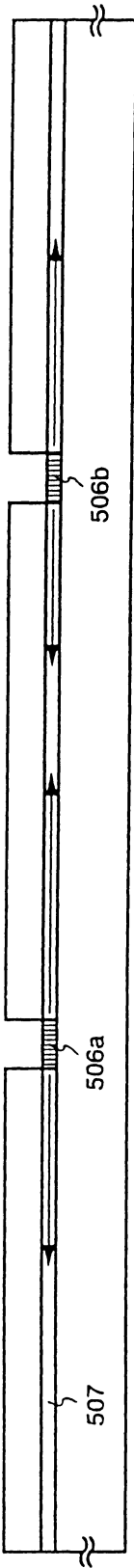
第 9 圖



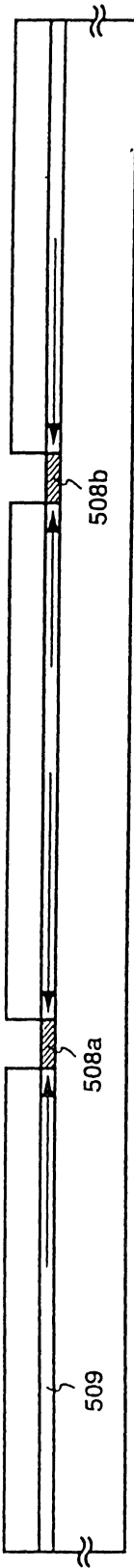
第 10 圖



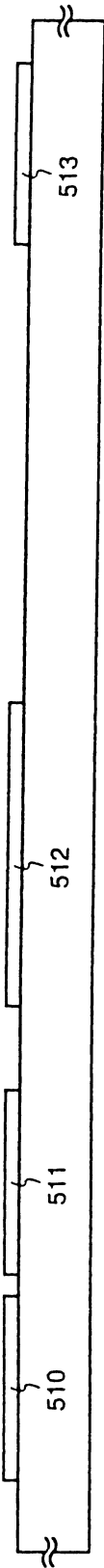
第 11A 圖



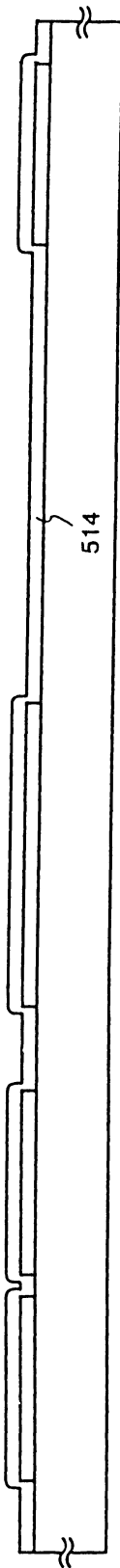
第 11B 圖



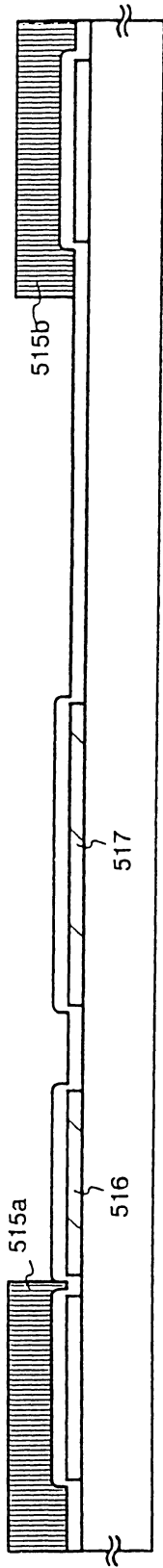
第 11C 圖



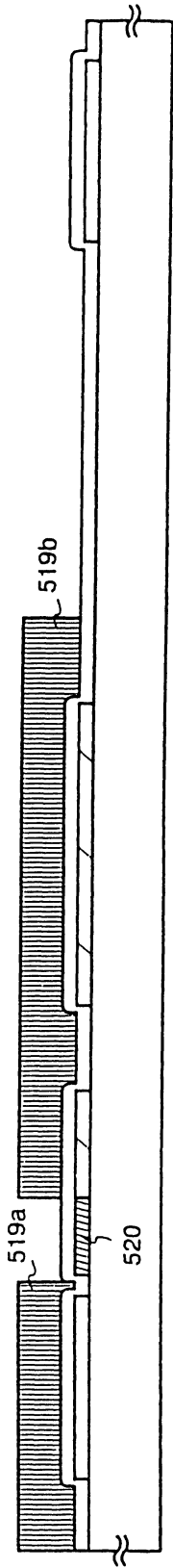
第 11D 圖



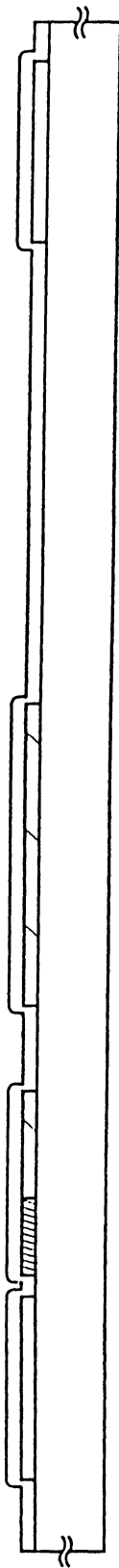
第 11E 圖



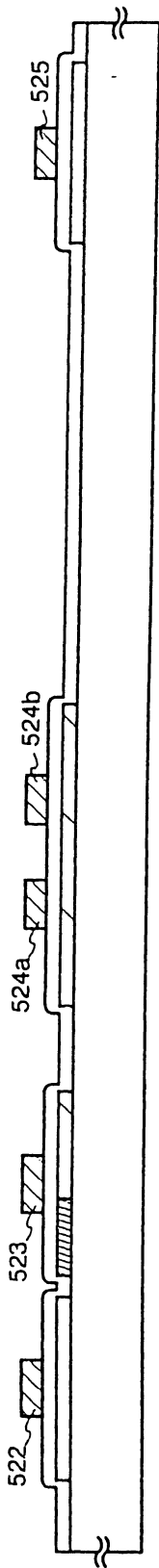
第 12A 圖



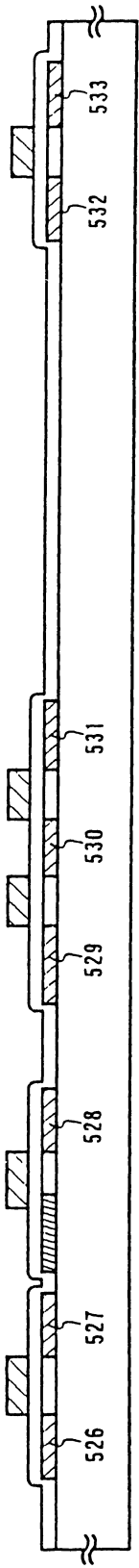
第 12B 圖



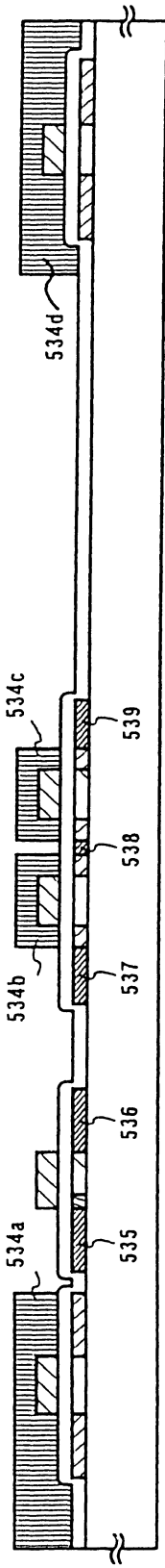
第 12C 圖



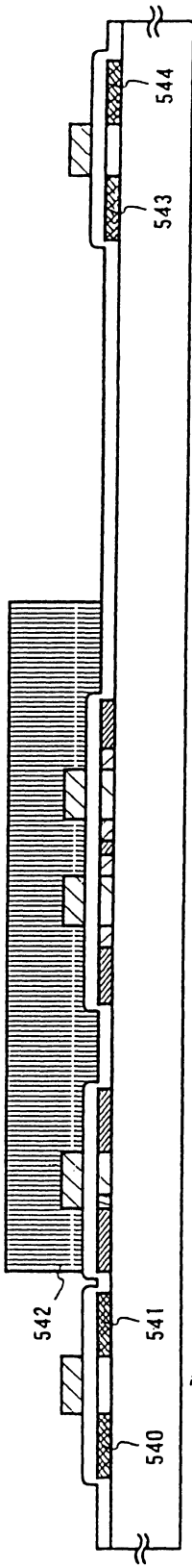
第 12D 圖



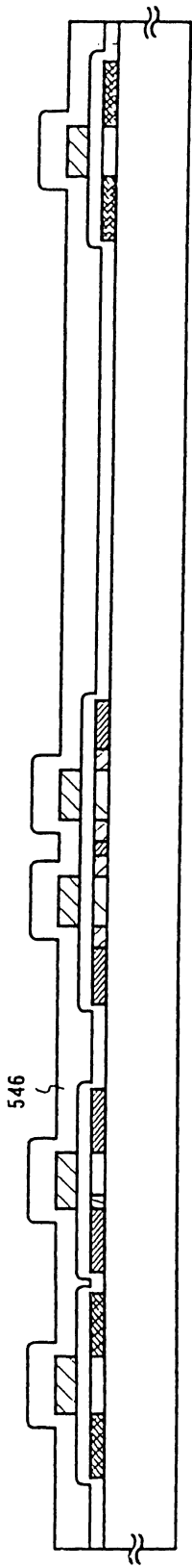
第 13A 圖



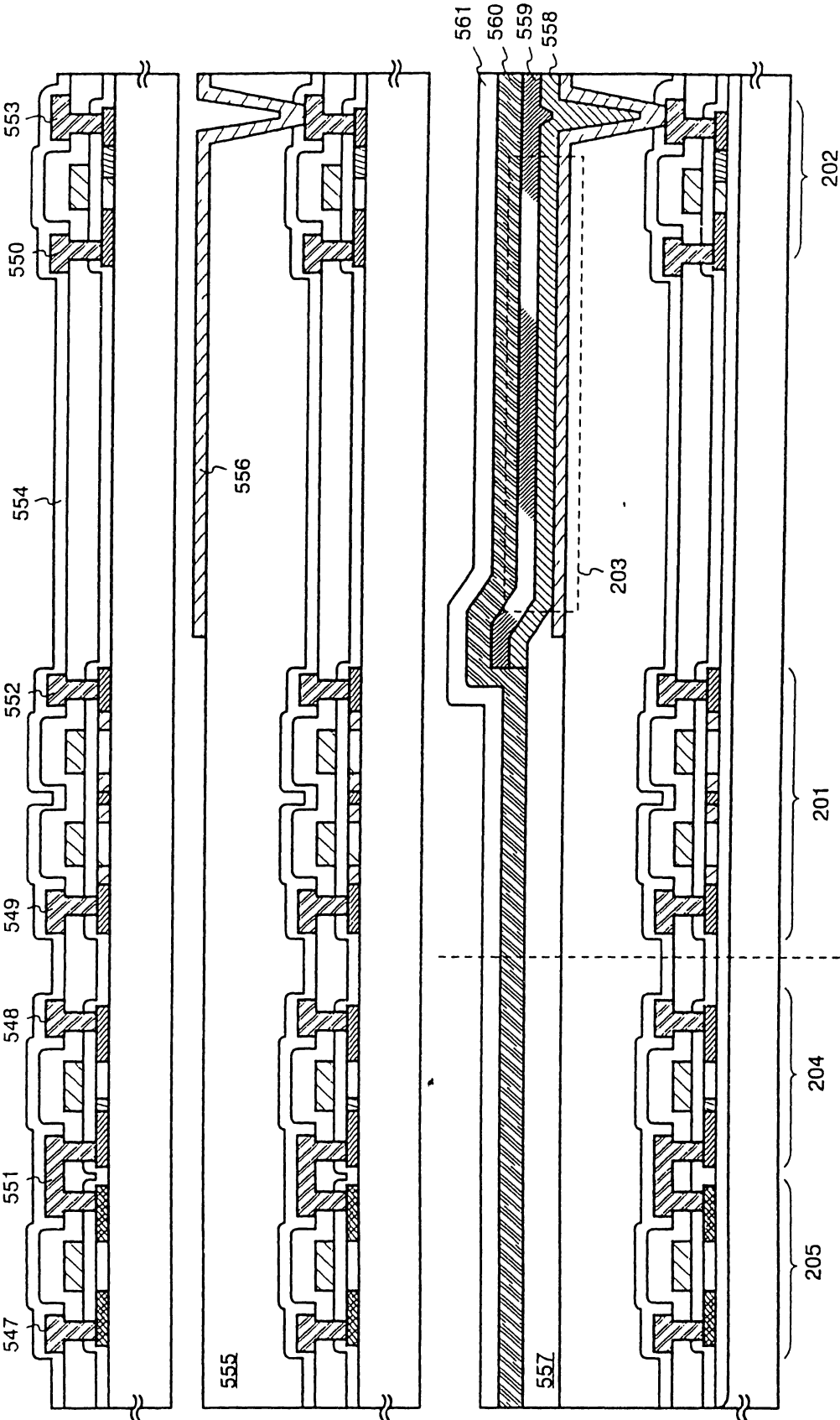
第 13B 圖



第 13C 圖



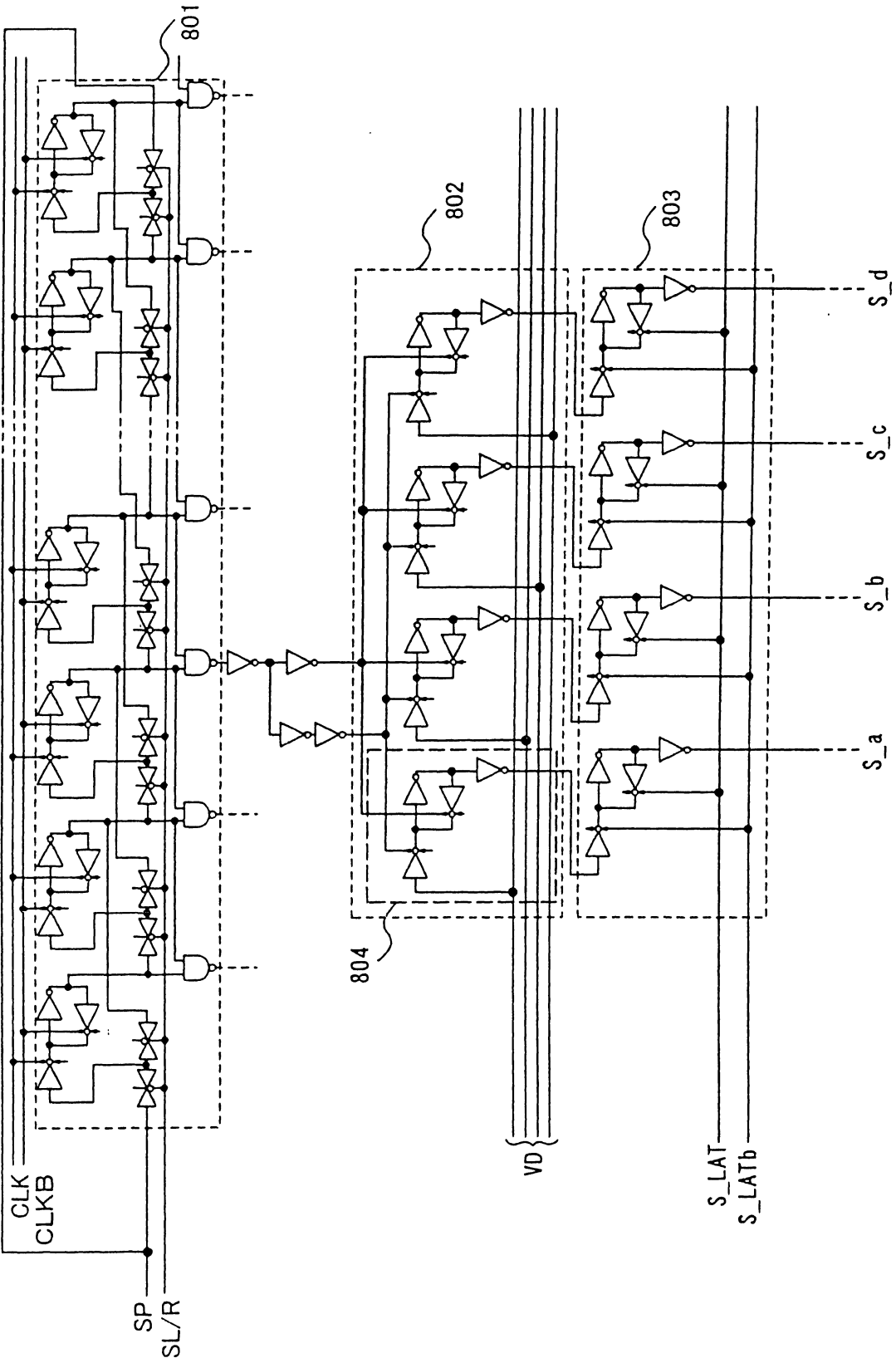
第 13D 圖



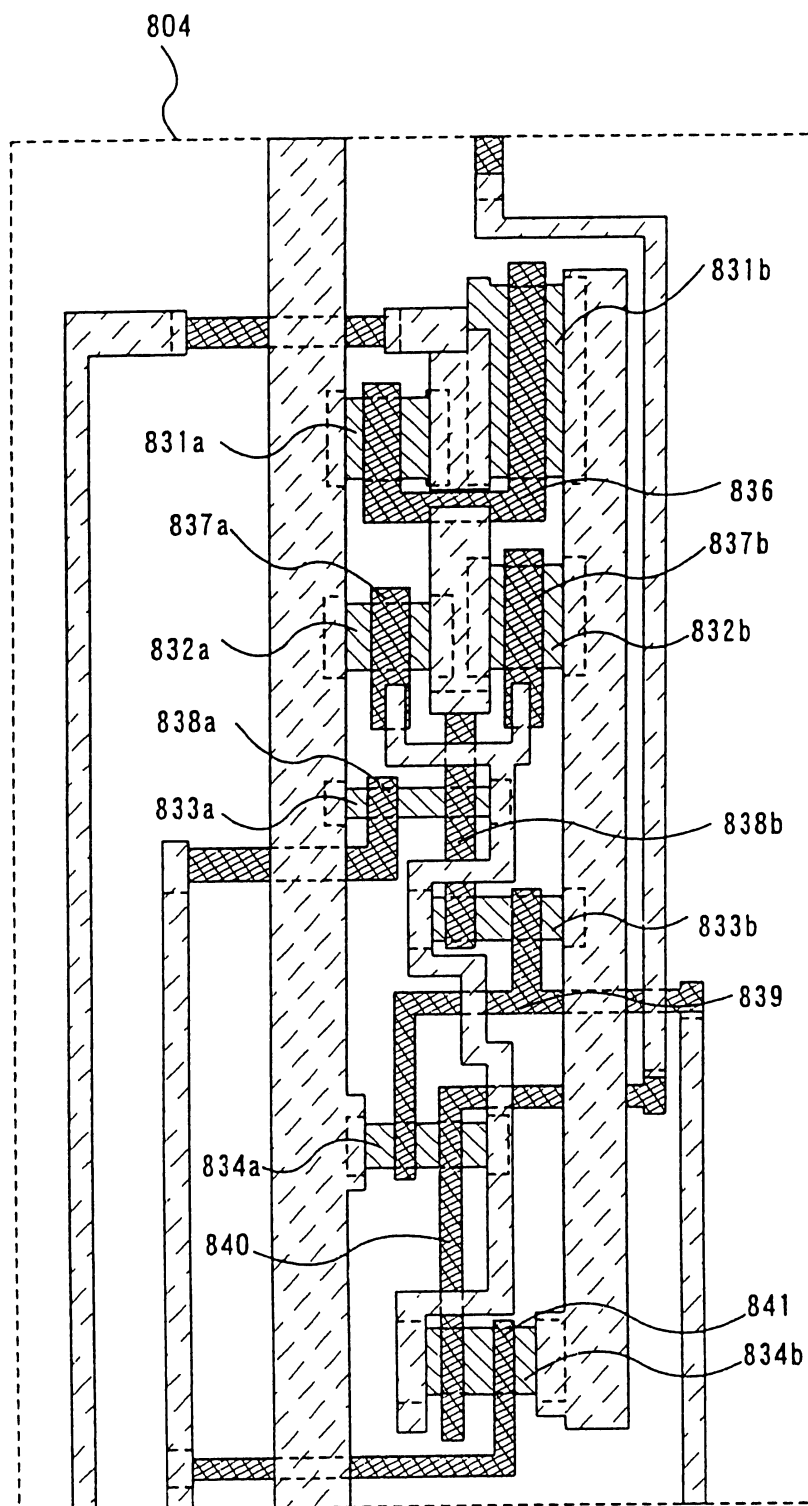
第 14A 圖

第 14B 圖

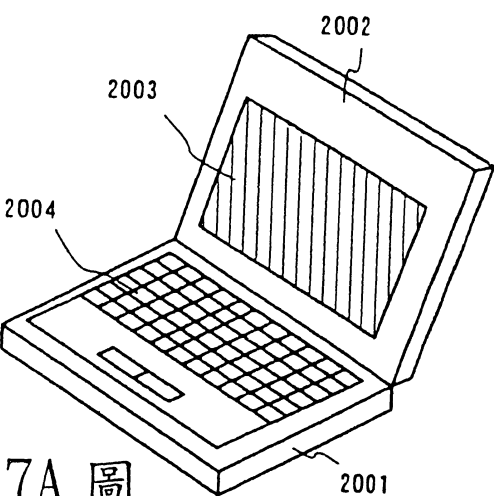
第 14C 圖



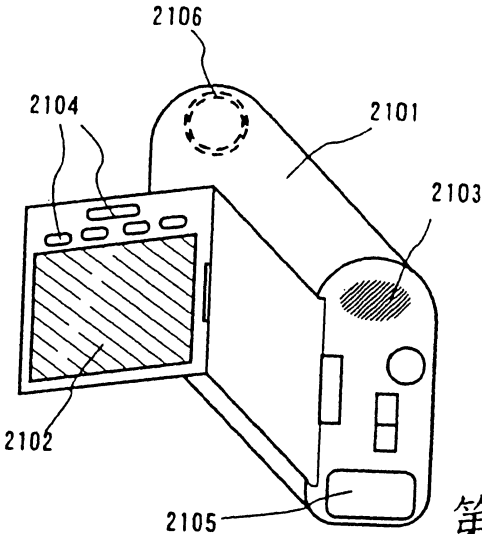
第 15 圖



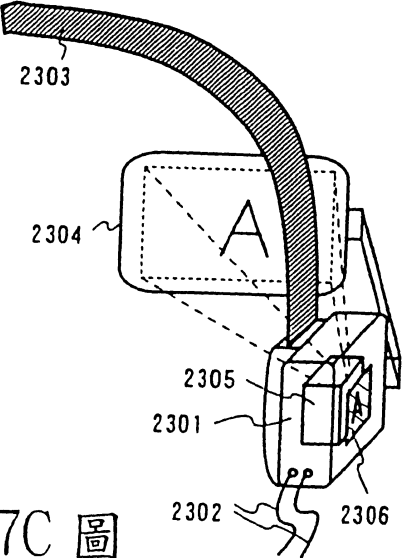
第 16 圖



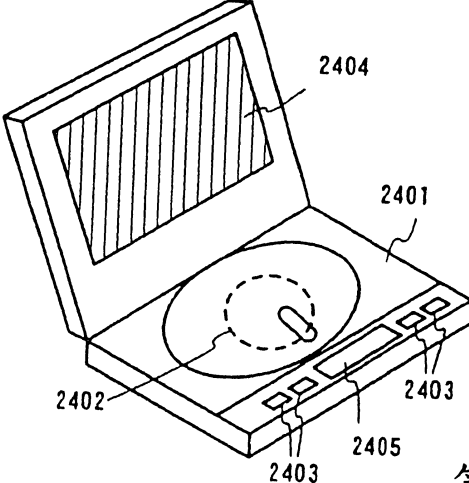
第 17A 圖



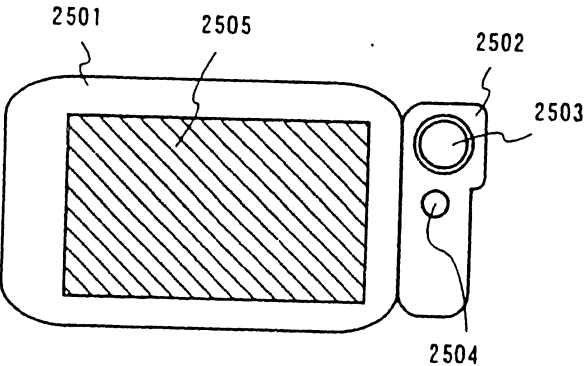
第 17B 圖



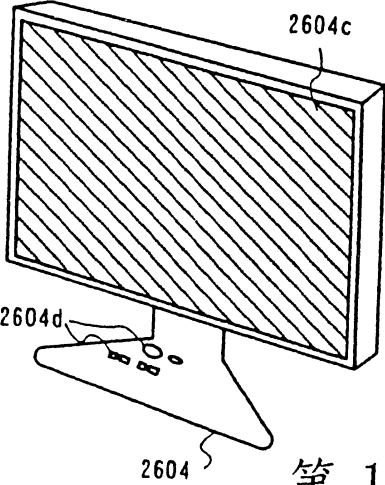
第 17C 圖



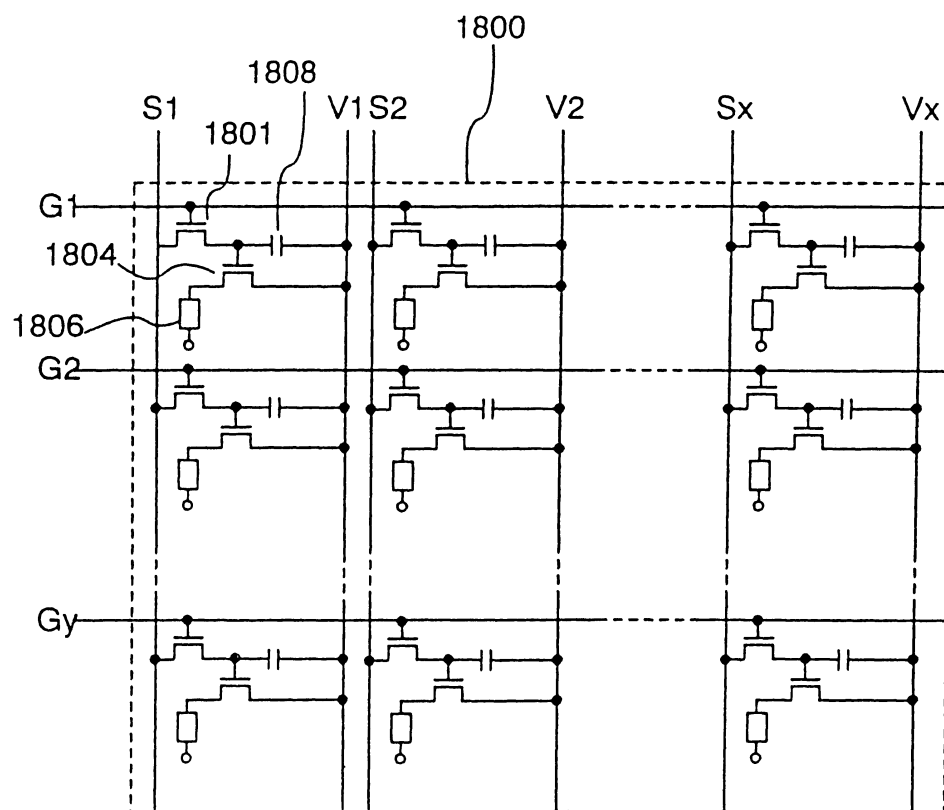
第 17D 圖



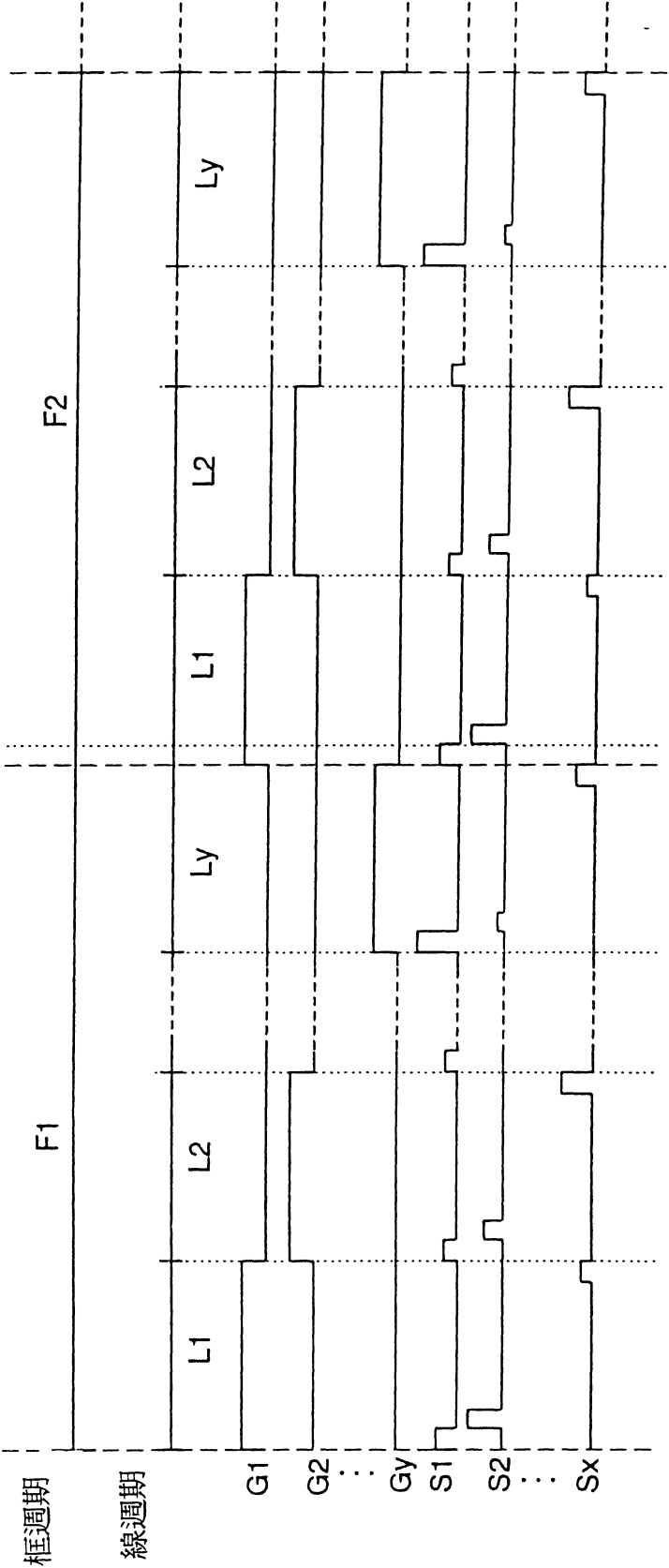
第 17E 圖



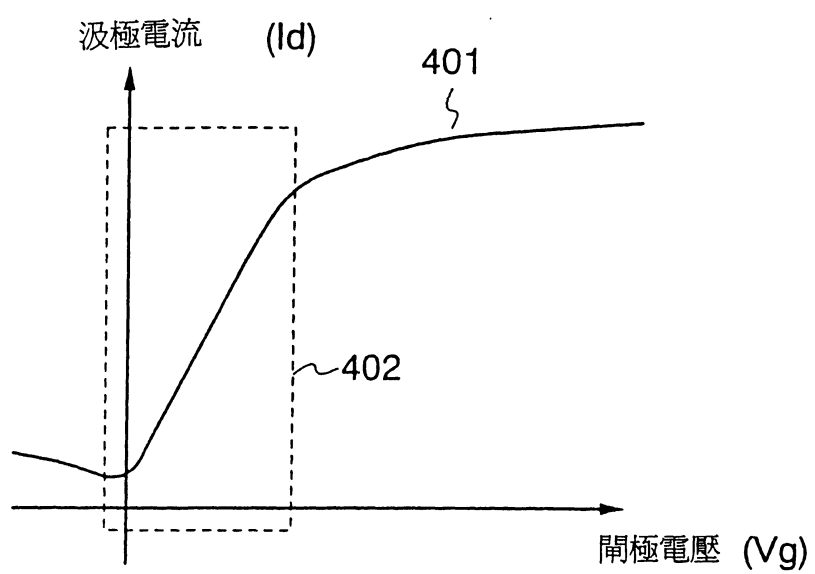
第 17F 圖



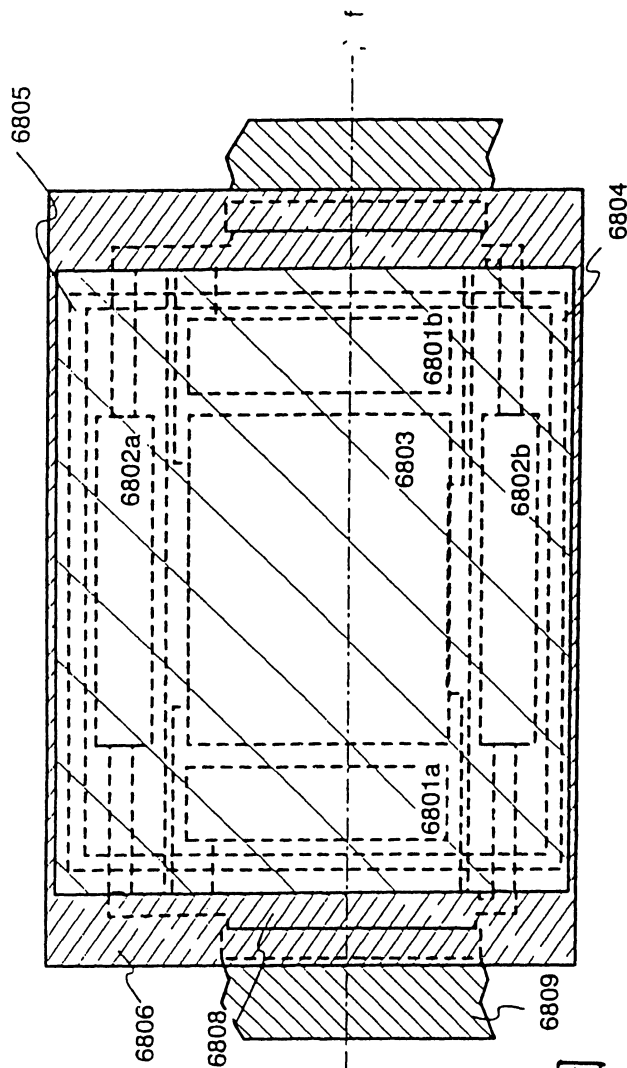
第 18 圖



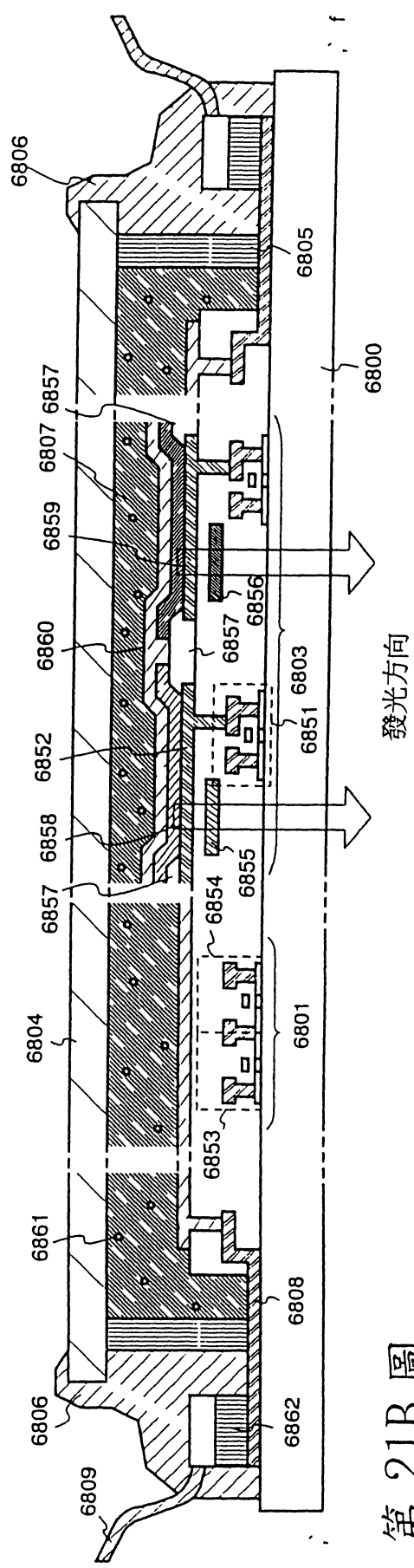
第 19 圖



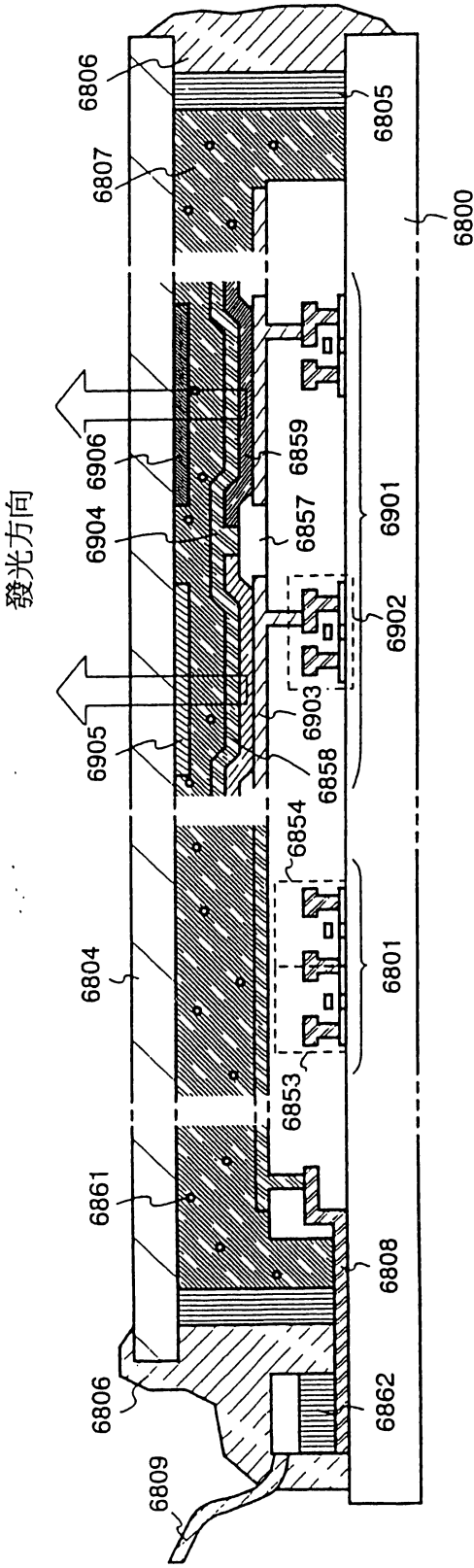
第 20 圖



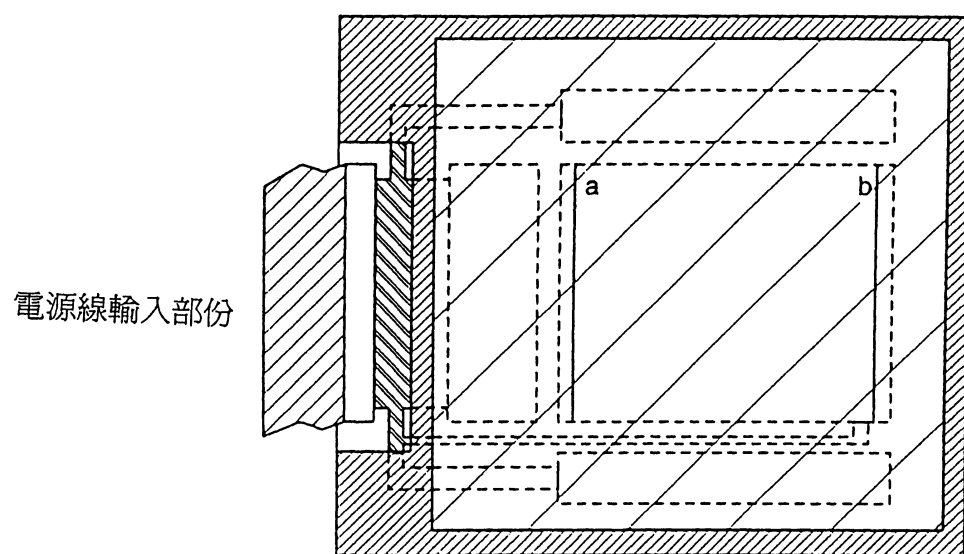
第 21A 圖



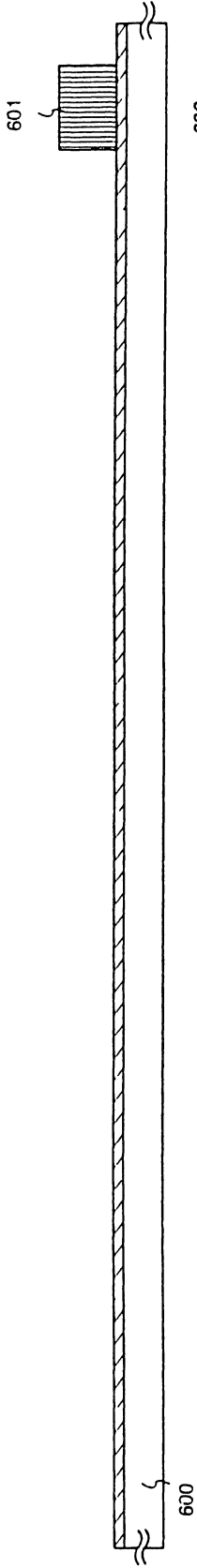
第 21B 圖



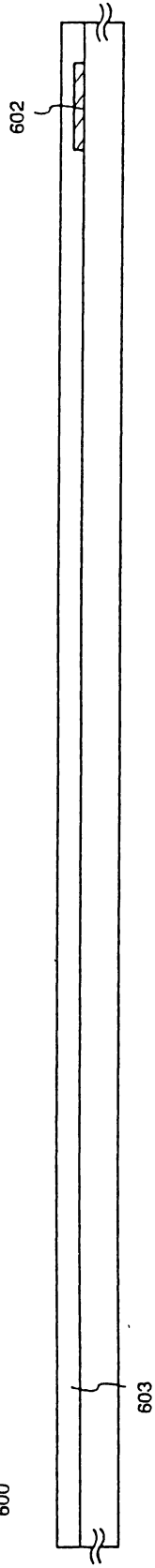
第 22 圖



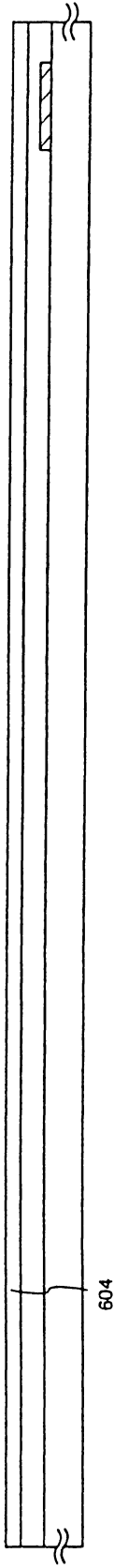
第 24 圖



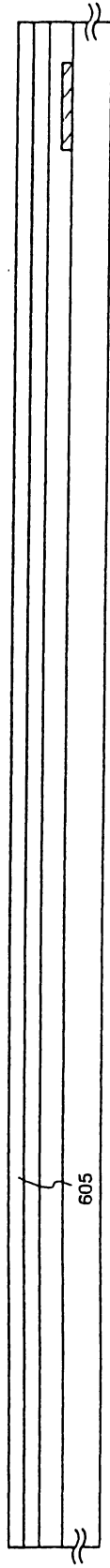
第 25A 圖



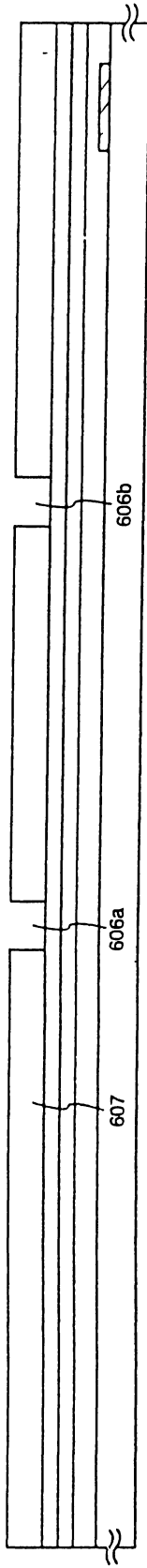
第 25B 圖



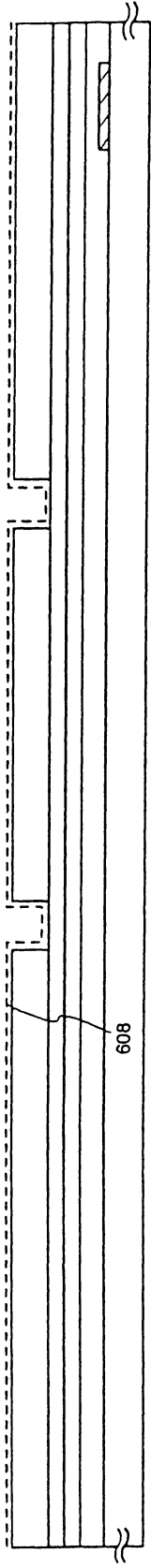
第 25C 圖



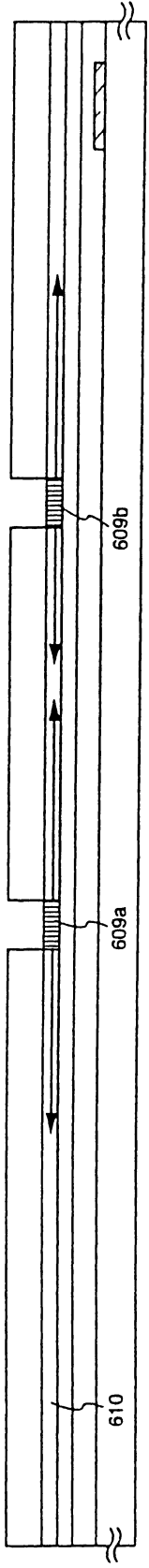
第 25D 圖



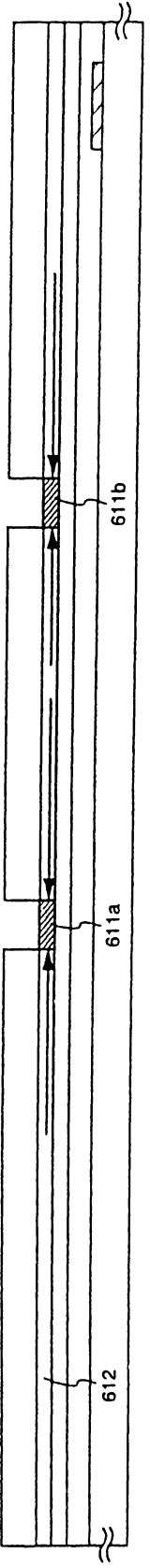
第 25E 圖



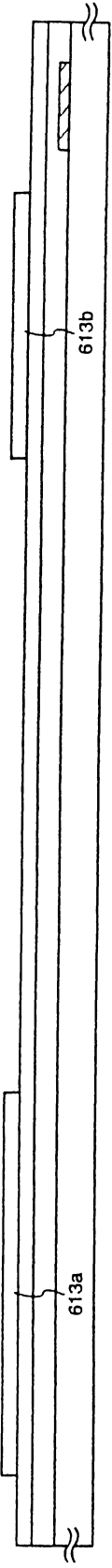
第 26A 圖



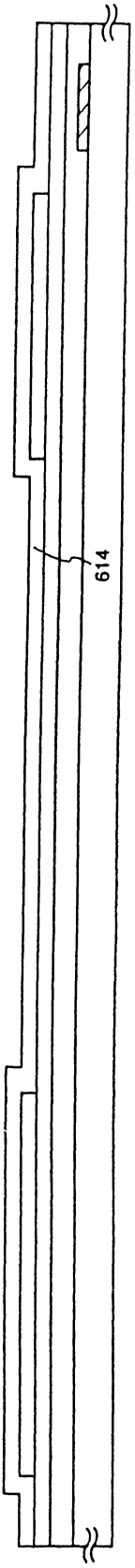
第 26B 圖



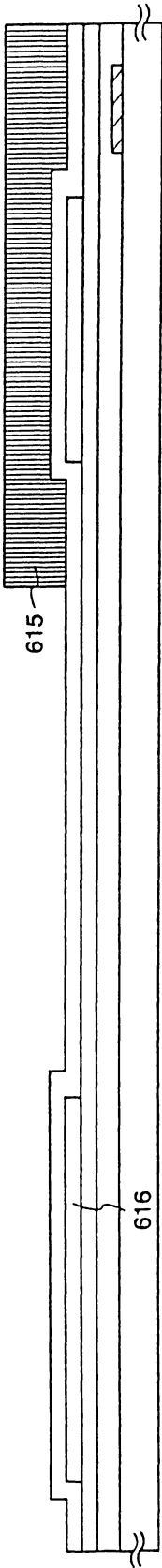
第 26C 圖



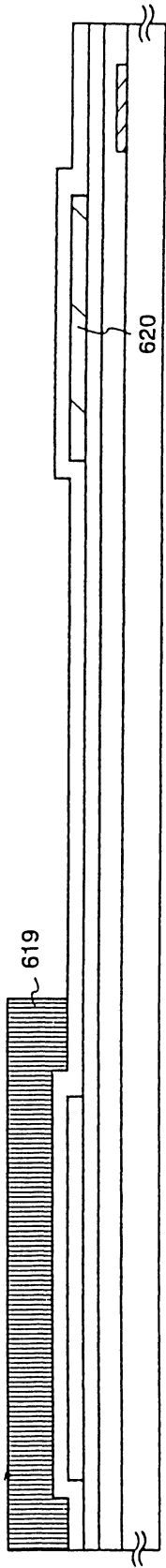
第 26D 圖



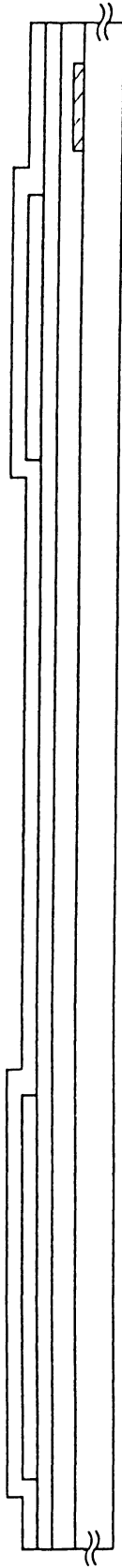
第 26E 圖



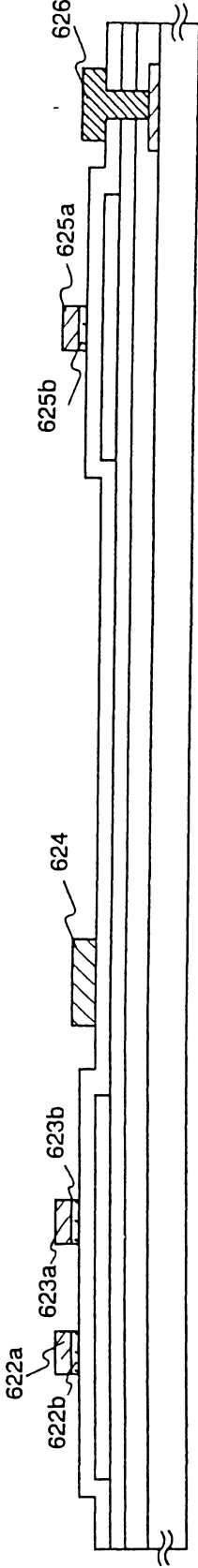
第 27A 圖



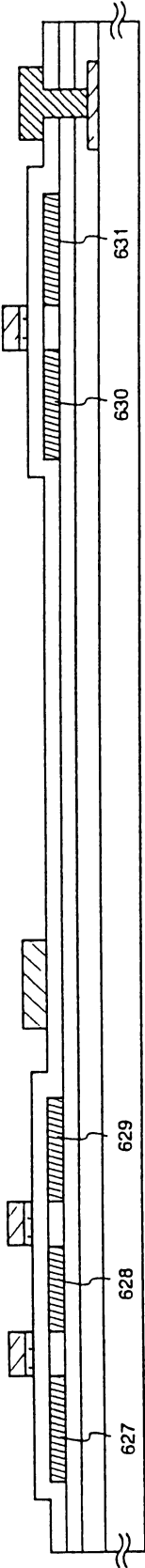
第 27B 圖



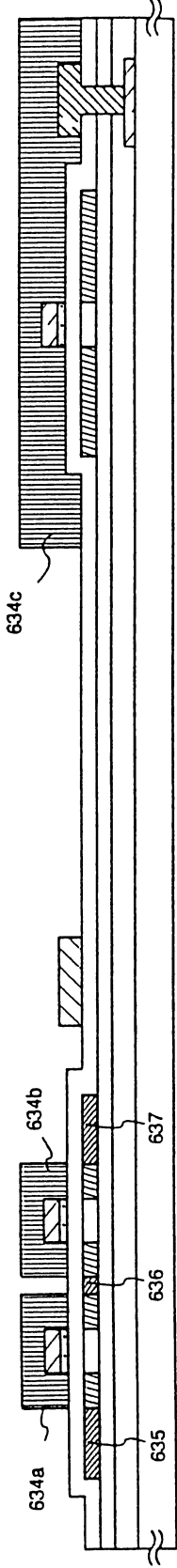
第 27C 圖



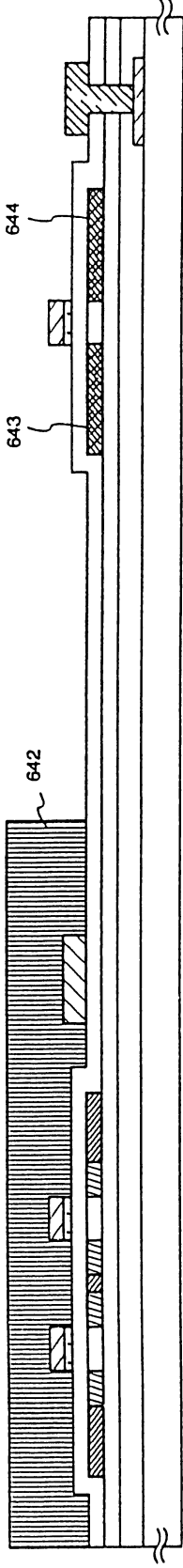
第 27D 圖



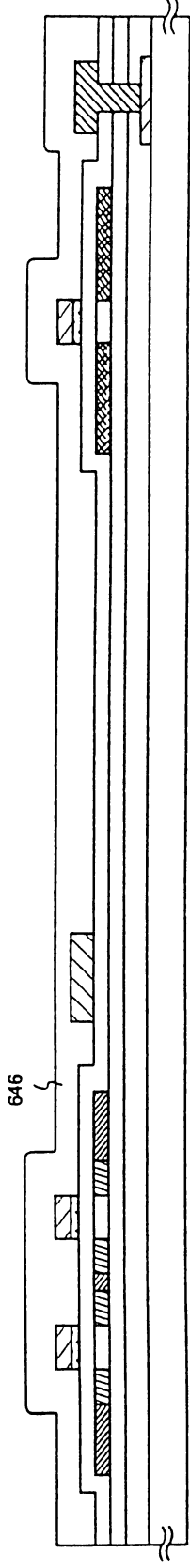
第 28A 圖



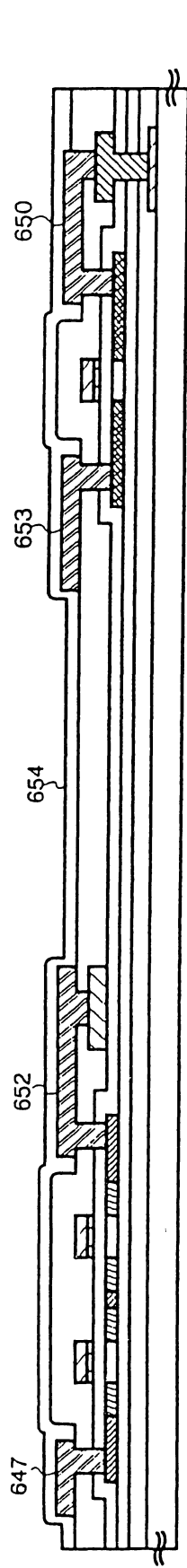
第 28B 圖



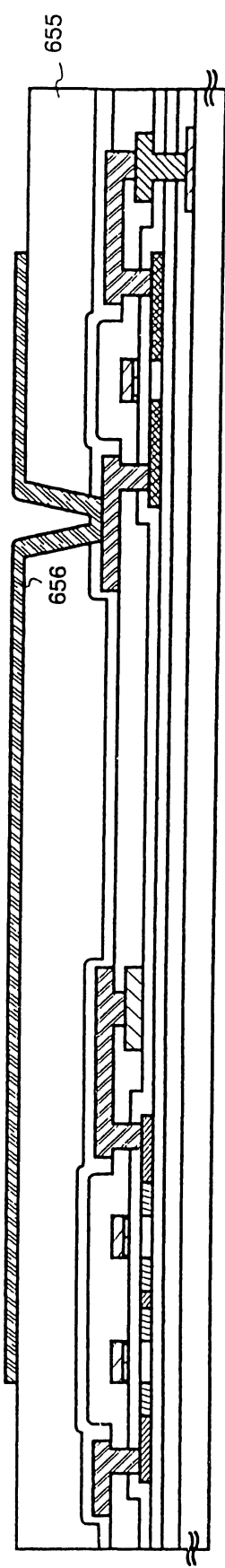
第 28C 圖



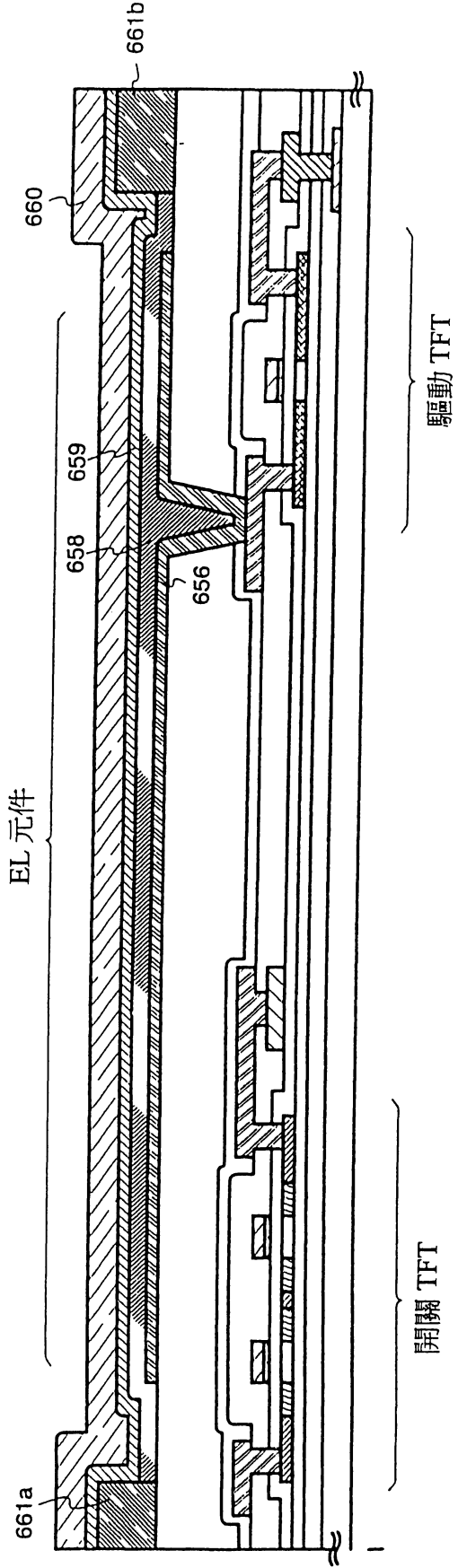
第 28D 圖



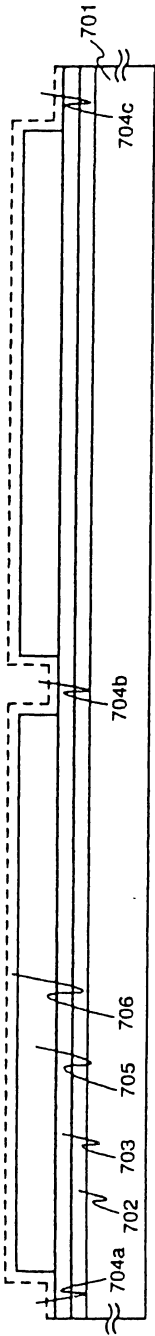
第 29A 圖



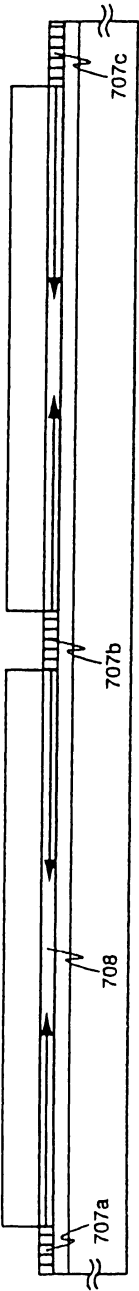
第 29B 圖



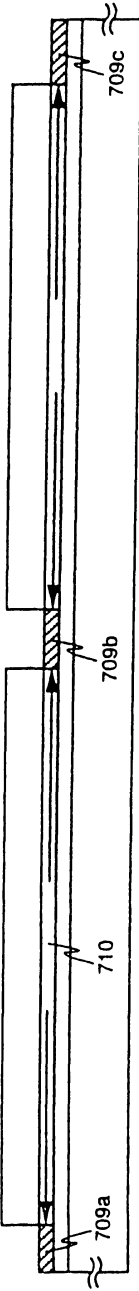
第 29C 圖



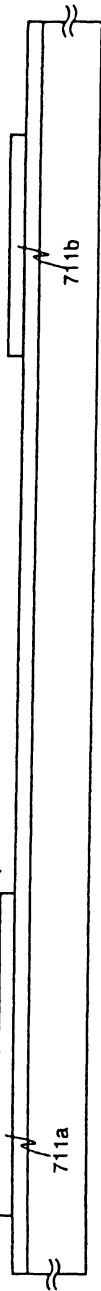
第 30A 圖



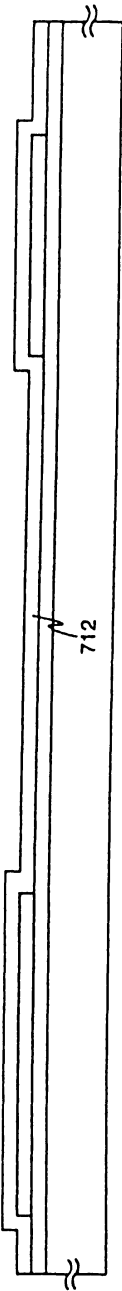
第 30B 圖



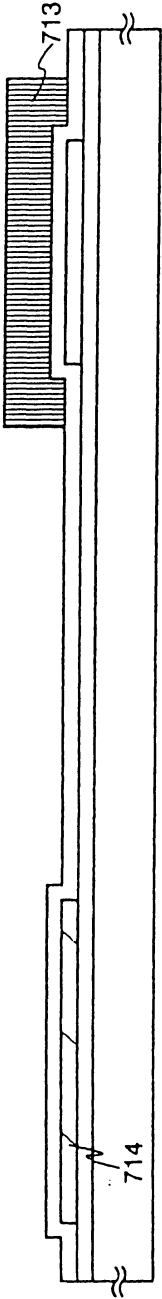
第 30C 圖



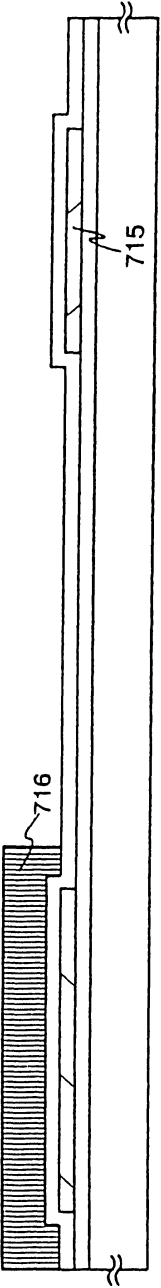
第 30D 圖



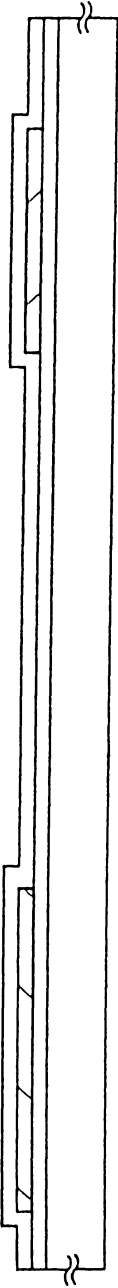
第 30E 圖



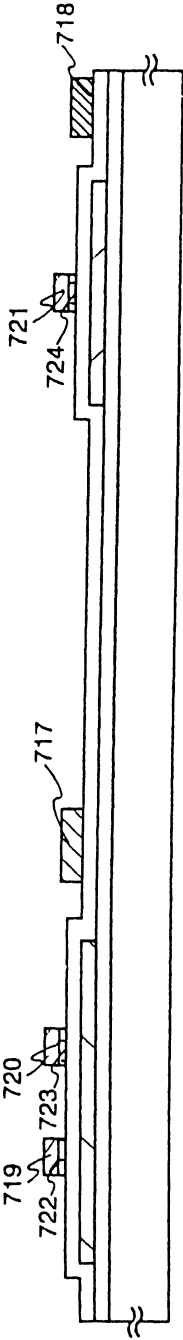
第 31A 圖



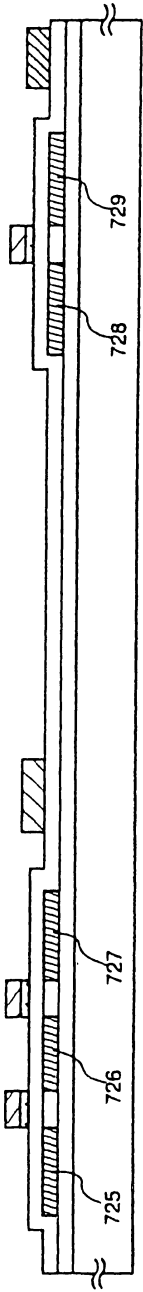
第 31B 圖



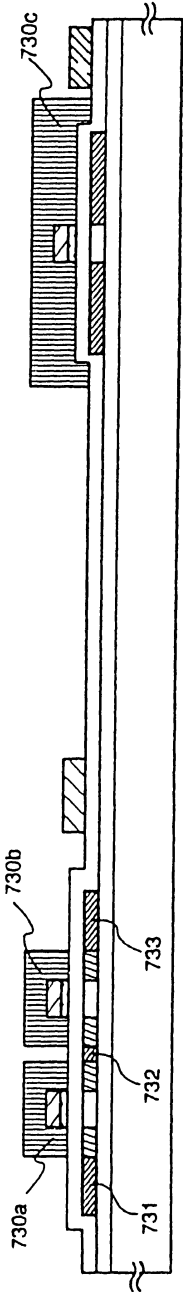
第 31C 圖



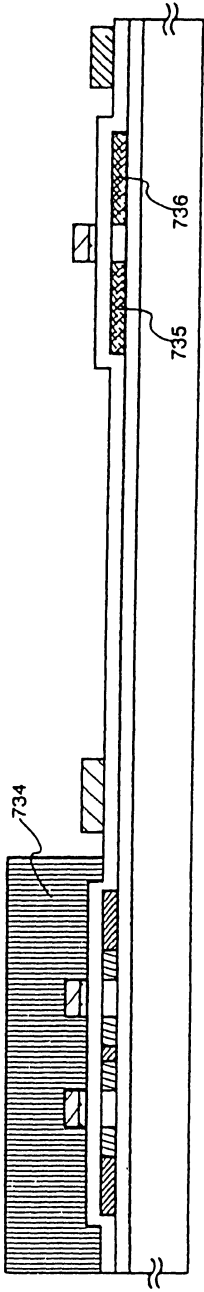
第 31D 圖



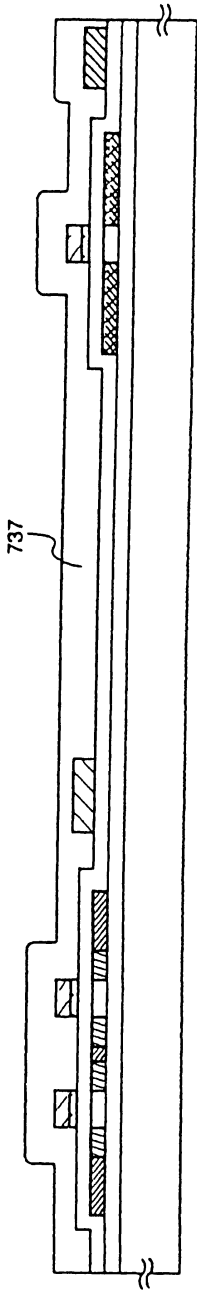
第 32A 圖



第 32B 圖

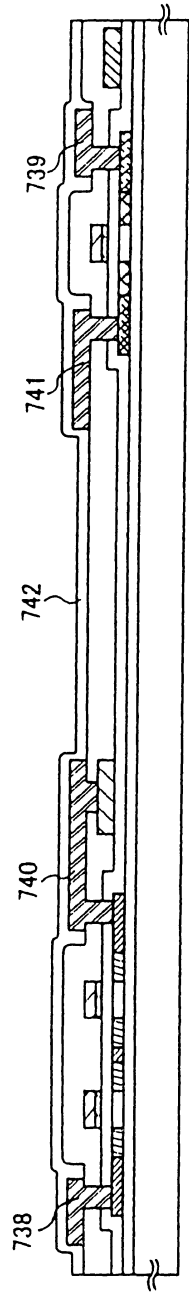


第 32C 圖

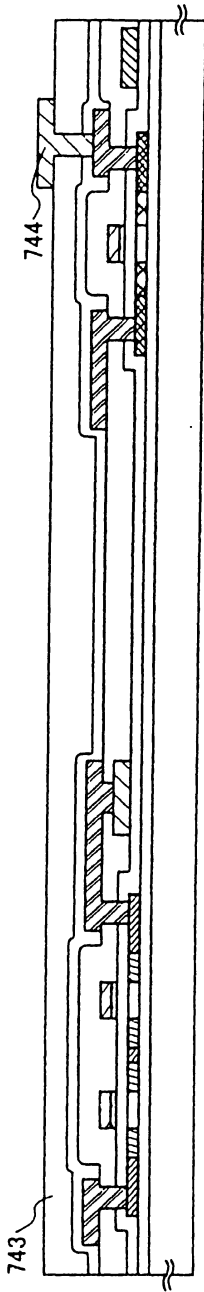


第 32D 圖

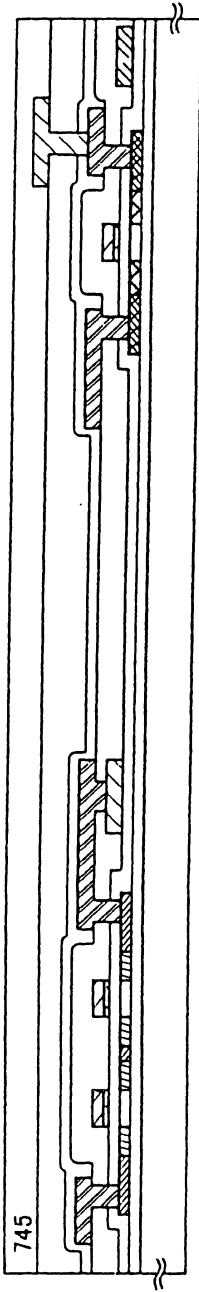
第 33A 圖



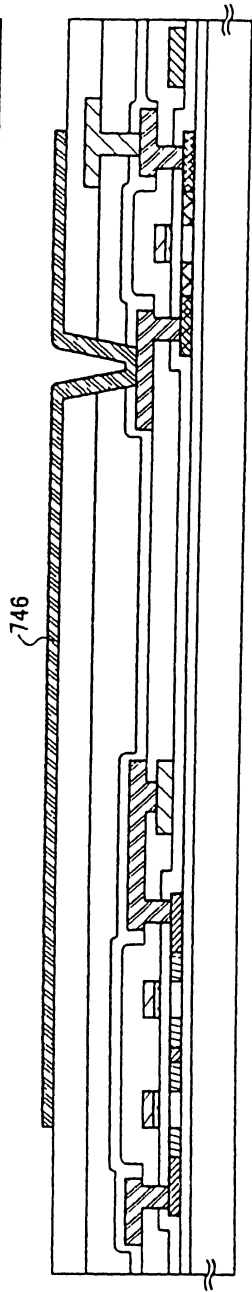
第 33B 圖

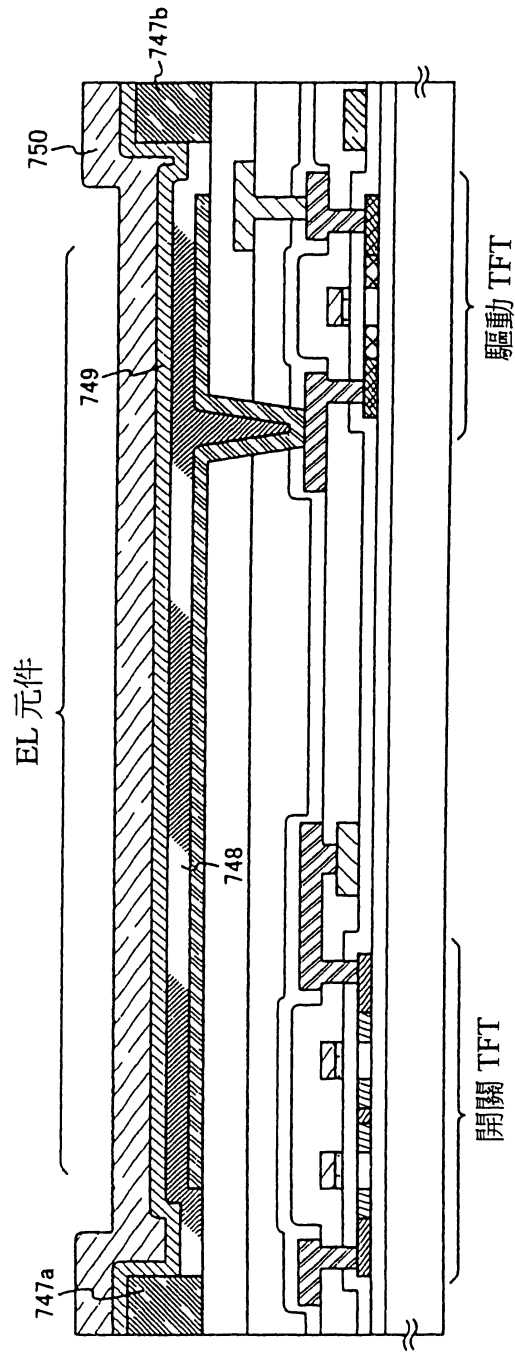


第 33C 圖

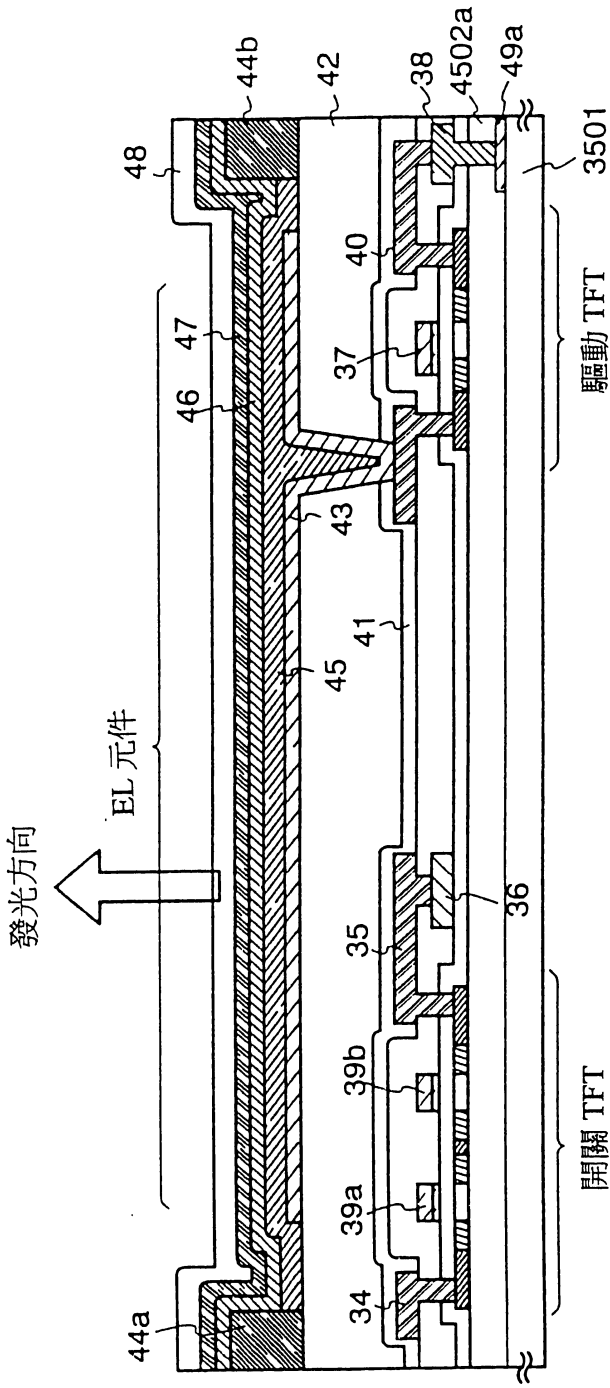


第 33D 圖

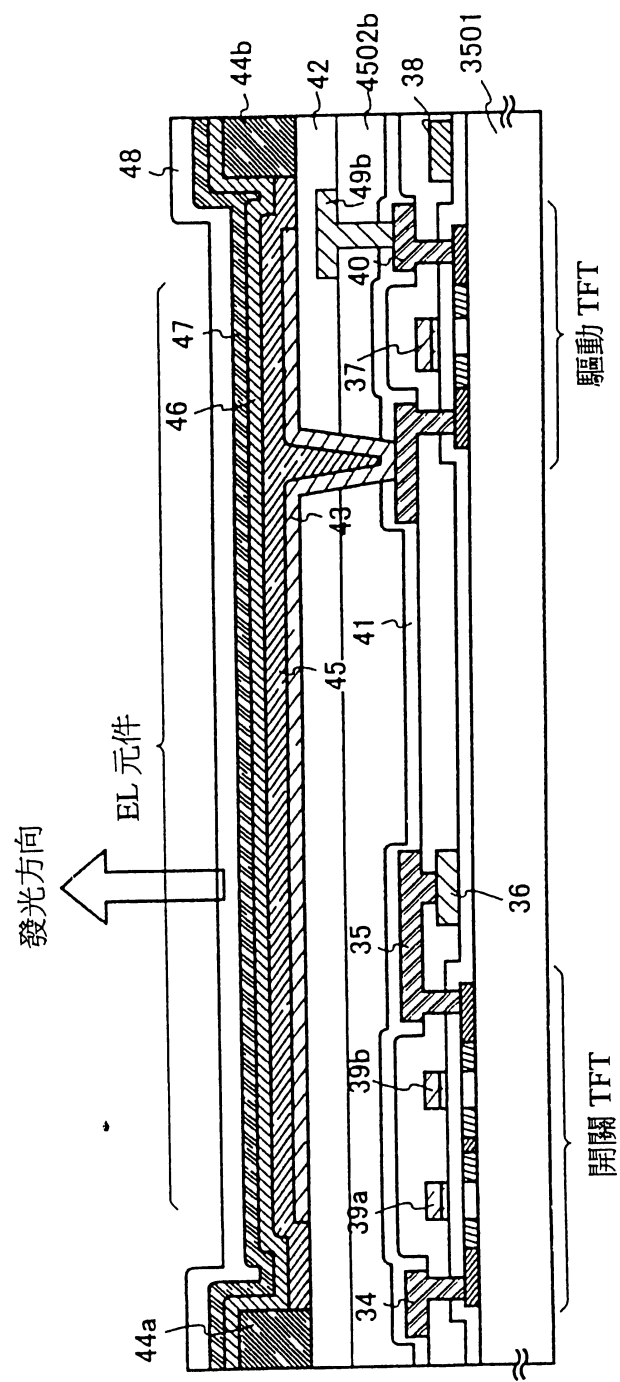




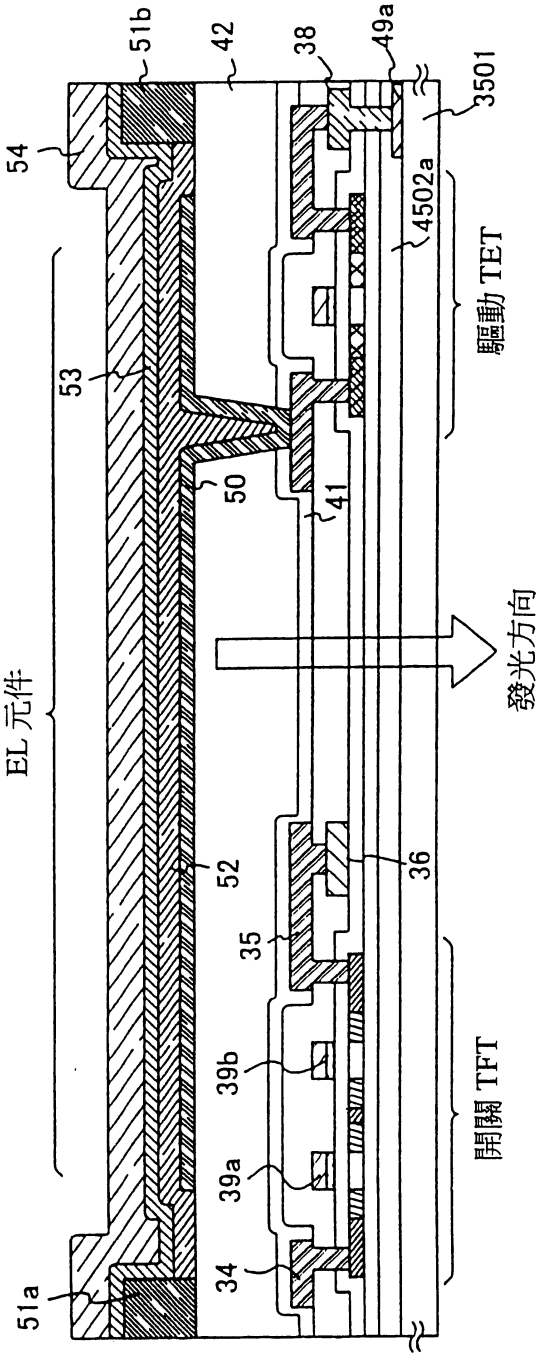
第 34 圖



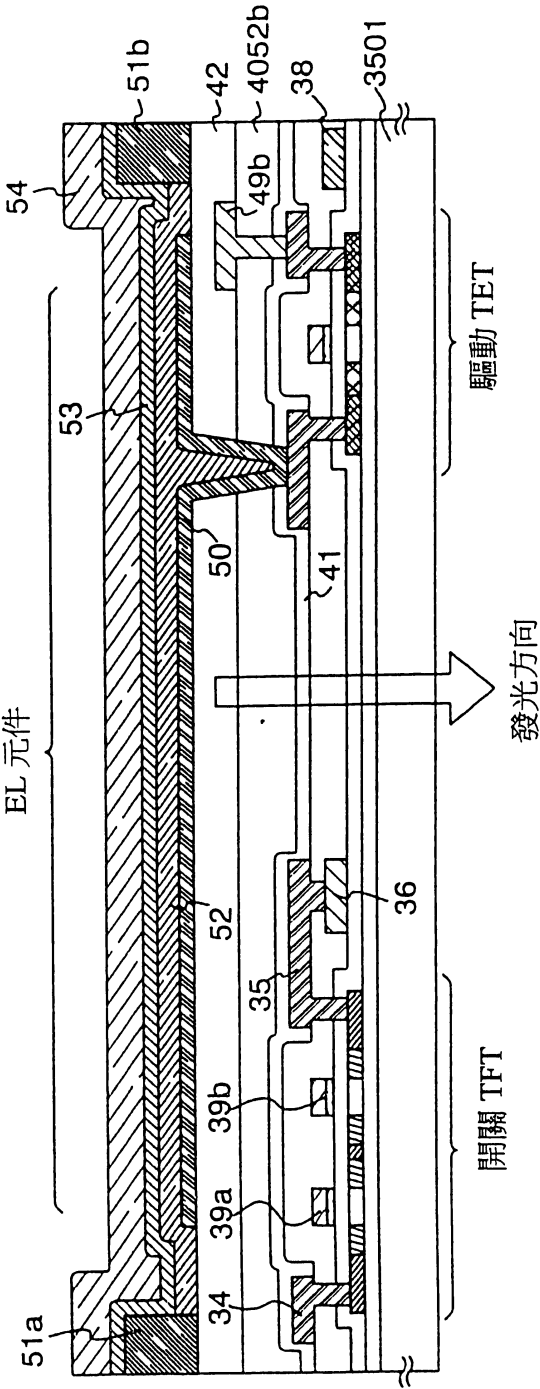
第 36 圖



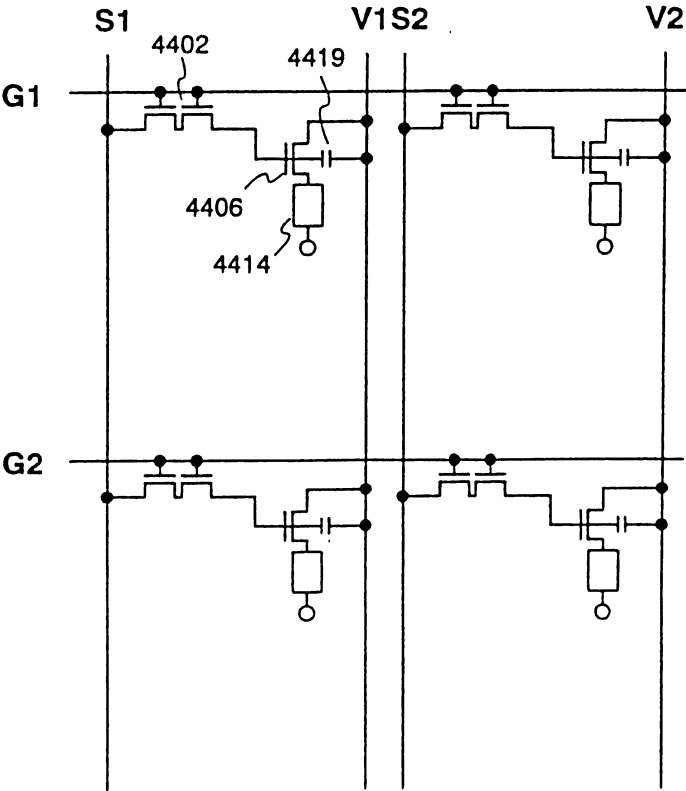
第 37 圖



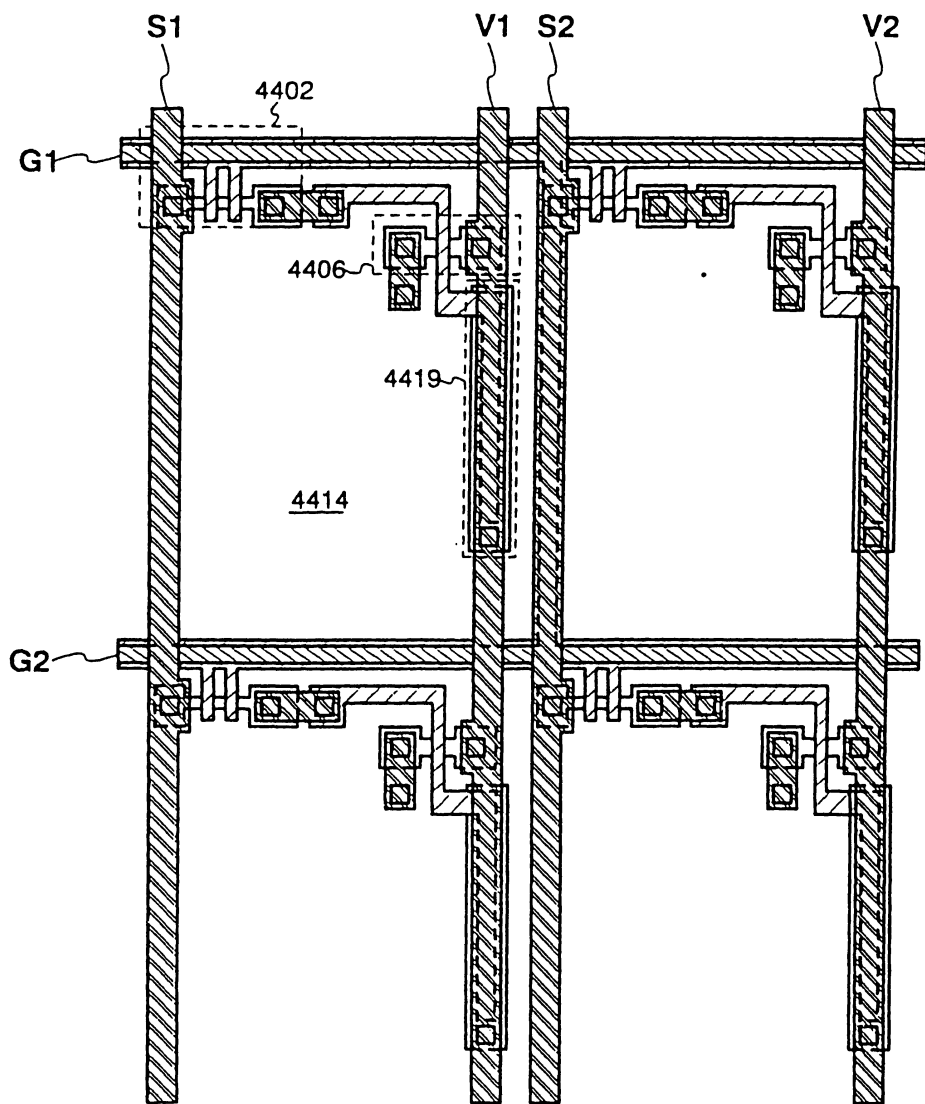
第 38 圖



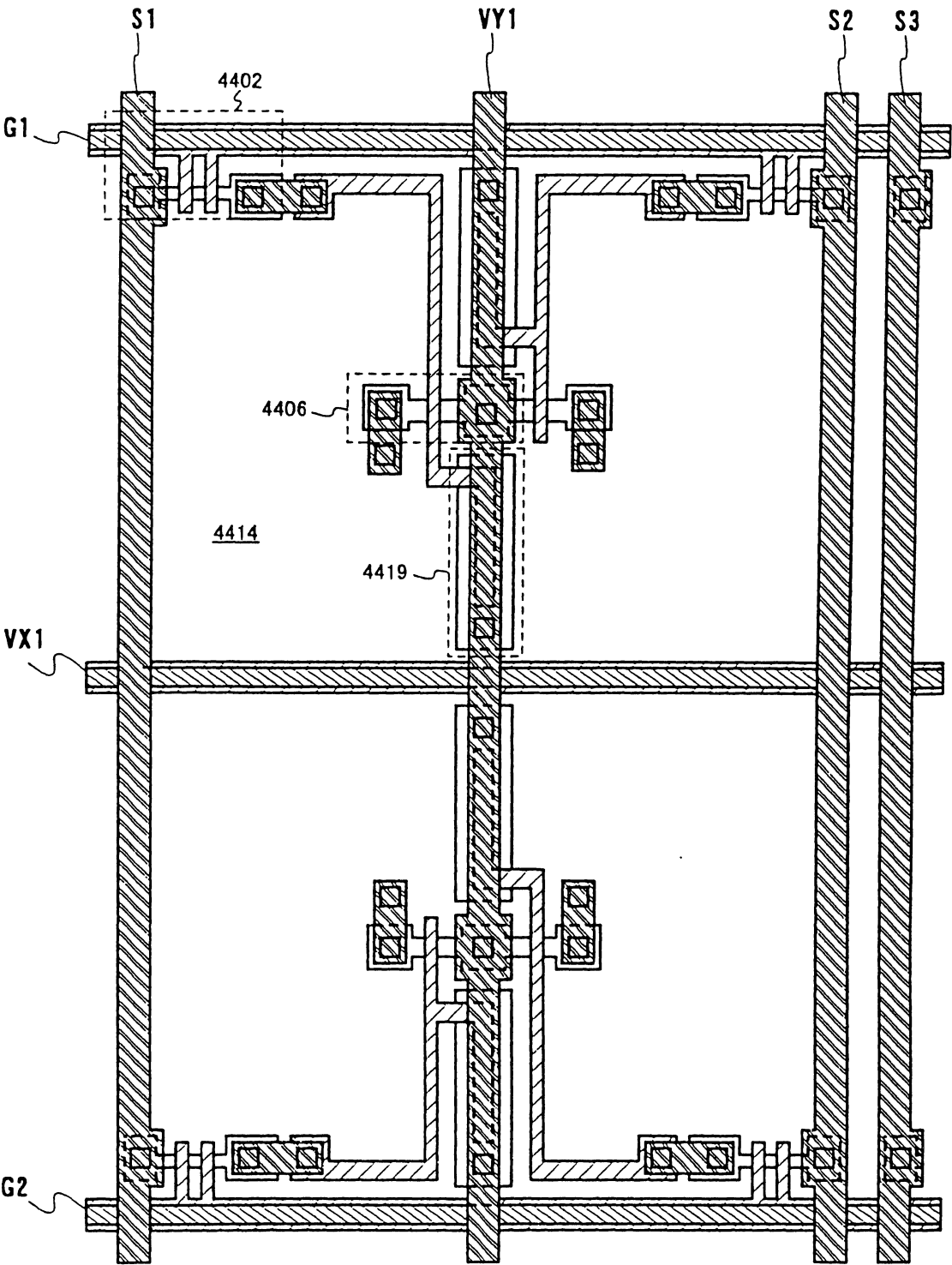
第 39 圖



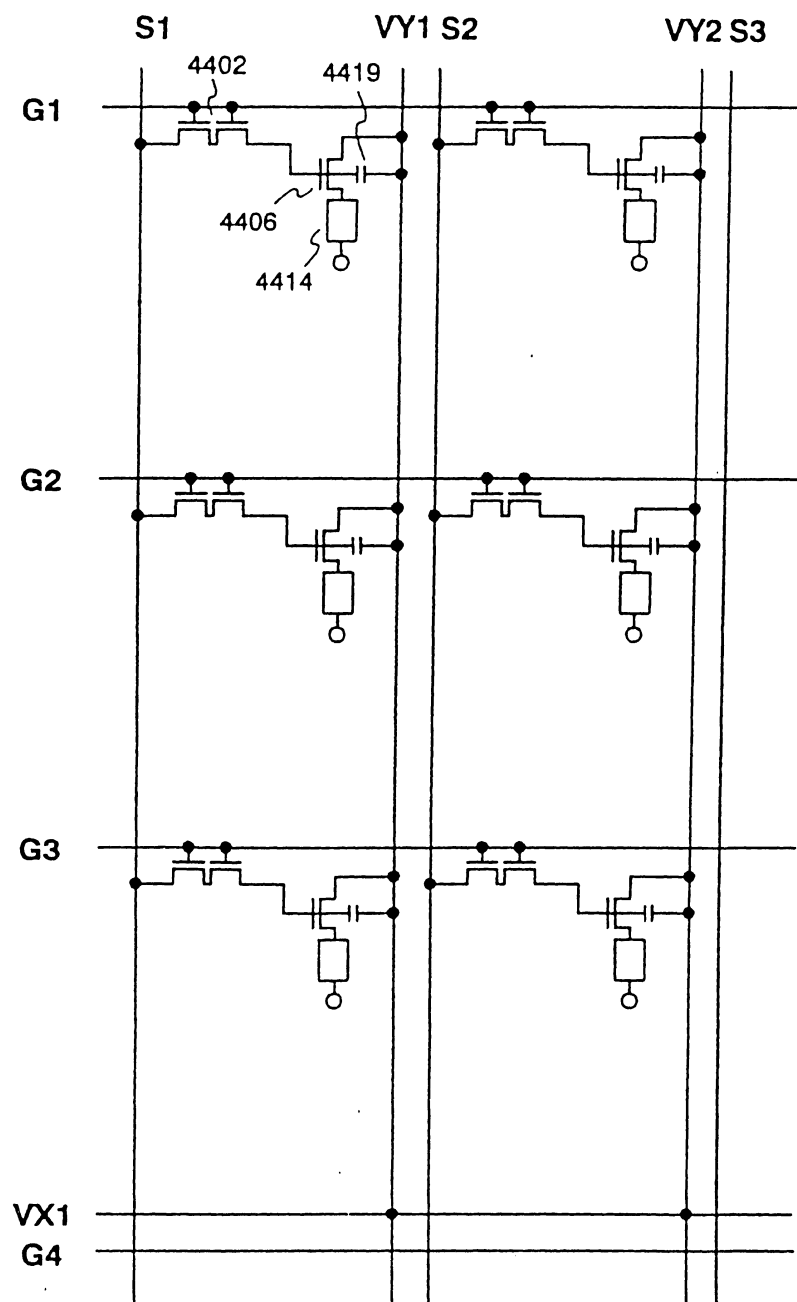
第 40 圖



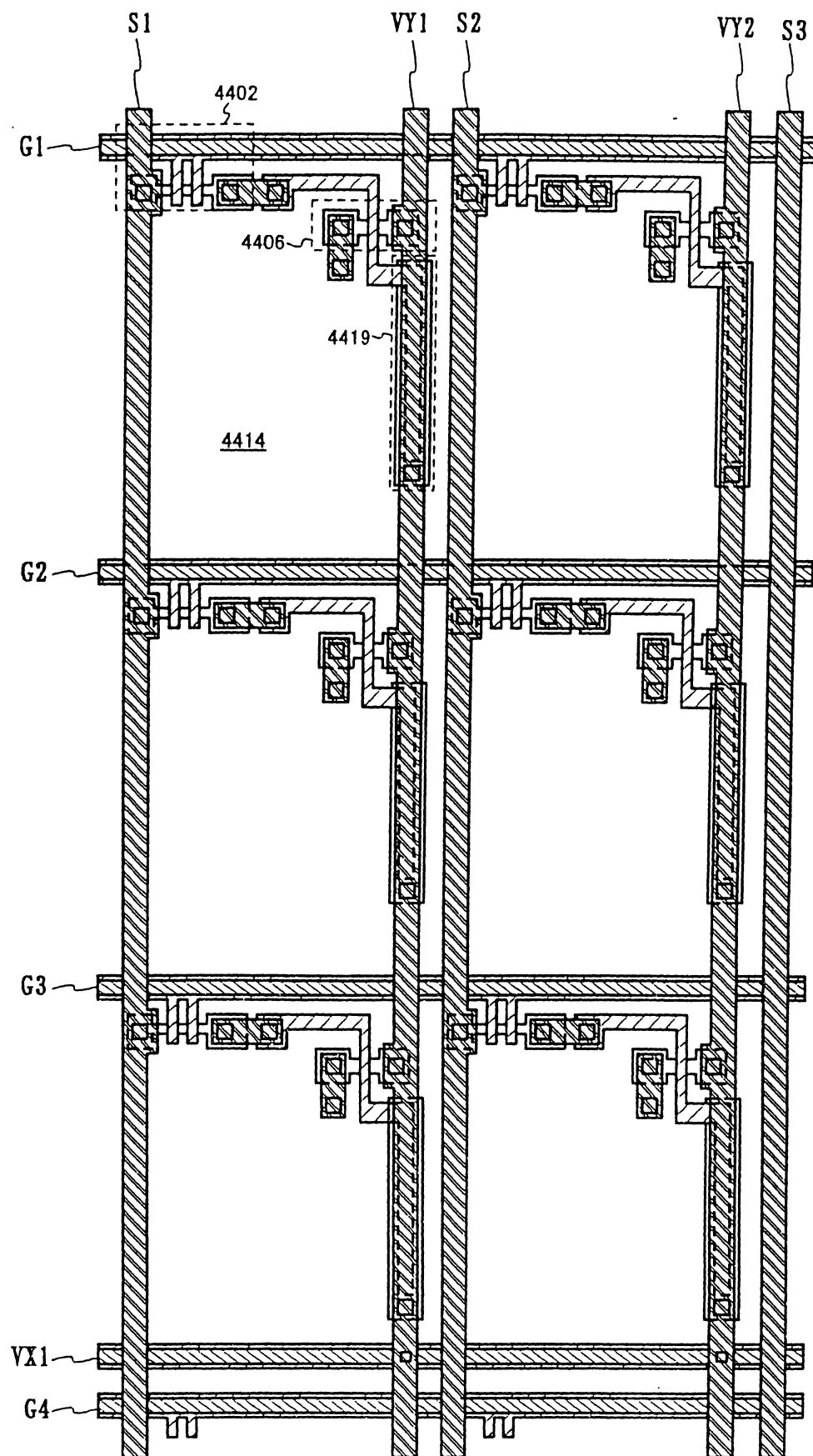
第 41 圖



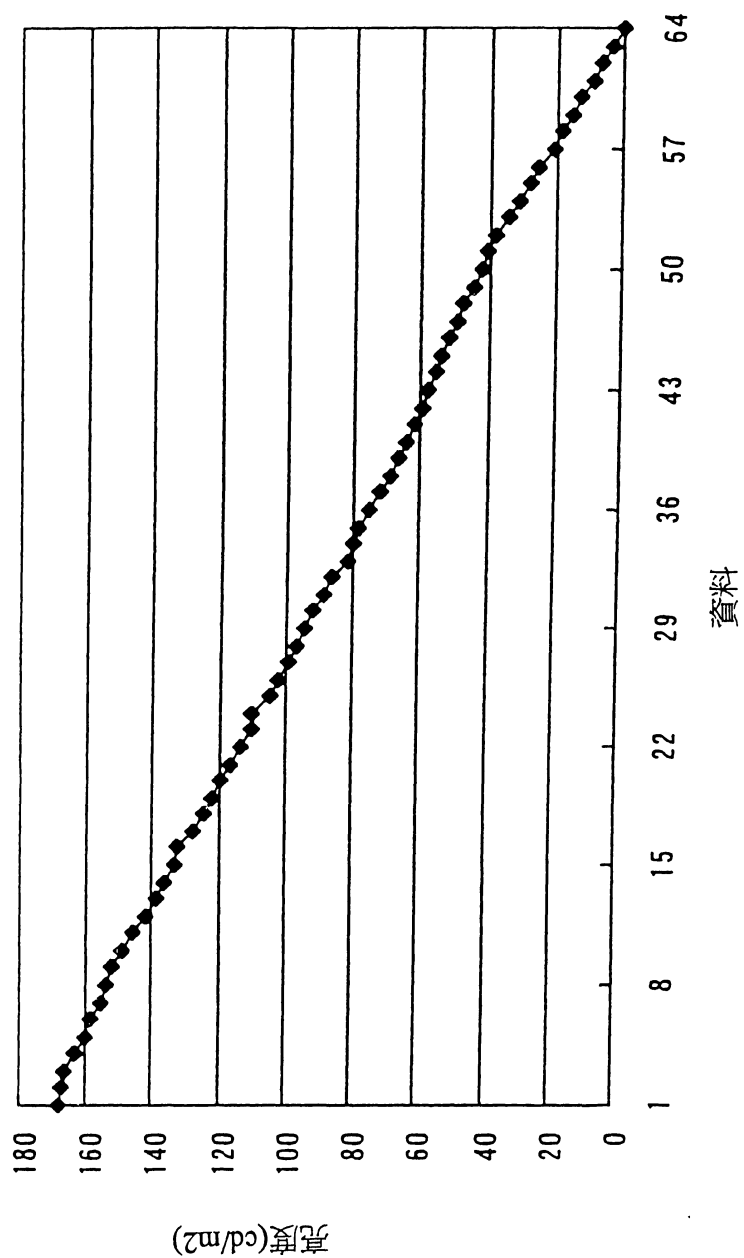
第 42 圖



第 43 圖



第 44 圖



第 45 圖

五、發明說明 (18)

2303:頭固定帶	2304:螢幕監視器	10、14:電源
2305:光學系統	2306:顯示部份	11:外部輸入端
2401:主體	2402:記錄媒體	12:驅動區域
2403:操作開關	2404,2405:顯示部份	13:電源線
2501:主體	2502:相機部份	15,16:饋回放大器
2503:顯像接收部份	2504:操作開關	17:監視器端
2505:顯示部份	2604a:主體	18:顯示影像
2604c:顯示部份	2604d:操作開關	
19:盒		
20:串音		

較佳實施例之詳細說明

以下說明依照本發明之顯示裝置之構造。

(實施例模式 1)

圖素部份之電源線拉出至外部不只在一方向，而是在多數方向。

參考圖 1 說明實施例模式 1。

如圖 1 所示，電源線在兩方向拉出，即，從電源線輸入部份 1 和電源線輸入部份 2。

於此使用之輸入部份意即以多數外部輸入端形成之部份，且電源電位，圖像訊號等從外部經此輸入至顯示裝置。

以此方式在顯示裝置之兩方向拉出電源線，相較於電

六、申請專利範圍

1 . 一種發光裝置，包含：

一電源線在一基底上；

一底膜在該電源線上；

一半導體層在底膜上，且具有雜質區和位在雜質區間之一通道區；

一閘極絕緣膜在該半導體層上；

一閘電極在該閘極絕緣膜上；和

一發光元件在該閘電極上，且包含第一電極，第二電極，和位在第一和第二電極間之一電致發光層，

其中雜質區之一電連接電源線，另一雜質區電連接第一電極。

2 . 一種發光裝置，包含：

一底膜在一基底上；

一半導體層在底膜上，且具有雜質區和位在雜質區間之一通道區；

一閘極絕緣膜在該半導體層上；

一閘電極在該閘極絕緣膜上；

一源極訊號線在該閘極絕緣膜上；

一電源線在該源極訊號線上；和

一發光元件在該電源線上，且包含第一電極，第二電極，和位在第一和第二電極間之一電致發光層，

其中雜質區之一電連接電源線，另一雜質區電連接第一電極，和

其中該閘電極包含與電源線相同的材料。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

3 . 如申請專利範圍第1或2項之發光裝置，其中該發光裝置使用在一電子設備中，該電子設備選自以個人電腦，視頻相機，頭戴顯示器，影像再生裝置，移動電腦，和電視接收器所組成之群之一。

4 . 一種發光裝置，包含：

一電源線在一基底上；

一底膜在該電源線上；

一半導體層在底膜上，且具有雜質區和位在雜質區間之一通道區；

一閘極絕緣膜在該半導體層上；

一閘電極在該閘極絕緣膜上；

一鈍化膜在該閘電極上；和

一發光元件在該閘電極上，且包含第一電極，第二電極，和位在第一和第二電極間之一電致發光層，

其中雜質區之一電連接電源線，另一雜質區電連接第一電極。

5 . 一種發光裝置，包含：

一底膜在一基底上；

一半導體層在底膜上，且具有雜質區和位在雜質區間之一通道區；

一閘極絕緣膜在該半導體層上；

一閘電極在該閘極絕緣膜上；

一源極訊號線在該閘極絕緣膜上；

一鈍化膜在該源極訊號線上；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

一 電源線在該源極訊號線上，且係由一接觸孔形成在該鈍化膜中；

一 發光元件在該電源線上，且包含第一電極，第二電極，和位在第一和第二電極間之一電致發光層，

其中雜質區之一電連接電源線，另一雜質區電連接第一電極，和

其中該閘電極包含與電源線相同的材料。

6．一種發光裝置，包含：

一 電源線在一基底上；

一 底膜在該電源線上；

一 半導體層在底膜上，且具有雜質區和位在雜質區間之一通道區；

一 閘極絕緣膜在該半導體層上；

一 閘電極在該閘極絕緣膜上；和

一 發光元件在該閘電極上，且包含含有 I T O 之第一電極，第二電極，和位在第一和第二電極間之一電致發光層，

其中雜質區之一電連接電源線，另一雜質區電連接第一電極。

7．一種發光裝置，包含：

一 底膜在一基底上；

一 半導體層在底膜上，且具有雜質區和位在雜質區間之一通道區；

一 閘極絕緣膜在該半導體層上；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

一 閘電極在該閘極絕緣膜上；

一 源極訊號線在該閘極絕緣膜上；

一 電源線在該源極訊號線上；和

一 發光元件在該電源線上，且包含含有 I T O 之第一電極，第二電極，和位在第一和第二電極間之一電致發光層，

其中雜質區之一電連接電源線，另一雜質區電連接第一電極，和

其中該閘電極包含與電源線相同的材料。

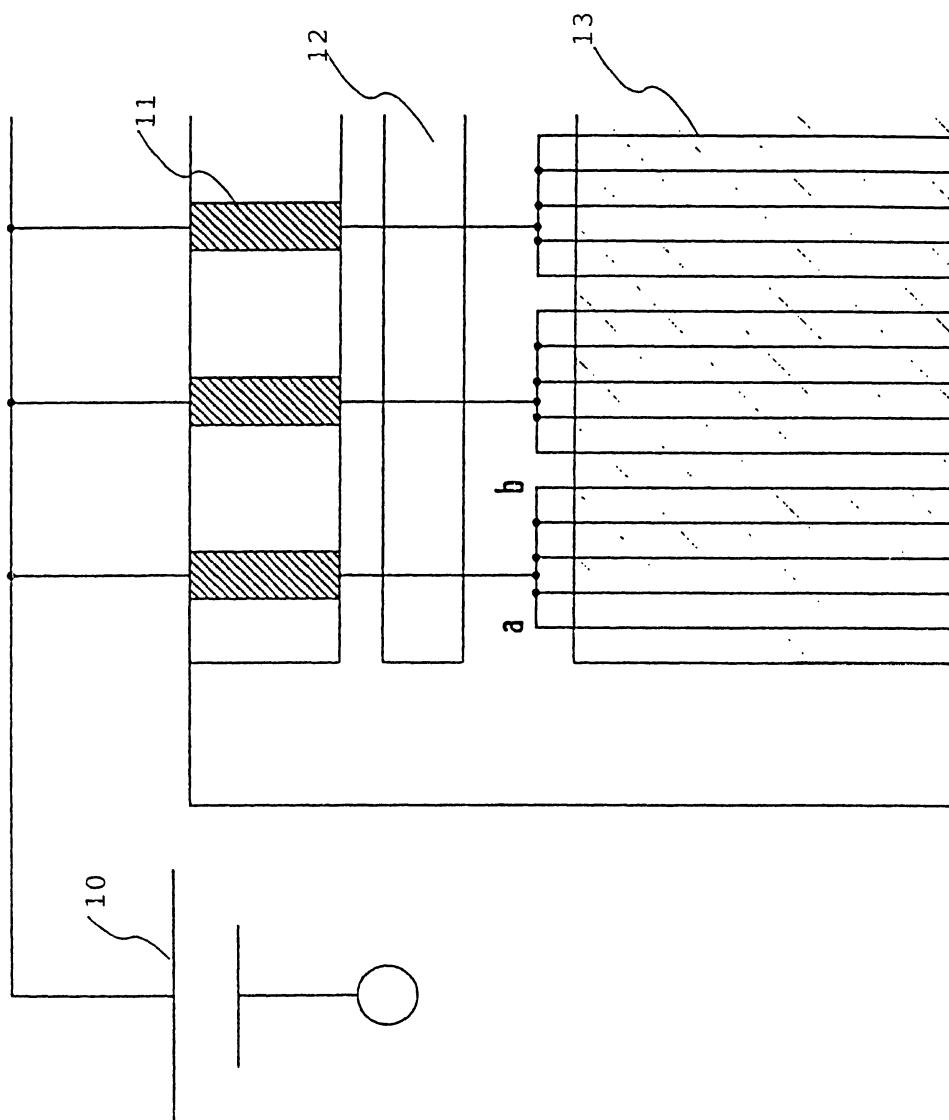
8 . 如申請專利範圍第 4 至 7 項中任一項之發光裝置，其中該發光裝置使用在一電子設備中，該電子設備選自以個人電腦，視頻相機，頭戴顯示器，影像再生裝置，移動電腦，和電視接收器所組成之群之一。

9 . 如申請專利範圍第 4 或 5 項之發光裝置，其中該鈍化膜包含氮氧化矽或氮化矽。

(請先閱讀背面之注意事項再填寫本頁)

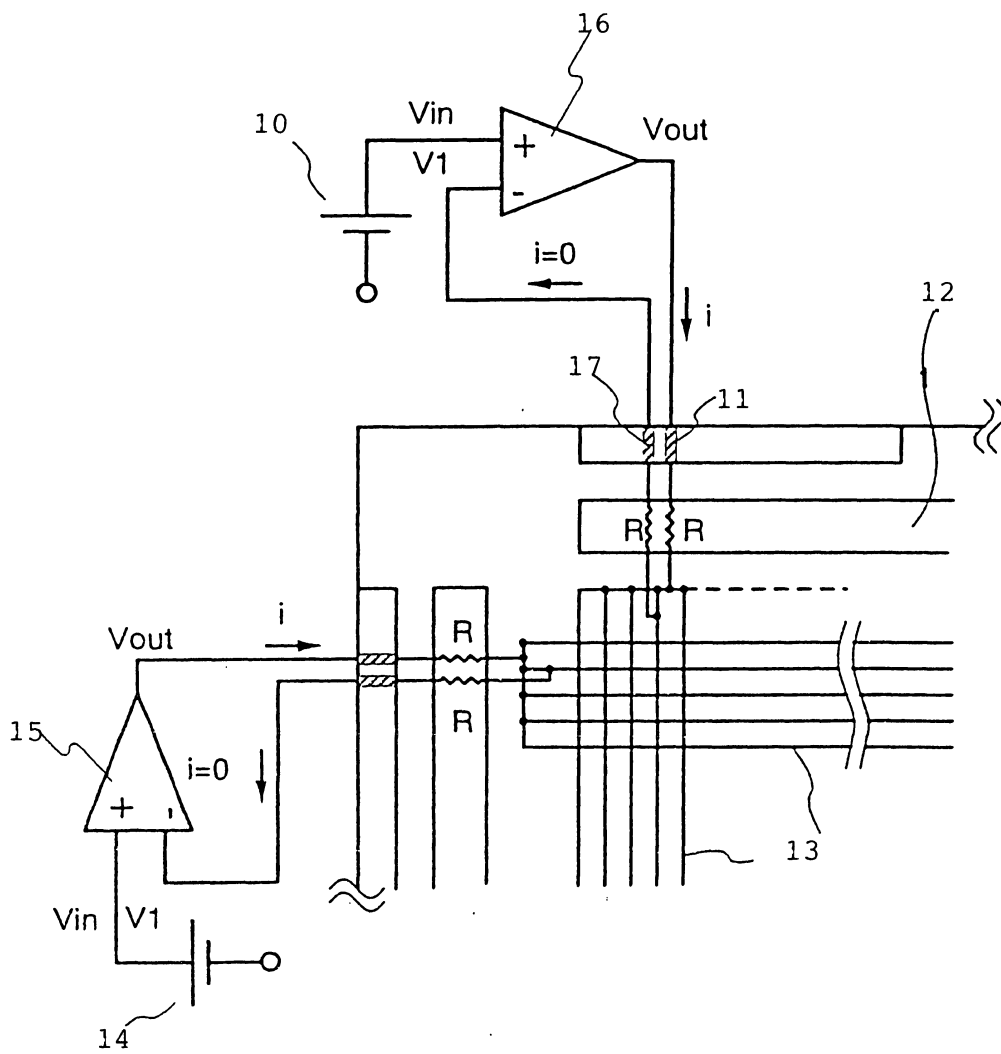
裝

訂



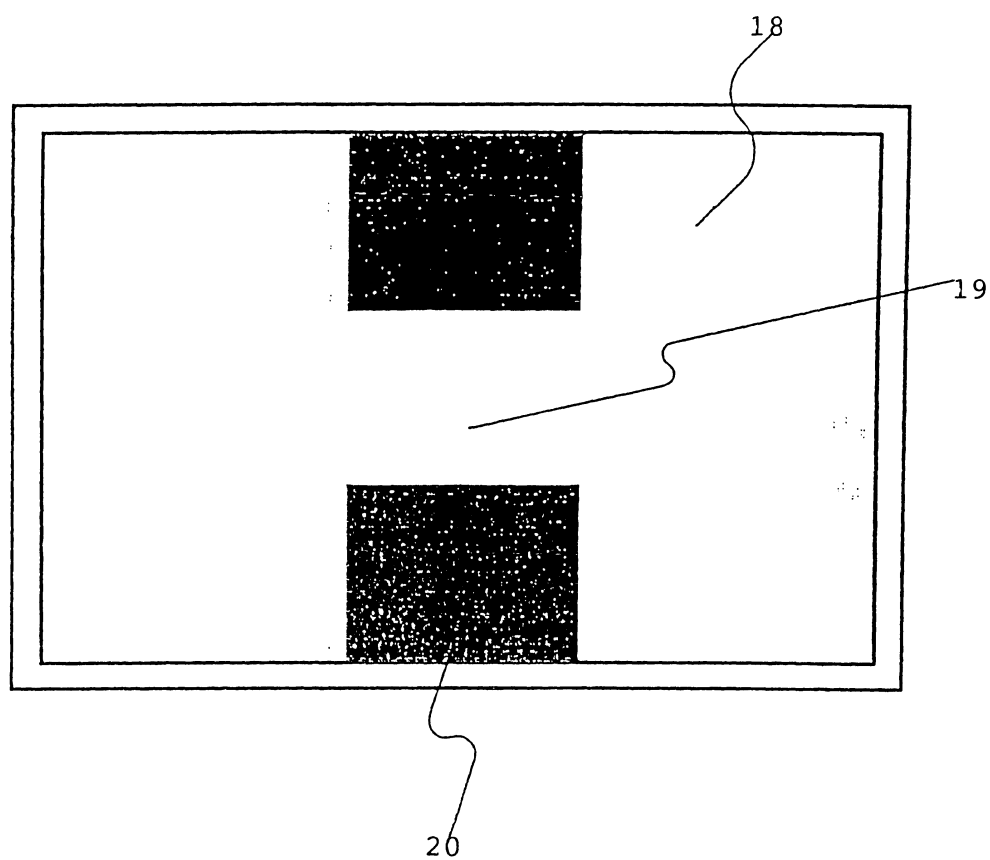
第 4 圖

9/12/19 補光 頁



第 5 圖

91/12/19 頁



第 23 圖

911219 頁

