

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2021년 9월 16일 (16.09.2021)



(10) 국제공개번호

WO 2021/182821 A1

(51) 국제특허분류:

H01L 33/00 (2010.01)

G01R 31/26 (2006.01)

H01L 25/075 (2006.01)

H01L 23/544 (2006.01)

65-16, Gyeonggi-do (KR). 최효식 (CHOI, Hyo Shik);
15429 경기도 안산시 단원구 산단로 163번길 65-16,
Gyeonggi-do (KR).

(21) 국제출원번호:

PCT/KR2021/002841

(22) 국제출원일:

2021년 3월 8일 (08.03.2021)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

62/987,132

2020년 3월 9일 (09.03.2020)

US

17/193,443

2021년 3월 5일 (05.03.2021)

US

(71) 출원인: 서울바이오시스주식회사 (SEOUL BIOSYS
CO., LTD.) [KR/KR]; 15429 경기도 안산시 단원구 산단
로 163번길 65-16, Gyeonggi-do (KR).

(72) 발명자: 박지훈 (PARK, Ji Hoon); 15429 경기도 안산
시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR). 강
지훈 (KANG, Ji Hun); 15429 경기도 안산시 단원구 산
단로 163번길 65-16, Gyeonggi-do (KR). 김재현 (KIM,
Chae Hon); 15429 경기도 안산시 단원구 산단로 163
번길 65-16, Gyeonggi-do (KR). 백용현 (BAEK, Yong
Hyun); 15429 경기도 안산시 단원구 산단로 163번길

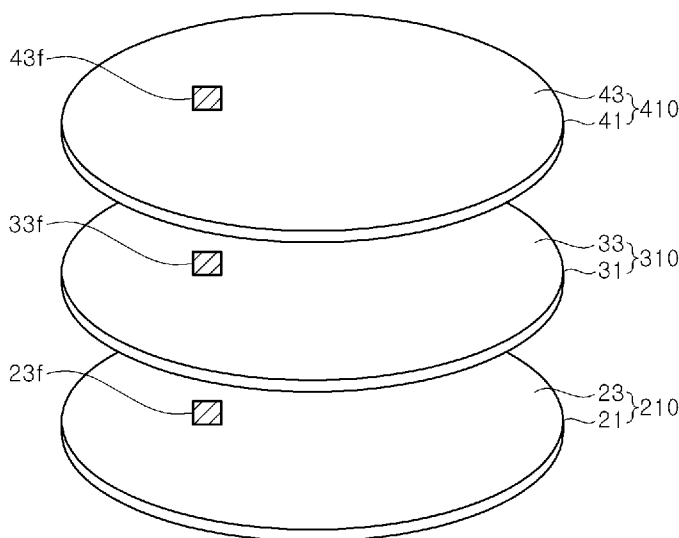
(74) 대리인: 특허법인에이아이피 (AIP PATENT & LAW
FIRM); 06239 서울시 강남구 테헤란로 14길 30-1, Seoul
(KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국
내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT,
AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU,
ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR,
KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG,
MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM,
PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC,
SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역
내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE,
LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유
럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

(54) Title: METHOD FOR MANUFACTURING LIGHT-EMITTING DEVICE HAVING STACKED STRUCTURE

(54) 발명의 명칭: 적층 구조를 갖는 발광 소자 제조 방법



(57) Abstract: A method for manufacturing a light-emitting device having a stacked structure comprises: (i) determining whether each measurement position is defective on the basis of the measurement result of the emission wavelength at each position; (ii) combining one of first wafers, one of second wafers, and one of third wafers so as to form a test stacked structure; and (iii) calculating the combination yield of the test stacked structure on the basis of the number of defective measurement positions overlapping in the test stacked structure.

(57) 요약서: 적층 구조를 갖는 발광 소자 제조 방법은 (i) 각 위치의 방출 파장의 측정 결과에 기초하여 각 측정 위치가 불량인지 여부를 결정하고, (ii) 상기 제1 웨이퍼들 중 하나, 상기 제2 웨이퍼들 중 하나, 상기 제3 웨이퍼들 중 하나를 조합하여 테스트 적층 구조를 형성하고, (iii) 상기 테스트 적층 구조 내에서 중첩하는 불량 측정 위치들의 개수에 기초하여 상기 테스트 적층 구조의 조합 수율을 계산하는 것을 포함한다.

[다음 쪽 계속]



WO 2021/182821 A1

FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 적층 구조를 갖는 발광 소자 제조 방법

기술분야

- [1] 본 개시는 발광 소자 제조 방법에 관한 것으로, 특히, 적층 구조를 갖는 발광 소자 제조 방법에 대한 것이다.

배경기술

- [2] 발광 다이오드는 무기 광원으로서는, 디스플레이 장치, 차량용 램프, 일반 조명과 같은 여러 분야에 다양하게 이용되고 있다. 발광 다이오드는 수명이 길고, 소비 전력이 낮으며, 응답속도가 빠른 장점이 있어 기존 광원을 빠르게 대체하고 있다.
- [3] 종래의 발광 다이오드는 디스플레이 장치에서 백라이트 광원으로 주로 사용되어 왔다. 그러나 최근 발광 다이오드를 이용하여 직접 이미지를 구현하는 LED 디스플레이가 개발되고 있다.
- [4] 디스플레이 장치는 일반적으로 청색, 녹색 및 적색의 혼합 색을 이용하여 다양한 색상을 구현한다. 디스플레이 장치는 다양한 이미지를 구현하기 위해 복수의 픽셀을 포함하고, 각 픽셀은 청색, 녹색 및 적색의 서브 픽셀을 구비하며, 이들 서브 픽셀들의 색상을 통해 특정 픽셀의 색상이 정해지고, 이들 픽셀들의 조합에 의해 이미지가 구현된다.
- [5] LED는 그 재료에 따라 다양한 색상의 광을 방출할 수 있어, 청색, 녹색 및 적색을 방출하는 개별 LED 칩들을 2차원 평면상에 배열하여 디스플레이 장치를 제공할 수 있다. 그러나 각 서브 픽셀에 하나의 LED 칩을 배열할 경우, LED 칩의 개수가 많아져 실장 공정에 시간이 많이 소요된다.
- [6] 최근, 서브 픽셀들을 2차원 평면 상에 배열하는 종래 LED 디스플레이의 단점을 해결하기 위해 다양한 색상의 서브 픽셀들을 수직 방향으로 적층하는 적층 구조의 발광 소자가 개발되고 있다. 적층 구조의 발광 소자는 서로 다른 색상의 광을 구현하기 위한 복수의 웨이퍼들을 적층하여 제조된다.
- [7] 도 1은 종래 기술에 따른 적층 구조의 발광 소자 제조 방법을 설명하기 위한 개략적인 사시도이다.
- [8] 도 1을 참조하면, 우선, 제1 웨이퍼(210), 제2 웨이퍼(310) 및 제3 웨이퍼(410)가 준비된다. 제1 웨이퍼(210)는 제1 기판(21) 및 제1 LED 적층(23)을 포함하며, 제2 웨이퍼(310)은 제2 기판(31) 및 제2 LED 적층(33)을 포함하고, 제3 웨이퍼(410)는 제3 기판(41) 및 제3 LED 적층(43)을 포함한다.
- [9] 그 후, 제1 웨이퍼(210), 제2 웨이퍼(310) 및 제3 웨이퍼(410)를 적층하여 발광 소자를 제조한다. 이에 따라, 발광 소자는 제1 LED 적층(21), 제2 LED 적층(33) 및 제3 LED 적층(43)이 적층된 구조를 갖는다.
- [10] 그런데, 제1 내지 제3 웨이퍼들(210, 310, 410)을 서로 적층하여 발광 소자를

제조하기 때문에, 제1 내지 제3 웨이퍼들(210, 310, 410)을 적층하여 제조된 발광 소자들의 수율은 웨이퍼들(210, 310, 410) 각각의 수율보다 더 낮은 수율을 갖는다. 특히, 도 1에 도시한 바와 같이, 웨이퍼들(210, 310, 410) 내의 불량 위치들(23f, 33f, 43f)이 서로 다르기 때문에, 이 웨이퍼들을 적층하여 제조된 발광 소자들의 수율은 상당히 낮은 값을 갖는다. 이에 따라, 하나의 웨이퍼의 불량 위치 때문에, 다른 웨이퍼들의 양호한 부분들이 포함된 발광 소자가 폐기되므로 손실이 크게 발생한다.

발명의 상세한 설명

기술적 과제

- [11] 본 개시가 해결하고자 하는 과제는, 제조 공정 수율을 증가시킬 수 있는 적층 구조를 갖는 발광 소자 제조 방법을 제공하는 것이다.

과제 해결 수단

- [12] 본 개시에 따른 하나 이상의 실시예들에 있어서, 적층 구조를 갖는 발광 소자 제조 방법이 제공된다. 이 방법은 (i) 제1 그룹의 웨이퍼들 내 각 웨이퍼의 미리 설정된 각 위치에 대한 발광 파장을 측정하는 것을 포함한다. 상기 제1 그룹의 웨이퍼들은 복수의 제1 웨이퍼들, 복수의 제2 웨이퍼들, 및 복수의 제3 웨이퍼들을 포함하고, 웨이퍼들의 세트는 제1 웨이퍼들 중 적어도 하나, 제2 웨이퍼들 중 적어도 하나, 및 제3 웨이퍼들 중 적어도 하나를 포함한다. 상기 방법은 (ii) 각 위치의 방출 파장의 측정 결과에 기초하여 각 측정 위치가 불량인지 여부를 결정하고, (iii) 상기 제1 웨이퍼들 중 하나, 상기 제2 웨이퍼들 중 하나, 상기 제3 웨이퍼들 중 하나를 조합하여 테스트 적층 구조를 형성하고, (iv) 상기 테스트 적층 구조 내에서 중첩하는 불량 측정 위치들의 개수에 기초하여 상기 테스트 적층 구조의 조합 수율을 계산하고, (v) 상기 테스트 적층 구조의 각 조합 수율을 대비하여 상기 제1, 제2 및 제3 웨이퍼들의 하나 이상의 결과적인 조합을 선택하고, (vi) 상기 제1, 제2 및 제3 웨이퍼들의 상기 결과적인 조합을 사용하여 후속 공정을 수행하는 것을 포함한다. 상기 후속 공정은 상기 제1, 제2 및 제3 웨이퍼들의 상기 선택된 결과적인 조합으로 최종 적층 구조를 형성하는 것을 포함한다.
- [13] 적어도 하나의 변형예에서, 상기 방법은 상기 제1, 제2 및 제3 웨이퍼들의 조합들에 상기 후속 공정을 수행하는 것을 포함하되, 각 조합들은 기준 값보다 높거나 동등한 조합 수율을 갖는다.
- [14] 또 다른 변형예에서, 상기 방법은 각 위치의 발광 파장의 측정 결과에 기초하여 상기 제1 그룹 내 각 웨이퍼의 각 수율을 결정하는 것을 더 포함한다.
- [15] 또 다른 변형예에서, 각 위치가 불량인지 여부를 결정하는 것은 각 위치의 발광 파장의 측정 결과가 목표 파장으로부터 미리 설정된 범위 내에 있는지 여부를 결정하는 것을 더 포함한다. 상기 방출 파장을 측정하는 것은 광 발광(photoluminescence)을 이용하여 상기 방출 파장을 측정하는 것을 더

포함한다.

- [16] 또 다른 변형예에서, 상기 방법은 선택된 순서를 따르기 위해 상기 복수의 제1 웨이퍼들을 분류하는 것을 더 포함한다. 상기 테스트 적층 구조를 형성하는 것은 상기 분류된 순서에 따른 각 제1 웨이퍼를 무작위로 선택된 각 제2 웨이퍼 및 각 제3 웨이퍼와 각각 조합하여 상기 테스트 적층 구조를 형성하는 것을 포함한다.
- [17] 적어도 하나의 변형예에서, 상기 방법은 전체 n 개의 제1 웨이퍼들, 전체 m 개의 제2 웨이퍼들, 및 전체 k 개의 제3 웨이퍼들을 포함하는 상기 제1 그룹의 웨이퍼들을 준비하는 것을 더 포함한다. m 및 k 가 n 과 같을 때, 상기 테스트 적층 구조를 형성하는 것은 제1 웨이퍼들, 제2 웨이퍼들, 및 제3 웨이퍼들의 $(n!)^2$ 개의 서로 다른 조합들을 포함하는 상기 테스트 적층 구조를 형성하는 것을 더 포함한다. 상기 테스트 적층 구조의 조합 수율을 계산하는 것은 각 테스트 적층 구조 내에서 중첩하는 불량 측정 위치들의 개수에 기초하여 상기 $(n!)^2$ 개의 서로 다른 조합들의 전부 또는 일부의 상기 조합 수율을 계산하는 것을 더 포함한다.
- [18] 또 다른 변형예에서, 상기 결과적인 조합들을 선택하는 것은 상기 제1 웨이퍼들, 상기 제2 웨이퍼들, 및 상기 제3 웨이퍼들의 상기 $(n!)^2$ 개의 서로 다른 조합들의 전부 또는 일부에 대한 상기 조합 수율을 대비하는 것을 더 포함한다.
- [19] 또 다른 변형예에서, 상기 방법은 상기 제1 웨이퍼들, 상기 제2 웨이퍼들, 및 상기 제3 웨이퍼들의 상기 $(n!)^2$ 개의 서로 다른 조합들의 전부 또는 일부의 조합 수율을 더하여 전체 조합 수율 Y_t 를 계산하는 것을 더 포함한다.
- [20] 또 다른 변형예에서, 상기 결과적인 조합들을 선택하는 것은 가장 높은 조합 수율 순으로 상기 제1, 제2 및 제3 웨이퍼들의 결과적인 조합들을 선택하는 것을 더 포함한다.
- [21] 또 다른 변형예에서, m 이 n 보다 클 때, 상기 제1 그룹의 웨이퍼들에서 웨이퍼들의 세트를 선택하는 것은 상기 제1 그룹의 웨이퍼들에서 n 세트의 웨이퍼들을 선택하고, 상기 n 세트의 웨이퍼들에 기초하여 상기 테스트 적층 구조의 조합 수율을 계산하고, 상기 제1 그룹의 웨이퍼들에서 $(m-n)$ 세트들을 선택하고, 상기 $(m-n)$ 세트들의 웨이퍼에 기초하여 상기 테스트 적층 구조의 조합 수율을 계산하는 것을 더 포함한다.
- [22] 또 다른 변형예에서, 상기 방법은 상기 제1 그룹의 웨이퍼들의 종류들과 동일한 종류들의 웨이퍼들을 포함하는 제2 그룹의 웨이퍼들을 준비하고, 상기 제2 그룹 내 각 웨이퍼의 미리 설정된 각 측정 위치에 대한 발광 파장을 측정하고, 상기 제1 그룹 내 웨이퍼들의 일부 및 상기 제2 그룹 내 웨이퍼들을 조합하여 또 다른 테스트 적층 구조를 형성하고, 상기 또 다른 테스트 적층 구조 내에서 중첩하는 불량 측정 위치들의 개수에 기초하여 상기 또 다른 테스트 적층 구조의 조합 수율을 계산하는 것을 더 포함한다.
- [23] 본 개시의 하나 이상의 실시예에 있어서, 컴퓨터 판독 가능한 저장 매체는, 제1 웨이퍼들의 그룹, 제2 웨이퍼들의 그룹, 및 제3 웨이퍼들의 그룹을 포함하는 제1 그룹의 웨이퍼들 내 각 웨이퍼 상의 위치들이 각각 불량인지 여부에 대한

데이터를 기초로, 제1 그룹 내 제1 웨이퍼들, 제2 웨이퍼들, 및 제3 웨이퍼들의 조합 수율을 계산하는 연산 프로그램을 저장한다. 상기 연산 프로그램은 프로세서에 의한 실행될 때, 각 웨이퍼의 미리 정해진 각 측정 위치에 대한 발광 파장의 측정 결과가 목표 파장으로부터 미리 설정된 범위 내에 있는지 여부를 결정하고, 상기 측정 결과가 목표 파장으로부터 미리 설정된 범위를 벗어났다고 결정할 때, 상기 측정 결과에 대응하는 측정 위치가 결함을 가지고 있음을 결정하고, 테스트 적층 구조에서 중첩하는 불량 측정 위치들의 개수에 기초하여 테스트 적층 구조의 조합 수율을 계산하는 것을 포함하는 작업을 수행하도록 구성된다. 상기 테스트 적층 구조는 각 그룹에서 선택되고 각각의 서로 다른 미리 정해진 순서로 조합된 제1 웨이퍼, 제2 웨이퍼, 및 제3 웨이퍼를 포함한다. 상기 작업은 각각의 테스트 적층 구조의 각 조합 수율을 대비하여 상기 제1 웨이퍼, 상기 제2 웨이퍼, 및 상기 제3 웨이퍼의 결과적인 조합을 결정하는 것을 더 포함한다.

- [24] 적어도 하나의 변형예에서, 상기 작업은 각 웨이퍼 상의 결함의 존부에 기초하여 상기 제1 그룹 내 각 웨이퍼의 각 수율을 결정하는 것을 더 포함한다.
- [25] 또 다른 변형예에서, 상기 제1 웨이퍼들의 그룹은 전체 n 개의 제1 웨이퍼를 포함하고, 상기 제2 웨이퍼들의 그룹은 전체 m 개의 제2 웨이퍼를 포함하며, 상기 제3 웨이퍼들의 그룹은 전체 k 개의 제3 웨이퍼를 포함하되, n , m , 및 k 는 0보다 큰 정수이다. n , m , 및 k 가 동일한 수이면, 상기 작업은 상기 제1 웨이퍼들, 상기 제2 웨이퍼들, 및 상기 제3 웨이퍼들의 $(n!)^2$ 개의 상이한 조합들을 포함하는 상기 테스트 적층 구조의 조합 수율을 계산하는 것을 더 포함한다.
- [26] 본 개시의 하나 이상의 실시예들에 있어서, 일 실시예에 따른 적층 구조를 갖는 발광 소자 제조 방법은 (i) 적어도 2 종류의 웨이퍼들을 포함하는 제1 그룹의 웨이퍼들을 준비하고, (ii) 상기 제1 그룹 내 각 웨이퍼의 각 위치에 대한 발광 파장을 측정하고, (iii) 상기 측정 결과에 기초하여 상기 제1 그룹 내 웨이퍼들의 조합 수율들을 계산하고, (iv) 상기 조합 수율들에 기초하여 웨이퍼들의 조합들을 결정하고, (v) 상기 결정된 웨이퍼들의 조합들을 사용하여 후속 공정을 수행하는 것을 포함한다.
- [27] 또 다른 실시예에서, 컴퓨터 판독 가능한 저장 매체는 제1 웨이퍼들의 그룹, 제2 웨이퍼들의 그룹, 및 제3 웨이퍼들의 그룹을 포함하는 제1 그룹의 웨이퍼들 내 각 웨이퍼 상의 위치들이 각각 불량인지 여부에 대한 데이터에 기초하여, 제1 그룹 내 제1 웨이퍼들, 제2 웨이퍼들, 및 제3 웨이퍼들의 조합 수율을 계산하기 위한 연산 프로그램을 저장한다.

도면의 간단한 설명

- [28] 도 1은 종래 기술에 따른 적층 구조의 발광 소자 제조 방법을 설명하기 위한 개략적인 사시도이다.
- [29] 도 2는 본 개시의 하나 이상의 실시예에 따른 적층 구조의 발광 소자 제조

방법을 설명하기 위한 개략적인 순서도이다.

- [30] 도 3은 제1 웨이퍼의 매핑 공정을 설명하기 위한 개략적인 평면도이다.
- [31] 도 4는 제2 웨이퍼의 매핑 공정을 설명하기 위한 개략적인 평면도이다.
- [32] 도 5는 제3 웨이퍼의 매핑 공정을 설명하기 위한 개략적인 평면도이다.
- [33] 도 6A는 웨이퍼들의 조합에 따른 조합 수율의 일 예를 보여주기 위한 표이다.
- [34] 도 6B는 웨이퍼들의 조합에 따른 또 다른 조합 수율을 보여주기 위한 표이다.
- [35] 도 7은 본 개시의 하나 이상의 실시예에 따른 적층 구조의 발광 소자 제조 방법을 설명하기 위한 개략적인 사시도이다.
- [36] 도 8은 본 개시의 하나 이상의 실시예에 따른 적층 구조의 발광 소자 제조 방법을 설명하기 위한 개략적인 순서도이다.

발명의 실시를 위한 최선의 형태

- [37] 이하, 첨부한 도면들을 참조하여 본 개시의 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 본 개시가 속하는 기술분야의 통상의 기술자에게 본 개시의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 개시는 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 또한, 하나의 구성요소가 다른 구성요소의 "상부에" 또는 "상에" 있다고 기재된 경우 각 부분이 다른 부분의 "바로 상부" 또는 "바로 상에" 있는 경우뿐만 아니라 각 구성요소와 다른 구성요소 사이에 또 다른 구성요소가 개재된 경우도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [38] 본 개시의 하나 이상의 실시예에 있어서, 적층 구조를 갖는 발광 소자 제조 방법은, 적어도 2종류 이상의 웨이퍼들을 포함하는 제1 그룹의 웨이퍼들을 준비하고, 상기 제1 그룹 내 각 웨이퍼들의 위치별 발광 파장을 측정하고, 상기 측정 결과를 기초로 상기 제1 그룹 내 웨이퍼들의 조합 수율을 계산하고, 상기 조합 수율을 기반으로 웨이퍼 조합을 결정하고, 결정된 상기 웨이퍼 조합들을 사용하여 후속 공정을 수행하는 것을 포함한다.
- [39] 공정을 수행하기 전에 복수의 웨이퍼들의 조합 수율을 미리 계산함으로써 최적 조합을 도출할 수 있으며, 이에 따라, 발광 소자 제조 수율을 개선할 수 있다.
- [40] 적어도 하나의 변형예에서, 상기 제1 그룹의 웨이퍼들은, 제1 기판 및 상기 제1 기판 상에 성장된 제1 LED 적층을 갖는 제1 웨이퍼들; 제2 기판 및 상기 제2 기판 상에 성장된 제2 LED 적층을 갖는 제2 웨이퍼들; 및 제3 기판 및 상기 제3 기판 상에 성장된 제3 LED 적층을 갖는 제3 웨이퍼들을 포함할 수 있으며, 상기 제1 내지 제3 LED 적층들은 서로 다른 색상의 광을 방출하도록 구성될 수 있다.
- [41] 또 다른 변형예에 있어서, 상기 제1 LED 적층은 적색광을 방출하도록 구성될 수 있고, 상기 제2 LED 적층은 청색광을 방출하도록 구성될 수 있으며, 상기 제3 LED 적층은 녹색광을 방출하도록 구성될 수 있고, 상기 제2 LED 적층은 상기

제1 LED 적층과 제3 LED 적층 사이에 배치될 수 있다.

[42] 또 다른 변형예에 있어서, 상기 제1 LED 적층은 적색광을 방출하도록 구성될 수 있고, 상기 제2 LED 적층은 녹색광을 방출하도록 구성될 수 있으며, 상기 제3 LED 적층은 청색광을 방출하도록 구성될 수 있고, 상기 제2 LED 적층은 상기 제1 LED 적층과 제3 LED 적층 사이에 배치될 수 있다.

[43] 또 다른 변형예에 있어서, 상기 제1 그룹의 웨이퍼들의 조합 수율을 계산하는 것은 상기 제1 그룹 내 웨이퍼들의 모든 조합에 따른 전체 조합 수율들(Y_t)을 계산하는 것을 포함할 수 있으며, 상기 조합 수율을 기반으로 웨이퍼 조합을 결정하는 것은 상기 전체 조합 수율들 중 최대 조합 수율로 결정할 수 있다.

[44] 또 다른 변형예에 있어서, 상기 제1 그룹의 웨이퍼들의 조합 수율을 계산하는 것은 한 종류의 웨이퍼들의 순서를 미리 고정할 수 있으며, 상기 한 종류의 웨이퍼들의 순서에 따라 다른 종류의 웨이퍼들과의 조합 수율을 계산할 수 있다.

[45] 또 다른 변형예에 있어서, 상기 조합 수율을 기반으로 웨이퍼 조합을 결정하는 것은 상기 한 종류의 웨이퍼들의 순서에 따라 다른 종류의 웨이퍼들과의 조합 수율이 높은 순서로 결정할 수 있다.

[46] 몇몇 형태에 있어서, 상기 후속 공정은 전체 웨이퍼 조합에 대해 수행될 수 있다. 다른 형태에 있어서, 상기 후속 공정은 전체 웨이퍼 조합 중 조합 수율이 기준값 이상인 조합에 대해 수행될 수 있다.

[47] 일 형태에 있어서, 상기 기준값은 약 50%, 약 60% 또는 약 70%일 수 있다.

[48] 본 개시의 하나 이상의 실시예들에 있어서, 상기 발광 소자 제조 방법은, 제1 그룹과 동일한 종류의 웨이퍼들을 포함하는 제2 그룹의 웨이퍼들을 준비하고, 상기 제2 그룹 내 각 웨이퍼들의 위치별 발광 파장을 측정하고, 상기 측정 결과를 기초로 상기 제1 그룹 내 웨이퍼들의 일부와 상기 제2 그룹 내 웨이퍼들의 조합 수율을 계산하고, 상기 조합 수율을 기반으로 웨이퍼 조합을 결정하고, 결정된 상기 웨이퍼 조합들을 사용하여 상기 제1 그룹의 웨이퍼들의 일부와 상기 제2 그룹의 웨이퍼들에 대해 후속 공정을 수행하는 것을 포함할 수 있다.

[49] 적어도 하나의 변형예에 있어서, 상기 후속 공정은 전체 웨이퍼 조합 중 조합 수율이 기준값 이상인 조합에 대해 수행될 수 있다.

[50] 상기 제1 그룹 내 웨이퍼들의 일부는 상기 제1 그룹의 웨이퍼들의 조합 중 조합 수율이 기준값 미만인 웨이퍼들 중 적어도 일부일 수 있다.

[51] 상기 제1 그룹의 웨이퍼들의 조합 수율을 계산하는 것은 연산 프로그램을 사용하여 수행될 수 있다.

[52] 상기 연산 프로그램은 컴퓨터 판독가능한 기록 매체에 저장될 수 있다.

[53] 또 다른 변형예에 있어서, 위치별 발광 파장의 측정 결과로부터 위치별 불량 여부가 판정되어 각 웨이퍼의 수율이 계산될 수 있다. 나아가, 위치별 불량 여부는 타겟 파장으로부터 미리 설정된 범위로 판정될 수 있다.

[54] 상기 발광 파장은 광 발광(photoluminescence)을 이용하여 측정될 수 있다.

[55] 본 개시의 하나 이상의 실시예들에 있어서, 컴퓨터 판독 가능한 저장 매체는,

제1 웨이퍼들의 그룹, 제2 웨이퍼들의 그룹, 및 제3 웨이퍼들의 그룹을 포함하는 제1 그룹의 웨이퍼들의 각각에 대한 웨이퍼 위치별 불량 여부에 대한 데이터를 기초로, 제1 그룹 내 제1 웨이퍼, 제2 웨이퍼, 및 제3 웨이퍼의 조합 수율을 계산하는 연산 프로그램을 저장한다.

[56] 적어도 하나의 변형예에 있어서, 상기 연산 프로그램은 상기 제1 웨이퍼들, 제2 웨이퍼들 및 제3 웨이퍼들의 모든 조합에 대한 조합 수율을 계산할 수 있다.

[57] 또 다른 변형예에 있어서, 상기 연산 프로그램은 상기 제1 웨이퍼들, 제2 웨이퍼들 및 제3 웨이퍼들 중 어느 하나의 웨이퍼들의 순서를 고정하고, 고정된 웨이퍼들의 순서에 따라 제1 웨이퍼들, 제2 웨이퍼들 및 제3 웨이퍼들과의 조합 수율을 계산할 수 있다.

[58] 이하 도면을 참조하여 본 개시의 실시예들에 대해 구체적으로 설명한다.

[59] 도 2는 하나 이상의 실시예에 따른 적층 구조의 발광 소자 제조 방법을 설명하기 위한 개략적인 순서도이이고, 도 3 내지 도 5는 각각 제1 내지 제3 웨이퍼의 매핑 공정을 설명하기 위한 개략적인 평면도들이며, 도 6A 및 도 6B는 웨이퍼들의 조합에 따른 수율을 설명하기 위한 표들이다.

[60] (단계 101)

[61] 도 2를 참조하면, 우선, 단계(101)에서 제1 그룹의 웨이퍼들이 준비된다. 제1 그룹의 웨이퍼들은 예를 들어, 복수의 제1 웨이퍼들, 복수의 제2 웨이퍼들 및 복수의 제3 웨이퍼들을 포함할 수 있다. 제1 웨이퍼(210)는 도 3에, 제2 웨이퍼(310)는 도 4에, 제3 웨이퍼(410)는 도 5에 도시되어 있다. 비록 단지 하나의 제1 웨이퍼(R1), 하나의 제2 웨이퍼(B1), 하나의 제3 웨이퍼(G1)가 도 3, 도 4, 및 도 5에 각각 도시되지만, 복수개의 제1 웨이퍼들, 복수개의 제2 웨이퍼들 및 복수개의 제3 웨이퍼들이 제공될 수 있다. 일 예로, 12개의 제1 웨이퍼, 12개의 제2 웨이퍼, 및 12개의 제3 웨이퍼로, 전체 36개의 웨이퍼들이 준비될 수 있다. 복수개의 제1 웨이퍼들(210), 복수개의 제2 웨이퍼들(310), 및 복수개의 제3 웨이퍼들(410)이 제공되어 제1 그룹으로 지정될 수 있다. 위 예를 사용하면, 제1 그룹은 전체 36개의 웨이퍼들을 포함한다. 여기서, 일 예로 제1 그룹이 3종류의 웨이퍼들을 포함하는 것으로 설명하지만, 3종류에 한정되는 것은 아니다. 예를 들어, 제1 그룹은 2종류의 웨이퍼들을 포함할 수도 있고, 4종류 이상의 웨이퍼들을 포함할 수도 있다.

[62] 제1 그룹 내에 포함되는 제1 내지 제3 웨이퍼들(210, 310, 410)의 개수는 서로 동일할 수도 있지만, 이에 한정되는 것은 아니며, 서로 다를 수도 있다. 예를 들어, 복수의 제1 웨이퍼들(210)은 하나의 성장 장치 내에서 성장 공정이 함께 수행된 웨이퍼들일 수 있다. 이러한 웨이퍼들은 동일 런(run)을 통해 제공된다. 이와 유사하게, 복수의 제2 웨이퍼들(310)도 하나의 성장 장치 내에서 함께 성장 공정이 수행된 웨이퍼들일 수 있으며, 복수의 제3 웨이퍼들(410)도 하나의 성장 장치 내에서 함께 성장 공정이 수행된 웨이퍼들일 수 있다. 그러나 본 개시가 이에 한정되는 것은 아니다. 예를 들어, 제1 그룹은 하나의 성장 장치에서 여러

회에 걸쳐 또는 다수의 성장 장치에서 성장된 제1 웨이퍼들(210), 제2 웨이퍼들(310) 또는 제3 웨이퍼들(410)을 포함할 수도 있다. 즉, 제1 그룹 내의 웨이퍼들은 동일 또는 다른 성장 장치들에 의한 여러 런을 통해 제공될 수도 있다. 설명의 편의를 위해 아래 실시예에서는 제1 그룹 내에 12개의 제1 웨이퍼들(210), 12개의 제2 웨이퍼들(310) 및 12개의 제3 웨이퍼들(410)이 포함되는 것으로 설명된다. 그러나, 앞서 설명한 바와 같이, 제1 그룹 내에 포함되는 각 웨이퍼들의 개수는 여기에 한정되는 것은 아니며, 그보다 더 적을 수도 있고, 더 많을 수도 있다.

- [63] 한편, 제1 웨이퍼(210)는 제1 기판(21 상에 성장된 제1 LED 적층(23)을 포함하고, 제2 웨이퍼(310)는 제2 기판(31) 상에 성장된 제2 LED 적층(33)을 포함하며, 제3 웨이퍼(410)는 제3 기판(41) 상에 성장된 제3 LED 적층(43)을 포함한다.
- [64] 도 3은 제1 웨이퍼의 매핑 공정을 예시하는 개략적인 평면도이다. 도 4는 제2 웨이퍼의 매핑 공정을 예시하는 개략적인 평면도이다. 도 5는 제3 웨이퍼의 매핑 공정을 예시하는 개략적인 평면도이다.
- [65] 제1 LED 적층(23)은 제2 및 제3 LED 적층들(33, 43)에 비해 장파장의 광을 방출할 수 있고, 제2 LED 적층(33)은 제3 LED 적층(43)에 비해 장파장의 광을 방출할 수 있다. 예를 들어, 제1 LED 적층(23)은 적색광을 발하는 무기 발광 다이오드일 수 있으며, 제2 LED 적층(33)은 녹색광을 발하는 무기 발광 다이오드이고, 제3 LED 적층(43)은 청색광을 발하는 무기 발광 다이오드일 수 있다.
- [66] 다른 실시예에 있어서, 제1, 제2 및 제3 LED 적층(23, 33, 43)에서 방출되는 광의 색 혼합 비율을 조절하기 위해, 제2 LED 적층(33)이 제3 LED 적층(43)보다 단파장의 광을 방출할 수 있다. 이에 따라, 제2 LED 적층(33)에서 방출되는 광의 광도를 줄이고, 제3 LED 적층(43)에서 방출되는 광의 광도를 증가시킬 수 있다. 예를 들어, 제1 LED 적층(23)은 적색광을 방출하고, 제2 LED 적층(33)은 청색광을 방출하고, 제3 LED 적층(43)은 녹색광을 방출하도록 구성될 수 있다.
- [67] 이하에서는 제2 LED 적층(33)이 제3 LED 적층(43)보다 단파장의 광, 예컨대 청색광을 방출하는 것을 예를 들어 설명하지만, 제2 LED 적층(33)이 제3 LED 적층(43)보다 장파장의 광, 예컨대 녹색광을 방출할 수 있음에 유의해야 한다.
- [68] 제1 내지 제3 LED 적층(23, 33, 43)은 각각 n형 반도체층, p형 반도체층, 및 우물층을 포함할 수 있다. 제1 LED 적층(23)은 AlGaInP 계열의 우물층을 포함할 수 있으며, 제2 LED 적층(33)은 AlGaInN 계열의 우물층을 포함할 수 있고, 제3 LED 적층(43)은 AlGaInP 계열 또는 AlGaInN 계열의 우물층을 포함할 수 있다.
- [69] (단계 201)
- [70] 단계(201)에서, 제1 그룹 내의 각 웨이퍼에 대한 성능 측정이 수행된다. 각 웨이퍼 내의 위치별 성능 측정이 수행되며, 측정된 값을 이용하여 각 위치별 불량 여부가 판정될 수 있다. 예컨대, 도 3에 도시되듯이, 제1 웨이퍼(210) 상에

성장된 제1 LED 적층(23)의 각 영역들의 불량 여부가 확인된다. 각 위치에 따른 불량 여부를 확인한 결과는 저장될 수 있으며, 사용자에게 의해 육안으로 확인될 수 있도록 매핑될 수 있다. 몇몇 형태에 있어서, 매핑된 데이터는 스크린 상에 디스플레이될 수 있으며 또는 유형 매체 상에 인쇄될 수 있고, 사용자에게 의해 육안으로 검사될 수 있다. 사용자는 도 3 내지 5에 예시된 바와 같이 스크린 상에서 웨이퍼들 210(R1), 310(B1), 및/또는 410(G1)의 화상을 볼 수 있으며, 영역들(23m) 중 불량 영역이 뚜렷하게 디스플레이될 수 있다. 도 4 및 도 5에 도시되듯이, 제2 웨이퍼(310) 및 제3 웨이퍼(410)에 대해서도 각 영역(33m, 43m)에 대해 동일한 성능 측정 및 매핑이 수행될 수 있다.

[71] 도 3 내지 5에 도시된 영역들(23m, 33m, 43m)과 같이, 불량 여부를 판정하기 위한 각 위치별 면적은 임의로 설정될 수 있으며, 측정 장치의 성능이 고려될 수 있다. 예를 들어, 광 발광(photoluminescence; PL)을 이용하여 각 위치의 발광 파장을 측정하고, 이를 통해 각 위치의 불량 여부가 판정될 수 있다. 이 경우, PL 빔 사이즈에 의해 측정 위치의 크기가 결정될 수 있다. 또한, 미리 정해진 위치들에 대해 발광 파장을 측정하여 발광 소자들이 제조될 제1 웨이퍼(210) 상의 모든 위치에서 불량 여부가 판정된다.

[72] 양호한 파장 범위를 미리 정하여 위치별 불량 여부를 판정할 수 있다. 예를 들어, PL을 이용하여 측정된 발광 파장이 타겟 파장에서 일정 범위를 벗어난 경우 불량으로 판정될 수 있다. 일정 범위는 예를 들어, 2nm 등으로 설정될 수도 있고, 타겟 파장의 1% 또는 0.5% 등의 비율로 설정될 수도 있다.

[73] 단계(201)에 의해 제1 그룹 내의 모든 웨이퍼들에 대한 성능 측정이 완료되고, 각 웨이퍼의 위치별 불량 여부가 판정된다. 위 결과에 따라, 각 웨이퍼의 수율이 또한 추출될 수 있다.

[74] (단계 301)

[75] 단계(301)에서, 제1 그룹의 웨이퍼들의 조합 수율들이 계산된다. 웨이퍼들의 조합 수율은 각 웨이퍼의 개별 수율과 다르고 더 많은 정보를 제공한다. 제1, 제2 및 제3 웨이퍼들(210, 310, 410)이 발광 소자를 제조하기 위해 서로 상에 적층되므로, 제2, 제2 및 제3 웨이퍼들(210, 310, 410)을 적층하여 제조되는 발광 소자는 각 웨이퍼들(210, 310, 410)의 수율보다 낮다. 도 1을 참조하여 앞서 설명한 바와 같이, 웨이퍼들(210, 310, 410) 내의 불량 위치들(23f, 33f, 43f)은 서로 다를 수 있으므로, 이들 웨이퍼들을 적층하여 제조된 발광 소자는 상당히 낮은 수율을 가질 수 있다.

[76] 조합 수율을 계산하는 방식은 다양할 수 있다. 일 실시예에 있어서, 아래에서 설명하듯이, 모든 가능한 경우의 조합이 고려될 수 있다. 즉, 제1 그룹 내 제1 내지 제3 웨이퍼들(210, 310, 410)의 모든 가능한 조합을 통해 각 조합의 수율을 계산하고, 이를 통해 전체 조합 수율을 도출할 수 있다. 제1 그룹 내의 웨이퍼들의 조합에 대해 복수의 전체 조합 수율이 도출될 수 있으며, 이들 중에서 최대 조합 수율을 제공하는 웨이퍼들의 조합을 확인할 수 있다. 이에

대해 도 6A 및 도 6B를 참조하여 상세하게 설명한다.

- [77] 도 6A 및 도 6B는 웨이퍼들의 조합에 따른 수율을 설명하기 위한 표이다. 여기서, 제1 그룹 내에 포함되는 제1 내지 제3 웨이퍼들(210, 310, 410)은 각각 R그룹(RR; R1~R12), B그룹(BG; B1~B12, 및 G그룹(GG; G1~G12)으로 그룹화된다. 여기서는 R그룹, B그룹 및 G그룹이 각각 12장의 웨이퍼를 포함하며, R1 내지 R12, B1 내지 B12, 및 G1 내지 G12는 각각의 웨이퍼들을 나타내지만, 앞서 설명한 바와 같이, 이에 한정되는 것은 아니다. 도 7을 참조하여 아래에서 설명되듯이, 12개의 제1 웨이퍼들 중 하나, 12개의 제2 웨이퍼들 중 하나, 및 12개의 제3 웨이퍼들 중 하나가 선택되어 조합된다. 선택된 웨이퍼들의 이러한 조합은 도 6A 및 도 6B에서 표의 각 행에 대응한다.
- [78] 도 6A에 나타낸 바와 같이, 제1 내지 제3 웨이퍼들(210, 310, 410)을 이용하여 12개의 조합(C1~C12)에 의해 하나의 전체 조합이 제공된다. 앞서 판정된 웨이퍼의 위치별 불량 여부를 통해 조합들(C1~C12)에 대한 각 수율(Yd; Y1~Y12)이 계산될 수 있으며, 이들 수율을 합하여 전체 조합 수율(Yt1)이 산출될 수 있다.
- [79] 더 상세하게, 각각의 개별 웨이퍼는 성능이 측정될 하나 이상의 위치들을 가진다. 측정 후, 어떤 위치가 불량인지 불량이 아닌지 결정된다. 각각의 개별 웨이퍼 상에서 불량 위치들에 대한 정보는 아래에서 더 설명되듯이 조합 수율을 계산하는데 충분하다. 여기서 "수율"은 전체 위치에 대한 양호한 위치의 백분율을 의미한다. 각각의 개별 웨이퍼의 수율은 측정 결과에 기초하여 결정될 수 있으나, 개별 웨이퍼의 수율이 조합 수율을 계산하기 위해 사용되는 것은 아니다.
- [80] 일 예로, R1, B1, 및 G1 웨이퍼들의 조합에 대한 조합 수율 C1 계산이 설명된다. 설명의 편의를 위해, 각각의 개별 웨이퍼에 100개의 위치들이 있으며, 각각의 개별 웨이퍼에 대해 10개의 불량 위치들이 있는 것으로 가정한다. 조합 수율은 각각의 개별 웨이퍼들 상의 불량 위치들 중에서 얼마나 많은 중첩이 있는지에 달려있다. 더 상세하게, 일 예로, R1 웨이퍼의 10개의 불량 위치들, B1 웨이퍼의 10개의 불량 위치들, 및 G1 웨이퍼의 10개의 불량 위치들이 모두 중첩하면, R1, B1, 및 G1 웨이퍼들의 조합의 조합 수율은 90%이다. 즉, R1, B1, 및 G1 웨이퍼들의 조합의 조합 수율은 $100 \times (100 - 10) / 100$ 과 같다. R1, B1 및 G1 웨이퍼들의 불량 위치들 사이에 중첩이 없다면, R1, B1, 및 G1 웨이퍼들의 조합에 30개의 불량 위치들이 있게 된다. 따라서, 조합 수율은 $100 \times (100 - 30) / 100$ 에 기초하여 70%가 된다. 그러므로, 위에서 설명한 바와 같이, 조합 수율은 3개의 웨이퍼들에 대한 불량 위치들의 정보에 기초하여 계산될 수 있다.
- [81] 전체 조합 수율(Yt1)은 제1 내지 제3 웨이퍼들을 도 6A와 같은 조합(C1~C12)로 조합했을 때 얻을 수 있는 전체 조합 수율이다. 한편, 도 6A와 달리 조합할 경우, 각 조합에 대한 수율(Yd)은 변경될 수 있으며, 이에 따라, 전체 조합 수율(Yt)도

변경될 것이다. 예를 들어, 도 6B에 나타내듯이, 제3 웨이퍼(310)의 순서만을 변경해도 도 6A의 조합과 전혀 다른 조합이 형성되며, 이에 따라, 새로운 전체 조합 수율(Yt2)이 산출된다.

[82] 제1 내지 제3 웨이퍼들(210, 310, 410)이 각각 n 개이면 가능한 조합은 $(n!)^2$ 개의 조합이 가능할 것이다. 더 상세하게, 일 예로, 제1 내지 제3 웨이퍼들(210, 310, 410)이 각각 12개인 경우, $(12!)^2$ 개의 전체 조합 수율이 산출될 수 있다. 이들 $(12!)^2$ 개의 전체 조합 수율들 중에서 최대 조합 수율을 나타내는 12개의 조합(C1~C12)이 결정되어 선택될 수 있다. 최대 조합 수율은 제1 그룹 내의 제1 내지 제3 웨이퍼들(210, 310, 410)을 하나 이상의 특정 순서로 조합하여 얻을 수 있는 최대 조합 수율로서 이 조합에 따라 후속 공정을 수행하면 발광 소자들의 수율을 최대화할 수 있다.

[83] 다른 실시예에 있어서, 제1 웨이퍼들(210), 제2 웨이퍼들(310), 및 제3 웨이퍼들(410)의 각 개수는 서로 다를 수 있다. 제1 웨이퍼들(210) 중 하나, 제2 웨이퍼들(310) 중 하나, 및 제3 웨이퍼들(410) 중 하나가 적층 구조를 만들기 위해 선택되어 조합된다. 제1, 제2, 및 제3 웨이퍼들이 서로 다른 개수일 때, 전체 조합은 동일한 개수의 웨이퍼들로 만들어져야 한다. 예를 들어, 10개의 제1 웨이퍼, 15개의 제2 웨이퍼, 및 20개의 제3 웨이퍼가 있고, 이들의 조합 수율은 10개의 제1 웨이퍼, 15개의 제2 웨이퍼에서 선택된 10개의 제2 웨이퍼, 및 20개의 제3 웨이퍼에서 선택된 10개의 제3 웨이퍼로부터 계산될 수 있다. 더욱이, 웨이퍼들(210, 310, 410)의 모든 조합들의 조합 수율이 10개의 제1 웨이퍼, 15개의 제2 웨이퍼, 및 20개의 제3 웨이퍼와 관련하여 계산될 수 있도록 제1, 제2, 및 제3 웨이퍼들(210, 310, 410)의 모든 조합들이 고려될 수 있다. 달리 말해, 10개의 제1 웨이퍼와 관련하여, 15개의 제2 웨이퍼 모두 및 20개의 제3 웨이퍼 모두가 서로 다른 조합들을 만들도록 고려되고, 각각의 서로 다른 조합에 대해 조합 수율이 계산될 것이다.

[84] 몇몇 형태에 있어서, 위 조합 수율의 계산은 연산 프로그램을 이용하여 수행될 수 있다. 연산 프로그램은 제1 내지 제3 웨이퍼들(210, 310, 410) 각각의 측정 결과를 기초로 연산을 수행하여 각 조합의 수율을 계산할 수 있다. 연산 프로그램은 컴퓨터 시스템과 같은 연산 장치를 이용하여 수행될 수 있으며, 각 웨이퍼에 대한 측정 결과를 기반으로 연산을 수행할 수 있다. 연산 프로그램은 컴퓨터가 판독가능한 기록 매체에 저장될 수 있다.

[85] 다른 실시예에 있어서, 위와 같이 모든 가능한 조합을 고려하는 방식 이외에 다른 방식도 고려될 수 있다. 예를 들어, 경우의 수를 줄이기 위해 한 종류의 웨이퍼의 순서를 고정하고, 나머지 웨이퍼들의 조합을 고려할 수 있다. 몇몇 형태에 있어서, 제1 웨이퍼들의 순서가 고정되고 전체 조합 개수는 제2 웨이퍼들과 제3 웨이퍼들의 조합에 의해 결정될 수 있다.

[86] 예를 들어, 제1 웨이퍼들(R1~R12)을 수율이 높은 순으로 정렬하고, 이 순서대로 가장 높은 수율을 갖는 조합을 도출할 수 있다. 구체적으로 설명하면,

우선, 제1 웨이퍼들(R1~R12) 중 가장 높은 수율을 갖는 제1 웨이퍼(R1)와, 제2 웨이퍼들(B1~B12) 및 제3 웨이퍼들(G1~G12)의 모든 조합에 대해 조합 수율들(Y1)을 계산하고, 이들 중 조합 수율(Y1)이 가장 높은 조합을 결정한다. 제1 웨이퍼(R1)에 대한 조합 선택이 완료되면, 제1 웨이퍼(R1)와 조합된 제2 웨이퍼 및 제3 웨이퍼를 제외하고, 제1 웨이퍼(R2)에 대해 동일한 방법으로 최적의 수율(Y2)을 나타내는 조합을 결정한다. 이러한 방식으로, 높은 수율(Y1)부터 순서대로 낮은 수율을 나타내는 전체 조합(C1~C12)이 결정될 수 있다. 이 방식에 따르면, 수율을 계산할 조합의 수가 앞의 경우에 비해 상당히 감소될 수 있다.

- [87] 앞에서 제1 웨이퍼들(R1~R12)을 수율이 높은 순으로 미리 고정한 것을 예로 들지만, 제2 웨이퍼들(B1~B12)을 수율이 높은 순으로 미리 고정할 수도 있고, 제3 웨이퍼들(G1~G12)을 수율이 높은 순으로 미리 고정할 수도 있다. 특히, 제1 내지 제3 웨이퍼들(210, 310, 410) 중 상대적으로 수율이 높은 웨이퍼들의 순서를 미리 고정할 수도 있다.

[88] (단계 401)

- [89] 단계(401)에서, 제1 그룹 내의 제1 내지 제3 웨이퍼들(210, 310, 410)의 조합 수율 계산을 기반으로 공정이 수행될 웨이퍼 조합이 결정된다. 일 실시예에서, 공정이 수행될 웨이퍼 조합은 모든 가능한 조합들 중 최대 조합 수율(Yt)을 나타내는 전체 조합(C1~C12)으로 결정될 수 있다. 다른 실시예에 있어서, 공정이 수행될 웨이퍼 조합은 제1 웨이퍼들(R1~R2)의 순서를 미리 고정하고 이 순서에 따라 개별 조합 수율들(Yd)이 높은 순서로 정렬된 전체 조합으로 결정될 수 있다.

[90] 단계(501)

- [91] 단계(501)에서, 결정된 웨이퍼 조합에 따라 공정이 수행되어 발광 소자들이 제작된다. 상기 공정들은 각 웨이퍼에 전극을 형성하는 공정을 포함할 수 있으며, 또한, 웨이퍼들(210, 310, 410)을 서로 본딩하는 공정을 포함할 수 있다. 나아가, 웨이퍼들을 서로 본딩한 후, 기판들(21, 31, 41) 중 적어도 하나는 제거될 수 있다.

- [92] 제1 내지 제3 웨이퍼들(210, 310, 410)을 이용하여 발광 소자를 제조하는 것은 공지된 기술을 사용하여 다양하게 수행될 수 있다.

- [93] 도 7은 일 실시예에 따른 적층 구조의 발광 소자 제조 방법을 설명하기 위한 개략적인 사시도이다.

- [94] 도 7을 참조하면, 제1 웨이퍼(210)는 일반적으로 적어도 하나의 불량 위치(23f)를 포함할 수 있다. 제2 웨이퍼(310) 및 제3 웨이퍼(410)도 각각 불량 위치들(33f, 43f)을 포함할 수 있다.

- [95] 일 실시예에 따른 발광 소자 제조 방법에 따르면, 제1 웨이퍼(210), 제2 웨이퍼(310) 및 제3 웨이퍼(410)의 불량 위치들(23f, 33f, 43f)이 동일 위치에 배열된 웨이퍼 조합이 선택될 수 있다. 도 7에 도시된 바와 같이, 각 웨이퍼의 불량위치들 중 적어도 하나가 다른 웨이퍼의 불량위치와 중첩되고, 불량위치

- 중첩하지 않는 웨이퍼 조합에 비해 발광 소자의 제조 수율이 개선될 수 있다.
- [96] 한편, 제1 웨이퍼(210) 상에 제2 웨이퍼(310)가 배치되고, 그 위에 제3 웨이퍼(410)가 배치된 것으로 도시하지만, 이것에 한정되는 것은 아니다. 예를 들어, 제3 웨이퍼(410) 상에 제2 웨이퍼(310)가 배치되고, 그 위에 제1 웨이퍼(210)가 배치될 수도 있다.
- [97] 또한, 웨이퍼들을 본딩할 때, 도 7에 도시한 바와 같이 기판들(21, 31, 41)이 동일하게 아래에 배치된 것에 한정되지 않는다. 예를 들어, 제1 웨이퍼(210) 상에 제2 웨이퍼(310)가 본딩될 때, 제2 웨이퍼(310)의 기판(31)이 제1 웨이퍼(210)에 대해 반대쪽에 위치하도록 배치될 수 있다. 제2 웨이퍼(310)를 제1 웨이퍼(210)에 본딩한 후, 기판(31)은 예컨대 레이저 리프트 오프 기술을 이용하여 제거될 수 있다. 이 경우, 제1 웨이퍼(410)의 각 측정 위치에 대해 제2 웨이퍼(310)의 상응하는 측정 위치는 기판(31)이 제1 웨이퍼(210)에 대면하는 경우와 반대로 된다. 따라서, 공정에서 웨이퍼 본딩 방법을 고려하여, 웨이퍼 조합의 수율이 계산되어야 한다.
- [98] 한편, 제1 그룹 내의 모든 웨이퍼들(210, 310, 410)의 조합에 대해 공정이 수행될 수도 있지만, 모든 웨이퍼들이 발광 소자를 제조하는데 사용되는 것은 아닐 수 있다. 예를 들어, 조합 수율(Y_d)이 기준값 이하인 조합의 웨이퍼들은 보류되거나 폐기될 수 있다. 이 기준값은 예를 들어, 50%, 나아가, 60%, 또는 70%로 설정될 수 있다.
- [99] 한편, 제1 그룹 내의 웨이퍼 조합들 중 기준값 이하인 조합의 웨이퍼들을 모두 폐기하는 것은 손실을 초래할 수 있다. 예를 들어, 어느 하나의 웨이퍼의 수율이 매우 낮고, 다른 웨이퍼들의 수율은 상대적으로 양호할 수도 있고, 또는 각각의 웨이퍼들의 수율이 상대적으로 양호함에도 불구하고, 불량 위치들이 서로 중첩하지 않아 웨이퍼 수율이 상대적으로 낮을 수도 있다. 이 경우, 이들 조합의 웨이퍼들을 이용하여 공정을 수행하면 발광 소자 수율이 나쁘기 때문에 더 큰 공정 손실이 발생된다. 이하에서는 이러한 제1 그룹 내의 웨이퍼들을 활용하는 방법에 대해 설명한다.
- [100] 도 8은 일 실시예에 따른 적층 구조의 발광 소자 제조 방법을 설명하기 위한 개략적인 순서도이다. 여기서는 발광 소자 제조 방법이 도 2를 참조하여 설명한 순서도와 함께 설명된다.
- [101] (단계 103)
- [102] 단계(103)에서, 제2 그룹의 웨이퍼들이 준비된다. 제2 그룹의 웨이퍼들은 제1 그룹의 웨이퍼들과 마찬가지로 제1 웨이퍼들(210), 제2 웨이퍼들(310) 및 제3 웨이퍼들(410)을 포함한다. 다만, 제2 그룹의 웨이퍼들은 제1 그룹에 속한 웨이퍼들 이외의 웨이퍼들로서 제1 그룹의 웨이퍼들과 구별된다. 예를 들어, 제2 그룹의 웨이퍼들은 제1 그룹의 웨이퍼들과 다른 런(run)을 통해 준비될 수 있다.
- [103] 제2 그룹 내에 포함되는 제1 웨이퍼들(210), 제2 웨이퍼들(310) 및 제3 웨이퍼들(410)의 개수는 특별히 한정되지 않는다. 또한, 제1 내지 제3

웨이퍼들(210, 310, 410)은 서로 동일한 개수로 준비될 수도 있으나, 서로 다른 개수로 준비될 수도 있다.

[104] (단계 203)

[105] 단계(203)에서, 제2 그룹 내의 각 웨이퍼에 대한 성능 측정이 수행된다. 각 웨이퍼 내의 위치별 성능 측정이 수행되며, 측정된 값을 이용하여 각 위치에 결함이 있는지 여부가 결정될 수 있다. 앞서 도 3, 도 4 및 도 5를 참조하여 설명한 바와 같이, 제1 내지 제3 웨이퍼들(210, 310, 410) 상에 성장된 제1 내지 제3 LED 적층들(23, 33, 43)의 각 영역들의 불량 여부가 확인되고, 각 위치에 따른 불량 여부의 확인 결과가 저장될 수 있다. 결함 및 해당 위치는 시각적으로 확인할 수 있도록 매핑될 수 있다.

[106] 단계(203)에 의해 제2 그룹 내의 모든 웨이퍼들에 대한 성능 측정이 완료되고, 각 웨이퍼의 위치별 불량 여부가 판정된다. 위 결과에 따라, 각 웨이퍼의 수율이 또한 추출될 수 있다.

[107] (단계 303)

[108] 단계(303)에서, 제1 그룹의 일부 웨이퍼들과 제2 그룹의 웨이퍼들을 혼합하여 웨이퍼 조합 수율을 계산한다. 예를 들어, 앞서 설명한 바와 같이, 제1 그룹의 웨이퍼 조합에서 조합 수율이 기준값 미만인 웨이퍼들의 적어도 일부를 제2 그룹의 웨이퍼들에 병합할 수 있으며, 이들의 전체 조합 수율을 계산할 수 있다. 조합 수율은 앞서 설명한 바와 같이 모든 웨이퍼들이 조합에 대해 전체 조합 수율을 계산하거나, 제1 내지 제3 웨이퍼들(210, 310, 410) 중 어느 하나의 웨이퍼들의 순서를 미리 고정하고 각 조합의 최적 수율을 계산할 수 있다.

[109] (단계 403)

[110] 단계(403)에서, 앞서 계산된 수율을 기초로 제1 그룹의 일부 웨이퍼들과 제2 그룹의 웨이퍼들로 구성된 전체 웨이퍼 조합이 결정된다. 이에 따라, 웨이퍼들은 웨이퍼들의 전체 조합이 최적의 수율을 달성하도록 조합될 수 있다.

[111] (단계 503)

[112] 단계 503에서, 결정된 웨이퍼 조합에 따라 공정이 수행되어 발광 소자들이 제작된다. 웨이퍼 조합에 대해 발광 소자들을 제조하는 공정은 앞서 설명한 바와 같으므로 상세한 설명은 생략한다. 또한, 제1 그룹의 전체 또는 일부 웨이퍼와 제2 그룹의 전체 또는 일부 웨이퍼들로 구성된 전체 조합들에 대해 발광 소자 제조 공정이 모두 수행될 것을 요하지 않으며, 이들 중 일부 웨이퍼들은 폐기될 수도 있고, 다시 다른 그룹의 웨이퍼들과 병합될 수도 있다.

[113] 본 실시예에 따르면, 제1 그룹의 웨이퍼들 내에서 조합 수율이 상대적으로 낮은 웨이퍼들이 제2 그룹의 웨이퍼들과 병합되어, 폐기되는 웨이퍼들을 줄이고 수율을 개선할 수 있어 웨이퍼 손실을 감소시킬 수 있다.

[114] 한편, 다양한 실시예들에 있어서, 제1 그룹 내에 포함된 제1 웨이퍼들(R1~R12), 제2 웨이퍼들(B1~B12), 및 제3 웨이퍼들(G1~G12)의 다양한 조합에 따른 개별 조합의 수율(Yd) 및 전체 조합 수율(Yt)은 연산 프로그램을 사용하여 계산될 수

있다. 이 연산 프로그램은 웨이퍼의 각 위치에서의 측정값 또는 측정값에 따른 불량 여부에 대한 판단을 기초로 제1 내지 제3 웨이퍼들(210, 310, 410)의 조합에 따른 수율을 계산한다. 예를 들어, 제1 웨이퍼(R1), 제2 웨이퍼(B1) 및 제3 웨이퍼(G1)가 조합된 (R1, B1, G1)의 조합 수율은 하나의 웨이퍼 내의 전체 측정 위치들의 개수에 대해, 3개의 웨이퍼들을 본딩했을 때, 3 웨이퍼들 모두 양호한 측정 위치들이 중첩하는 측정 위치들의 개수를 백분율로 나타낸 것이다. 연산 프로그램은 저장된 측정 위치에 대한 데이터를 이용하여 조합 수율을 계산할 수 있으며, 모든 가능한 조합에 대해 조합 수율을 계산하고, 이에 따른 전체 조합 수율(Yt)을 계산할 수 있다.

- [115] 연산 프로그램을 사용함으로써 조합 수율의 계산을 신속하게 수행할 수 있으며, 따라서, 조합 수율을 계산하는 과정에 따른 공정 시간을 줄일 수 있다. 더욱이, 앞서 설명한 바와 같이, 제1 웨이퍼들의 그룹(RG), 제2 웨이퍼들의 그룹(BG), 또는 제3 웨이퍼들의 그룹(GG)의 순서를 미리 고정함으로써 계산되는 조합의 개수를 줄일 수도 있다.
- [116] 연산 프로그램은 컴퓨터 시스템에 통합되어 조합 수율을 계산하는 절차를 수행할 수 있다. 통상, 컴퓨터 시스템은 중앙 처리 유닛(CPU), 메모리 및 입력/출력 인터페이스를 포함할 수 있다. 컴퓨터 시스템은 특수 목적 컴퓨터 시스템일 수도 있고, 범용 컴퓨터 시스템일 수도 있다.
- [117] 컴퓨터 시스템은 일반적으로 I/O 인터페이스를 통하여 디스플레이와 같은 출력 장치, 또는 마우스 및 키보드와 같은 다양한 입력 장치들과 결합된다. 또한, 컴퓨터 시스템은 캐시, 전원들, 클록 회로들, 및 통신 버스와 같은 다양한 회로들을 포함할 수 있다.
- [118] 디스플레이는 각 웨이퍼들의 측정 결과, 또는 웨이퍼 조합에 따른 조합 수율을 예컨대, 웨이퍼 맵으로 표시하여 사용자의 시각적인 이해를 도울 수 있다.
- [119] 메모리(420)는 랜덤 액세스 메모리(RAM; random access memory), 판독 전용 메모리(ROM; read only memory), 디스크 드라이브, 또는 테이프 드라이브, 또는 이들의 조합을 포함할 수 있다.
- [120] 연산 프로그램은 내장 또는 외장 메모리에 저장되거나, 또는 소프트웨어로 컴퓨터에 저장될 수 있으며, CPU에 의해 실행될 수 있다.
- [121] 여기서 설명된 발광 소자는 마이크로 LED 또는 미니 LED로 불리는 디스플레이용 소자일 수 있다. 이러한 발광 소자는 LED TV와 같은 대형 디스플레이 장치, 또는 스마트 워치(1000a), VR 헤드셋(1000b)과 같은 VR 디스플레이 장치, 또는 증강 현실 안경(1000c)과 같은 AR 디스플레이 장치 내에 사용될 수 있다.
- [122] 이상에서, 본 개시의 다양한 실시예들에 대해 설명하였으나, 본 개시는 이들 실시예들에 한정되는 것은 아니다. 또한, 하나의 실시예에 대해서 설명한 사항이나 구성요소는 본 개시의 기술적 사상을 벗어나지 않는 한, 다른 실시예에도 적용될 수 있다.

청구범위

- [청구항 1] 적층 구조를 갖는 발광 소자 제조 방법에 있어서,
제1 그룹의 웨이퍼들 내 각 웨이퍼의 미리 정해진 각각의 측정 위치에 대해 발광 파장을 측정하되, 상기 제1 그룹의 웨이퍼들은 복수의 제1 웨이퍼들, 복수의 제2 웨이퍼들, 및 복수의 제3 웨이퍼들을 포함하고, 웨이퍼들의 세트는 상기 제1 웨이퍼들 중 적어도 하나, 상기 제2 웨이퍼들 중 적어도 하나, 및 상기 제3 웨이퍼들 중 적어도 하나를 포함하고, 각 위치의 발광 파장의 측정 결과를 기초로 각 측정 위치가 불량인지 여부를 결정하고,
상기 웨이퍼들의 세트 내에서 상기 제1 웨이퍼들 중 하나, 상기 제2 웨이퍼들 중 하나, 및 상기 제3 웨이퍼들 중를 조합하여 테스트 적층 구조를 형성하고,
상기 테스트 적층 구조 내에서 중첩하는 불량 측정 위치들의 개수에 기초하여 상기 테스트 적층 구조의 조합 수율을 계산하고,
상기 테스트 적층 구조의 각각의 조합 수율을 비교하여 상기 제1, 제2, 및 제3 웨이퍼들의 하나 이상의 결과적인 조합들을 선택하고,
상기 제1, 제2, 및 제3 웨이퍼들의 결과적인 조합들을 사용하여 후속 공정을 수행하는 것을 포함하되,
상기 후속 공정은 상기 제1, 제2, 및 제3 웨이퍼들의 상기 선택된 결과적인 조합으로 최종 적층 구조를 형성하는 것을 포함하는 발광 소자 제조 방법.
- [청구항 2] 청구항 1에 있어서,
상기 후속 공정을 수행하는 것은 상기 제1, 제2, 및 제3 웨이퍼들의 조합에 후속 공정을 수행하는 것을 더 포함하되, 각각의 조합은 기준 값과 같거나 그보다 큰 조합 수율을 갖는 발광 소자 제조 방법.
- [청구항 3] 청구항 1에 있어서,
각 위치의 상기 발광 파장의 측정 결과에 기초하여 상기 제1 그룹 내 각 웨이퍼의 각각의 수율을 결정하는 것을 더 포함하는 발광 소자 제조 방법.
- [청구항 4] 청구항 1에 있어서,
각 위치가 불량인지 여부를 결정하는 것은 각 위치의 상기 발광 파장의 측정 결과가 목표 파장으로부터 미리 설정된 범위 내에 있는지 여부를 결정하는 것을 더 포함하는 발광 소자 제조 방법.
- [청구항 5] 청구항 1에 있어서,
상기 발광 파장을 측정하는 것은 광 발광을 이용하여 발광 파장을 측정하는 것을 더 포함하는 발광 소자 제조 방법.
- [청구항 6] 청구항 1에 있어서,
선택된 순서를 따르도록 상기 복수개의 제1 웨이퍼들을 분류하는 것을 더 포함하되,

상기 테스트 적층 구조를 형성하는 것은 상기 분류된 순서에 따른 각각의 제1 웨이퍼를 무작위로 선택된 각각의 제2 웨이퍼 및 각각의 제3 웨이퍼와 각각 조합하여 상기 테스트 적층 구조를 형성하는 것을 더 포함하는 발광 소자 제조 방법.

[청구항 7] 청구항 1에 있어서,
 각각의 제1 웨이퍼는 제1 기판 및 상기 제1 기판 상에 성장된 제1 LED 적층을 갖고,
 각각의 제2 웨이퍼는 제2 기판 및 상기 제2 기판 상에 성장된 제2 LED 적층을 갖고,
 각각의 제3 웨이퍼는 제3 기판 및 상기 제3 기판 상에 성장된 제3 LED 적층을 갖고,
 상기 제1 내지 제3 LED 적층들은 서로 다른 색상의 광을 방출하도록 구성된 발광 소자 제조 방법.

[청구항 8] 청구항 7에 있어서,
 상기 제1 LED 적층은 적색광을 방출하도록 구성되고,
 상기 제2 LED 적층은 청색광을 방출하도록 구성되고,
 상기 제3 LED 적층은 녹색광을 방출하도록 구성되며,
 상기 제2 LED 적층은 상기 제1 LED 적층과 제3 LED 적층 사이에 배치되는 발광 소자 제조 방법.

[청구항 9] 청구항 7에 있어서,
 상기 제1 LED 적층은 적색광을 방출하도록 구성되고,
 상기 제2 LED 적층은 녹색광을 방출하도록 구성되고,
 상기 제3 LED 적층은 청색광을 방출하도록 구성되며,
 상기 제2 LED 적층은 상기 제1 LED 적층과 제3 LED 적층 사이에 배치되는 발광 소자 제조 방법.

[청구항 10] 청구항 1에 있어서,
 전체 n 개의 제1 웨이퍼들, 전체 m 개의 제2 웨이퍼들, 및 전체 k 개의 제3 웨이퍼들을 포함하는 상기 제1 그룹의 웨이퍼들을 준비하는 것을 더 포함하되,
 n , m , 및 k 는 0보다 큰 정수인 발광 소자 제조 방법.

[청구항 11] 청구항 10에 있어서,
 m 및 k 는 n 과 같고, 상기 테스트 적층 구조를 형성하는 것은 상기 제1 웨이퍼들, 상기 제2 웨이퍼들, 및 상기 제3 웨이퍼들의 $(n!)^2$ 개의 서로 다른 조합들을 포함하는 상기 테스트 적층 구조를 형성하는 것을 더 포함하는 발광 소자 제조 방법.

[청구항 12] 청구항 11에 있어서,
 상기 테스트 적층 구조의 조합 수율을 계산하는 것은 각각의 테스트 적층 구조 내에서 중첩하는 불량 측정 위치들의 개수에 기초하여 $(n!)^2$ 개의

서로 다른 조합의 전체 또는 일부의 조합 수율을 계산하는 것을 더 포함하는 발광 소자 제조 방법.

- [청구항 13] 청구항 12에 있어서,
상기 결과적인 조합을 선택하는 것은 상기 제1 웨이퍼들, 상기 제2 웨이퍼들, 및 상기 제3 웨이퍼들의 $(n!)^2$ 개의 서로 다른 조합들의 전체 또는 일부에 대한 조합 수율을 비교하는 것을 더 포함하는 발광 소자 제조 방법.
- [청구항 14] 청구항 12에 있어서,
상기 제1 웨이퍼들, 상기 제2 웨이퍼들, 및 상기 제3 웨이퍼들의 $(n!)^2$ 개의 서로 다른 조합들의 전체 또는 일부의 조합 수율을 더하여 전체 조합 수율 Y_t 를 계산하는 것을 더 포함하는 발광 소자 제조 방법.
- [청구항 15] 청구항 1에 있어서,
상기 결과적인 조합을 선택하는 것은 가장 높은 조합 수율 순으로 상기 제1, 제2 및 제3 웨이퍼들의 상기 결과적인 조합을 선택하는 것을 더 포함하는 발광 소자 제조 방법.
- [청구항 16] 청구항 10에 있어서,
 m 은 n 보다 크고, 상기 제1 그룹의 웨이퍼들로부터 상기 웨이퍼들의 세트를 선택하는 것은,
상기 제1 그룹의 웨이퍼들에서 n 세트의 웨이퍼들을 선택하고,
상기 n 세트의 웨이퍼들에 기초하여 상기 테스트 적층 구조의 조합 수율을 계산하고,
상기 제1 그룹의 웨이퍼들에서 $(m-n)$ 세트의 웨이퍼들을 선택하고,
상기 $(m-n)$ 세트의 웨이퍼들에 기초하여 상기 테스트 적층 구조의 조합 수율을 계산하는 것을 더 포함하는 발광 소자 제조 방법.
- [청구항 17] 청구항 1에 있어서,
상기 제1 그룹의 웨이퍼들의 종류들과 동일한 종류들의 웨이퍼들을 포함하는 제2 그룹의 웨이퍼들을 준비하고,
상기 제2 그룹 내 각 웨이퍼들의 미리 정해진 각 측정 위치에 대해 발광 파장을 측정하고,
상기 제1 그룹 내의 웨이퍼들 일부와 상기 제2 그룹 내 웨이퍼들을 조합하여 또 다른 테스트 적층 구조를 형성하고,
상기 또 다른 테스트 적층 구조 내 중첩하는 불량 측정 위치들의 개수에 기초하여 상기 또 다른 테스트 적층 구조의 조합 수율을 계산하는 것을 포함하는 발광 소자 제조 방법.
- [청구항 18] 제1 웨이퍼들의 그룹, 제2 웨이퍼들의 그룹, 및 제3 웨이퍼들의 그룹을 포함하는 제1 그룹의 웨이퍼들 내 각 웨이퍼 상의 위치들이 각각 불량인지 여부에 대한 데이터를 기초로, 제1 그룹 내 제1 웨이퍼들, 제2 웨이퍼들, 및 제3 웨이퍼들의 조합 수율을 계산하는 연산 프로그램을

저장하되,

상기 연산 프로그램은, 프로세서에 의한 실행될 때,

각 웨이퍼의 미리 정해진 각 측정 위치에 대한 발광 파장의 측정 결과가 목표 파장으로부터 미리 설정된 범위 내에 있는지 여부를 결정하고;

상기 측정 결과가 목표 파장으로부터 미리 설정된 범위를 벗어났다고 결정할 때, 상기 측정 결과에 대응하는 측정 위치가 결함을 가지고 있음을 결정하고;

테스트 적층 구조에서 중첩하는 불량 측정 위치들의 개수에 기초하여 테스트 적층 구조의 조합 수율을 계산하되, 상기 테스트 적층 구조는 각 그룹에서 선택되고 각각의 서로 다른 미리 정해진 순서로 조합된 제1 웨이퍼, 제2 웨이퍼, 및 제3 웨이퍼를 포함하고; 및

각각의 테스트 적층 구조의 각 조합 수율을 대비하여 상기 제1 웨이퍼, 상기 제2 웨이퍼, 및 상기 제3 웨이퍼의 결과적인 조합을 결정하는 것을 포함하는 작업을 수행하도록 구성된 컴퓨터 판독 가능한 기록 매체.

[청구항 19] 청구항 18에 있어서,

상기 연산 프로그램은, 상기 프로세서에 의해 실행될 때,

각각의 웨이퍼 상의 결함의 존재에 기초하여 상기 제1 그룹 내 각 웨이퍼의 각 수율을 결정하는 것을 포함하는 작업을 수행하도록 더 구성된 컴퓨터 판독 가능한 기록 매체.

[청구항 20] 청구항 18에 있어서,

상기 제1 웨이퍼들의 그룹은 전체 n 개의 제1 웨이퍼들을 포함하고,

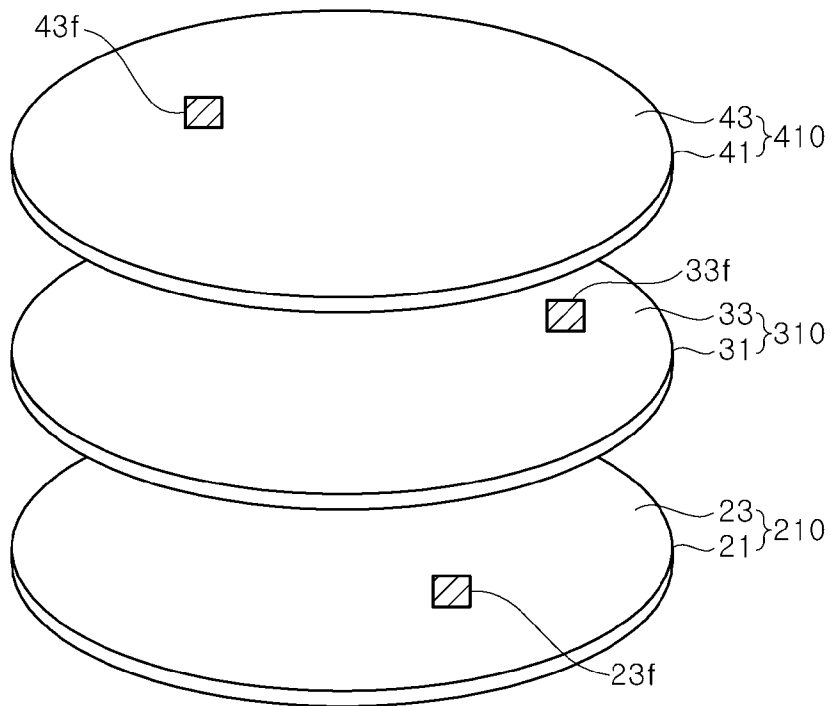
상기 제2 웨이퍼들의 그룹은 전체 m 개의 제2 웨이퍼들을 포함하고,

상기 제3 웨이퍼들의 그룹은 전체 k 개의 제3 웨이퍼들을 포함하고,

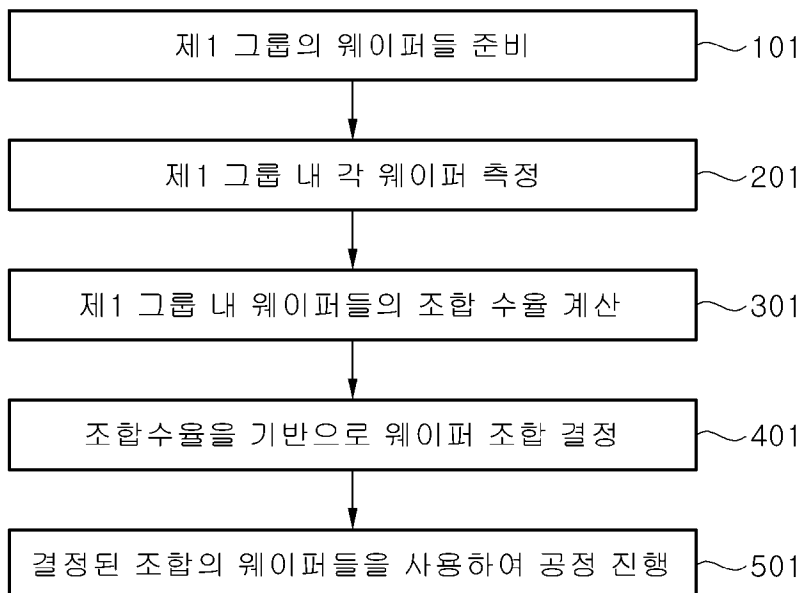
n , m , 및 k 는 0보다 큰 정수이고,

n , m , 및 k 가 같은 수이며, 상기 테스트 적층 구조의 조합 수율을 계산하는 것은 상기 제1 웨이퍼들, 제2 웨이퍼들, 및 제3 웨이퍼들의 $(n!)^2$ 개의 서로 다른 조합을 포함하는 상기 테스트 적층 구조의 조합 수율을 계산하는 것을 더 포함하는 컴퓨터 판독 가능한 기록 매체.

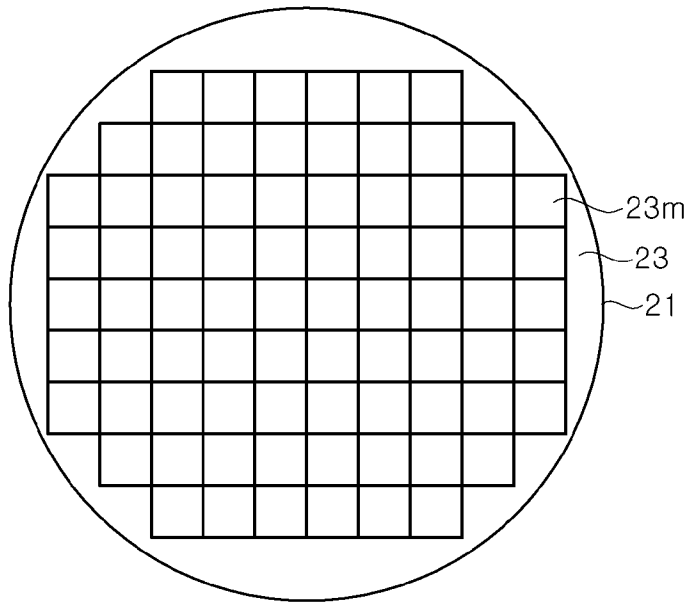
[도1]



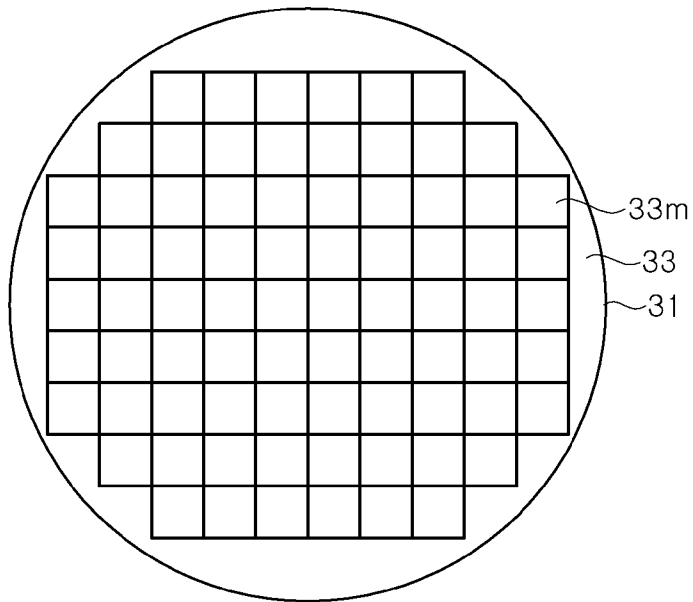
[도2]



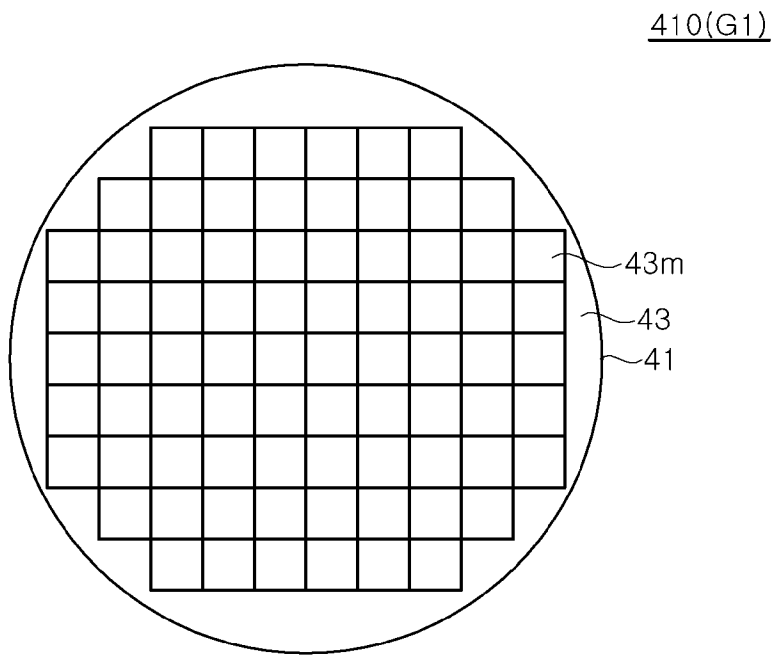
[도3]

210(R1)

[도4]

310(B1)

[도5]



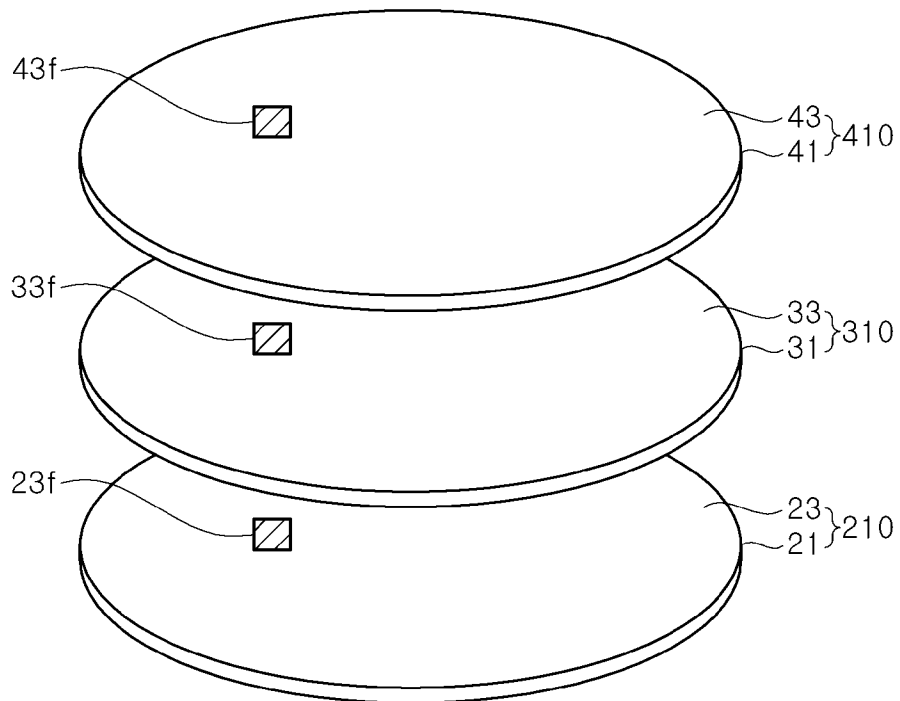
[도6a]

	RG	BG	GG	Yd
C1	R1	B1	G1	Y1
C2	R2	B2	G2	Y2
C3	R3	B3	G3	Y3
C4	R4	B4	G4	Y4
C5	R5	B5	G5	Y5
C6	R6	B6	G6	Y6
C7	R7	B7	G7	Y7
C8	R8	B8	G8	Y8
C9	R9	B9	G9	Y9
C10	R10	B10	G10	Y10
C11	R11	B11	G11	Y11
C12	R12	B12	G12	Y12
Sum				Yt1

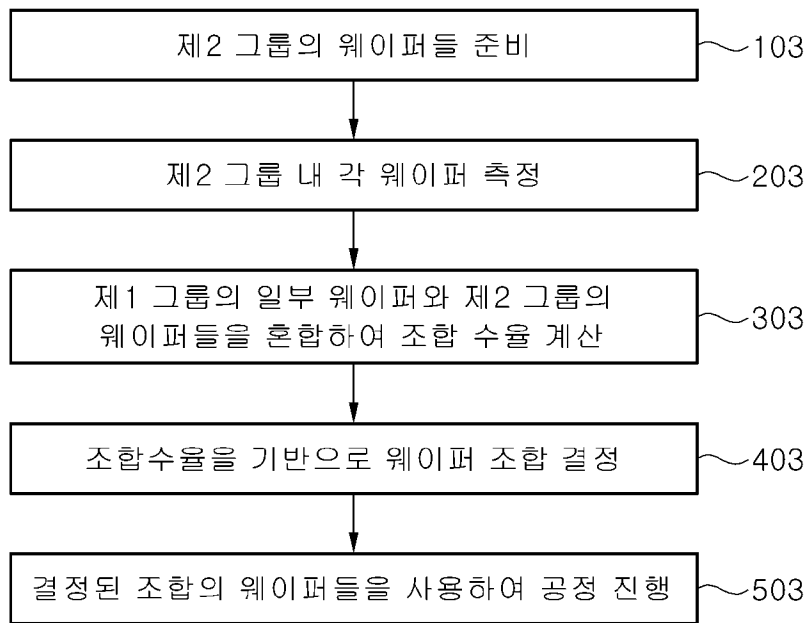
[도6b]

	RG	BG	GG	Yd
C1	R1	B2	G1	Y1
C2	R2	B3	G2	Y2
C3	R3	B4	G3	Y3
C4	R4	B5	G4	Y4
C5	R5	B6	G5	Y5
C6	R6	B7	G6	Y6
C7	R7	B8	G7	Y7
C8	R8	B9	G8	Y8
C9	R9	B10	G9	Y9
C10	R10	B11	G10	Y10
C11	R11	B12	G11	Y11
C12	R12	B1	G12	Y12
Sum				Yt2

[도7]



[도8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2021/002841

A. CLASSIFICATION OF SUBJECT MATTER**H01L 33/00**(2010.01)i; **H01L 25/075**(2006.01)i; **G01R 31/26**(2006.01)i; **H01L 23/544**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/00(2010.01); H01L 21/66(2006.01); H01L 21/98(2006.01); H01L 23/12(2006.01); H01L 33/52(2010.01);
H05B 33/14(2006.01); H05B 37/00(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 발광소자(LED), 웨이퍼(wafer), 적층(stack), 불량(faulty), 수율(yield)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016-064697 A1 (GLO AB et al.) 28 April 2016 (2016-04-28) See paragraphs [0032]-[0036]; claim 16; and figures 4-7.	1-20
A	KR 10-1593643 B1 (KOREA INSTITUTE OF INDUSTRIAL TECHNOLOGY) 15 February 2016 (2016-02-15) See paragraph [0041]; claim 1; and figures 1-3.	1-20
A	KR 10-2009-0083384 A (MICRON TECHNOLOGY, INC.) 03 August 2009 (2009-08-03) See paragraphs [0006]-[0007] and [0028]-[0032]; and figures 1-2C.	1-20
A	KR 10-2005-0032240 A (DONGBUANAM SEMICONDUCTOR INC.) 07 April 2005 (2005-04-07) See entire document.	1-20
A	US 2013-0288404 A1 (NONOMURA, Masaru) 31 October 2013 (2013-10-31) See entire document.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

28 June 2021

Date of mailing of the international search report

29 June 2021

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2021/002841

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2016-064697	A1	28 April 2016	None			
KR	10-1593643	B1	15 February 2016	None			
KR	10-2009-0083384	A	03 August 2009	CN	101553917	A	07 October 2009
				CN	101553917	B	11 July 2012
				EP	2084742	A1	05 August 2009
				JP	2010-507254	A	04 March 2010
				JP	5590293	B2	17 September 2014
				US	2008-0096320	A1	24 April 2008
				US	2010-0271777	A1	28 October 2010
				US	2013-0288433	A1	31 October 2013
				US	7754532	B2	13 July 2010
				US	8470642	B2	25 June 2013
				US	8841169	B2	23 September 2014
				WO	2008-051415	A1	02 May 2008
KR	10-2005-0032240	A	07 April 2005	KR	10-0583529	B1	26 May 2006
US	2013-0288404	A1	31 October 2013	CN	103329295	A	25 September 2013
				JP	2013-065644	A	11 April 2013
				JP	2013-065645	A	11 April 2013
				JP	2013-065646	A	11 April 2013
				KR	10-2014-0063495	A	27 May 2014
				WO	2013-038611	A1	21 March 2013

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 33/00(2010.01)i; H01L 25/075(2006.01)i; G01R 31/26(2006.01)i; H01L 23/544(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 33/00(2010.01); H01L 21/66(2006.01); H01L 21/98(2006.01); H01L 23/12(2006.01); H01L 33/52(2010.01); H05B 33/14(2006.01); H05B 37/00(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 발광소자(LED), 웨이퍼(wafer), 적층(stack), 불량(faulty), 수율(yield)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	WO 2016-064697 A1 (GLO AB 등) 2016.04.28 단락 32-36; 청구항 16; 및 도면 4-7.	1-20
A	KR 10-1593643 B1 (한국생산기술연구원) 2016.02.15 단락 41; 청구항 1; 및 도면 1-3	1-20
A	KR 10-2009-0083384 A (마이크론 테크놀로지, 인크.) 2009.08.03 단락 6-7, 28-32; 및 도면 1-2C.	1-20
A	KR 10-2005-0032240 A (동부아남반도체 주식회사) 2005.04.07 문서 전체.	1-20
A	US 2013-0288404 A1 (MASARU NONOMURA) 2013.10.31 문서 전체.	1-20
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2021년06월28일(28.06.2021)		국제조사보고서 발송일 2021년06월29일(29.06.2021)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 박혜련 전화번호 +82-42-481-3463

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
WO 2016-064697 A1	2016/04/28	없음	
KR 10-1593643 B1	2016/02/15	없음	
KR 10-2009-0083384 A	2009/08/03	CN 101553917 A	2009/10/07
		CN 101553917 B	2012/07/11
		EP 2084742 A1	2009/08/05
		JP 2010-507254 A	2010/03/04
		JP 5590293 B2	2014/09/17
		US 2008-0096320 A1	2008/04/24
		US 2010-0271777 A1	2010/10/28
		US 2013-0288433 A1	2013/10/31
		US 7754532 B2	2010/07/13
		US 8470642 B2	2013/06/25
		US 8841169 B2	2014/09/23
		WO 2008-051415 A1	2008/05/02
KR 10-2005-0032240 A	2005/04/07	KR 10-0583529 B1	2006/05/26
US 2013-0288404 A1	2013/10/31	CN 103329295 A	2013/09/25
		JP 2013-065644 A	2013/04/11
		JP 2013-065645 A	2013/04/11
		JP 2013-065646 A	2013/04/11
		KR 10-2014-0063495 A	2014/05/27
		WO 2013-038611 A1	2013/03/21