

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-29683
(P2016-29683A)

(43) 公開日 平成28年3月3日(2016.3.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 1 L 23/12 B	
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 5 O 1 P	
	HO 1 L 27/04 L	
	HO 1 L 27/04 A	

審査請求 未請求 請求項の数 10 O L (全 14 頁)

(21) 出願番号 特願2014-151565 (P2014-151565)
(22) 出願日 平成26年7月25日 (2014.7.25)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100095728
弁理士 上柳 雅誉
(74) 代理人 100116665
弁理士 渡辺 和昭
(72) 発明者 野村 昌生
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 小林 等
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
Fターム(参考) 5F038 AZ04 BE07 BG02 BH10 BH19
CA02 CA10 EZ20

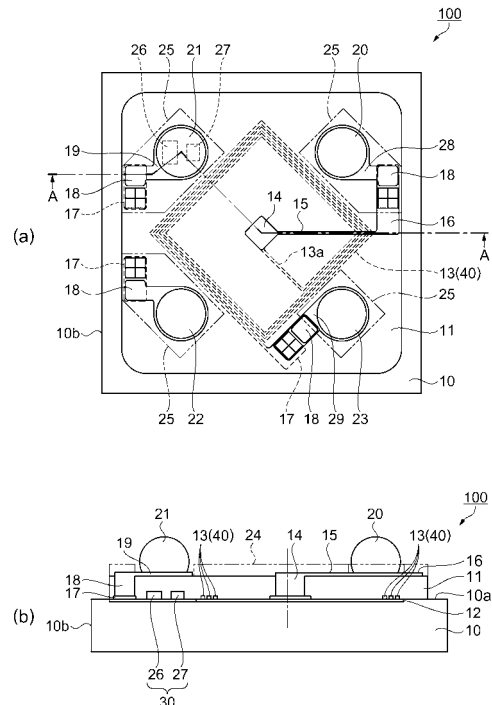
(54) 【発明の名称】 半導体回路素子、電子機器、および移動体

(57) 【要約】

【課題】半導体回路（発振用回路）を構成する静電容量素子とインダクタンス素子との電磁的な結合による発振周波数の変動を防止する。

【解決手段】半導体基板10の主面10aに設けられている半導体回路30と、導電性の薄膜を有し、半導体基板10の主面10a側に配置されている薄膜回路素子40と、を備え、半導体回路30は、平面視で、薄膜回路素子40と半導体基板10の外周部10bとの間に設けられている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体基板の主面に設けられている半導体回路と、
前記半導体基板の前記主面側に配置され、導電性の薄膜を有する薄膜回路素子と、を備え、

前記半導体回路は、平面視で、前記薄膜回路素子と前記半導体基板の外周部との間に設けられていることを特徴とする半導体回路素子。

【請求項 2】

前記主面および前記半導体回路と重なるように設けられている第 1 の絶縁膜を備え、
前記薄膜回路素子は、前記第 1 の絶縁膜の前記主面および前記半導体回路の少なくとも一方と接する面の反対面に設けられていることを特徴とする請求項 1 に記載の半導体回路素子。

10

【請求項 3】

平面視で、前記半導体回路と重なりとともに前記薄膜回路素子と重ならない位置であり、かつ前記第 1 の絶縁膜上に配置されている外部接続端子を有することを特徴とする請求項 2 に記載の半導体回路素子。

【請求項 4】

少なくとも前記薄膜回路素子を覆う第 2 の絶縁膜を有し、
平面視で、前記半導体回路と重なりとともに前記薄膜回路素子と重ならない位置であり、かつ前記第 2 の絶縁膜上に配置されている外部接続端子を有することを特徴とする請求項 2 に記載の半導体回路素子。

20

【請求項 5】

前記半導体回路は、静電容量素子を含み、前記薄膜回路素子は、インダクタンス回路を含んでいることを特徴とする請求項 1 乃至請求項 4 に記載の半導体回路素子。

【請求項 6】

前記インダクタンス回路は、平面視で、渦巻き状に配置された配線であることを特徴とする請求項 5 に記載の半導体回路素子。

【請求項 7】

前記半導体回路は、前記インダクタンス回路に電氣的に接続されている抵抗回路を含んでいることを特徴とする請求項 5 または請求項 6 に記載の半導体回路素子。

30

【請求項 8】

前記抵抗回路は、抵抗値が可変に制御可能であることを特徴とする請求項 7 に記載の半導体回路素子。

【請求項 9】

請求項 1 ないし請求項 8 のいずれか一項に記載の半導体回路素子を備えていることを特徴とする電子機器。

【請求項 10】

請求項 1 ないし請求項 8 のいずれか一項に記載の半導体回路素子を備えていることを特徴とする移動体。

【発明の詳細な説明】

40

【技術分野】**【0001】**

本発明は、半導体回路素子、その半導体回路素子を用いた電子機器、および移動体に関する。

【背景技術】**【0002】**

従来、半導体基板に設けられている集積回路（半導体回路）と、該半導体基板上に設けられている絶縁層と、該絶縁層上に設けられているインダクタンス素子とを備えた半導体装置が開示されている（例えば、特許文献 1 参照）。

【先行技術文献】

50

【特許文献】

【0003】

【特許文献1】特開2009-267212号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、上述した特許文献1における半導体装置では、集積回路（半導体回路）とインダクタンス素子（インダクタンス回路）とが平面視で重なって配置された構成となっている。このような構成では、例えば、集積回路（半導体回路）が可変容量素子を含む発振回路である場合において、可変容量素子とインダクタンス素子との電磁的な結合により、インダクタンス素子のインダクタンスが変化する、または可変容量素子の静電容量値等が変化し、これにより発振回路から出力される発振周波数が変動してしまう虞を有していた。

10

【課題を解決するための手段】

【0005】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態または適用例として実現することが可能である。

【0006】

[適用例1] 本適用例に係る半導体回路素子は、半導体基板の主面に設けられている半導体回路と、前記半導体基板の前記主面側に配置され、導電性の薄膜を有する薄膜回路素子と、を備え、前記半導体回路は、平面視で、前記薄膜回路素子と前記半導体基板の外周部との間に設けられていることを特徴とする。

20

【0007】

本適用例によれば、半導体回路は、平面視で、薄膜回路素子と半導体基板の外周部との間に配置されているため、半導体回路と薄膜回路素子とは平面視で重ならないので、半導体回路と薄膜回路素子との電磁的な結合が低減する。また、半導体回路は、平面視で、薄膜回路素子と半導体基板の外周部との間、換言すると、半導体回路は、平面視で、薄膜回路素子の外側に配置されている。このため、例えば、薄膜回路素子が磁界を発生させる素子である場合には、一般的に、薄膜回路素子の内側での磁束密度よりも外側での磁界密度の方が小さくなるため、半導体回路を薄膜回路素子の外側に配置することで、半導体回路と薄膜回路素子との電磁的な結合が低減する。これにより、半導体回路と薄膜回路素子の電磁的な結合に起因する薄膜回路素子の特性値の変動を減少させることができる。したがって、例えば、薄膜回路素子が発振回路の発振ループ中に使用される回路である場合には、薄膜回路素子の特性値の変動によって生じる発振周波数の変動を低減することができる。

30

【0008】

[適用例2] 上記適用例に記載の半導体回路素子において、前記主面および前記半導体回路と重なるように設けられている第1の絶縁膜を備え、前記薄膜回路素子は、前記第1の絶縁膜の前記主面および前記半導体回路の少なくとも一方と接する面の反対面に設けられていることが好ましい。

40

【0009】

本適用例によれば、半導体回路と薄膜回路素子とが、第1の絶縁膜を介して設けられているため、半導体回路と薄膜回路素子との間の、例えば短絡などの電氣的絶縁不良を減少させることができる。

【0010】

[適用例3] 上記適用例に記載の半導体回路素子において、平面視で、前記半導体回路と重なるとともに前記薄膜回路素子と重ならない位置であり、かつ前記第1の絶縁膜上に配置されている外部接続端子を有することが好ましい。

【0011】

本適用例によれば、平面視で重なって配置された外部接続端子を半導体回路のシールド

50

電極として使用することができるため、外部からのノイズが半導体回路に影響することを抑制することができる。例えば、本適用例の回路を発振回路の発振ループ中に使用される回路として用いる場合には、外部からのノイズが発振周波数のノイズになる虞を低減することができる。また、外部接続端子が薄膜回路素子と重ならない位置に配置されているため、薄膜回路素子と半導体回路との電磁的な結合を抑制することができる。薄膜回路素子または半導体回路に用いられる素子値の変動を小さくすることができる。これにより、例えば、発振回路の発振周波数の変動を低減することができる。

【 0 0 1 2 】

[適用例 4] 上記適用例に記載の半導体回路素子において、少なくとも前記薄膜回路素子を覆う第 2 の絶縁膜を有し、平面視で、前記半導体回路と重なるとともに前記薄膜回路素子と重ならない位置であり、かつ前記第 2 の絶縁膜上に配置されている外部接続端子を有することが好ましい。

10

【 0 0 1 3 】

本適用例によれば、第 2 の絶縁膜により薄膜回路素子と外部接続端子との電氣的短絡を防止するとともに、外部接続端子を半導体回路のシールド電極として使用することができるため、外部からのノイズが半導体回路に影響することを抑制することができる。例えば、本適用例の回路を発振回路の発振ループ中に使用されるとして用いる場合には、外部からのノイズが発振周波数のノイズになる虞を低減することができる。また、外部接続端子が薄膜回路素子と重ならない位置に配置されているため、薄膜回路素子と半導体回路との電磁的な結合を抑制することができる。薄膜回路素子または半導体回路に用いられる素子値の変動を小さくすることができる。これにより、例えば、発振回路の発振周波数の変動を低減することができる。

20

【 0 0 1 4 】

[適用例 5] 上記適用例に記載の半導体回路素子において、前記半導体回路は、静電容量素子を含み、前記薄膜回路素子は、インダクタンス回路を含んでいることが好ましい。

【 0 0 1 5 】

本適用例によれば、半導体回路は、静電容量素子を含み、薄膜回路素子は、インダクタンス回路を含み、それらを含む発振回路の発振ループ中に使用される発振用回路を構成することができる。このような発振用回路において、伸長コイルとしてインダクタンス回路が用いられた場合、インダクタンス回路と静電容量素子とが電磁的に結合してしまうと、例えば、インダクタンス回路と静電容量素子との間に浮遊容量が発生してインダクタンス回路のインダクタンス値や静電容量素子の静電容量値が変動してしまい、発振周波数が変動する虞がある。本構成を用いることで、電磁的な結合を低減できるので、インダクタンス回路のインダクタンス値や静電容量素子の静電容量値の変動を低減することができ、例えば、発振回路の発振周波数変動を低減することができる。

30

【 0 0 1 6 】

[適用例 6] 上記適用例に記載の半導体回路素子において、前記インダクタンス回路は、平面視で、渦巻き状に配置された配線であることが好ましい。

【 0 0 1 7 】

本適用例によれば、半導体回路が、平面視でインダクタンス回路が形成された領域の外部に配置される構成となる。インダクタンス回路の渦巻き状のパターン内部は、渦巻き状のパターン外部（インダクタンス回路と半導体基板の外周部との間の領域）と比較すると磁束密度が高い状態となる。したがって、平面視で、渦巻き状のパターン内部に半導体回路が配置されていると、インダクタンス回路と半導体回路との電磁的な結合が大きくなり、インダクタンス値の変動が大きくなる虞がある。本構成を用いることで、電磁的な結合を低減できるので、インダクタンス回路の特性値の変動を低減することができ、例えば、発振回路の発振周波数の変動を低減することができる。

40

【 0 0 1 8 】

[適用例 7] 上記適用例に記載の半導体回路素子において、前記半導体回路は、前記インダクタンス回路に電氣的に接続されている抵抗回路を含んでいることが好ましい。

50

【 0 0 1 9 】

本適用例によれば、インダクタンス回路に電氣的に接続されている抵抗回路を用いて、インダクタンス回路の特性、特にQ値を調整することができるため、例えば、発振回路の起動時にインダクタンス回路に起因する異常発振を低減することができる。

【 0 0 2 0 】

[適用例 8] 上記適用例に記載の半導体回路素子において、前記抵抗回路は、抵抗値が可変に制御可能であることが好ましい。

【 0 0 2 1 】

本適用例によれば、インダクタンス回路に電氣的接続されている抵抗回路の抵抗値を可変に制御することで、インダクタンス回路のQ値を、例えば発振周波数または使用する振動子の等価回路定数値等が変わるごとに調整することができる。このため、発振周波数または使用する振動子の等価回路定数値等が変わっても異常発振を起こさないように調整することが可能になる。

10

【 0 0 2 2 】

[適用例 9] 本適用例に係る電子機器は、上記適用例のいずれか一例に記載の半導体回路素子を備えていることを特徴とする。

【 0 0 2 3 】

本適用例によれば、半導体回路と薄膜回路素子の電磁的な結合に起因する半導体回路の特性値または薄膜回路素子の特性値の変動を減少させた半導体回路素子を備えているため、安定した特性を維持することが可能な電子機器を提供することができる。

20

【 0 0 2 4 】

[適用例 10] 本適用例に係る移動体は、上記適用例のいずれか一例に記載の半導体回路素子を備えていることを特徴とする。

【 0 0 2 5 】

本適用例によれば、半導体回路と薄膜回路素子の電磁的な結合に起因する半導体回路の特性値または薄膜回路素子の特性値の変動を減少させた半導体回路素子を備えているため、安定した特性を維持することが可能な移動体を提供することができる。

【 図面の簡単な説明 】

【 0 0 2 6 】

【図 1】第 1 実施形態に係る半導体回路素子を示し、図 1 (a) は平面図、図 1 (b) は図 1 (a) の A - A 断面図。

30

【図 2】半導体回路素子に設けられている半導体回路の一例を示す回路構成図。

【図 3】第 2 実施形態に係る半導体回路素子を示し、図 3 (a) は平面図、図 3 (b) は図 3 (a) の B - B 断面図。

【図 4】第 3 実施形態に係る半導体回路素子を示し、図 3 (a) の B - B 断面に相当する断面図。

【図 5】電子機器の一例としてのモバイル型のパーソナルコンピュータの構成を示す斜視図。

【図 6】電子機器の一例としての携帯電話機の構成を示す斜視図。

【図 7】電子機器の一例としてのデジタルスチールカメラの構成を示す斜視図。

40

【図 8】移動体の一例としての自動車の構成を示す斜視図。

【 発明を実施するための形態 】

【 0 0 2 7 】

以下、本発明の好適な実施形態について、添付図面を参照しつつ説明する。なお、添付図面では、説明の便宜上、形状、縮尺などを実際と異ならせて表現している箇所がある。

【 0 0 2 8 】

[半導体回路素子]

< 第 1 実施形態 >

図 1 および図 2 を用い、本発明の第 1 実施形に係る半導体回路素子について説明する。本説明では、半導体回路として圧電振動片や表面弾性波振動片などを発振させる発振回路

50

の発振ループ中に接続される発振用回路を少なくとも備えた半導体回路素子を例示して説明する。図1は、第1実施形態に係る半導体回路素子を示し、図1(a)は平面図であり、図1(b)は図1(a)のA-A断面図である。なお、図1(a)では、図面の見易さを向上させるため、図1(b)に示すソルダレジスト24を省略している。図2は、半導体回路素子に設けられている半導体回路の一例を示す回路構成図である。

【0029】

図1に示すように、第1実施形態に係る半導体回路素子100は、矩形形状をなした半導体基板10の主面10aに設けられている半導体回路30と、インダクタンス回路13を含む薄膜回路素子40と、を有している。さらに、半導体回路素子100は、半導体基板10の主面10aに設けられている第1の絶縁膜11と、主面10aと反対側の第1の絶縁膜11上に設けられている外部接続端子20, 21, 22, 23と、を有している。なお、主面10a上や絶縁部12上には、半導体回路30、薄膜回路素子40などを電氣的に接続する配線が設けられているが、図1では省略している。

半導体基板10には、主面10a側の表層部分に絶縁部12が設けられている。本実施形態では、絶縁部12の表面を含む半導体基板10の一面を主面10aとしている。

【0030】

半導体回路30は、平面視で、インダクタンス回路13(薄膜回路素子40)と半導体基板10の外周部10bとの間に設けられている。換言すれば、半導体回路30は、平面視で、インダクタンス回路13(薄膜回路素子40)と重ならない位置に配置されている。

【0031】

半導体回路30は、例えば抵抗回路26、静電容量素子27(可変容量素子)、抵抗素子34(図2参照)、静電容量素子35(図2参照)などを含み、半導体基板10の主面10a側に設けられている。これらの抵抗回路26、静電容量素子27(可変容量素子)、抵抗素子34、静電容量素子35、およびインダクタンス回路は、図示しない配線により必要に応じてそれぞれの回路と接続されている。抵抗回路26は、抵抗値を可変でき、入力される制御信号に基づいて、抵抗値を可変に制御され、少なくともインダクタンス回路13の特性を調整する機能を有している。静電容量素子27は、例えば可変容量ダイオード(バラクター、パリキャップなどとも呼ばれる)が用いられている。

なお、本実施形態において、発振用回路32は、図2に示すように抵抗回路26や静電容量素子27(半導体回路30)、およびインダクタンス回路13(薄膜回路素子40)を含んで構成されており、例えば圧電振動片や弾性表面波素子などの振動素子33と接続されている。なお、振動素子33は、圧電振動片や弾性表面波素子以外にも、MEMS振動片等を用いることができる。また、振動素子33の材料としては、ATカット、Zカット、BTカット、SCカット等の水晶や、タンタル酸リチウム、ニオブ酸リチウム等の圧電単結晶や、ジルコン酸チタン酸鉛等の圧電セラミックス等の圧電材料、又はシリコン半導体等を用いてもよい。さらに、振動素子33の形状は、特に限定されず、二脚音叉、H型音叉、三脚音叉、くし歯型、直交型、角柱型等の形状であってもよい。振動素子33の励振手段としては、圧電効果によるものを用いてもよいし、クーロン力による静電駆動を用いてもよい。

【0032】

この構成によれば、インダクタンス回路13の特性、特にQ値を抵抗回路26で調整することで、発振用回路32を含む発振回路の起動時においてインダクタンス回路13に起因する異常発振を低減することができる。また、入力される制御信号に基づいて、抵抗回路26の抵抗値が可変に制御されることにより、インダクタンス回路13のQ値を、例えば発振周波数または使用する振動子(振動素子33)の等価回路定数値等が変わるごとに調整することができる。このため、抵抗回路26の抵抗値を可変に制御することで、発振周波数または使用する振動子(振動素子33)の等価回路定数値等が変わっても異常発振を起こさないように調整することが可能になる。

【0033】

10

20

30

40

50

外部接続端子 20, 21, 22, 23 は、半導体基板 10 の四隅の内側に一つずつ設けられている。外部接続端子 20, 21, 22, 23 は、導電性を有したおおむね半球形状であり、例えば半田ボールを用いて形成されている。そして、外部接続端子 20, 21, 22, 23 は、平面視で、半導体回路 30 と少なくとも一部が重なるとともに、薄膜回路素子 40 (インダクタンス回路 13) と重ならない位置に配置されている。なお、外部接続端子 20, 21, 22, 23 は、上記のはんだボールを用いて形成する以外にも、金、銀、銅、ニッケル等の金属を単層または前記金属を複合して多層にめっきして形成したり、はんだ等の金属をスクリーン印刷した後に加熱溶融させて形成したりしてもよい。

【0034】

このように外部接続端子 20, 21, 22, 23 を配置することにより、外部接続端子 20, 21, 22, 23 を半導体回路 30 のシールド電極として使用することができるため、外部からのノイズが半導体回路 30 に影響することを抑制することができる。例えば、半導体回路 30 を発振回路 32 として用いる場合には、外部からのノイズが発振周波数のノイズになる虞を低減することができる。また、外部接続端子 20, 21, 22, 23 が薄膜回路素子 40 (インダクタンス回路 13) と重ならない位置、換言すれば半導体回路 30 が、平面視で薄膜回路素子 40 (インダクタンス回路 13) が形成された領域の外部に配置される構成となる。これにより、インダクタンス回路 13 と半導体回路 30 との距離を離すことができるため、両者間の電磁的な結合を抑制することができる。これにより、薄膜回路素子 40 (インダクタンス回路 13) のインダクタンス値の変動を小さくすることができる。これにより、例えば、発振回路の発振周波数の変動を低減することができる。

10

20

【0035】

なお、外部接続端子 20, 21, 22, 23 の配置は、上述に限られるものではなく、例えば一か所に複数の外部接続端子がまとまって設けられている配置であってもよいし、全ての隅(四隅)に対応して配置されていなくてもよい。

【0036】

また、半導体回路 30 は、外部接続端子 20, 21, 22, 23 が含まれる近傍領域 25 と、平面視で、重なるように設けられていてもよい。このような半導体回路 30 および外部接続端子 20, 21, 22, 23 の配置であっても、外部接続端子 20, 21, 22, 23 を半導体回路 30 のシールド電極として使用することができる。なお、前述した外部接続端子 20, 21, 22, 23 と同様に、外部接続端子 20, 21, 22, 23 それぞれの下に配置されているランド電極 19, 28, 29 も、半導体回路 30 のシールド電極として機能するため、外部からのノイズが半導体回路 30 に影響することを抑制することができる。

30

【0037】

貫通電極 14, 18 は、第 1 の絶縁膜 11 を貫通し、第 1 の絶縁膜 11 の表面(半導体基板 10 の主面 10a 側の面)と裏面(主面 10a 側の面と反対側の面)との間の電氣的接続をとっている。すなわち、半導体基板 10 の主面 10a に設けられている半導体回路 30 やインダクタンス回路 13 などと、主面 10a と反対側の第 1 の絶縁膜 11 上に設けられている外部接続端子 20, 21, 22, 23 などとが、貫通電極 14, 18 や半導体

40

【0038】

薄膜回路素子 40 は、平面形状が角形の螺旋状に形成されたインダクタンス回路 13 を含み、半導体基板 10 の主面 10a 側に設けられている絶縁部 12 上に設けられている。インダクタンス回路 13 は、導電性を有する薄膜で構成され、薄膜材料として、例えば銅(Cu)、金(Au)、銀(Ag)、ニッケル(Ni)の単層、または前記金属を複合した多層膜等を用いて形成された薄膜によって構成されている。

【0039】

螺旋状に形成されたインダクタンス回路 13 は、その一端が外部接続端子 23 を介して

50

図示しない、例えば振動子（振動素子 33）に接続されている。インダクタンス回路 13 と外部接続端子 23 との間は、ランド電極 17、ランド電極 17 と接続されている貫通電極 18、および貫通電極 18 と接続されて第 1 の絶縁膜 11 上に設けられているランド電極 29 によって電氣的に接続されている。また、インダクタンス回路 13 の他端は、第 1 引出配線 13a を介して貫通電極 14 に接続されている。そして、貫通電極 14 は、第 1 の絶縁膜 11 上に設けられている第 2 引出配線 15、16 およびランド電極 28 を介して外部接続端子 20 と接続され、図示しない振動子（振動素子 33）や発振回路などに接続されている。すなわち、螺旋状に形成されたインダクタンス回路 13 の両端は、外部接続端子 20、23 を介して図示しない発振回路の発振ループ中に接続されている。

【0040】

インダクタンス回路 13 の螺旋状のパターンを平面視で見たときの内側は、螺旋状のパターンの外側部分（インダクタンス回路 13 と半導体基板 10 の外周部 10b との間の領域）と比較すると磁束密度が高い状態となる。したがって、平面視で、螺旋状のパターン内側に半導体回路 30 が配置されていると、インダクタンス回路 13 と半導体回路 30 との電磁的な結合が大きくなり、インダクタンス値の変動が大きくなったり半導体回路 30 の特性変動が大きくなったりする虞がある。本構成を用いることで、インダクタンス回路 13 と半導体回路 30 との電磁的な結合を低減できるので、インダクタンス回路 13 の特性値の変動を低減したり、半導体回路 30 の特性変動を低減したりすることができ、例えば、発振回路の発振周波数の変動を低減することができる。

【0041】

なお、発振回路において、伸長コイルとしてインダクタンス回路 13（インダクタンス素子）が用いられた場合、インダクタンス回路 13 と静電容量素子 27 とが電磁的に結合してしまうと、例えば、インダクタンス回路 13 と静電容量素子 27 との間に浮遊容量が発生してインダクタンス回路 13（インダクタンス素子）のインダクタンス値が変動してしまい、発振周波数が変動する虞がある。

第 1 実施形態に係る半導体回路素子 100 によれば、静電容量素子 27 を含む半導体回路 30 と、インダクタンス回路 13 を含む薄膜回路素子 40 と、を含む発振用回路 32 を構成している。上記構成を用いることで、上述のように半導体回路 30 と薄膜回路素子 40 との電磁的な結合を低減できるので、インダクタンス回路 13 のインダクタンス値の変動を低減することができ、例えば、発振用回路 32 を含む発振回路における発振周波数変動を低減することができる。

【0042】

< 第 2 実施形態 >

図 3 を用い、本発明の第 2 実施形態に係る半導体回路素子について説明する。なお、第 2 実施形態の半導体回路素子は、第 1 実施形態と同様な発振用回路を少なくとも備えた半導体回路素子を例示して説明する。図 3 は、第 2 実施形態に係る半導体回路素子を示し、図 3(a) は平面図であり、図 3(b) は図 3(a) の B-B 断面図である。なお、図 3(a) では、図面の見易さを向上させるため、図 3(b) に示すソルダーレジスト 24 を省略している。また、前述の第 1 実施形態と同様な構成については同符号を付しており、その説明を省略することがある。

【0043】

第 2 実施形態に係る半導体回路素子 200 は、前述の第 1 実施形態に係る半導体回路素子 100 と、インダクタンス回路 13 を含む薄膜回路素子 40 の設けられている位置が異なる。以下の第 2 実施形態に係る半導体回路素子 200 の説明では、このインダクタンス回路 13 を含む薄膜回路素子 40 に関わる部分を中心に説明する。

【0044】

図 3 に示すように、第 2 実施形態に係る半導体回路素子 200 は、矩形形状をなした半導体基板 10 の主面 10a に設けられている半導体回路 30 と、主面 10a に設けられている第 1 の絶縁膜 11 の半導体基板 10 と接する面の反対側の面である反対面（上面）11a に設けられているインダクタンス回路 13 を含む薄膜回路素子 40 と、を有している

10

20

30

40

50

。さらに、半導体回路素子200には、第1の絶縁膜11の反対面(上面)11aに、外部接続端子20, 21, 22, 23などが設けられているが、第1実施形態と同様であるので説明を省略する。なお、主面10a上や絶縁部12上には、半導体回路30を構成する素子やランドの間を電氣的に接続する配線が設けられているが、図3では省略している。

また、半導体基板10には、主面10a側の表層部分に絶縁部12が設けられている。本実施形態では、絶縁部12の表面を含む半導体基板10の一面を主面10aとしている。

【0045】

半導体回路30の構成(例えば抵抗回路26、静電容量素子27、インダクタンス回路13、抵抗素子34、静電容量素子35など)、外部接続端子20, 21, 22, 23の構成、および貫通電極14, 18の構成は、第1実施形態と同様であるので、その説明を省略する。

10

【0046】

薄膜回路素子40は、平面形状が角形の螺旋状に形成されたインダクタンス回路13を含み、第1の絶縁膜11の半導体基板10と接する面の反対面11a上に設けられている。インダクタンス回路13は、導電性を有する薄膜で構成され、薄膜材料として、例えば銅(Cu)、金(Au)、銀(Ag)、ニッケル(Ni)の単層、または前記金属を複合した多層膜等を用いて形成された薄膜によって構成されている。

20

【0047】

螺旋状に形成されたインダクタンス回路13は、その一端が第1の絶縁膜11の反対面11a上に設けられているランド電極29に接続され、外部接続端子23を介して図示しない、例えば振動子(振動素子33)に接続されている。また、インダクタンス回路13の他端は、第1引出配線13bを介して貫通電極14に接続されている。そして、貫通電極14は、絶縁部12上に設けられている第2引出配線15aに接続され、第2引出配線15aから延接された第3引出配線16aを介して貫通電極18に接続されている。

【0048】

貫通電極18は、第1の絶縁膜11の反対面11a上に設けられているランド電極28を介して、外部接続端子20と接続され、図示しない振動子(振動素子33)や発振回路などに接続されている。すなわち、螺旋状に形成されたインダクタンス回路13の両端は、外部接続端子20, 23を介して図示しない発振回路の発振ループ中に接続されている。

30

【0049】

第2実施形態に係る半導体回路素子200によれば、第1実施形態において説明した効果に加えて、以下に述べる効果を有している。

第2実施形態の半導体回路素子200によれば、半導体回路30とインダクタンス回路13(薄膜回路素子40)とが、第1の絶縁膜11を介して設けられていることにより、半導体回路30とインダクタンス回路13(薄膜回路素子40)との間の、例えば短絡などの電氣的絶縁不良を減少させることができる。

40

【0050】

<第3実施形態>

図4を用い、本発明の第3実施形態に係る半導体回路素子について説明する。なお、第3実施形態の半導体回路素子は、第1実施形態と同様な発振用回路を少なくとも備えた半導体回路素子を例示して説明する。図4は、第3実施形態に係る半導体回路素子を示し、図3(a)のB-B断面に相当する断面図である。なお、前述の第1実施形態と同様な構成については同符号を付しており、その説明を省略することがある。

【0051】

第3実施形態に係る半導体回路素子300は、前述の第2実施形態に係る半導体回路素子200と、外部接続端子20, 21, 22, 23の設けられている位置が異なる。以下の第3実施形態に係る半導体回路素子300の説明では、外部接続端子20, 21, 22

50

、23の設けられている位置に関わる部分を中心に説明する。

【0052】

図4に示すように、第3実施形態に係る半導体回路素子300は、図示しないが矩形形状をなした半導体基板10の主面10aに設けられている半導体回路30と、主面10aに設けられている第1の絶縁膜11の半導体基板10と接する面の反対面(上面)11aに設けられているインダクタンス回路13を含む薄膜回路素子40と、を有している。さらに、半導体回路素子300は、第1の絶縁膜11の半導体基板10と接する面の反対面(上面)11a上に、インダクタンス回路13を含む薄膜回路素子40を覆うように設けられている第2の絶縁膜50を有している。また、半導体回路素子300は、第2の絶縁膜50の第1の絶縁膜11と接する面と反対側の面である上面50aに設けられた外部接

10

【0053】

なお、第1実施形態と同様に、主面10a上や絶縁部12上には、半導体回路30を構成する素子やランドの間を電氣的に接続する配線が設けられているが、図4では省略している。

また、半導体基板10には、主面10a側の表層部分に絶縁部12が設けられている。本実施形態では、絶縁部12の表面を含む半導体基板10の一面を主面10aとしている。

【0054】

半導体回路30の構成(例えば抵抗回路26、静電容量素子27、インダクタンス回路13、抵抗素子34など)、および貫通電極14、18の構成は、第1実施形態と同様であるので、その説明を省略する。

20

【0055】

外部接続端子20、21は、第2の絶縁膜50の上面50aに設けられているランド電極52、54に接続されている。ランド電極52、54は、第2の絶縁膜50を、その表面(半導体基板10の主面10a側の面)と裏面(主面10a側の面と反対側の面)との方向に貫通する第2の貫通電極51、53に接続されている。

【0056】

外部接続端子21と接続されているランド電極52は、第2の貫通電極51と接続され、第1の絶縁膜11上に設けられているランド電極19、第1の絶縁膜11に設けられている貫通電極18などを介して半導体回路30に接続されている。また、外部接続端子20と接続されているランド電極54は、第2の貫通電極53と接続され、第2の貫通電極53を介して第1の絶縁膜11の反対面(上面)11a上に設けられているランド電極28に接続されている。

30

【0057】

ランド電極28は、第1の絶縁膜11を貫通する貫通電極14、絶縁部12上に設けられている第3引出配線16a、第2引出配線15a、第1の絶縁膜11を貫通する貫通電極14、反対面(上面)11a上に設けられている第1引出配線13bなどを介してインダクタンス回路13に接続されている。すなわち、外部接続端子20は、インダクタンス回路13の一方の端に電氣的に接続されている。

40

【0058】

なお、他の外部接続端子22、23についても同様の構成をなしているが説明を省略する。

また、第1実施形態と同様に、外部接続端子20、21、22、23は、平面視で、半導体回路30と重なるとともにインダクタンス回路13(薄膜回路素子40)と重ならない位置に配置されている。

【0059】

第3実施形態に係る半導体回路素子300によれば、第2の絶縁膜50によりインダクタンス回路13(薄膜回路素子40)と外部接続端子20、21、22、23との電氣的短絡を防止するとともに、外部接続端子20、21、22、23を半導体回路30のシー

50

ルド電極として使用することができるため、外部からのノイズが半導体回路30に影響することを抑制することができる、例えば、発振回路として用いる場合には、外部からのノイズが発振周波数のノイズになる虞を低減することができる。

【0060】

[電子機器]

次いで、本発明の一実施形態に係る半導体回路素子100, 200, 300を適用した電子機器について、図5～図7に基づき、詳細に説明する。なお、説明では、半導体回路素子100を適用した例を示している。

【0061】

図5は、本発明の一実施形態に係る半導体回路素子100を備える電子機器としてのモバイル型(又はノート型)のパーソナルコンピュータの構成の概略を示す斜視図である。この図において、パーソナルコンピュータ1100は、キーボード1102を備えた本体部1104と、表示部1108を備えた表示ユニット1106とにより構成され、表示ユニット1106は、本体部1104に対しヒンジ構造部を介して回動可能に支持されている。このようなパーソナルコンピュータ1100には、角速度を検出する機能を備えた半導体回路素子100が内蔵されている。

10

【0062】

図6は、本発明の一実施形態に係る半導体回路素子100を備える電子機器としての携帯電話機(PHSも含む)の構成の概略を示す斜視図である。この図において、携帯電話機1200は、複数の操作ボタン1202、受話口1204および送話口1206を備え、操作ボタン1202と受話口1204との間には、表示部1208が配置されている。このような携帯電話機1200には、半導体回路素子100が内蔵されている。

20

【0063】

図7は、本発明の一実施形態に係る半導体回路素子100を備える電子機器としてのデジタルスチールカメラの構成の概略を示す斜視図である。なお、この図には、外部機器との接続についても簡易的に示されている。ここで、従来のフィルムカメラは、被写体の光像により銀塩写真フィルムを感光するのに対し、デジタルスチールカメラ1300は、被写体の光像をCCD(Charge Coupled Device)等の撮像素子により光電変換して撮像信号(画像信号)を生成する。

【0064】

デジタルスチールカメラ1300におけるケース(ボディー)1302の背面には、表示部1310が設けられ、CCDによる撮像信号に基づいて表示を行う構成になっており、表示部1310は、被写体を電子画像として表示するファインダーとして機能する。また、ケース1302の正面側(図中裏面側)には、光学レンズ(撮像光学系)やCCD等を含む受光ユニット1304が設けられている。

30

【0065】

撮影者が表示部1310に表示された被写体像を確認し、シャッターボタン1306を押下すると、その時点におけるCCDの撮像信号が、メモリー1308に転送、格納される。また、このデジタルスチールカメラ1300においては、ケース1302の側面に、ビデオ信号出力端子1312と、データ通信用の入出力端子1314とが設けられている。そして、図示されるように、ビデオ信号出力端子1312にはテレビモニター1430が、データ通信用の入出力端子1314にはパーソナルコンピュータ1440が、それぞれ必要に応じて接続される。さらに、所定の操作により、メモリー1308に格納された撮像信号が、テレビモニター1430や、パーソナルコンピュータ1440に出力される構成になっている。このようなデジタルスチールカメラ1300には、半導体回路素子100が内蔵されている。

40

【0066】

なお、本発明の一実施形態に係る半導体回路素子100は、図5のパーソナルコンピュータ(モバイル型パーソナルコンピュータ)、図6の携帯電話機、図7のデジタルスチールカメラの他にも、以下のような電子機器に適用することができる。半導体回路素子

50

100は、例えば、インクジェット式吐出装置（例えばインクジェットプリンター）、ラップトップ型パーソナルコンピューター、タブレット型パーソナルコンピューター、ルーターやスイッチなどのストレージエリアネットワーク機器、ローカルエリアネットワーク機器、移動体端末基地局用機器、テレビ、ビデオカメラ、ビデオレコーダー、カーナビゲーション装置、リアルタイムクロック装置、ページャ、電子手帳（通信機能付も含む）、電子辞書、電卓、電子ゲーム機器、ワードプロセッサ、ワークステーション、テレビ電話、防犯用テレビモニター、電子双眼鏡、POS端末、医療機器（例えば電子体温計、血圧計、血糖計、心電図計測装置、超音波診断装置、電子内視鏡）、魚群探知機、各種測定機器、計器類（例えば、車両、航空機、船舶の計器類）、フライトシミュレーター、ヘッドマウントディスプレイ、モーショントレース、モーショントラッキング、モーションコントローラー、PDR（歩行者位置方位計測）等の電子機器に適用することができる。

10

【0067】

〔移動体〕

図8は移動体の一例としての自動車を概略的に示す斜視図である。自動車506には本発明に係る半導体回路素子100が搭載されている。例えば、同図に示すように、移動体としての自動車506には、半導体回路素子100を内蔵してタイヤ509などを制御する電子制御ユニット508が車体507に搭載されている。また、半導体回路素子100は、他にもキーレスエントリー、イモビライザー、カーナビゲーションシステム、カーエアコン、アンチロックブレーキシステム（ABS）、エアバック、タイヤ・プレッシャー・モニタリング・システム（TPMS：Tire Pressure Monitoring System）、エンジン

20

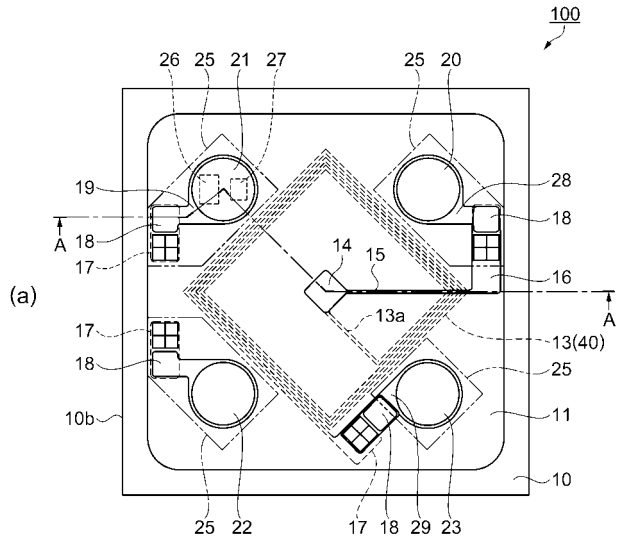
【符号の説明】

【0068】

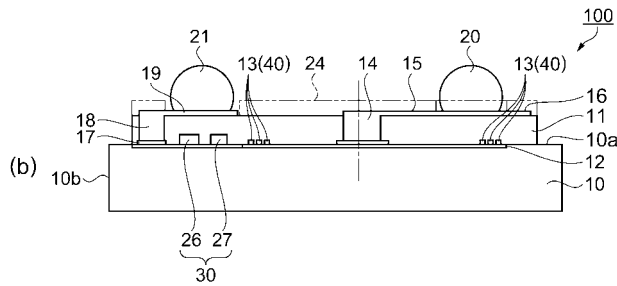
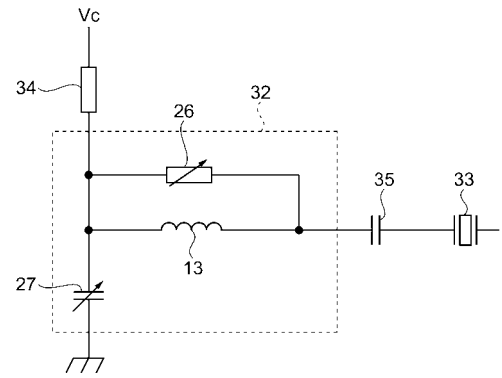
10...半導体基板、10a...半導体基板の主面、10b...半導体基板の外周部、11...第1の絶縁膜、11a...第1の絶縁膜の反対面、12...絶縁部、13...インダクタンス回路、13a, 13b...第1引出配線、14...貫通電極、15, 15a, 16...第2引出配線、16a...第3引出配線、17...ランド電極、18...貫通電極、19...ランド電極、20, 21, 22, 23...外部接続端子、24...ソルダーレジスト、25...近傍領域、26...抵抗回路、27...静電容量素子、28, 29...ランド電極、30...半導体回路、31...、32...発振回路、33...振動素子、34...抵抗素子、40...薄膜回路素子、50...第2の絶縁膜、51, 53...第2の貫通電極、52, 54...ランド電極、100...第1実施形態に係る半導体回路素子、200...第2実施形態に係る半導体回路素子、300...第3実施形態に係る半導体回路素子、506...移動体としての自動車、1100...電子機器としてのモバイル型のパーソナルコンピューター、1200...電子機器としての携帯電話機、1300...電子機器としてのデジタルスチールカメラ。

30

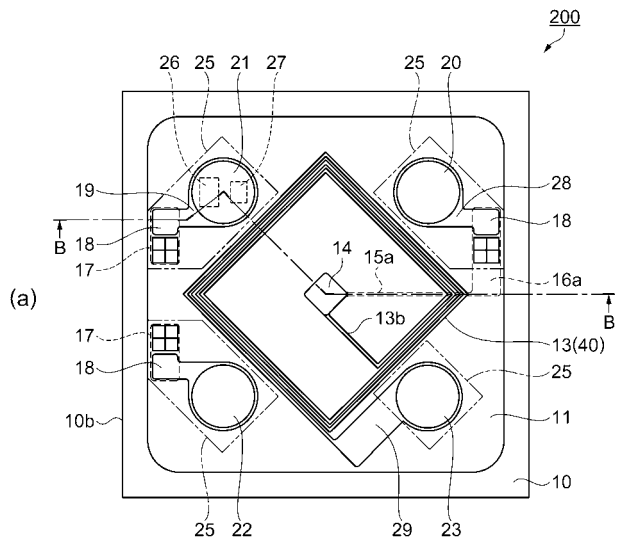
【 図 1 】



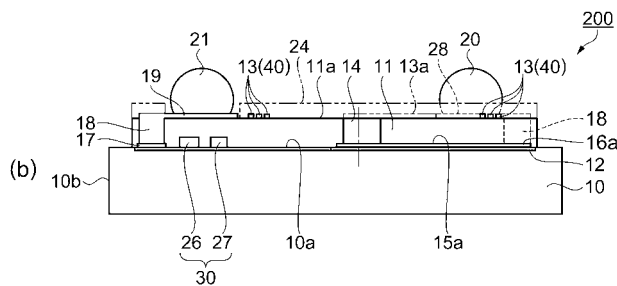
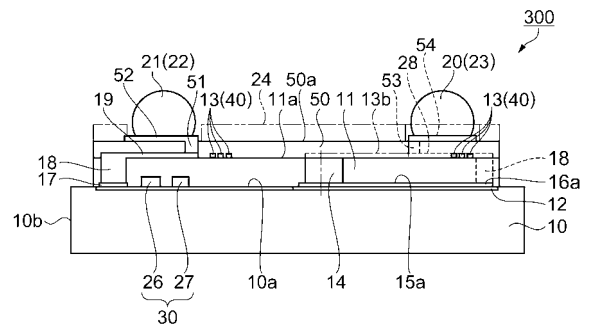
【 図 2 】



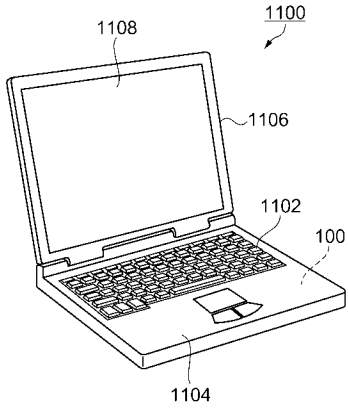
【 図 3 】



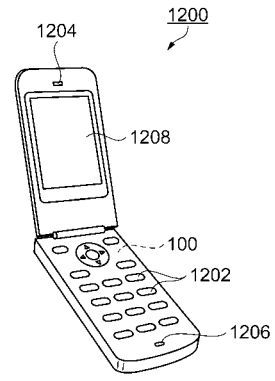
【 図 4 】



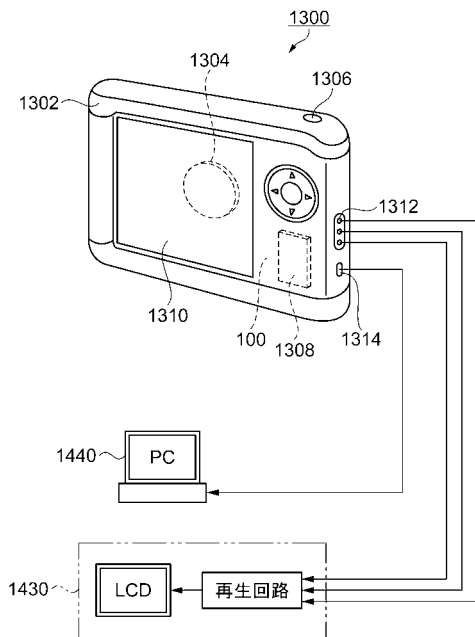
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

