

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-246085

(P2009-246085A)

(43) 公開日 平成21年10月22日(2009.10.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 5 1	5 F 0 8 3
HO 1 L 45/00 (2006.01)	HO 1 L 45/00 Z	
HO 1 L 49/00 (2006.01)	HO 1 L 49/00 Z	

審査請求 未請求 請求項の数 20 O L (全 19 頁)

(21) 出願番号 特願2008-89776 (P2008-89776)
 (22) 出願日 平成20年3月31日 (2008. 3. 31)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 110000350
 ポレール特許業務法人
 (72) 発明者 黒土 健三
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 寺尾 元康
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 高浦 則克
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

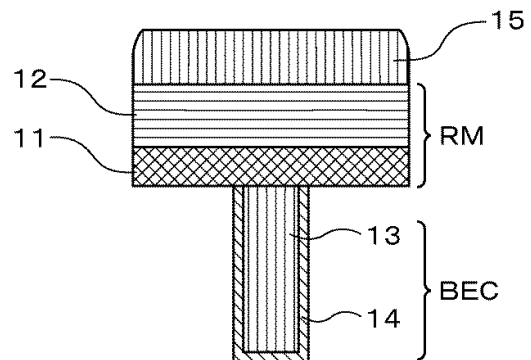
(57) 【要約】

【課題】 固体電解質メモリには書き換えを繰り返すことで固体電解質中のイオンA量及び電極の形状が変化してしまうため、安定した書き換えが困難であるという課題がある。

【解決手段】 固体電解質層の抵抗変化によって情報を記憶または回路接続を変化させる半導体装置において、固体電解質層を例えばCu-Ta-S、それに隣接または近接するイオン供給層をCu-Ta-Oの組成にして、イオン供給層から供給されたイオンが固体電解質層内に導電パスを形成することにより、抵抗の高低により情報が記憶されるようにし、電気パルスを印加することで抵抗を変化させることができる。上記イオン供給層は例えばCu-Ta-O = 1 : 2 : 6の組成比を持つ結晶であり、安定して書換え動作を行うことができる。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

基盤上に設けられた電気抵抗の変化を起こすことによって情報を記録する記録層と、前記記録層の前記基盤側の一主面上に設けられた第 1 の電極と、前記記録層の前記一主面に対向する他主面上に設けられた第 2 の電極とを備え、前記記録層は、前記第 1 の電極に接する側に配置された第 1 層と前記第 2 の電極に接する側に配置された第 2 層との少なくとも 2 層より成り、

前記第 1 層は、Ag、Cu、Au、Zn からなる群より選ばれた少なくとも 1 種類の元素と、Ta、W、Mo、Gd からなる群より選ばれた少なくとも 1 種類の元素と、酸素とを含んでなる結晶相であり、

前記第 2 層は、Ag、Cu、Au、Zn からなる群より選ばれた少なくとも 1 種類の元素と S、Se、Te からなる群より選ばれた少なくとも 1 種類の元素を含むことを特徴とする半導体装置。

10

【請求項 2】

前記第 1 層と前記第 2 層に含まれる Ag、Cu、Au、Zn からなる群より選ばれた元素は、それぞれの層で共通の元素であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 層は、Ag、Cu、Au、Zn からなる群より選ばれた少なくとも 1 種類の元素と、S、Se、Te からなる群より選ばれた少なくとも 1 種類の元素と、金属元素もしくはシリコンを含むことを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 4】

前記第 2 層に、少なくとも、Cu - Ta - S が含まれることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記 Cu - Ta - S の組成比が、 $Cu_x Ta_y S(100 - X - Y)$ であるとしたときに、前記 X および Y は、 $80 < X < 40$ 、 $5 < Y < 20$ であることを特徴する請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 層に、少なくとも、Cu - Ta - O が含まれることを特徴とする請求項 1 に記載の半導体装置。

30

【請求項 7】

前記 Cu - Ta - O の組成比が $Cu_x Ta_y O(100 - X - Y)$ であるとしたときに、前記 X および Y は、 $10 < X < 50$ 、 $10 < Y < 30$ であることを特徴する請求項 6 に記載の半導体装置。

【請求項 8】

前記第 1 層中に観察される金属粒子、もしくは金属化合物粒子の直径が 5 nm 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】

前記第 1 層が、ペロブスカイト構造もしくはペロブスカイト構造を決定する原子位置から 10% 以内の範囲において歪んだ構造であることを特徴とする請求項 1 に記載の半導体装置。

40

【請求項 10】

複数のワード線と、絶縁層を介して前記ワード線と交差する複数のビット線の交点に設けられた情報記憶部と選択素子からなるメモリセルを複数有する半導体記憶装置において、

前記情報記憶部が前記請求項 1 に記載の半導体装置を有し、

前記情報記憶部へのパルス電圧印可により情報の書込み、または情報の読み取りを行うことを特徴とする半導体装置。

【請求項 11】

基盤上に下部電極を形成する工程と、

50

前記下部電極上に、A g、C u、A u、Z nからなる群より選ばれた少なくとも1種類の元素と、T a、W、M o、G dからなる群より選ばれた少なくとも1種類の元素と、酸素とを含む第1記憶層を形成し、さらに、前記第1記憶層上に、A g、C u、A u、Z nからなる群より選ばれた少なくとも1種類の元素と、S、S e、T eからなる群より選ばれた少なくとも1種類の元素を含む第2記憶層を形成することにより前記第1記憶層および前記第2記憶層の少なくとも2層含んでなる記憶層を形成する工程と、

前記記録層上に上部電極を形成する工程と、を備え、

前記第1記憶層の形成後にアニールを行い、前記アニール後に前記第2記憶層を形成することを特徴とする半導体装置の製造方法。

【請求項12】

前記第1記憶層の形成後のアニールにより、前記第1記憶層の相状態がアモルファスから結晶に変化することを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】

前記第1記憶層にC u - T a - Oを含み、前記アニールの温度が600以上であることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】

前記基盤上にL o w - k材料を用いて層間絶縁膜を形成する工程を有し、

前記アニール時の基盤温度が400以下であることを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項15】

前記基盤を加熱しながら前記第1記憶層の成膜を行うことを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項16】

前記基盤の加熱温度が500以上であることを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項17】

前記第1記憶層の成膜後に、レーザーを用いたアニールを行い、その後に前記第2記憶層の成膜を行うことを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項18】

前記基盤上にL o w - k材料を用いて層間絶縁膜を形成する工程を有し、

前記アニール時の基盤温度が400以下であることを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項19】

前記下部電極がW、T i、T i N、T i A l N、T i W、T i S i C、T a N、炭素クラスターからなる群より選ばれた少なくとも1種類の組成を含むことを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項20】

基盤上に下部電極を形成する工程と、

前記下部電極上に、A g、C u、A u、Z nからなる群より選ばれた少なくとも1種類の元素と、S、S e、T eからなる群より選ばれた少なくとも1種類の元素を含む第1記憶層を形成し、さらに、前記第1記憶層上に、A g、C u、A u、Z nからなる群より選ばれた少なくとも1種類の元素と、T a、W、M o、G dからなる群より選ばれた少なくとも1種類の元素と、酸素とを含む結晶相からなる第2記憶層とを形成することにより前記第1記憶層および前記第2記憶層の少なくとも2層含んでなる記憶層を形成する工程と、

前記記録層上に上部電極を形成する工程とを有すること特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、半導体装置およびその製造方法に係り、特に、抵抗の差を利用して記憶情報を弁別する固体電解質材料を用いたメモリセル、例えば、高密度集積メモリ回路、あるいはメモリ回路と論理回路とが同一半導体基板に設けられたロジック混載型メモリ、あるいはアナログ回路を有する半導体集積回路装置に適用して有効な技術に関するものであり、さらに、低電圧で動作する、高速かつ、不揮発性を有するランダムアクセスメモリに関する。

【背景技術】

【0002】

固体電解質材料を用いた記録技術として、固体電解質メモリが提案されている。非特許文献1及び2には固体電解質メモリの詳細が記述されている。このメモリの記憶部とその周辺の構造を図2を用いて説明する。固体電解質メモリは記憶部RMをBECと上部電極15で挟んだ構造を持つ。記憶部RMは、固体電解質層21とイオン供給源となる電極22の積層構造を持つ。固体電荷質21中でモビリティの高いイオンが移動する。「モビリティが高いイオン」は、ある電解質中において、一定の電圧を印加したときに長距離移動するイオンと定義する。電極22の材料はモビリティの高い元素A（例えば、Cu）である。

10

【0003】

固体電解質21の材料は例えば、組成がCuとSである合金であり、固体電解質21はイオンAを含む。BECはイオン伝導度の低いプラグ材料13と密着層14の積層で形成される。上部電極15はモビリティの低い金属材料を用いる。それにより電界を印加したときに移動することを防止する。記憶部RMの抵抗が低い「ON状態」では固体電解質中に金属Aにより形成させた電気伝導性フィラメントが電極22 - BEC間を接続している。

20

【0004】

一方、記憶部RMの抵抗が高い「OFF状態」では、電気伝導性フィラメントが切断されている。動作方法を以下に述べる。値の読み出しは、記憶部RMの抵抗を測定し、その高低をそれぞれ「0」と「1」に対応させる。記憶部RMを「ON状態」にする「ON動作」は以下のように行う。電極22に正の電圧を印加することで、電極22を酸化し、イオンAにする。その後、イオンAは固体電解質中をイオン伝導し、下部電極BECもしくはフィラメント近傍で還元されることで、フィラメントが生成もしくは成長する。フィラメントが電極22 - BEC間を結ぶことで、記憶部RMは低抵抗になる。記憶部RMを「OFF状態」にする「OFF動作」は以下のように行う。電極Aに負の電圧を印加することで、フィラメントを構成する金属Aを酸化し、イオンAにする。その後、イオンAは固体電解質中に拡散する。

30

【0005】

また、CuおよびTa、Oからなり、組成比がCu - Ta - O = 1 : 2 : 6に近い結晶構造が非特許文献3で報告されている。以下、上記結晶をCu - Ta - O結晶とする。

【0006】

特許文献1では酸化物材料を用いた半導体メモリが記載されている。金属フィラメントを形成もしくは消滅させることにより抵抗変化を生じさせている。特許文献1の半導体メモリは金属フィラメントの生成・消滅場所が酸化物材料内ではない。

40

【0007】

また、特許文献2では2つの電極間に例えばCuTe（銅テルル化合物とGdO_x（ガドリニウム酸化物）の積層を挟んだ構造の半導体メモリが記載されており、GdO_x材料内に金属元素（例えばCu）を添加することにより記憶層の耐圧の向上させる方法が述べられている。

【0008】

【特許文献1】特開2002 - 076325号公報

【特許文献2】特開2006 - 351780号公報

【非特許文献1】IEEE International Electron Devi

50

ces meeting, TECHNICAL DIGEST, 2001年、p. 803 - 806

【非特許文献2】Nature Materials, Vol. 4, 2005年、p. 347 - 351

【非特許文献3】Journal of applied physics, Vol. 96, p. 4400 - 4404

【発明の開示】

【発明が解決しようとする課題】

【0009】

固体電解質メモリには書き換えを繰り返すことで固体電解質中のイオンA量及び電極の形状が変化してしまうため、安定した書き換えが困難である課題がある。これを解決するために我々が検討している回路装置の代表的な構造を図3を用いて説明する。イオンAの供給層は従来の固体電解質メモリでは電極Aであったが、本メモリでは固体電解質材料とした。例えばCu-Ta-Sである。以下、Cu-Ta-Sを例にして説明する。また、フィラメント形成部を三元系の酸化物とした。例えばCu-Ta-Oである。以下、Cu-Ta-Oを例にして説明する。さらに、以下、フィラメント形成部をイオン閉じ込め層とする。この構造にすることで得られる効果を以下に述べる。第1点は、イオン供給源を電極Aから固体電解質Cu-Ta-Sに変更することで供給可能なイオン総量を制限し、さらにイオン供給源の空隙の生成などの物理的変化を抑える。第2点は、モビリティの異なるCuとTaを金属イオンとして用いることである。モビリティの低いTaは、TaS

10

20

【0010】

まず、図3を用いてON動作について述べる。上部電極31に下部電極34よりも高い電圧を印加することで、固体電荷質であるCu供給層中の正の電荷を持つCuイオン33はイオン伝導し、イオン閉じ込め層11へと移動する。説明を簡単にするために、以下の説明では上部電極には正の電圧が印加され、下部電極は0Vに保たれているとする。イオン閉じ込め層11において、Cuイオン33は還元反応により、金属Cu34になる。金属Cu34はイオン閉じ込め層11の電流が特に流れる部分に生成する。また、金属Cu34が生成するとその部分の抵抗が下がり、電流が集中する。そのため、金属Cu34はフィラメント形状を持つことが多い。Cuフィラメントが形成されることにより、記憶部RMの抵抗は低下する。

30

【0011】

次に、図4を用いてOFF動作について説明する。上部電極32に負の電圧を印加し、下部電極34を0Vに保つことで、Cuフィラメント中の金属Cu34は酸化され、Cuイオンになる。その結果、Cuフィラメントの一部は消滅し、記憶部RMは高抵抗化する。Cuイオンは、イオン伝導により、Cu供給層12中に移動する。

【0012】

上記の説明を図5に示す電流-電圧波形を用いて再度説明する。この波形は半導体パラメータアナライザを用いて測定した。上部電極電圧を約0.3V印加することで、ON動作51が生じ、抵抗が減少する。電圧を約0.5V印加した時点で、電流が300マイクロアンペアという一定の値を示しているが、これは測定機器のコンプライアンス電流に到達したためである。次に、上部電極電圧に約-0.3Vの電圧を印加することで、OFF動作52が生じ、抵抗が上昇する。上記の各説明は、動作時の電圧の極性を逆にしても成り立つ。また、イオン閉じ込め層とイオン供給層の上下関係を逆にしても成り立つ。

40

以上のように我々は高信頼動作を目指して本回路装置を検討している。

但し、高信頼用途向けDRAM(ダイナミックアクセスメモリ)などの一部用途においては、さらに信頼性の高い動作が要求される。

【0013】

本発明が解決しようとする技術的課題は、前記技術の問題点を改善するためのものであ

50

って、信頼性の高いメモリ素子などの回路装置を提供することである。具体的には、エンデュランス回数の増加と書き換え電圧や書き換え抵抗のばらつきを低減させる。

【課題を解決するための手段】

【0014】

前記課題を達成するために、本発明は、記憶部RMのイオン閉じ込め層の相状態が結晶である半導体装置を提供する。特に、結晶状態であるイオン閉じ込め層は、モビリティの高いイオンAとイオンAに比べてモビリティの低いイオンC、さらにイオンAおよびイオンCと逆の極性を持つイオンDの組成を持つ。結晶状態であるイオン閉じ込め層の組成の例は、 $Cu - Ta - O = 1 : 2 : 6$ である。結晶化したイオン閉じ込め層は安定であるため、書き換え動作を行った場合の記憶部RMの物理的変形や記憶部内の組成比の過剰な変動が生じにくい。そのため、安定な書き換え動作が可能である。

10

【発明の効果】

【0015】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に述べると以下のとおりである。

エンデュランス特性の高いメモリ素子を実現することができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。本願において導体層間の接触とは、直接接する場合だけでなく、電流が流れる程度に薄い絶縁体や半導体などの層または領域を挟んで接する場合も含むものとする。

20

【実施例1】

【0017】

図1は、本発明に係る第1の実施の形態による固体電解質材料を用いたメモリ素子の構成を示す断面図である。図に示すように、本発明のメモリ素子は、イオン閉じ込め層11とイオン供給層12を積層した記憶部RMを下部電極BECと上部電極15で挟んだ構造になっている。下部電極BECは密着層14およびプラグ材料13により構成されている。密着層14としては、例えば、微小寸法のホール形状への埋め込み性に優れるTiNを用いることができる。プラグ材料13および上部電極15の材料として電気抵抗が低いWを用いることができる。BECの材料として、高融点材料であるTiAlNやTiW、TiSiC、Ta₂N、炭素クラスター(C₆₀などの炭素同素体)を用いることができる。この場合、電気伝導性フィラメントを消滅させる方法として、イオン閉じ込め層にジュール熱を発生させ、熱拡散によりフィラメントを消滅させる方法を用いることができる。その結果、ON動作とOFF動作で同じ極性の電圧を用いることが可能となり、周辺回路の面積を縮小することが出来る。

30

【0018】

プラグ材料13と密着層14、上部電極15の材料は書き換え動作に影響を与えないようにモビリティの低い元素を用いるのがよい。プラグ材料13と密着層14に同じ材料、例えばTiNを用いることが出来るのは言うまでもない。イオン閉じ込め層11の相状態は結晶であり、材料としてCuとTa、Oからなる組成を用いることができる。イオン閉じ込め層11は陽イオンと陰イオンからなる。陽イオンとして、モビリティに差がある2種類以上の陽イオンと陰イオンからなる。モビリティの高い陽イオンは、価数が少なく、イオン半径の小さいイオンであり、AgやCu、Au、Znが該当する。また、モビリティの低い陽イオンは、価数が大きく、イオン半径の大きなイオンであり、TaやW、Mo、希土類元素(特にGd)が該当する。イオン供給層12の材料としてCuとTa、Sからなる組成を用いることが出来る。イオン供給層は、陽イオンと陰イオンからなる。さらに、陽イオンとしてモビリティの異なる2種類以上の陽イオンを用いることで、モビリティの低い陽イオンと陰イオンにより形成される安定な構造により、イオン供給層に空隙など物理的変化や過度な抵抗変化が生じることを防ぐことが出来る。

40

【0019】

50

また、イオン閉じ込め層 1 1 の陰イオンをイオン供給層 1 2 の陰イオンと異なる元素にすることにより、イオン閉じ込め層 1 1 とイオン供給層 1 2 のイオン伝導度に差をつけ、イオン濃度の勾配を 1 方向に保つことができる。イオン濃度は、上部電極 1 5 付近が高く、下部電極 B E C 付近が低い。もし、このイオン濃度の勾配が逆転すると、書き換え電圧の極性が反転してしまうため、安定した書き換え動作を行うことができない。本実施の形態では、イオン伝導度に差をつけることでイオン濃度の勾配を維持することを目的としている。

【0020】

本発明では、イオン閉じ込め層 1 1 の相状態を結晶にすることを特徴とする。図 6 を用いてイオン閉じ込め層の組成として、Cu および Ta、O を用い、その組成比が Cu - Ta - O = 1 : 2 : 6 に近い場合の結晶構造を説明する。結晶構造はペロブスカイト構造をやや歪ませたものとなっている。八面体の頂点に酸素が位置し、中心に Ta が位置する。図 5 中の Cu 原子と空孔により示された Cu サイトに着目すると、Cu サイトの 1 / 2 は空孔である。なお、Cu サイト中の空孔の割合は 1 / 3 とする報告もある。また、組成比が、Cu - Ta - O = 1 . 0 3 : 2 : 6 とする報告もある。Cu サイトに含まれる多数の空孔は Cu イオンが移動する際の経路になるため、高いイオン伝導度を持つ。一方、Ta と O により構成される構造は安定であり、電界を掛けたり、Cu イオンが移動したりする場合でも、容易に構造は劣化せず、空隙が生じたり、Ta や O が移動することは少ないと考えられる。なぜならば、モビリティの低い陽イオンは一般的に価数が多いため、陰イオンである酸素との間に、強固な結合を形成するためである。そのため、高い信頼性を持つメモリ素子を提供することが可能である。

10

20

【0021】

イオン供給層の好ましい組成は、平均組成が下記の一般式 (1) で表される。

【0022】



(ここで、式中の X、Y はそれぞれ 40 < X < 80、5 < Y < 20 である)

Cu の組成比がこれより多いとそれ自身が電極のように抵抗が低くなって固体電解質として機能しない。これより少ないと膜が化学的に不安定となり、また、セットが不十分になる。Ta の組成比がこれより多いとセット抵抗が高過ぎる。これより少ないとイオンが移動するときに空隙が生じるため、書き換え可能回数が減少する。

30

これ以外に 10 原子% 以下の他の元素を含んでも良い。

【0023】

イオン閉じ込め層の好ましい組成は、平均組成が下記の一般式 (2) で表される。

【0024】



(ここで、式中の X、Y はそれぞれ 10 < X < 50、10 < Y < 30 である)

Cu の組成比がこれより多いとそれ自身が電極のように抵抗が低くなって固体電解質として機能しない。これより少ないと化学的安定性が不安定となり、また、セットが不十分になる。Ta の組成比がこれより多いとセット抵抗が高過ぎる。これより少ないと低抵抗状態の耐熱性が不足する。酸素がこれより多いとセットが不十分になる。これより少ないとイオンが移動するときに空隙が生じるため、書き換え可能回数が減少する。

40

これ以外に 10 原子% 以下の他の元素を含んでも良い。

【0025】

我々が実験したイオン閉じ込め層の相状態をアモルファスにした場合と、結晶にした場合の比較を図 7 と図 8 に示す。図 7 は相状態が結晶であり、図 8 は相状態がアモルファスである。読み出し動作を行ったときに流れる電流量を示している。相状態を結晶にすることで書き換え動作を繰り返したときの読み出し電流の安定性が高くなることが示されている。このことから Cu - Ta - O を結晶にすることで、高信頼動作するメモリを提供可能であることが分かる。この理由を説明するモデルの 1 つは以下である。Cu - Ta - O がアモルファスであるならば、イオン間の結合力は、場所により異なる。中には不安定な結

50

合が存在し、電界を印加したり、Cuイオンが移動することで、Ta-O間の結合が切断される。切断されたTa-Oの結合が一定の割合に達すると、エレクトロマイグレーションにより、空隙が生じる。その結果、ON抵抗やOFF抵抗、動作電圧が変動する。Cu-Ta-Oが結晶の場合、Cuイオンは、Cu-Ta-O中のCuサイトを中心に移動するモデルと、粒界を中心に移動するモデルが考えられる。Cu-Ta-O中のCuサイトを中心に移動するモデルでは、イオン間の結合力は少なくとも粒内では、ほぼ一定であり、空隙が生じるような結合力の弱い場所は生じない。よって安定な書き換え動作が可能であるという可能性が考えられる。Cuイオンが粒界を移動するモデルでは、粒界の場所はほぼ安定であるため、安定な書き換え動作が可能であるという可能性が考えられる。

【0026】

次に、我々が作成した結晶Cu-Ta-Oとその周辺部の断面SEM像を図9に示す。SEMによる観察により結晶Cu-Ta-O 91には約5nmの構造が存在することが分かった。このことはCu-Ta-O結晶91の粒径は約5nmであることを示唆する。また、図9には、Cu-Ta-S 92および上部電極94、PTEOS 93が示されている。

【0027】

また、図9の模式図を図10に示す。酸化シリコン103とイオン供給層すなわちCu-Ta-Sの間に結晶Cu-Ta-O 104が位置する。Cu-Ta-Oの結晶粒径は約5nmであることが、結晶粒界101の形状により示されている。粒内102と粒界101は電気伝導率およびCuのモビリティは異なる。粒径が下部電極BEC径に比べて十分小さくすることで、Cu-Ta-O粒界がメモリ特性に及ぼす影響が平均化され、素子間ばらつきが小さくなる効果がある。Cu-Ta-Oの組成や結晶化条件により、結晶粒界101にCuやTaおよびその酸化物を析出させることが可能であることは容易に考えられる。この析出量の大小およびその組成により、Cuの移動を主に粒内で生じさせるか、それとも、粒界で生じさせるかを定めることが可能であると考えられる。素子間ばらつきを減少させることで大容量のメモリを提供することができる。また、高信頼動作化により、高い書き換え可能回数が要求されるRAMへの応用が可能になる。特に、コンピュータ用の主記憶装置として大きな市場を持つがプロセス世代45nm以細の微細化に問題のあるDRAMを置き換え、45nm以細の微細化に対応した主記憶装置として本メモリ素子を提供することが可能である。

【0028】

図11を用いてCu-Ta-Oの結晶化の条件を説明する。まず、スパッタリング法によりアモルファスのCu-Ta-Oを成膜した。次に、それぞれ所定の温度にて、窒素雰囲気中において30分間の熱処理を行った。この試料のXRD測定を行った結果、asd膜および、500以下の熱処理温度においては、Cu-Ta-O結晶は観察されなかった。それに対して、700の熱処理を行うことにより、Cu-Ta-O結晶が観察された。

【0029】

さらに、我々はCu-Ta-Oの電気抵抗を調べた実験を行っており、我々が実験に用いたCu-Ta-Oの結晶化温度は500以上、700以下であることが分かっている。Cu-Ta-Oの膜厚は例えば5~60nmであり、Cu-Ta-Sの膜厚は例えば3~30nmである。

【0030】

我々は、試作したメモリセルの断面TEM(透過型電子顕微鏡)観察を行い、ナノディフラクション法により得た電子線回折図形を図25に示す。また、CuTa206結晶の構造から回折図形を計算した結果を図26に示す。図25と図26の結果が一致することにより、メモリセル中にCuTa206結晶が存在することが分かる。以上のように、断面TEM観察により容易にイオン閉じ込め層が結晶化しているかどうかを調べることが出来る。

【0031】

Cu-Ta-OとCu-Ta-Sの上下関係について、以下に述べる。Cu-Ta-O

10

20

30

40

50

を成膜し、Cu-Ta-Oを結晶化させ、その後、Cu-Ta-Sを成膜するプロセス工程を用いると、Cu-Ta-Sの耐熱性はCu-Ta-Oの結晶化温度よりも低くても良いため、幅広い組成からCu-Ta-Sの材料を選択することができる。例えば、600の熱負荷を与えることで昇華するCu:Ta:S = 60:10:30の組成を用いることができる。Cu-Ta-Sの組成比としては、例えばCu濃度については10%以上かつ50%以下、Ta濃度については10%以上かつ30%以下であると、抵抗を変化させるに十分なCu供給量があり、かつCuを供給したときのCu-Ta-S材料の空隙を抑えるのに好都合と考えられるが、もちろん、その他の組成を用いることも可能である。次に、本メモリの製造工程について、図12を用いて説明する。

【0032】

まず、通常の半導体工程を用いてMISトランジスタ形成およびフィールド酸化膜による拡散層の分離を行う。次に層間絶縁膜形成後、上記トランジスタのドレインに接続されたコンタクトホールを形成し、化学的気相成長法(CVD)により、密着層14および、プラグ材料13を形成する。その後、CMP(化学機械研磨)を行い、BECを形成する。さらに、結晶Cu-Ta-Oの成膜を行う。結果として得られる構造の模式図を図12に示す。BECより上部のみが示されている。層間絶縁膜121として、PTEOS(リンドープテトラエチルオルトシリケート)を用いることが出来る。

【0033】

図13には結晶Cu-Ta-Oの成膜方法が3種類示されている。本実施例では、基盤加熱スパッタリング法によるCu-Ta-O成膜を選択した。上記方法は、ウェハ基盤温度を例えば500以上に制御し、スパッタリングを行う。もちろん、Cu-Ta-O結晶以外の材料をイオン閉じ込め層に用いることが可能であり、組成により結晶化温度は異なるため、組成に応じた適切な基盤温度を選択する必要がある。

【0034】

スパッタリングにより基盤に入射したスパッタリング粒子は高い運動エネルギーを持ち、基盤上において、ある程度自由に運動できるため、熱力学的に安定である結晶状態になりやすい。そのため、まず、アモルファス状態で成膜し、その後に熱負荷を与える場合に比べて、結晶化に要する温度を低温化することができる。その結果、シリコン基盤に注入したドーパントが高い熱負荷により移動するため、トランジスタ特性が劣化する問題を回避することが出来る。

【0035】

次に、Cu-Ta-OおよびCu-Ta-Sの加工方法について説明する。Cuを服務材料は、一般的にエッチングによる微細加工は困難である。例えば、Cuの配線工程においてはダマシン工程が用いられる。本実施例の加工方法を図14~図16を用いて説明する。

【0036】

図12に示した状態からさらに、Cu-Ta-Sと上部電極15、ハードマスク141を成膜した後に、レジスト142を塗布、露光、現像した模式図を図14に示す。ハードマスク141として、SiN(シリコン窒化物)を用いることが出来る。ハードマスク141の膜厚は例えば150nmである。この膜厚は製造装置のプロセス世代やCu-Ta-SおよびCu-Ta-Oの膜厚に合わせて適切な値を選択する。レジスト142をマスクとして、ハードマスク141をドライエッチングにより加工する。その後、レジストアッシングを行い、レジスト142を除去する。この状態の模式図を図15に示す。

【0037】

さらに、ハードマスク141を用いて、Cu-Ta-SおよびCu-Ta-Oの加工をドライエッチングにより行う。ハードマスク141はレジスト142に比べて、Cu-Ta-OおよびCu-Ta-Sとの選択比を大きく取ることが出来るため、より微細な加工が可能になる。

【0038】

10

20

30

40

50

以下、さらに記憶部 R M とビット線との接続部や M I S トランジスタのソースとソース線の接続部の形成を行い、順次、上部配線を形成する。

以上の手順により形成したメモリセルのレイアウトを図 1 7 ~ 図 1 9 に示す。

図 1 7 には、拡散層 1 7 1、B E C 1 7 2、ソース線 - 拡散層間接続部 1 7 3 が示されている。

【 0 0 3 9 】

次に、図 1 8 には、ワード線 1 8 1 とソース線 1 8 2 が示されている。ソース線間隔は F を最小寸法とすると 3 F である。また、ワード線間隔は 2 F である。

さらに、図 1 9 には、ビット線 1 9 1 が示されている。ビット線間隔は 3 F である。本実施例ではメモリセル面積を $6 F^2$ にすることが出来る。下部電極 B E C のプラグ径は、例えば $0.2 F^2 \sim 2 F^2$ である。下部電極 B E C のプラグ径を $1 F^2$ 以下に加工する場合は、サイドウォールなどの段差をハードマスクとして利用し加工する方法などを用いることができる。

10

【 0 0 4 0 】

本実施例の要部断面模式図を図 2 0 と図 2 1 に示す。図 2 0 は図 1 9 中の X - X ' の断面模式図であり、図 2 1 は図 1 9 中の Y - Y ' の断面模式図である。図 2 0 では、サイドウォール 2 0 1 を利用して、ワード線 2 0 2 と B E C の分離を行っていることが示されている。フィールド酸化膜 2 0 3 により、拡散層 1 7 1 は分離されている。

【 0 0 4 1 】

図 2 1 では、密着層 2 1 4 とプラグ材料 2 1 3 で形成された拡散層 - ソース線接続部 1 7 3 がソース線 1 8 2 と拡散層 1 7 1 を接続していることが示されている。密着層 2 1 4 は例えば T i N であり、プラグ材料 2 1 3 は例えば W である。ともに、C V D で形成することが出来る。ソース線 1 8 2 はバリア層 2 1 5 と配線材料 2 1 6 により形成されている。バリア層としては T a、配線材料としては C u を用いることが出来る。

20

【 実施例 2 】

【 0 0 4 2 】

本実施例は、図 1 3 中の C u - T a - O 結晶化方法のうち、イオン閉じ込め層の結晶化をレーザー照射により行うことを特徴とする。

C u - T a - O の成膜は以下のように行う。スパッタリング時の基盤温度は C u - T a - O が結晶化しない程度に低く制御し、アモルファス C u - T a - O を成膜する。次に、レーザー照射を用いた C u - T a - O の結晶化を行う。

30

【 0 0 4 3 】

炉体を用いた熱処理ではなく、レーザー照射を行うことにより、シリコンウェハ基盤の温度の上昇を軽減することができる。これにより、拡散層中のドーパントが移動するため、トランジスタ特性が劣化する問題を回避することが出来るだけでなく、さらに、L o w - k 材料の劣化を防止することが出来るため、L o w - k 材料を層間絶縁膜に用いることが出来る。L o w - k 材料を用いることで、半導体回路の配線遅延を軽減することが可能になり、高速な動作を行うことが出来る。L o w - k 材料は一般的に耐熱性が低い。例えば、多孔性 L o w - k 材料に 4 0 0 を超える熱負荷を与えると、内部の微細空隙が消滅し、誘電率 k が上昇するため、配線遅延が増大したり、L o w - k 材料の変形により、配線ショートが生じたりする。L o w - k 材料が劣化する温度は、L o w - k 材料の種類により変化することは言うまでもない。

40

【 0 0 4 4 】

レーザー照射方法を説明する。シリコンウェハ面と直行シウェハ中心を通る軸を中心にウェハを回転させ、レーザー照射部をウェハの半径方向に移動させる。また、レーザー照射部の位置により、回転速度を変化させ、レーザーの線速度を一定に保つ。上記により、均一な照射強度でのレーザー熱処理が可能である。

【 0 0 4 5 】

我々が測定したアモルファス状態の C u - T a - O の屈折率は、波長 6 3 2 . 8 n m において、3 . 9 であった。レーザー照射強度を $1 6 k W / m m^2$ とし、レーザー照射部の

50

移動速度を25mm/秒とし、レーザーの移動方向の照射長さを1 μ mとすることで、結晶化が可能であると考えられるが、Cu-Ta-O材料の組成により、屈折率や結晶化温度、結晶化に要する時間が変化するため、照射強度や照射部の移動速度を最適な値に制御することは言うまでもない。

【0046】

また、レーザー照射によりCu-Ta-Oを選択的に加熱を行うことで結晶化させ、その下部に形成するCu-Ta-Sの温度上昇を抑えることが可能になる。その結果、Cu-Ta-Oの結晶化温度よりも耐熱性の低いCu-Ta-Sを用いて、Cu-Ta-SがCu-Ta-Oよりも下部にある構造を形成することが可能になる。

【実施例3】

【0047】

本実施例は、図13中のCu-Ta-O結晶化方法のうち、アモルファスCu-Ta-O成膜後に電気炉もしくは赤外炉で熱処理を行い、Cu-Ta-Oを結晶化させることを特徴とする。時間をかけて結晶化を行うことにより、結晶成長の速度を抑え、相対的に結晶核生成の確率を高くすることが出来るため、微細な結晶構造が得られる。これにより、BEC上の粒界の数を均一化することができるため、粒界が書き換え動作に及ぼす影響を平均化することができる。その結果、ばらつきの少ない半導体回路装置を提供することが出来る。熱処理時間は例えば30分である。実施例1で述べたようにCu-Ta-Oの結晶化温度は600以上であるため、熱処理温度は600以上とするのが良い。

【実施例4】

【0048】

本実施例は、記憶部の分離をCMPにより行うことを特徴とする。

本メモリの製造工程について、図22～図24を用いて説明する。

まず、通常の半導体工程を用いてMISトランジスタ形成およびフィールド酸化膜による拡散層の分離を行う。次に層間絶縁膜形成後、上記トランジスタのドレインおよびソースに接続されたコンタクトホールを形成し、化学的気相成長法(CVD)により、密着層225および、プラグ材料224を形成する。その後、CMP(化学機械研磨)を行い、拡散層-1メタル線間接続部を形成する。次に、CVD成膜とダマシン加工を用いて、1メタル線223を形成する。1メタル線材料の例はWである。その後、エッチストップ層221および層間絶縁膜226を形成し、さらに、CVDおよびドライエッチングを行い、段差部222を形成する。エッチストップ層の材料の例はSiNであり、層間絶縁膜226の材料の例はPTEOSである。また、段差部222の材料の例はSiNである。結果として得られる断面の模式図を図22に示す。

【0049】

さらに、イオン閉じ込め層11とイオン供給層12、上部電極15の成膜を行う。これらの成膜はすべてスパッタ法で行うことができる。但し、段差部の高さや開口部のアスペクト比が1を超える深穴を用いる場合は、CVD法を用いて各層の形成を行う。結果として得られる断面の模式図を図23に示す。

【0050】

次に、CMPを行うことで、図24に示される記憶部が分離された構造を形成することが出来る。本実施例を用いることで、特に微細なメモリセル構造を形成することが可能である。

【0051】

以降、上部配線を形成することで、メモリ素子を製造する。なお、一般的な半導体プロセスを用いて本構造を形成するとCu-Ta-OもしくはCu-Ta-Sに10～500nmの段差が生じる。

なお、本実施例では、ソース線がビット線の下部に配置されており、ソース線は1メタル線223を用いて配線されている。また、1メタル線と上部配線の接続部の形成を容易に行えるようにドライエッチストップ層221を形成している。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 5 2 】

【図 1】本発明の一実施の形態におけるメモリ素子の要部断面図である。

【図 2】固体電解質メモリ素子の要部断面図である。

【図 3】本発明の一実施の形態における ON 動作を示す模式図である。

【図 4】本発明の一実施の形態における OFF 動作を示す模式図である。

【図 5】電流と電圧の関係を示す図である。

【図 6】 $CuTa_2O_6$ 結晶の構造を示す図である。

【図 7】イオン閉じ込め層が結晶である場合のサイクル回数と読み出し電流の関係を示す図である。

【図 8】イオン閉じ込め層がアモルファスである場合のサイクル回数と読み出し電流の関係を示す図である。 10

【図 9】結晶 $Cu-Ta-O$ 周辺部の断面 SEM 写真である。

【図 10】結晶 $Cu-Ta-O$ 周辺部の断面模式図である。

【図 11】 $Cu-Ta-O$ の XRD 測定結果を示す図である。

【図 12】本発明の実施例 1 による半導体装置において、その製造工程中の要部の構成例を模式的に示す断面図である。

【図 13】三種類のイオン閉じ込め層の結晶化方法を示す図である。

【図 14】図 12 に続く製造工程中の半導体装置を模式的に示す断面図である。

【図 15】図 14 に続く製造工程中の半導体装置を模式的に示す断面図である。

【図 16】図 15 に続く製造工程中の半導体装置を模式的に示す断面図である。 20

【図 17】本発明の実施例 1 による半導体装置において、その製造工程中の要部のレイアウトを模式的に示す図である。

【図 18】本発明の実施例 1 による半導体装置において、その製造工程中の要部のレイアウトを模式的に示す図である。

【図 19】本発明の実施例 1 による半導体装置において、その製造工程中の要部のレイアウトを模式的に示す図である。

【図 20】本発明の実施例 1 による半導体装置において、その製造工程中の要部を模式的に示す断面図である。

【図 21】本発明の実施例 1 による半導体装置において、その製造工程中の要部を模式的に示す断面図である。 30

【図 22】本発明の実施例 4 による半導体装置において、その製造工程中の要部を模式的に示す断面図である。

【図 23】図 22 に続く製造工程中の半導体装置を模式的に示す断面図である。

【図 24】図 23 に続く製造工程中の半導体装置を模式的に示す断面図である。

【図 25】メモリセルを電子線回折で分析することで得られた $CuTa_2O_6$ 結晶の回折図形である。

【図 26】計算で求められた $CuTa_2O_6$ 結晶の電子線回折図形である。

【符号の説明】

【 0 0 5 3 】

1 1 ... イオン閉じ込め層、 40

1 2 ... イオン供給層、

1 3、2 1 3、2 2 4 ... プラグ材料、

1 4、2 1 4、2 2 5 ... 密着層、

1 5、9 4 ... 上部電極、

2 1 ... 固体電解質層、

2 2 ... イオン供給源となる電極、

3 3 ... イオン、

3 4 ... 金属、

5 1 ... ON 動作、

5 2 ... OFF 動作、 50

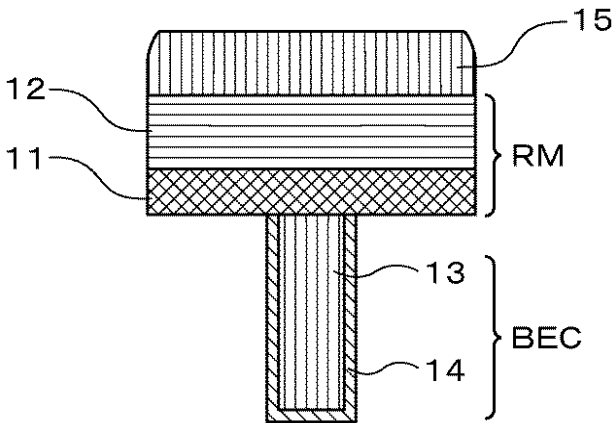
- 9 1、1 0 4 ... 結晶 Cu - Ta - O、
- 9 2 ... Cu - Ta - S、
- 9 3、1 0 3 P T E O S、
- 1 0 1 ... 粒界、
- 1 0 2 ... 粒内、
- 1 0 3 ... 酸化シリコン、
- 1 2 1 ... 層間絶縁膜、
- 1 4 1 ... ハードマスク、
- 1 4 2 ... レジスト、
- 1 7 1 ... 拡散層、
- 1 7 2 ... 下部電極、
- 1 7 3 ... ソース線 - 拡散層間接続部、
- 1 8 1 ... ワード線、
- 1 8 2 ... ソース線、
- 1 9 1 ... ビット線、
- 2 0 1 ... サイドウォール、
- 2 0 2 ... ワード線、
- 2 0 3 ... フィールド酸化膜、
- 2 1 5 ... バリア層、
- 2 1 6 ... 配線材料、
- 2 2 1 ... エッチストッパ層、
- 2 2 2 ... 段差部、
- 2 2 3 ... 1メタル線、
- R M ... 記憶部、
- B E C ... 下部電極。

10

20

【図1】

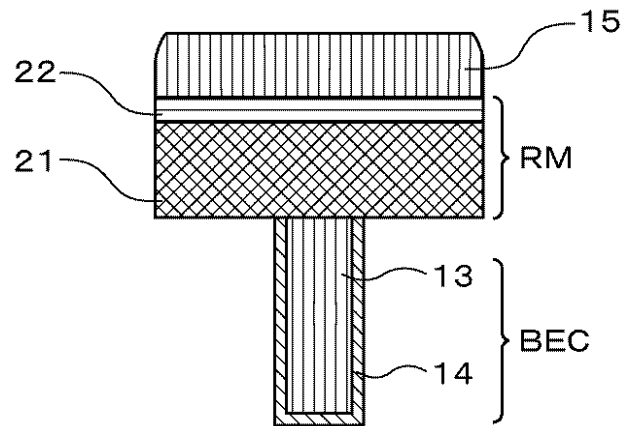
図1



【図2】

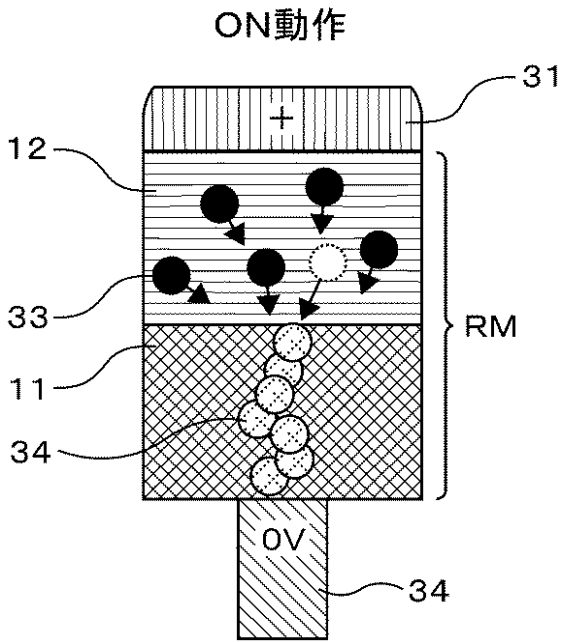
図2

固体電解質メモリ模式図



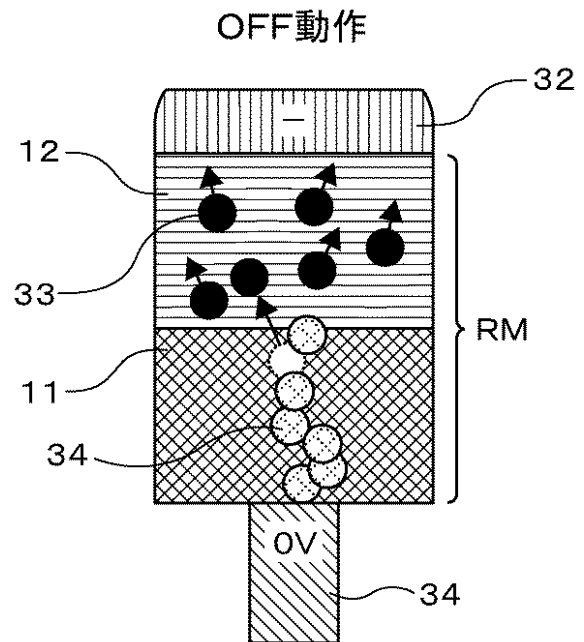
【 図 3 】

図 3



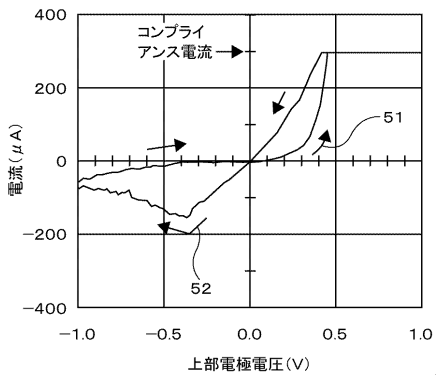
【 図 4 】

図 4



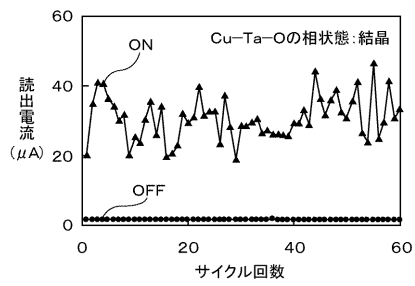
【 図 5 】

図 5



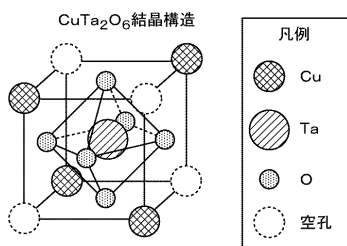
【 図 7 】

図 7



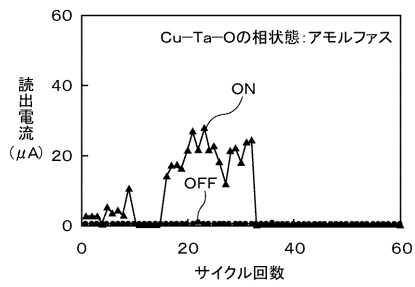
【 図 6 】

図 6



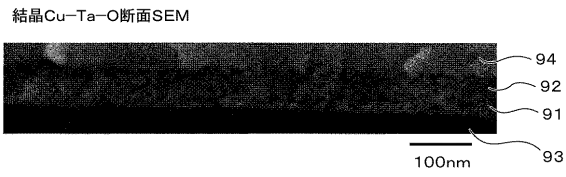
【 図 8 】

図 8



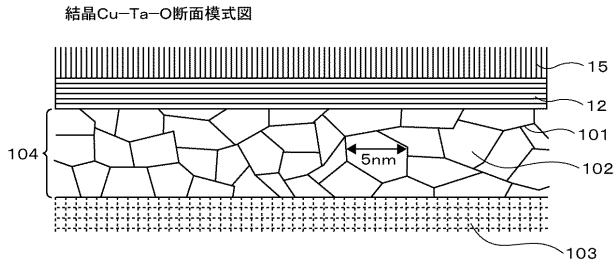
【 図 9 】

図 9



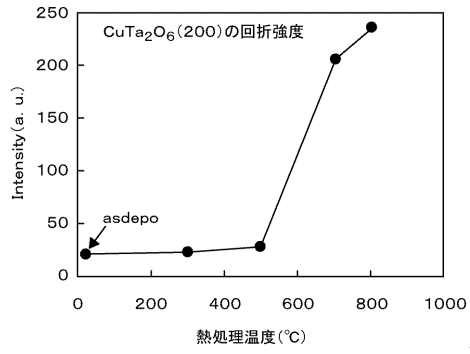
【 図 1 0 】

図 1 0



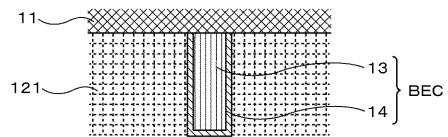
【 図 1 1 】

図 1 1



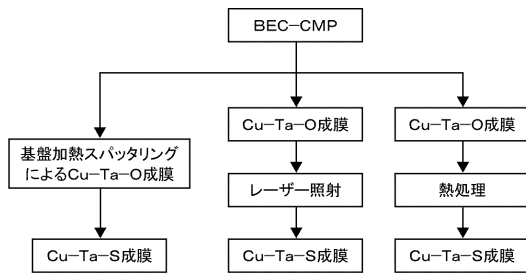
【 図 1 2 】

図 1 2



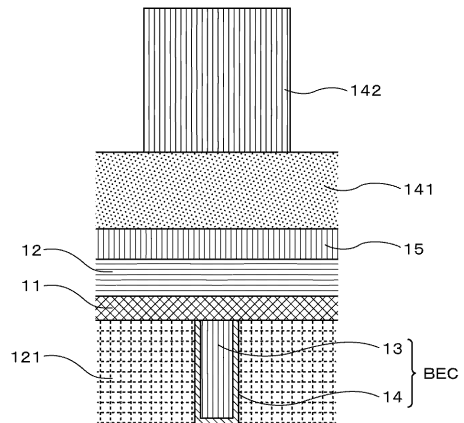
【 図 1 3 】

図 1 3



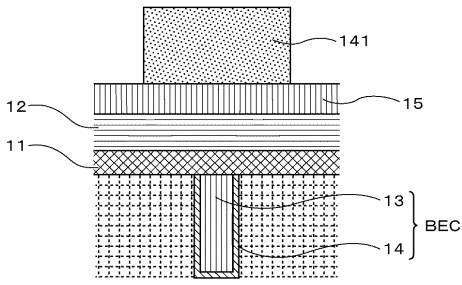
【 図 1 4 】

図 1 4



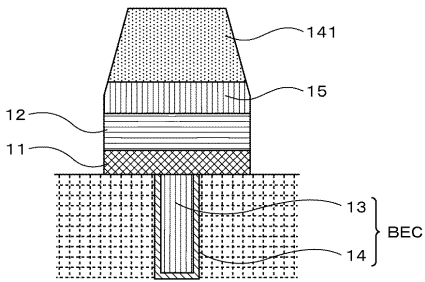
【 図 1 5 】

図 1 5



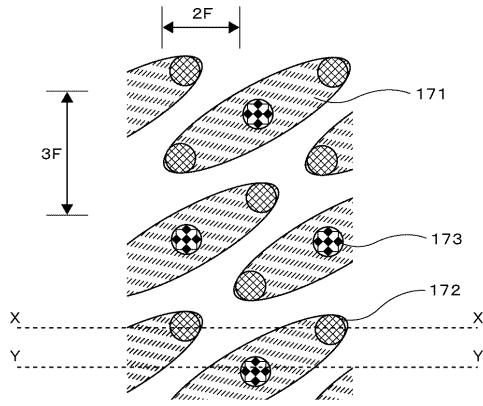
【 図 1 6 】

図 1 6



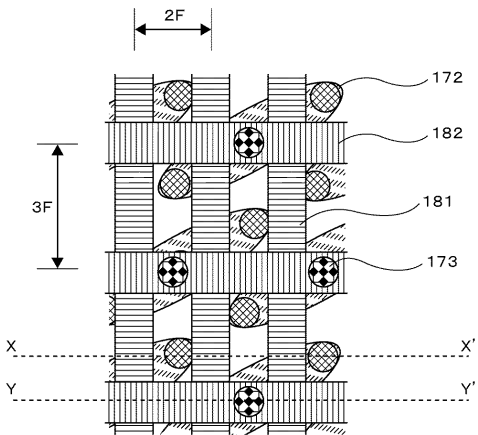
【 図 1 7 】

図 1 7



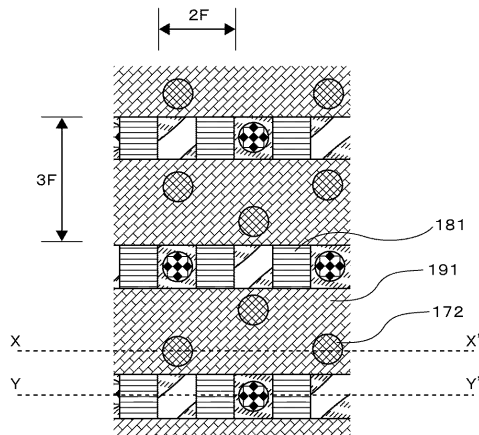
【 図 1 8 】

図 1 8



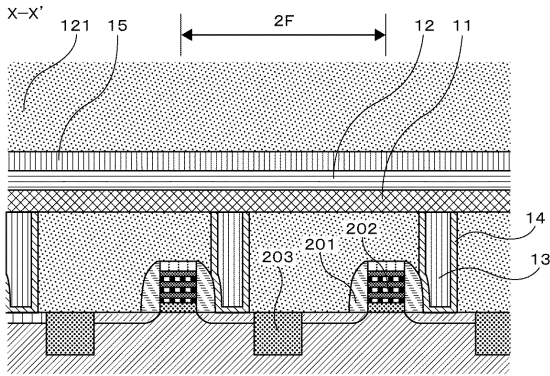
【 図 1 9 】

図 1 9



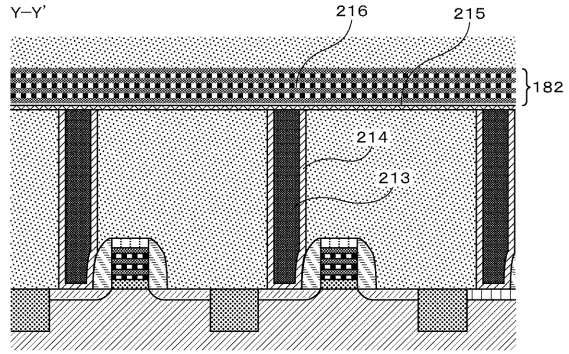
【 図 2 0 】

図 2 0



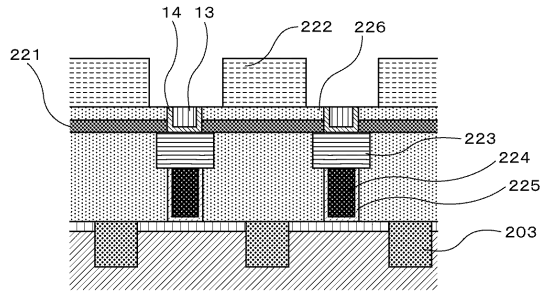
【 図 2 1 】

図 2 1



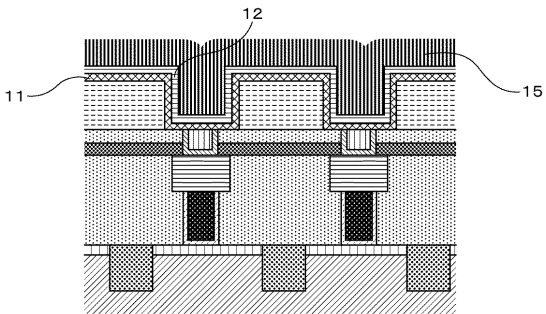
【 図 2 2 】

図 2 2



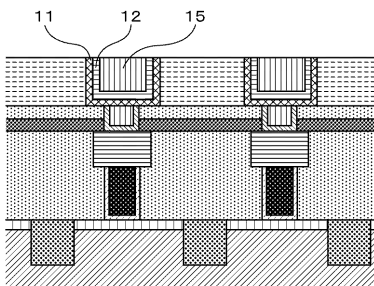
【 図 2 3 】

図 2 3



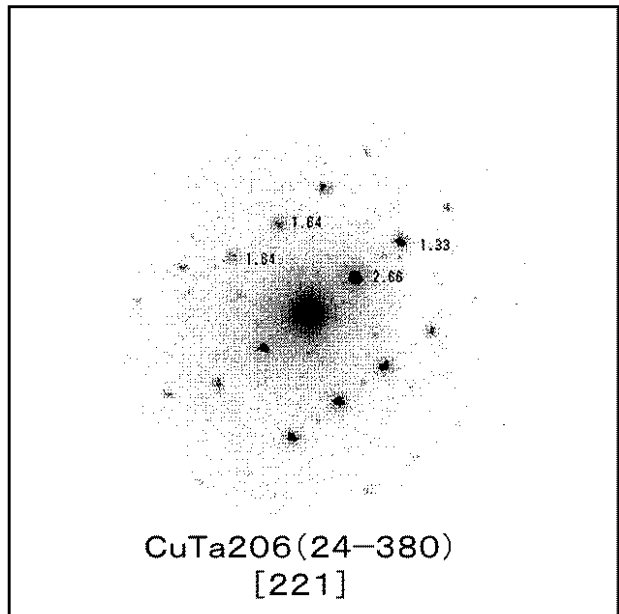
【 図 2 4 】

図 2 4



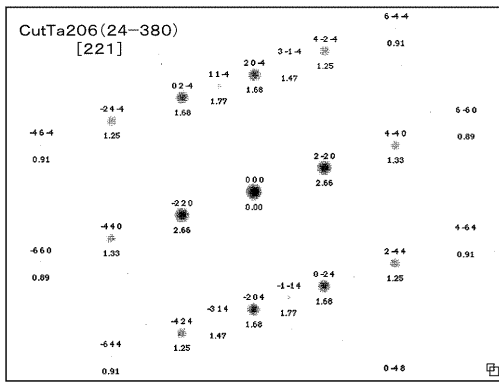
【 図 2 5 】

図 2 5



【 図 2 6 】

図 2 6



フロントページの続き

- (72)発明者 藤崎 芳久
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 小埜 和夫
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 笹子 佳孝
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- Fターム(参考) 5F083 FZ10 GA11 GA21 JA55 JA60 LA21 MA05 MA06 MA19 PR40