

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 3 区分
【発行日】平成 17 年 6 月 9 日 (2005.6.9)

【公開番号】特開 2001-237691 (P2001-237691A)
【公開日】平成 13 年 8 月 31 日 (2001.8.31)
【出願番号】特願 2000-44307 (P2000-44307)
【国際特許分類第 7 版】

H 0 3 K 19/0948

H 0 3 K 19/096

【F I】

H 0 3 K 19/094 B

H 0 3 K 19/096 B

【手続補正書】

【提出日】平成 16 年 9 月 3 日 (2004.9.3)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入力信号により動作する論理回路と、
前記論理回路の入力容量を等価にする入力容量等化手段と、
を備えることを特徴とする半導体集積回路装置。

【請求項 2】

第 1 の複数の入力信号により動作する論理回路と、
前記第 1 の複数の入力信号のうちの一部もしくは全ての入力信号、および、前記一部もしくは全ての入力信号の入力容量を等価にする第 2 の 1 または複数の入力信号によって動作する入力容量等化回路と、
を備えることを特徴とする半導体集積回路装置。

【請求項 3】

第 1 および第 2 の入力信号によって動作する論理回路と、
前記第 2 の入力信号によらず前記第 1 の入力信号の入力容量を等価にする第 3 の入力信号によって動作する入力容量等化回路と、
を備えることを特徴とする半導体集積回路装置。

【請求項 4】

前記論理回路および前記入力容量等化回路は、1 または複数の同一構成の回路により構成されていることを特徴とする請求項 2 または請求項 3 に記載の半導体集積回路装置。

【請求項 5】

前記第 3 の入力信号は、前記第 2 の入力信号の反転信号であることを特徴とする請求項 3 に記載の半導体集積回路装置。

【請求項 6】

第 1 の入力信号により動作する 1 または複数の第 1 の論理回路と、
前記第 1 の入力信号が入力される入力容量等化回路と、
1 または複数の第 2 の入力信号および前記入力容量等化回路から出力された出力信号が入力される 1 または複数の第 2 の論理回路と、
を備え、
前記入力容量等化回路は、前記第 2 の入力信号の状態に依存することなく前記第 1 の入

力信号の入力容量を等価にする入力容量無依存化回路を備えることを特徴とする半導体集積回路装置。

【請求項 7】

前記第 1 の論理回路は、前記第 1 の入力信号に基づいて所定の論理動作を行なうために一定の入力容量を有するゲートブロックを備え、

前記第 2 の論理回路は、前記複数の第 2 の入力信号および前記入力容量無依存化回路の出力が供給される複数の論理ゲートブロックを備えることを特徴する請求項 6 に記載の半導体集積回路装置。

【請求項 8】

前記入力容量無依存化回路は、インバータであることを特徴とする請求項 7 に記載の半導体集積回路装置。

【請求項 9】

前記第 1 および第 2 の論理回路は、所定の論理動作を行なうために同一の回路構成を有する 2 入力 1 出力の論理動作素子を備え、前記論理動作素子の一方の入力には選択回路から選択信号が供給され、前記論理動作素子の他方の入力には前記入力容量無依存化回路から出力されたクロック信号が供給されていることを特徴とする請求項 6 に記載の半導体集積回路装置。

【請求項 10】

前記入力容量無依存化回路は、前記第 1 および第 2 の論理回路としての機能を果たす論理動作素子に対してクロック信号を供給するクロックバッファを備えることを特徴とする請求項 9 に記載の半導体集積回路装置。

【請求項 11】

クロック信号と制御信号とが入力される多入力論理回路を含む半導体集積回路装置において、

前記多入力論理回路の 1 つの入力としての前記クロック信号は、前記多入力論理回路の電源電位に直接接続される第 1 の MOS トランジスタと、接地電位に直接接続される第 2 の MOS トランジスタと、の双方のゲート端子に供給されることを特徴とする半導体集積回路装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

また、上記第 4 の基本構成に係る半導体集積回路装置において、前記第 1 の論理回路は前記第 1 の入力信号に基づいて所定の論理動作を行なうために一定の入力容量を有するゲートブロックを備え、前記第 2 の論理回路は、前記複数の第 2 の入力信号および前記入力容量無依存化回路の出力が供給される複数の論理ゲートブロックを備えることを特徴としている。

さらに、上記の構成の半導体集積回路装置において、前記入力容量無依存化回路は、インバータであることを特徴としている。

また、上記第 4 の基本構成に係る半導体集積回路装置において、前記第 1 および第 2 の論理回路は、所定の論理動作を行なうために同一の回路構成を有する 2 入力 1 出力の論理動作素子を備え、前記論理動作素子の一方の入力には選択回路から選択信号が供給され、前記論理動作素子の他方の入力には前記入力容量無依存化回路から出力されたクロック信号が供給されていることを特徴としている。

さらに、上記の構成の半導体集積回路装置において、前記入力容量無依存化回路は、前記第 1 および第 2 の論理回路としての機能を果たす論理動作素子に対してクロック信号を供給するクロックバッファを備えることを特徴としている。