(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년01월18일
(11) 등록번호 10-1697720
(24) 등록일자 2017년01월12일

(51) 국제특허분류(Int. Cl.)
H01L 27/08 (2006.01) *H01L 29/94* (2006.01)
H01L 49/02 (2006.01)
(21) 출원번호 10-2012-7023803
(22) 출원일자(국제) 2011년02월11일
심사청구일자 2015년12월29일
(85) 번역문제출일자 2012년09월11일
(65) 공개번호 10-2012-0121914
(43) 공개일자 2012년11월06일
(86) 국제출원번호 PCT/US2011/024522
(87) 국제공개번호 WO 2011/106176
국제공개일자 2011년09월01일
(30) 우선권주장
12/705,185 2010년02월12일 미국(US)
(56) 선행기술조사문헌
JP2007157892 A*
JP2000223722 A*
US20020117720 A1*
JP2007299860 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 피.오.박스 3453 원 에이엠디 플레이스
(72) 발명자
칼슨 앤드류
미국 매사추세츠 02038 프랭클린 #1 링컨 스트리트 17
(74) 대리인
박장원

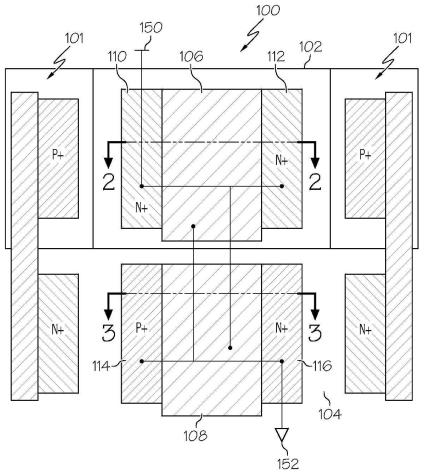
전체 청구항 수 : 총 17 항 심사관 : 김종호

(54) 발명의 명칭 **연속적인 웰 디커플링 커패시터를 위한 시스템 및 방법**

(57) 요 약

디커플링 커패시터는 반대 극성의 웰(102, 104)에 형성된 한 쌍의 MOS 커패시터(106, 108)를 포함한다. 각 MOS 커패시터는 웰-유대과 고농도 임플란트(110, 112, 114, 116)의 세트를 구비하여 축적이나 결핍으로의 바이어스 하에서 고주파수 성능을 가능하게 한다. 각 MOS 커패시터의 상부 전도체는 다른 MOS 커패시터의 웰-유대에 전기적으로 연결되고 논리 트랜지스터 웰로 일관되게 바이어스된다. MOS 커패시터의 웰-유대 및/또는 고농도 임플란트는 도펀트 극성에 대하여 비대칭을 나타낸다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

디커플링 커패시터 구조로서,

제1 도펀트 극성을 가지며 내부에 형성된 제1 고농도 임플란트를 구비하는 제1 웰;

상기 제1 웰에 인접하고, 상기 제1 도펀트 극성과 반대의 제2 도펀트 극성을 가지는 제2 웰로서, 내부에 형성된 제2 고농도 임플란트를 가지는 제2 웰;

상기 제1 고농도 임플란트와 상기 제2 고농도 임플란트 위에 형성된 적어도 하나의 절연층;

상기 제1 웰 내에서 상기 제1 고농도 임플란트의 양 측면에 형성된 웰-타이들(well-ties)의 제1 세트;

상기 제2 웰 내에서 상기 제2 고농도 임플란트의 양 측면에 형성된 웰-타이의 제2 세트;

상기 제1 고농도 임플란트에 인접하게 상기 제1 웰 위에 형성된 제1 전도체; 및

상기 제2 고농도 임플란트에 인접하게 제2 웰 위에 형성된 제2 전도체를 포함하되,

상기 웰-타이의 제1 세트와 상기 제2 전도체는 제1 전기 노드에 공통적으로 연결되고, 상기 웰-타이의 제2 세트와 상기 제1 전도체는 제2 전기 노드에 공통적으로 연결되며,

상기 웰-타이의 제1 세트와 상기 웰-타이의 제2 세트 중 오직 하나만이, 반대되는 도판트 극성들을 갖는 한 쌍의 웰 타이를 포함하며,

상기 제1 고농도 임플란트 및 제2 고농도 임플란트는 각각 적어도 1E19/㎠의 활성 표면 도펀트 농도를 갖는 것을 특징으로 하는 디커플링 커패시터 구조.

청구항 2

제1항에 있어서, 상기 제1 전기 노드는 공급 전압 노드에 대응하고, 상기 제2 전기 노드는 접지 노드에 대응하는 것인, 디커플링 커패시터 구조.

청구항 3

제1항에 있어서,

상기 제2 웰은 P-기판 물질을 포함하고, 상기 제1 웰은 상기 P-기판 물질 내에 형성된 N-형 영역을 포함하는 것인, 디커플링 커패시터 구조.

청구항 4

제3항에 있어서, 상기 웰-타이의 제2 세트는 P+ 도펀트 극성을 가지는 제1 웰 타이와, N+ 도펀트 극성을 지니는 제2 웰-타이를 포함하는 것인, 디커플링 커패시터 구조.

청구항 5

제1항에 있어서, 상기 제1 웰과 제2 웰은 하나의 세트의 논리 트랜지스터들의 각각의 제1 및 제2 웰에 대응하는 것인, 디커플링 커패시터 구조.

청구항 6

디커플링 커패시터를 형성하는 방법으로서,

제1 도펀트 극성을 지니고 제1 웰 영역을 정의하는 기판을 제공하는 단계;

상기 기판 내 상기 제1 웰 영역에 인접하게 상기 제1 도펀트 극성과 반대의 제2 도펀트 극성을 지니는 제2 웰 영역을 형성하는 단계;

상기 제1 웰 영역 내에 제1 고농도 임플란트를 형성하는 단계;

상기 제2 웰 영역 내에 제2 고농도 임플란트를 형성하는 단계;

상기 제1 웰 내에 웰-타이의 제1 세트를 형성하는 단계;

상기 제2 웰 내에 웰-타이의 제2 세트를 형성하는 단계;

상기 제1 고농도 임플란트와 상기 제2 고농도 임플란트 위에 적어도 하나의 절연층을 형성하는 단계;

상기 제1 웰 영역 위에 제1 전도체를 형성하고 상기 제2 웰 영역 위에 제2 전도체를 형성하는 단계;

제1 전기 노드를 정의하도록 상기 웰-타이의 제1 세트와 상기 제2 전도체를 상호연결하는 단계; 및

제2 전기 노드를 정의하도록 상기 웰-타이의 제2 세트와 상기 제1 전도체를 상호연결하는 단계를 포함하되,

상기 제1 고농도 임플란트, 상기 제2 고농도 임플란트, 상기 웰-타이의 제1 세트 및 상기 웰-타이의 제2 세트 중 적어도 하나는 이들이 도펀트 극성에 대하여 비대칭이 되도록 형성되며,

상기 제1 고농도 임플란트 및 제2 고농도 임플란트는 각각 적어도 1E19/㎤의 활성 표면 도펀트 농도를 갖는 것을 특징으로 하는 디커플링 커패시터의 형성 방법.

청구항 7

제6항에 있어서, 상기 제1 전기 노드는 공급 전압 노드에 대응하며, 상기 제2 전기 노드는 접지 노드에 대응하는 것인, 디커플링 커패시터의 형성 방법.

청구항 8

제6항에 있어서,

상기 제2 웰은 P-기판 물질을 포함하고, 상기 제1 웰은 상기 P-기판 물질 내에 형성된 N-형 영역을 포함하는 것인, 디커플링 커패시터의 형성 방법.

청구항 9

제8항에 있어서, 상기 웰-타이의 제2 세트는 P+ 도펀트 극성을 지니는 제1 웰-타이와, N+ 도펀트 극성을 지니는 제2 웰-타이를 포함하는 것인, 디커플링 커패시터의 형성 방법.

청구항 10

제8항에 있어서, 상기 제1 웰과 상기 제2 웰은 적어도 하나의 세트의 논리 트랜지스터들에 의해 공유되도록 형성되는 것인, 디커플링 커패시터의 형성 방법.

청구항 11

반도체 디바이스로서,

제1 웰과 제2 웰 내에 규칙적인 패턴으로 배치되는 복수의 논리 디바이스, 상기 제1 웰은 제1 도펀트 극성을 가지고 상기 제2 웰은 제1 도펀트 극성과 반대인 제2 도펀트 극성을 가지며; 그리고

상기 규칙적인 패턴과 일치되게, 상기 제1 웰과 상기 제2 웰 내에 배치되는 디커플링 커패시터

를 포함하며,

상기 디커플링 커패시터는 상기 제1 웰 내의 웰-타이의 제1 세트, 상기 제2 웰 내의 웰-타이의 제2 세트, 상기 웰-타이의 제1 세트 사이에 위치한 상기 제1 웰 내의 제1 고농도 임플란트 위에 형성된 제1 전도체 및 상기 웰-타이의 제2 세트 사이에 위치한 상기 제2 웰 내의 제2 고농도 임플란트 위에 형성된 제2 전도체를 포함하며,

상기 웰-타이의 제1 세트와 제2 전도체는 제1 전기 노드에 공통적으로 연결되고 상기 웰-타이의 제2 세트와 제1 전도체는 제2 전기 노드에 공통적으로 연결되며,

상기 웰-타이의 제1 세트와 상기 웰-타이의 제2 세트 중 오직 하나만이, 반대되는 도판트 극성들을 갖는 한 쌍의 웰 타이를 포함하며, 그리고

상기 제1 고농도 임플란트 및 제2 고농도 임플란트는 각각 적어도 1E19/㎤의 활성 표면 도펀트 농도를 갖는 것을 특징으로 하는 반도체 디바이스.

청구항 12

제11항에 있어서,

상기 제1 전기 노드는 공급 전압 노드에 대응하고, 상기 제2 전기 노드는 접지 노드에 대응하는 것인 반도체 디바이스.

청구항 13

제11항에 있어서,

상기 제2 웰은 P-기판 물질을 포함하고, 상기 제1 웰은 상기 P-기판 물질 내에 형성된 N-형 영역을 포함하는 것인 반도체 디바이스.

청구항 14

제13항에 있어서,

상기 웰-타이의 제2 세트는 P+ 도펀트 극성을 가지는 제1 웰 타이와, N+ 도펀트 극성을 지니는 제2 웰-타이를 포함하는 것인 반도체 디바이스.

청구항 15

컴퓨터 판독가능한 명령들이 내장된 컴퓨터 판독가능한 매체로서, 상기 컴퓨터 판독가능한 명령들은 디커플링 커패시터를 형성하기 위해 제조 시설을 설정하도록 실행되며, 상기 디커플링 커패시터는,

제1 고농도 임플란트 위에 형성된 제1 전도체를 포함하는, 제1 웰 내의 제1 MOS 커패시터;

제2 고농도 임플란트 위에 형성된 제2 전도체를 포함하는, 제2 웰 내의 제2 MOS 커패시터, 상기 제2 MOS 커패시터는 상기 제1 MOS 커패시터의 극성과 반대인 극성을 가지며; 그리고

상기 제1 및 제2 고농도 임플란트들 중 하나의 양 측면에 배치되며 그리고 상기 제1 및 제2 MOS 커패시터들에 연결된 적어도 한 쌍의 비대칭 웰-타이를 포함하며,

상기 제1 고농도 임플란트 및 제2 고농도 임플란트는 각각 적어도 1E19/㎤의 활성 표면 도펀트 농도를 갖는 것을 특징으로 하는 컴퓨터 판독가능한 매체.

청구항 16

제15항에 있어서,

상기 적어도 한 쌍의 비대칭 웰-타이는,

반대 극성의 확산 영역들을 구비하는 제1 MOS 커패시터와, 동일한 극성의 확산 영역들을 구비하는 제2 MOS 커패시터를 포함하는 것인, 컴퓨터 판독가능한 매체.

청구항 17

제15항에 있어서,

상기 제1 및 제2 웰들은 각각 적어도 한 세트의 논리 트랜지스터들에 의해서 공유되는 것인 컴퓨터 판독가능한 매체.

발명의 설명

기 술 분 야

[0001] 본 명세서에 기술된 주제의 실시예는 일반적으로 반도체 부품에 관한 것이며 보다 상세하게는 이 부품과 연관하여 사용되는 디커플링 커패시터에 관한 것이다.

배 경 기 술

[0002] 논리 트랜지스터의 하나의 영역을 다른 영역으로부터 전기적으로 디커플링하기 위하여 반도체 부품 내 디커플링 커패시터(또는 "디캡(decap)")를 포함하는 것이 종종 바람직하다. 대부분의 전형적인 디캡 디자인에서, 접지 노드는 약하게 또는 적절히 도핑된 N-웰(well)에 연결되고 축적으로 바이어스된다. 이런 방식으로, 낮은 N-웰 저항은 원하는 디커플링 특성을 제공하면서 부품의 고주파수 응답을 개선한다.

[0003] 그러나, 알려진 디캡 디자인은 다수의 측면에서 만족스럽지 못하다. 예를 들어, 논리 회로는 종종 N-웰이 공급 전압에 전기적으로 연결될 것을 요구한다. 이에 따라, 웰들 사이에 누설 전류를 방지하거나 또는 일부 극한 경우에 래치업(latch-up) 하기 위하여 논리 N-웰과 디캡 N-웰 사이에 공간이 요구된다. 또, N-웰의 에지에 인접한 논리 트랜지스터는 회로 내 다른 트랜지스터에 대하여 원치않는 변동 소스를 야기하는 소위 "웰 근접 효과"(WPE: well proximity effect)에 의해 영향을 받는다.

[0004] 또한, 주변 논리에 인접하게 디캡 구조를 배치하는 것이 바람직하기 때문에, 표준 셀 로우 내에 디캡을 포함하는 것이 일반적이다. 그러나, 이것은 N-웰 형상의 변형과 어레이의 규칙적인 패턴의 중단을 초래할 수 있다.

[0005] 따라서, 주변 논리 디바이스에 의해 경험되는 웰 근접 효과의 변동을 감소시키면서 표준 셀 로우들(cell rows)에 포함될 수 있는 개선된 디캡 디자인을 제공하는 것이 바람직하다.

발명의 내용

[0006] 일반적으로, 다양한 실시예에 따른 디커플링 커패시터는 반대 극성의 웰에 형성된 한 쌍의 금속 산화물 반도체(MOS) 커패시터를 포함하며, 여기서 각 MOS 커패시터는 웰-유대(well-ties: 이하, "웰-유대" 또는 "웰-타이" 이라 함)와 고농도 임플란트 세트를 구비한다. 일부 실시예에서, 제2 전도성 물질(예를 들어, 다결정 실리콘이나 실리사이드)이 MOS 커패시터 중 하나 또는 둘 모두에서 금속에 더하여 또는 금속 대신에 사용될 수 있다. 제2 절연 물질(예를 들어, 실리콘 질화물)은 MOS 커패시터 중 하나 또는 둘 모두에서 산화물에 더하여 또는 산화물 대신에 사용될 수 있다. 일 실시예에서, 높은 유전율의 산화막이 MOS 커패시터의 절연 물질의 일부로서 이용된다. 각 MOS 커패시터의 상부 전도체는 다른 MOS 커패시터의 웰-유대에 전기적으로 연결되며, MOS 커패시터들의 웰-유대 및/또는 고농도 임플란트들은 자신들의 도펀트 극성(dopant polarity)에 대하여 비대칭을 나타낸다.

[0007] 일 실시예에 따라 디커플링 커패시터를 형성하는 방법은, 제1 도펀트 극성을 지니고 제1 웰 영역을 한정하는 기판을 제공하는 단계; 상기 기판 내에 제1 웰 영역에 인접한 제2 웰 영역을 형성하는 단계로서, 상기 제2 웰 영역은 제1 도펀트 극성과는 반대의 제2 도펀트 극성을 지니는, 제2 웰 영역을 형성하는 단계; 상기 제1 웰 영역 내에 제1 고농도 임플란트를 형성하는 단계; 상기 제2 웰 영역 내에 제2 고농도 임플란트를 형성하는 단계; 상기 제1 웰 내에 웰-유대의 제1 세트를 형성하는 단계; 상기 제2 웰 내에 웰-유대의 제2 세트를 형성하는 단계; 상기 제1 고농도 임플란트와 제2 고농도 임플란트 각각에 또는 둘 모두에 걸쳐 하나 이상의 산화물 층을 형성하는 단계; 제1 웰 영역에 걸쳐 제1 전도체를 형성하고 제2 웰 영역에 걸쳐 제2 전도체를 형성하는 단계; 제1 전기 노드를 한정하기 위해 웰-유대의 제1 세트와 제2 전도체를 상호연결하는 단계; 및 제2 전기 노드를 한정하기 위해 웰-유대의 제2 세트와 제1 전도체를 상호연결하는 단계를 포함하며, 상기 제1 고농도 임플란트, 제2 고농도 임플란트, 웰-유대의 제1 세트, 및 웰-유대의 제2 세트 중 적어도 하나는 이들이 도펀트 극성에 대하여 비대칭이 되도록 형성된다.

[0008] 상기 개요는 간략한 형태로 개념의 선택을 도입하기 위해 제공된 것이며 이는 이후 상세한 설명에 더 설명된다. 본 개요는 청구된 주제의 핵심 특징이나 본질적 특징을 식별하기 위한 것이 아닐 뿐만 아니라 청구된 주제의 범위를 결정하는 것을 보조하는 것으로 사용하려고 하는 것 또한 전혀 아니다.

도면의 간단한 설명

[0009] 본 주제의 보다 완전한 이해는 동일한 참조 부호가 도면 전체에 걸쳐 유사한 요소를 나타내는 첨부 도면을 참조하여 상세한 설명과 청구범위를 통해 유도될 수 있다.

도 1은 일 실시예에 따라 디커플링 커패시터(디캡) 디자인의 개념적 레이아웃을 도시하는 도면;

도 2는 도 1의 영역(2-2)의 개념 단면도;

도 3은 도 1의 영역(3-3)의 개념 단면도;

도 4는 대안적인 실시예에 따라 도 1의 영역(2-2)의 개념 단면도;

도 5는 대안적인 실시예에 따라 도 1의 영역(3-3)의 개념 단면도;

도 6은 대안적인 실시예에 따라 도 1의 영역(2-2)의 개념 단면도;

도 7은 대안적인 실시예에 따라 도 1의 영역(3-3)의 개념 단면도;

도 8은 여러 실시예에 사용되는 다수의 인접한 디커플링 커패시터를 도시하는 개념 레이아웃을 도시하는 도면;

도 9는 도 1에 도시된 실시예와 균등한 회로를 도시하는 개략도;

도 10은 예시적인 디캡 실시예에 대해 임피던스와 주파수 사이의 관계를 도시하는 그래프;

도 11은 예시적인 실시예에서 전하 공여 및 도펀트 농도 사이의 관계를 도시하는 그래프.

발명을 실시하기 위한 구체적인 내용

[0010] 이하 상세한 설명은 단지 예시를 위한 것일 뿐, 본 주제의 실시예 또는 본 실시예의 응용분야와 사용영역을 제한하려는 것이 전혀 아니다. 본 명세서에 사용된 바와 같이, "예시적인"이라는 단어는 "예로서 사용되는"이라는 것을 의미한다. 예로써 본 명세서에 기술된 임의의 구현예는 다른 구현예에 비해 반드시 바람직하거나 유리한 것이라고 해석되어서는 아니된다. 또, 이전에 기술된 기술 분야란, 배경 기술란, 발명의 내용란 또는 이하 본 발명의 상세한 설명에 제공된 임의의 명시적이거나 암시적인 이론에 구애되려는 것이 전혀 아니다. 간략화를 위하여, 반도체 처리 및 특히 CMOS 처리와 관련된 종래의 기술은 본 명세서에 상세히 기술되지 않는다.

[0011] 이제, 도 1에 도시된 레이아웃을 도 2 및 도 3에 도시된 단면도와 연계하여 참조하면, CMOS 구조의 상황에서 예시적인 디커플링 커패시터(또는 "디캡")(100)는 일반적으로 임의의 개수의 종래의 반도체 논리 부품을 포함할 수 있는 하나 이상의 인근 논리 영역(101) 부근에 형성된다.

[0012] 영역들(101)을 서로 분리(decouple)시키는 기능을 하는 디캡(100)은 대응하는 웰(102, 104)에 걸쳐 위치된 2개의 전도체(일반적으로, 폴리실리콘 전도체)(106, 108)를 포함한다. 도시된 실시예에서, 웰(104)은 P-기판 웰(즉, P-기판의 일부분으로 형성된 웰)이고, 웰(102)은 N-웰(즉, P-기판 내에 형성된 N-형의 웰)이다. 도시된 실시예에 나타낸 P-영역은 기판(예를 들어, 실리콘, GaAs 또는 다른 적절한 반도체 기판)에 대응하는 것이지만, 이 구조는 또한 확산 영역(예를 들어, 웰-유대)을 형성하기 위한 "웰(well)"로 기능하며, 이에 따라 이 구조를 "기판/웰" 또는 "기판 웰"이라고 지칭하는 것은 이 기술 분야에서는 일반적인 것이다.

[0013] 도시된 바와 같이, 전도체(106)는 N-웰(102) 내에 형성된 2개의 N+ 확산 영역(110, 112)과 2개의 측면에 (또는 그 주변을 따라 임의의 다른 적절한 위치에) 접한다(bordered). 이와 유사하게, 전도체(108)는 P+ 확산 영역(114)과 N+ 확산 영역(116)과 접한다. 이 실시예에서, 확산 영역(110, 112, 114, 116)은 직사각형이고, 실질적으로 동일한 영역, 형상 및 배향을 가지고 있다. 개략적으로 도시된 바와 같이, N+ 확산 영역(110), N+ 확산 영역(112) 및 전도체(108)는 공급 전압 노드(또는 "VDD")(150)에 연결되는 반면, P+ 확산 영역(114), N+ 확산 영역(116) 및 전도체(106)는 접지 노드(또는 "접지")(152)에 연결된다. 이에 따라, MOS 커패시터(300)(도 3에 도시)는 축적(accumulation)으로 바이어스되는 반면, MOS 커패시터(200)(도 2에 도시)는 결핍으로 바이어스된다. 명료함을 위해, 이들 구조들 사이에 전기적 연결을 제공하는데 사용되는 여러 전도성 트레이스, 전극 및/또는 다른 접촉부는 도면에 도시되어 있지 않다.

[0014] 도 2 및 도 3에 도시된 바와 같이, 임플란트 영역(202)(이 경우에, 고농도, 저에너지 임플란트)이 전도체(106)에 인접하게 N+ 확산 영역(110, 112) 사이 N-웰(102) 내에 형성된다. 이와 유사하게 임플란트 영역(204)은 P-기판 웰(104) 내 P+ 및 N+ 확산 영역(114, 116) 사이에 전도체(108)에 인접하게 형성된다. 임플란트 영역(202, 204)은 동일한 고농도 임플란트 또는 상이한 고농도 임플란트로 형성될 수 있으며, 원하는 동작에 따라 N-형이나 P-형의 종(species)의 임플란트일 수 있다. 일 실시예에서, 약 3E19/㎤의 표면 농도를 가지는 N-형의 임플란트가 사용된다. 일반적으로, 임플란트 조건은 적어도 1E19/㎤의 활성 표면 도펀트 농도(active surface dopant concentration)가 달성되도록 선택될 수 있다. 높은 활성 표면 도펀트 농도는 MOS 커패시터가 결핍으로 바이어스될 때 결핍 영역의 사이즈를 감소시켜서 이에 의해 고주파수 커패시턴스를 증가시킨다. 고농도 임플란트는 또한 직렬 저항을 감소시켜서 디캡의 고주파수 디커플링을 더 개선시킨다.

[0015] 따라서, 확산 영역(110, 112, 114, 116)은 VDD(150) 또는 접지(152)에 각각의 웰을 연결하는 웰-유대(well-ties)로 동작하는 반면, 비대칭적인 P+ 확산 영역(114)은 디캡 및 인근 논리영역(101)의 래치업을 효과적으로

방지한다. 또, 개략적으로 도시된 바와 같이, 웰 커패시턴스(210)는 N-웰(102)과 P-기판 웰(104) 사이에 형성된다. 이 커패시턴스(210)는 회로를 디커플링시키는데 기여한다.

[0016] 일반적으로, 디캡(100)은 반대 극성을 지니고 적어도 한 쌍의 비대칭 웰-유대(또는 일부 다른 측면에서 비대칭인)을 가지는 웰에 형성된 2개의 MOS 커패시터를 특징으로 할 수 있다. 즉, 하나의 MOS 커패시터(200)는 전도체(106), 산화물(203) 및 N-웰(102)에 의해 형성되는 반면, 다른 MOS 커패시터(300)는 전도체(108), 산화물(203){또는 산화물(203)과는 다른 산화물 층}, 및 P-기판 웰(104)에 의해 형성된다. 웰-유대 영역(110, 112, 114, 116)은 MOS 커패시터(300)가 반대 극성의 확산 영역(114, 116)을 포함하는 반면, MOS 커패시터(200)는 동일한 극성의 확산 영역(110, 112)을 포함한다는 점에서 비대칭이다.

[0017] 도 4 및 도 5는 MOS 커패시터(200, 300)의 대안적인 실시예를 각각 도시하며, 여기서 N-웰(102) 내 임플란트는 P+ 임플란트(404)이고, 웰-유대의 비대칭은 N-웰(102) 내 P+ 임플란트(402)에 의해 제공된다. 이 실시예에서, MOS 커패시터(300)는 2개의 P+ 웰-유대(114, 502)를 포함한다. 이에 따라, MOS 커패시터(200)는 이 실시예에서는 축적으로 바이어스되는 반면, MOS 커패시터(300)는 결핍으로 바이어스된다.

[0018] 도 6 및 도 7에 도시된 또 다른 실시예에서, 별도의 임플란트(202, 504)들이 각 MOS 커패시터에 사용되며, 즉 임플란트(202)는 결핍된 N-형 임플란트일 수 있는 반면, 임플란트(504)는 P-형 임플란트이다. 이 실시예에서, MOS 커패시터(200, 300)는 결핍 모드로 바이어스된다.

[0019] 어느 실시예가 사용되는지에 상관없이, 도시된 디자인은 인근 논리 영역(101) 내에 표준 셀 트랜지스터들 전부 또는 실질적으로 전부가 동일한 일차원의 웰 근접 효과를 나타낸다는 점에서 유리하다. 또, 디캡(100)은 영역(101)에 상대적으로 가까이 배치될 수 있으므로, 전체 디자인의 밀도와 디커플링 효과가 전형적인 디캡 방법에 비해 개선된다.

[0020] 또한, 특정 디캡(100)은 x 또는 y 축을 따라 그 자신이 반사된 미러 구조로 구성될 수 있다. 이것은 표준 셀 높이를 가지고 임의의 위치에서 표준 셀 로우 내에 예시적인 디캡(100)의 배치를 도시하는 도 8에서 볼 수 있다. 영역(802)은 예를 들어 길이방향 축이 서로 (및 y 축에) 평행하게 배향된 상태로 배열된 3개의 인접한 디캡(100)의 세트를 도시한다. 반대로, 영역(804)은 선형 길이방향 축(또한 y축에 평행한)으로 배향된 2개의 인접한 디캡(100)을 도시한다.

[0021] 레이아웃에 따른 WPE가 최소화되도록 웰(102, 104)의 에지들이 다수의 트랜지스터를 넘어 예를 들어, 수 백 나노미터 또는 마이크로미터 이상 연장하는 거리에 걸쳐 연속적이거나 실질적으로 직선인 것이 분명하다. 디캡(100)은 웰(102, 104)을 주변 논리 회로(101)에 대해 VDD 및 접지 노드에 전기적으로 각각 연결하므로, 논리 회로(101)를 위한 전용 웰 접점들이 필요치 않다. 따라서 웰 커패시턴스(210)는, 웰(102, 104)의 사이즈에 따라 상당히 낮은 주파수 커패시턴스, 예를 들어, 0.1 내지 100fF에 이를 수 있는, 논리 회로(101)의 영역에 웰(102, 104)로부터의 기여를 포함한다. 필러 셀(806, 808)은 영역당 디커플링 커패시턴스 밀도를 증가시키기 위하여 디캡(100)의 동일한 극성의 인접한 MOS 커패시터를 연장하고 병합하기 위해 인접한 컬럼에 제공될 수 있다.

[0022] 상기 도시된 여러 실시예는 이 기술 분야에 잘 알려진 표준 CMOS 처리 단계와 포토리소그래피 공정을 포함하는 여러 방법으로 제조될 수 있다. 일 실시예에서, 고농도 저에너지 임플란트(202, 204)는 게이트 처리 전에 만들어질 수 있다. 이들 도펀트은 소스와 드레인 어닐링 동안 또는 별도의 어닐링 단계에서 활성화될 수 있다.

[0023] 도 9는 도 1 내지 도 3에 도시된 실시예와 균등한 회로(900)를 도시한다. 도시된 바와 같이, 회로(900)는 MOS 커패시터(200)에 대응하는 커패시턴스(C_N), N-웰(102)과 P-기판 웰(104) 사이에 접합 커패시턴스{즉, 커패시터(210)}에 대응하는 커패시턴스(C_J), 및 MOS 커패시터(300)에 대응하는 커패시턴스(C_P)를 포함한다. 회로(900)는 또한 N-웰(102)과 실리콘에 대한 다수의 금속 접점의 저항(CAB)에 대응하는 저항(R_{NN})과, CAB 저항과 임플란트된 영역(204)의 저항에 대응하는 저항(R_{NP}) 및 CAB 및 P-기판 웰(104) 저항에 대응하는 저항(R_{PP})을 포함한다.

[0024] 균등한 회로(900)의 동작은 특정의 추정되는 파라미터, 즉 R_{NN}=44.5Ω, R_{PP}=1879.4Ω, R_{NP}=98.8Ω, C_N=0.8fF, C_P=2.8fF, 및 C_J=0.22fF 이고, 표면 농도를 3E19/㎤ 이라 한 것에 대해 도 10 및 도 11에 도시된다. 도 10은 주파수의 함수로 회로의 임피던스(곡선 1003) 대 종래의 디캡 회로의 임피던스(곡선 1001)을 도시한다. 종래의 디캡은 종래의 공정으로 형성된 축적으로 바이어스된 N-웰 내 단일 MOS 커패시터이다. 종래의 디캡은 도 1 내지 도 3에 도시된 실시예와 동일한 레이아웃 영역 풋프린트(footprint)를 가지고 있으나, 이는 논리 회로(101)에 더 큰 공간을 요구하고 인접 트랜지스터에 WPE의 변동을 요구한다. 볼 수 있는 바와 같이, 큰 주파수 범위에 걸

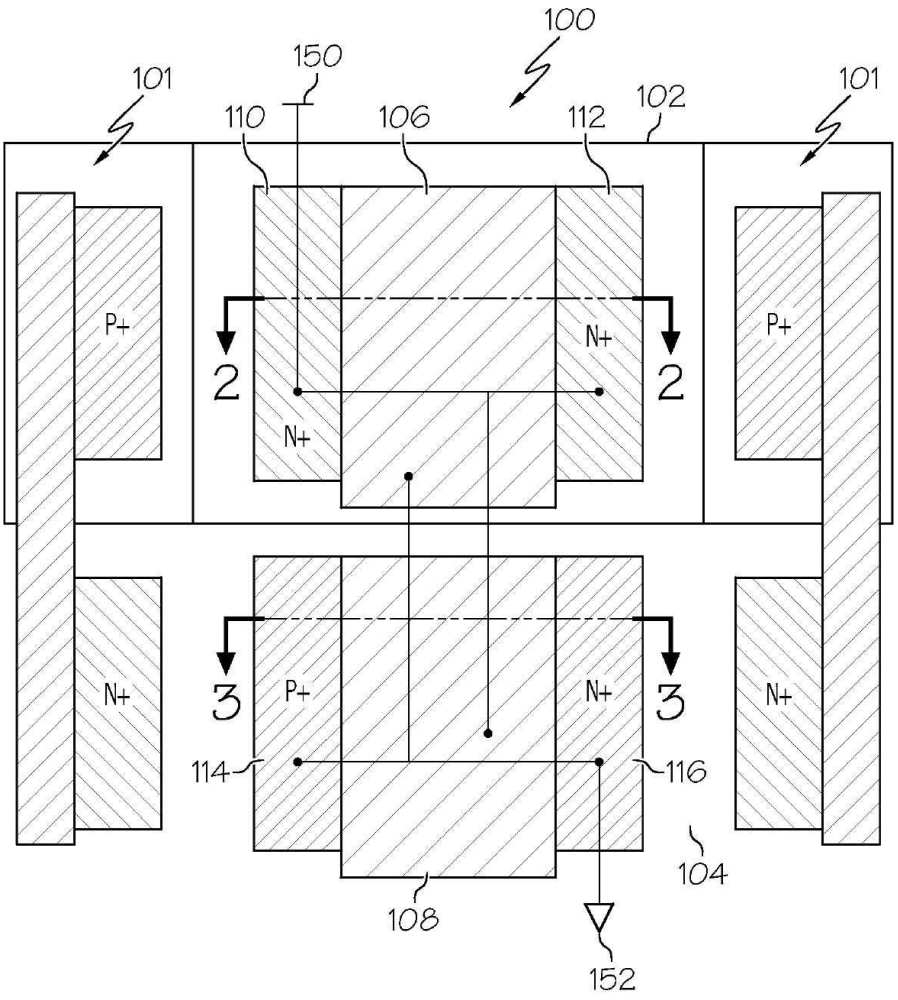
쳐 임피던스는 종래의 디캡의 것과 유사하다. 약 400GHz를 넘으면 임피던스는 종래의 공정에 비해 상당히 감소된다. 도 11은 종래의 디캡의 것으로 정규화된 (100GHz에서) 전하 공여의 변화 대 디캡 임플란트 영역{즉, 영역(202, 204)}에서의 표면 도펀트 농도를 도시한다. 곡선(1102)은 상기 나열된 모델 파라미터를 도시하는 반면, 곡선(1103)은 더 두꺼운 산화물과 파라미터 C_N=0.59와 C_P=1.27fF를 가지는 모델을 도시한다.

[0025] 전술한 여러 구조와 방법은 예를 들어 이 기술 분야에 알려진 바와 같은 베릴로그(Verilog), HDL, GDS 데이터 등과 같은 데이터와 명령을 저장하는 컴퓨터 판독가능한 매체(예를 들어, ROM, RAM 또는 다른 저장 디바이스)와 연계하여 달성될 수 있다. 이들 명령은 전술된 여러 구조와 방법을 구현하는 디바이스를 생성하기 위한 적절한 마스크를 생성하거나 제조 시설을 구성하는데 (예를 들어 마스크 합성 공정을 통해) 사용될 수 있다.

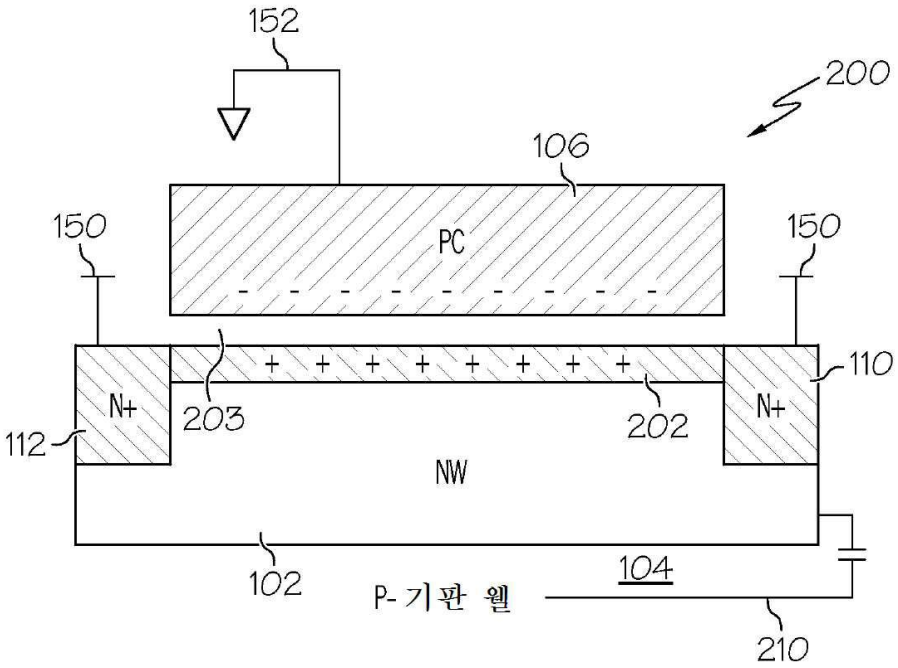
[0026] 적어도 하나의 예시적인 실시예들이 전술된 상세한 설명에 제공되었으나, 여러 다수의 변형예들이 존재한다는 것을 이해할 수 있을 것이다. 또 전술된 예시적인 실시예나 실시예들은 청구된 주제의 범위, 응용가능성 또는 구성을 제한하려는 것이 전혀 아니라는 것을 이해할 수 있을 것이다. 오히려, 전술된 설명은 이 기술 분야에 통상의 지식을 가진 자에게 전술된 실시예나 실시예들을 구현하는 로드맵을 편리하게 제공하려는 것이다. 본 특허 출원을 한 때에 알려진 균등물 및 예상되는 균등물을 포함하는 청구범위에 한정된 권리범위를 벗어남이 없이 여러 요소의 기능과 배열 내에서 여러 변형이 이루어질 수 있다는 것이 이해될 수 있을 것이다.

도면

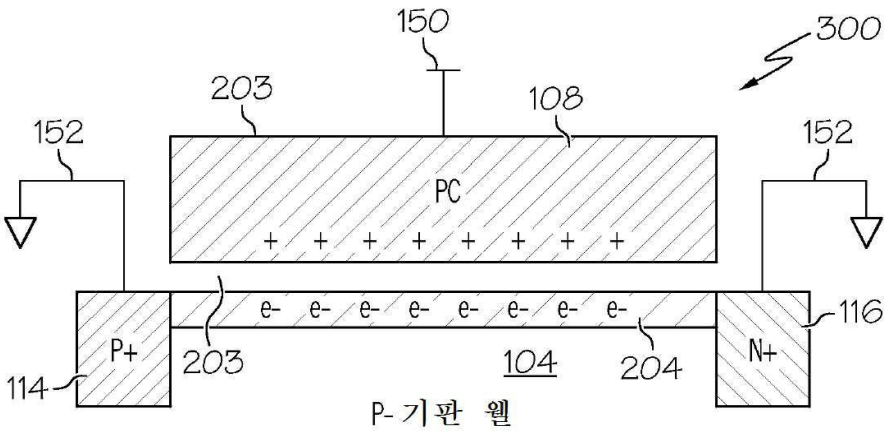
도면1



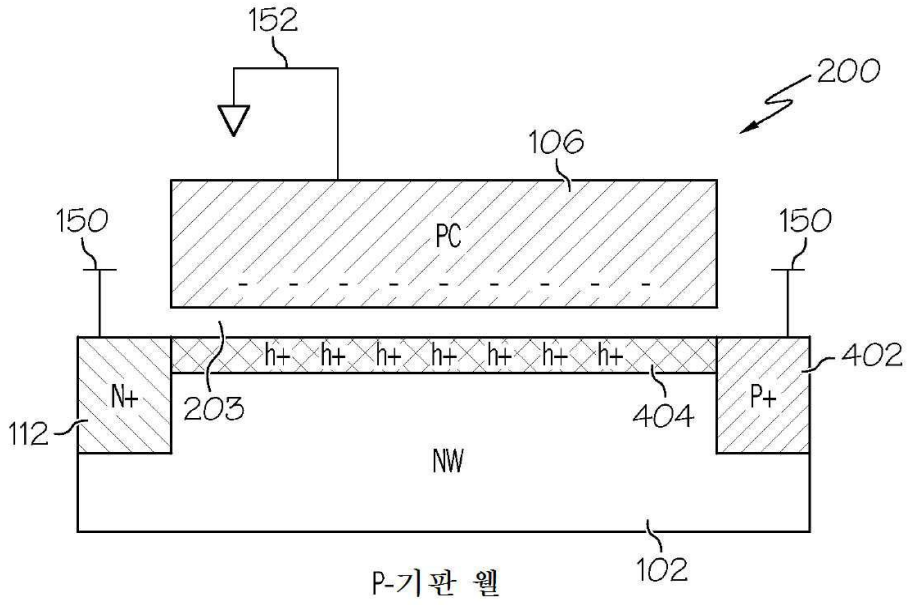
도면2


152
200
106
150
PC
150
110
N+
203
202
N+
112
NW
102
104
P- 기판 웰
210

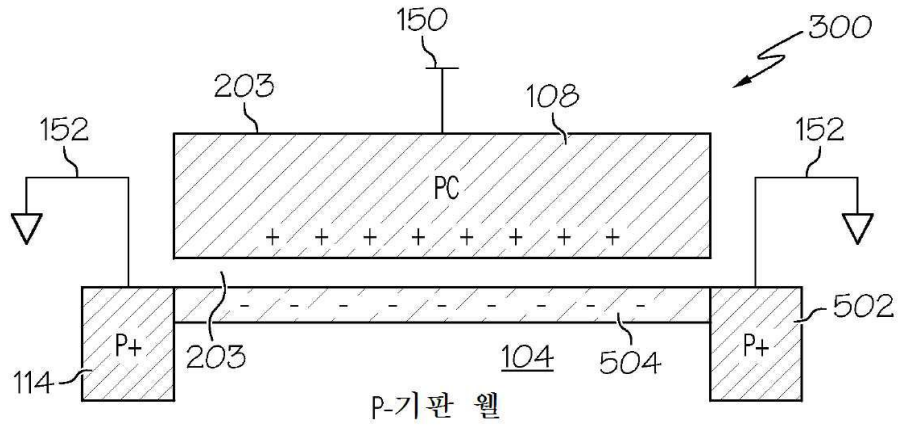
도면3


150
300
203
108
152
152
PC
116
P+
203
104
204
N+
114
P- 기판 웰

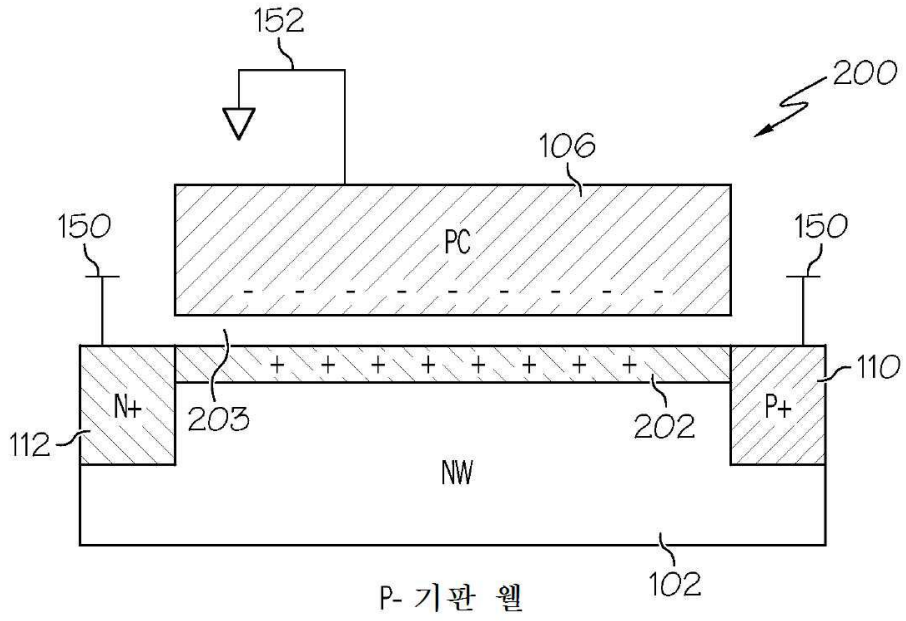
도면4


152
200
106
150
PC
150
h+ h+ h+ h+ h+ h+ h+
402
N+
203
404
P+
112
NW
102
P-기판 웰

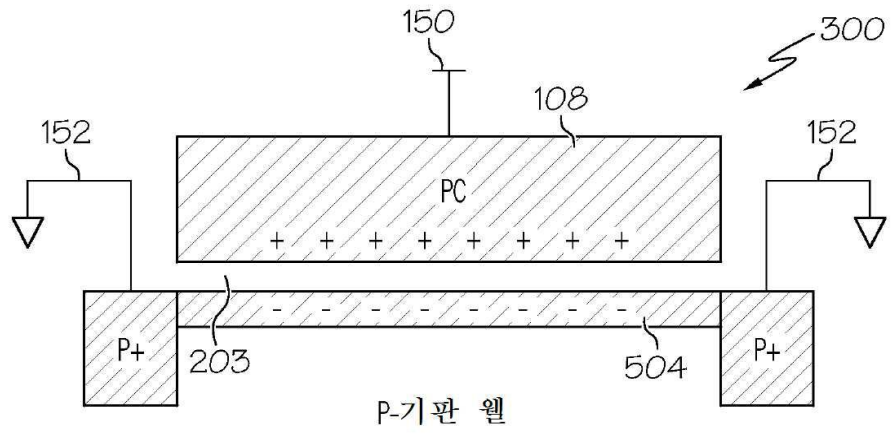
도면5


150
300
203
108
152
152
PC
502
P+
203
104
504
P+
114
P-기판 웰

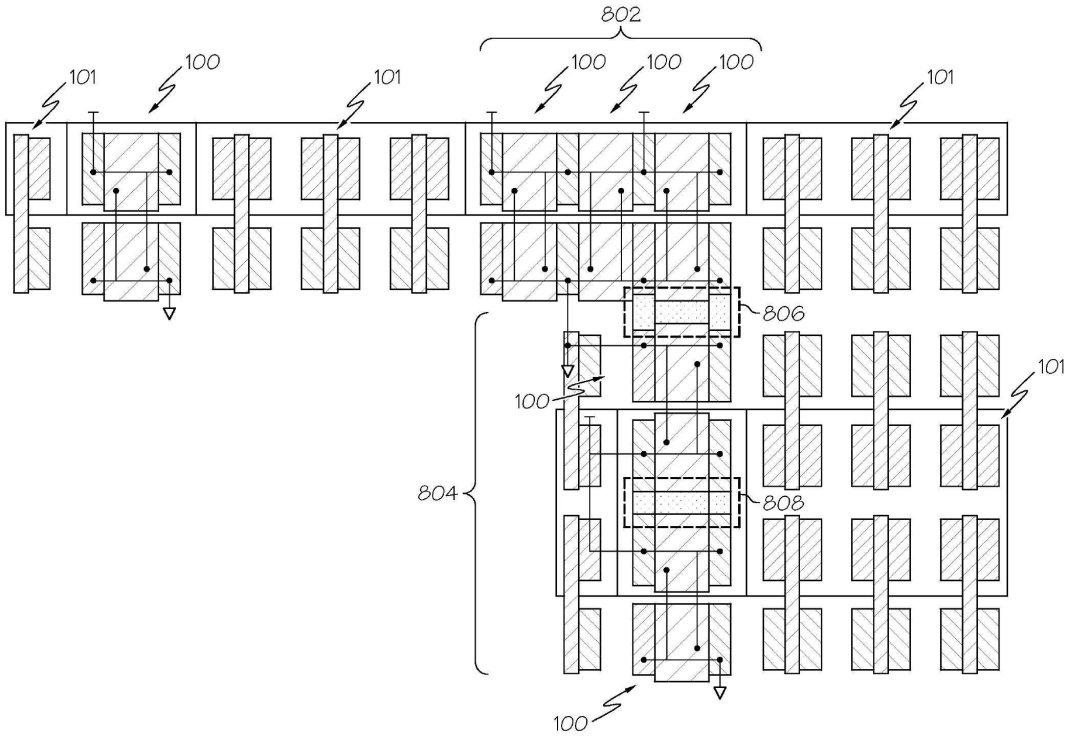
도면6


152
200
106
150
PC
150
110
N+
203
202
P+
112
NW
102
P- 기판 웰

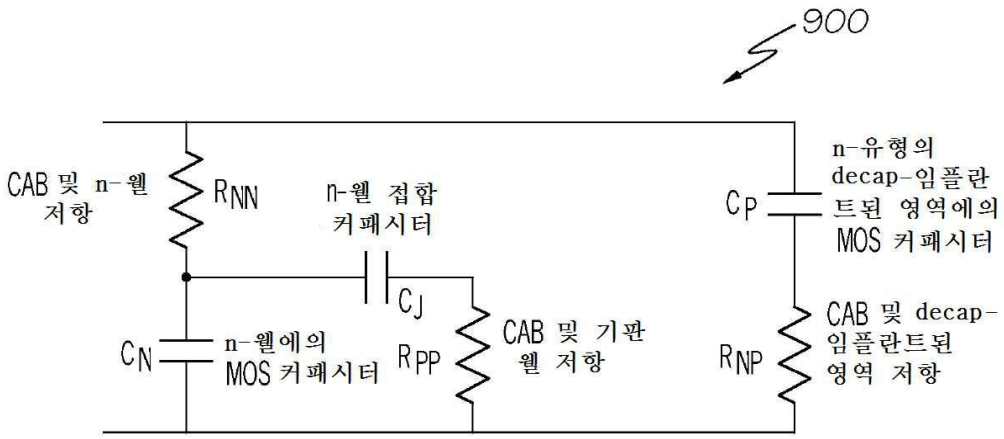
도면7


150
300
108
152
PC
152
P+
203
504
P+
P-기판 웰

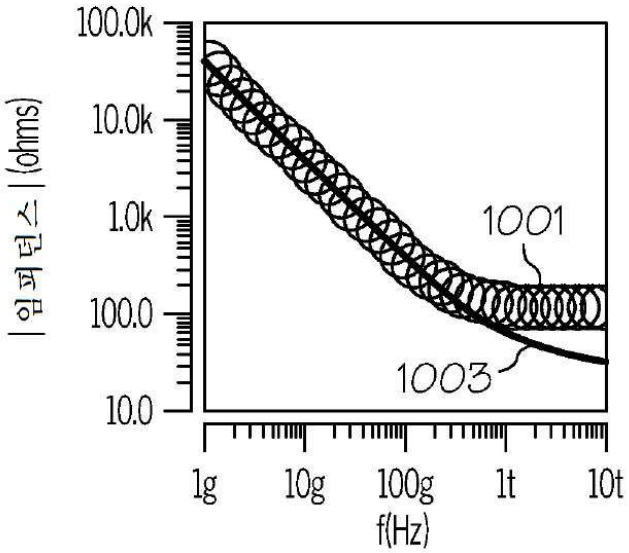
도면8


802
101
100
101
100
100
100
101
806
100
101
804
808
100

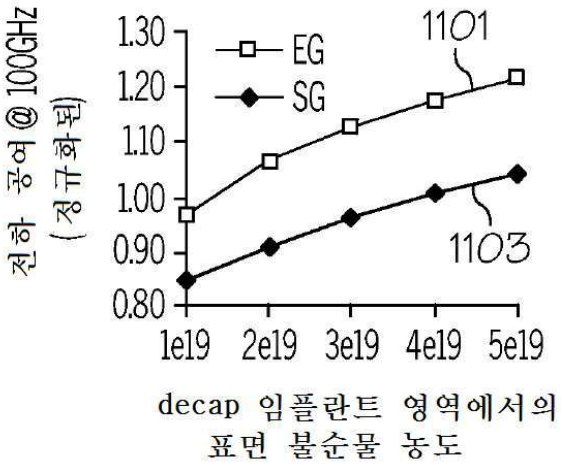
도면9


900
CAB 및 n-웰 저항
RNN
n-웰 접합 커패시터
CJ
CN
n-웰에의 MOS 커패시터
RPP
CAB 및 기판 웰 저항
CP
n-유형의 decap-임플란트된 영역에의 MOS 커패시터
RNP
CAB 및 decap-임플란트된 영역 저항

도면10


100.0k
10.0k
1.0k
100.0
10.0
|임피던스| (ohms)
1001
1003
1g
10g
100g
1t
10t
f(Hz)

도면11


1.30
1.20
1.10
1.00
0.90
0.80
전하 공여 @ 100GHz
(정규화된)
EG
SG
1101
1103
1e19
2e19
3e19
4e19
5e19
decap 임플란트 영역에서의
표면 불순물 농도