



(12) 发明专利申请

(10) 申请公布号 CN 102971795 A

(43) 申请公布日 2013. 03. 13

(21) 申请号 201180033530. 0

(51) Int. Cl.

(22) 申请日 2011. 05. 06

G11C 7/10(2006. 01)

G11C 11/4093(2006. 01)

(30) 优先权数据

61/332, 232 2010. 05. 07 US

(85) PCT申请进入国家阶段日

2013. 01. 06

(86) PCT申请的申请数据

PCT/CA2011/050281 2011. 05. 06

(87) PCT申请的公布数据

W02011/137541 EN 2011. 11. 10

(71) 申请人 莫塞德技术公司

地址 加拿大安大略省

(72) 发明人 R·舒茨

(74) 专利代理机构 北京泛华伟业知识产权代理

有限公司 11280

代理人 王勇

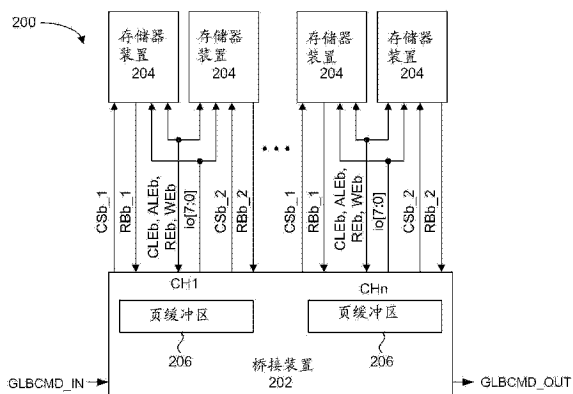
权利要求书 3 页 说明书 22 页 附图 14 页

(54) 发明名称

使用单个缓冲区同时读取多个存储器装置的方法和设备

(57) 摘要

桥接装置,用于从第一页缓冲区源和第二缓冲区源接收读出数据,该桥接装置包括数据缓冲区、仲裁器电路和控制器。数据缓冲区具有预定的大小,用于从第一页缓冲区源接收第一读出数据和从第二页缓冲区源接收第二读出数据。仲裁器电路在第一页缓冲区源准备好提供第一读出数据时生成第一读取传递信号,并且当第一页缓冲区准备好提供第一读出数据时禁止生成第二读取传递信号。控制器响应于第一读取传递信号向第一页缓冲区源发出数据传递命令,用于从第一页缓冲区源中将第一读出数据传递到数据缓冲区。



1. 一种用于控制从两个页缓冲区源向数据缓冲区进行的数据传递的方法,包括:
发起在所述两个页缓冲区源中的读取操作;
自动将来自于所述两个页缓冲区源中完成读取操作的第一页缓冲区源的数据传递到所述数据缓冲区;
当所述两个页缓冲区源中的第二页缓冲区源完成读取操作并且所述数据缓冲区繁忙时,禁止从所述第二页缓冲区源传递数据;
等待所述数据缓冲区变为可用;以及
当所述数据缓冲区可用时,从所述第二页缓冲区源传递数据。
2. 根据权利要求1所述的方法,其中,所述两个页缓冲区源中的每一个和所述数据缓冲区的大小被设定为存储一页数据。
3. 根据权利要求1所述的方法,其中,所述第一页缓冲区源是第一存储装置并且所述第二页缓冲区源是第二存储装置。
4. 根据权利要求1所述的方法,其中,所述第一页缓冲区源是存储器装置的第一页缓冲区并且所述第二页缓冲区源是存储器装置的第二页缓冲区。
5. 根据权利要求1所述的方法,其中,自动传递数据包括从所述第一页缓冲区源接收就绪信号。
6. 根据权利要求5所述的方法,其中,自动传递数据还包括在从所述第一页缓冲区源接收到读取信号之后,向所述第一页缓冲区源发出数据传递命令。
7. 根据权利要求1所述的方法,其中,禁止传递数据包括:如果针对所述第二页缓冲区源的读取操作正在进行中,则将所述第二页缓冲区源设置为延后状态。
8. 根据权利要求7所述的方法,其中,设置延后状态包括将与所述第二页缓冲区源相对应的延后状态寄存器设置为延后状态。
9. 根据权利要求8所述的方法,其中,传递数据包括将所述延后状态寄存器设置为非延后状态。
10. 根据权利要求2所述的方法,其中,禁止传递数据包括从所述第二页缓冲区源接收就绪信号。
11. 根据权利要求9所述的方法,还包括:在从所述第二页缓冲区源接收到读取信号并且所述第二页缓冲区源被设置为延后状态之后,禁止向所述第二页缓冲区源发出数据传递命令。
12. 根据权利要求1所述的方法,其中,等待包括输出在所述数据缓冲区中存储的所述第一页缓冲区源的数据。
13. 根据权利要求11所述的方法,其中,传递数据包括在所述数据缓冲区已经完成所述第一页缓冲区源的数据的输出之后,向所述第二页缓冲区源发出数据传递命令。
14. 根据权利要求1所述的方法,其中,禁止传递数据包括在接收到就绪信号时,为所述第二页缓冲区源设置延后状态。
15. 根据权利要求14所述的方法,其中,设置延后状态包括将与所述第二页缓冲区源相对应的延后状态寄存器设置为延后状态。
16. 一种用于从桥接装置读取数据的方法,该桥接装置具有与该桥接装置的通道连接的两个页缓冲区源,所述方法包括:

向所述桥接装置发出从所述两个页缓冲区源中读取数据的页读取命令；

确定所述两个页缓冲区源中的第一页缓冲区源处于就绪状态并且处于非延后状态，该非延后状态表明所述第一页缓冲区源的数据被存储在所述桥接装置的数据缓冲区中；

从所述桥接装置的数据缓冲区中突发读取数据；

如果所述两个页缓冲区源中的第二页缓冲区源处于就绪状态并且处于延后状态，则向所述第二页缓冲区源重新发出页读取命令，用于将所述第二页缓冲区源的数据传递到所述桥接装置的数据缓冲区；以及

从所述桥接装置的数据缓冲区中突发读取数据。

17. 根据权利要求 16 所述的方法，其中，发出页读取命令包括向所述第一页缓冲区源发出第一页读取命令，随后在预定的延迟时段之后，向所述第二页缓冲区源发出第二页读取命令。

18. 根据权利要求 17 所述的方法，其中，响应于所述第一页读取命令，所述第一页缓冲区源从存储阵列中读取数据页并且将该数据页传递到所述桥接装置的数据缓冲区。

19. 根据权利要求 18 所述的方法，其中，当发起所述数据页向所述数据缓冲区的传递时，所述桥接装置为所述第二页缓冲区源设置延后状态。

20. 根据权利要求 16 所述的方法，其中，所述确定包括读取所述桥接装置的状态寄存器，该状态寄存器指示与所述第一页缓冲区源和所述第二页缓冲区源中的每一个对应的就绪状态和非延后状态。

21. 根据权利要求 16 所述的方法，其中，重新发出包括读取所述桥接装置的状态寄存器，以确定所述第二页缓冲区源是否处于就绪状态和延后状态。

22. 根据权利要求 21 所述的方法，其中，响应于页读取命令，所述第二页缓冲区源从存储阵列中读取数据页并且将该数据页传递到所述桥接装置的数据缓冲区。

23. 根据权利要求 22 所述的方法，其中，读取所述桥接装置的状态寄存器以确定所述第二页缓冲区源是否处于就绪状态，该就绪状态表明所述第二页缓冲区源的数据被保存在所述桥接装置的数据缓冲区。

24. 一种用于从第一页缓冲区源和第二页缓冲区源接收读出数据的桥接装置，包括：

数据缓冲区，其具有预定的大小，用于接收来自于所述第一页缓冲区源的第一读出数据和来自于所述第二页缓冲区源的第二读出数据，所述第一读出数据和所述第二读出数据具有该预定的大小；

仲裁器电路，用于响应于检测到第一页缓冲区源准备好提供所述第一读出数据而生成第一读取传递信号，并且用于至少当所述第一页缓冲区准备好提供所述第一读出数据的时候、所述第二页缓冲区源变为准备好提供所述第二读出数据时，禁止第二读取传递信号的生成；

控制器，用于响应于用于从所述第一页缓冲区源向所述数据缓冲区传递所述第一读出数据的第一读取传递信号，向所述第一页缓冲区源发出数据传递命令。

25. 根据权利要求 24 所述的桥接装置，其中，所述第一页缓冲区源是第一存储装置并且所述第二页缓冲区源是第二存储装置。

26. 根据权利要求 25 所述的桥接装置，其中，所述仲裁器电路从所述第一存储装置接收表明所述第一存储装置准备好提供所述第一读出数据的第一就绪 / 忙信号跃迁，并且在

所述第一就绪 / 忙信号跃迁之后,从所述第二页缓冲区源接收第二就绪 / 忙信号跃迁。

27. 根据权利要求 24 所述的桥接装置,其中,所述第一页缓冲区是存储器装置的第一平面并且所述第二页缓冲区源是存储器装置的第二平面。

28. 根据权利要求 27 所述的桥接装置,其中,所述仲裁器电路从存储器装置接收表明所述第一平面和所述第二平面准备好提供所述第一读出数据和所述第二读出数据的就绪 / 忙信号跃迁。

使用单个缓冲区同时读取多个存储器装置的方法和设备

[0001] 相关申请的交叉引用

[0002] 本申请要求 2010 年 5 月 7 日提交的美国临时专利申请第 61/332232 号的权益,其公开内容明确地整体合并到本文中。

技术领域

[0003] 本发明总体上涉及半导体器件,并且具体涉及使用该半导体器件的单个缓冲区从多个源中读取数据。

背景技术

[0004] 在目前可获得的工业和消费电子产品中,半导体存储器装置是重要的部件。例如,计算机、移动电话和其它便携式电子设备全都依赖于某种形式的存储器来存储数据。虽然很多存储器装置一般情况下可以以商品或者分立存储器装置的形式得到,但是对更高的集成度和更高的输入/输出(I/O)带宽的需求带来了可以与诸如微控制器和其它处理电路之类的系统集成在一起的内置存储器的发展。

[0005] 大多数消费电子产品采用诸如闪存存储器装置之类的非易失性装置来存储数据。对闪存存储器装置的需求持续显著增长,其原因在于这些装置很适合于多种多样的需要大容量非易失性存储,同时又占据很小物理面积的应用。例如,在各种各样的消费者装置中,比如在数码相机、蜂窝电话、通用串行总线(USB)闪存驱动器和便携式音乐播放器中,普遍都会用到闪存,以存储这些装置使用的数据。而且,闪存装置还被用作替代硬盘驱动器(HDD)的固态驱动器(SSD)。这些便携式装置最好在规格尺寸和重量方面都实现最小化。然而,多媒体和 SSD 应用需要大容量的存储器,这会增大它们的产品的规格尺寸和重量。因此,消费产品制造商通过限制产品中包含的物理存储器的容量来做出妥协,以使其尺寸和重量能够被消费者接受。此外,虽然闪存存储器每单位面积的密度要高于 DRAM 或 SRAM,但是由于它的 I/O 带宽相对较低,这对它的读和写吞吐量都造成不利影响,因此其性能受到限制。

[0006] 图 1A 图解说明本领域公知的闪存存储器系统,该系统具有并联连接于通道的多个分立的闪存存储器装置和一个存储器控制器。这称为多分支存储器构造。图 1B 是可以用在图 1A 的存储器系统中的分立闪存存储器装置之一的示意图,其特别示出了存储器装置接口。稍后将对图 1A 和 1B 详加介绍。这个分立的闪存存储器装置可以是公知的 NAND 闪存存储器装置,这种存储器装置很容易获得,因此价格不昂贵。本领域的技术人员应当理解,NAND 闪存存储器装置一般情况下输出在读取操作中从存储阵列中读取的至少一个单位的数据,称为一页数据。使用图 1B 的分立存储器装置的图 1A 的存储器系统受到速度和容量的限制。

[0007] 图 2A 是图解说明串行存储器系统的概念本质的框图,其中分立的串行接口存储器装置彼此之间以及与存储器控制器之间串联连接。图 2B 是可以用在图 2A 的存储器系统中的串行接口闪存存储器装置的示意图,其特别示出了它的存储器装置接口。稍后将对图

2A 和 2B 详加介绍。使用图 2B 的分立串行接口存储器装置的图 2A 的串行存储器系统能够实现比图 1A 的多分支存储器系统更高的存储容量和速度。图 2A 的存储器装置能够输出在读取操作中从存储阵列中读取的至少一页数据。然而,图 2B 的分立串行接口存储器装置具有与图 1B 的 NAND 闪存存储器装置不同的存储器接口,因此不能彼此交换使用。

[0008] 为了利用图 2B 的存储器装置接口的较高速度并且利用很容易获得而且便宜的 NAND 闪存存储器装置,已经开发出了一种桥接装置,该桥接装置起到在与其连接的多个 NAND 闪存存储器装置与图 2B 中所示的利用分立串行接口操作的存储器控制器之间的接口适配器的作用。举例来说,如图 3B 中所示,可以将桥接装置和多个分立的 NAND 闪存存储器装置封装在一起,形成封装存储器装置。

[0009] 桥接装置包括缓冲区,例如 SRAM 存储器,用于接收和缓存从存储器装置中读出的数据页并且将读出数据输出到存储器控制器。桥接装置的成本主要由其面积决定,并且桥接装置的面积由 SRAM 存储器的尺寸支配。因此,要使桥接装置的成本最小化,就应当使 SRAM 存储器最小化。这可能意味着,多个分立的 NAND 闪存存储器装置共享桥接装置的一个数据缓冲区,其尺寸适合于仅仅存储一页数据。因此,分立的存储器装置之间将会发生针对有限的缓冲空间的竞争,并且如果在第一个存储器装置访问桥接装置的数据缓冲区的时候,第二个存储器装置将数据输出到桥接装置,则数据可能会丢失。另一方面,分立存储器装置能够具有输出多页数据的能力,这进一步加剧了访问数据缓冲区的问题。

[0010] 因此,需要能够控制由分立的存储器装置进行的访问的、具有最小尺寸化的数据缓冲区的改进的桥接装置。

发明内容

[0011] 在第一个方面,给出了一种用于控制从两个页缓冲区源向数据缓冲区传递数据的方法。该方法包括发起在两个页缓冲区源中的读取操作;自动将来自于两个页缓冲区源中完成读取操作的第一页缓冲区源的数据传递到数据缓冲区;当两个页缓冲区源中的第二页缓冲区源完成读取操作并且数据缓冲区繁忙时,禁止从第二页缓冲区中传递数据;等待数据缓冲区变为可用;以及当数据缓冲区可用时,从第二页缓冲区源中传递数据。按照第一个方面的实施方式,两个页缓冲区源中的每一个和数据缓冲区的大小都被设计为存储一页数据,第一页缓冲区源是第一存储装置并且第二页缓冲区源是第二存储装置,或者,第一页缓冲区源是存储器装置的第一页缓冲区并且第二页缓冲区源是存储器装置的第二页缓冲区。

[0012] 在本方面的另一种实施方式中,自动传递数据包括从第一页缓冲区源接收就绪信号,并且还包括在从第一页缓冲区源接收到读出信号之后,向第一页缓冲区源发送数据传递命令。在另一种实施方式中,禁止数据传递包括:如果针对第二页缓冲区源的读取操作正在进行中,则将第二页缓冲区源设置为延后状态,并且设置延后状态包括将与第二页缓冲区源相对应的延后状态寄存器设置为延后状态。在这一实施方式中,传递数据包括将延后状态寄存器设置为非延后状态。在本实施方式中,禁止数据传递包括从第二页缓冲区源接收就绪信号并且在接收到来自于第二页缓冲区源的读出信号并且第二页缓冲区源被设置为延后状态之后,禁止向第二页缓冲区源发出数据传递命令。

[0013] 在第一个方面的实施方式中,等待包括输出在数据缓冲区中存储的第一页缓冲区源的数据,并且传递数据包括在数据缓冲区已经完成输出第一页缓冲区源的数据之后,向

第二页缓冲区源发送数据传递命令。在第一个方面的另一种可选实施方式中,禁止数据传递包括在接收到就绪信号时,为第二页缓冲区源设置延后状态,其中设置延后状态包括将与第二页缓冲区源相对应的延后状态寄存器设置为延后状态。

[0014] 在第二个方面中,提供了一种用于从桥接装置中读取数据的方法,该桥接装置具有与该桥接装置的通道连接的两个页缓冲区源。该方法包括向桥接装置发出从两个页缓冲区源中读取数据的页读取命令;确定两个页缓冲区源中的第一页缓冲区源处于就绪状态并且处于非延后状态,其表明第一页缓冲区源的数据被存储在桥接装置的数据缓冲区中;从桥接装置的数据缓冲区中突发读取数据;如果第二页缓冲区源处于就绪状态并且处于延后状态,则向两个页缓冲区源中的第二页缓冲区源重新发送页读取命令,用于将第二页缓冲区源的数据传递到桥接装置的数据缓冲区;以及从桥接装置的数据缓冲区中突发读取数据。

[0015] 在第二个方面的实施方式中,发出页读取命令包括向第一页缓冲区源发出第一页读取命令,随后在预定的延迟时段之后,向第二页缓冲区源发出第二页读取命令,从而使得第一页缓冲区源响应于第一页读取命令,从存储阵列中读取数据页并且将该数据页传递到桥接装置的数据缓冲区。当数据页向数据缓冲区的传递被发起时,桥接装置为第二页缓冲区源设置延后状态。在第二个方面的另一种实施方式中,所述确定包括读取桥接装置的状态寄存器,该状态寄存器表明与第一页缓冲区源和第二页缓冲区源中的每一个对应的就绪状态和非延后状态。在另一种实施方式中,重新发出包括读取桥接装置的状态寄存器,以确定第二页缓冲区源是否处于就绪状态和延后状态,其中第二页缓冲区源响应于页读取命令,从存储阵列中读取数据页并且将该数据页传递到桥接装置的数据缓冲区。在这一实施方式中,读取桥接装置的状态寄存器,以确定第二页缓冲区源是否处于就绪状态,该就绪状态表明第二页缓冲区源的数据被保存在桥接装置的数据缓冲区。

[0016] 在第三个方面,给出了一种桥接装置,用于从第一页缓冲区源和第二页缓冲区源接收读出数据。该桥接装置包括数据缓冲区、仲裁器电路和控制器。数据缓冲区具有预定的大小,用于接收来自于第一页缓冲区源的第一读出数据和来自于第二页缓冲区源的第二读出数据,其中第一读出数据和第二读出数据具有该预定的大小。仲裁器电路响应于检测到第一页缓冲区源准备好提供第一读出数据而生成第一读取传递信号,并且至少当第一页缓冲区准备好提供第一读出数据的时候、第二页缓冲区源变为准备好提供第二读出数据时,禁止第二读取传递信号的生成。控制器响应于用于从所述第一页缓冲区源向所述数据缓冲区传递所述第一读出数据的第一读取传递信号向第一页缓冲区源发出数据传递命令。

[0017] 按照第三个方面的实施方式,第一页缓冲区源是第一存储装置并且第二页缓冲区源是第二存储装置,并且仲裁器电路从第一存储装置接收第一就绪/忙信号跃迁,该第一就绪/忙信号跃迁表明第一存储装置准备好提供第一读出数据,并且在第一就绪/忙信号跃迁之后,从第二页缓冲区源接收第二就绪/忙信号跃迁。按照第三个方面的另一种可供选用的实施方式,第一页缓冲区是存储器装置的第一平面并且第二页缓冲区源是存储器装置的第二平面,并且仲裁器电路从存储器装置接收表明第一平面和第二平面准备好提供第一读出数据和第二读出数据的就绪/忙信号跃迁。

[0018] 在结合附图阅读了下面的本发明具体实施方式的介绍之后,对于本领域普通技术人员,本发明的其它方面和特征将会变得显而易见。

附图说明

- [0019] 现在将参照附图仅以举例的方式介绍本发明的实施方式,其中:
- [0020] 图 1A 是示例非易失性存储器系统的框图;
- [0021] 图 1B 是图 1A 的示例存储器系统中使用的分立闪存存储器装置的示意图;
- [0022] 图 2A 是示例串行存储系统的框图;
- [0023] 图 2B 是图 2A 的示例存储器系统中使用的分立串行接口闪存存储器装置的示意图;
- [0024] 图 3A 是按照本实施方式的、具有四个分立存储器装置和桥接装置的组合存储器装置的框图;
- [0025] 图 3B 是按照本实施方式的全局命令的示意图;
- [0026] 图 4 是按照另一种实施方式的具有四个分立存储器装置和桥接装置的组合存储器装置的框图;
- [0027] 图 5 是单平面闪存存储器装置的框图;
- [0028] 图 6 是多平面闪存存储器装置的框图;
- [0029] 图 7 是按照本实施方式的、从多个源向有限的存储器空间传递数据的方法的流程图;
- [0030] 图 8 是按照本实施方式的、从多个闪存装置向有限的存储器空间传递数据页的方法的流程图;
- [0031] 图 9 是按照本实施方式的、针对桥接装置的状态寄存器定义表;
- [0032] 图 10 是图解说明按照本实施方式的、从两个闪存装置向有限的存储器空间进行的示例传递操作的顺序图;
- [0033] 图 11 是按照本实施方式的用于控制桥接装置的方法的流程图;
- [0034] 图 12 是按照本实施方式的用于从单个闪存装置向有限的存储器空间传递多个数据页的方法的流程图;
- [0035] 图 13 是按照另外一种可供选用的实施方式的、针对桥接装置的状态寄存器定义表;
- [0036] 图 14 是图解说明按照本实施方式的、从单个闪存装置中进行的示例 2 页传递操作的顺序图;
- [0037] 图 15 是按照本实施方式的、具有数据传递仲裁器的桥接装置的简化框图;以及
- [0038] 图 16 是按照本实施方式的传递仲裁器电路的示意图。

具体实施方式

[0039] 总体上,本发明的实施方式针对的是包括分立存储器装置和桥接装置的组合存储器装置,该桥接装置用于响应于全局存储器控制信号来控制分立存储器装置,其中该全局存储器控制信号具有与存储器装置不兼容的格式或协议。分立存储器装置可以是响应于本机(native)或本地存储器控制信号的现成的商用存储器装置或者定制的存储器装置。桥接装置通过将全局存储器控制信号转换为与分立存储器装置兼容的本机格式,在分立存储器装置与系统之间起到接口的作用。写入数据由桥接装置接收并且被转送到所寻址的分立

存储器装置,并且桥接装置从分立存储器装置接收读出数据,以将其转送到主机。

[0040] 应当注意的是,下面的介绍中可互换地使用了“高逻辑状态”和“逻辑1状态”这些措辞,而这些措辞被认为是相同的。类似地,“低逻辑状态”和“逻辑0状态”被认为是相同的。

[0041] 图1A图解说明现有技术中公知的闪存存储器系统。图1A是与主机系统12集成在一起的非易失性存储器系统10的框图。系统10包括与主机系统12通信的存储器控制器14以及多个非易失性存储器装置16-1、16-2、16-3和16-4。例如,非易失性存储器装置16-1-16-4可以是分立的异步闪存存储器装置。主机系统12包括处理装置,比如微控制器、微处理器或计算机系统。图1A的系统10被组织成包括一个通道18,其中存储器装置16-1-16-4与通道18并联连接。本领域技术人员应当了解,系统10可以使多于或少于四个的存储器装置与其连接。在目前给出的例子中,存储器装置16-1-16-4是异步的并且彼此并联连接。

[0042] 通道18包括一组公共总线,这些公共总线包括连接到所有相应存储器装置的数据和控制线。各个存储器装置按照由存储器控制器14提供的各个芯片选择(启用)信号CE1#、CE2#、CE3#和CE4#而被启用或停用。在这个和后面的例子中,“#”表示该信号是有效的低逻辑电平信号。在这个方案中,一般情况下一次选择一个芯片选择信号,以启用非易失性存储器装置16-1-16-4中相应的一个。存储器控制器14负责响应于主机系统12的操作,经由通道18向选中的存储器装置发出命令和数据。从存储器装置输出的读出数据经由通道18被送回到存储器控制器14和主机系统12。系统10一般来说包括多分支总线,其中存储器装置16-1-16-4相对于通道18并联连接。

[0043] 图1B是可以用在图1A的存储器系统中的分立闪存存储器装置16-1-16-4之一的示意图。这一闪存存储器装置包括数个输入和输出端口,该数个输入和输出端口包括例如电源、控制端口和数据端口。术语“端口”指的是存储器装置中的一般的输入或输出端子,其包括例如封装引脚、封装焊料凸块、芯片结合焊盘和无线发射机和接收机。电源端口包括用于为闪存存储器装置的所有电路供电的VCC和VSS。可以提供额外的电源端口,来仅仅为输入和输出缓冲器供电,这是本领域中公知的。下面的表1提供了控制和数据端口、它们的相应描述、定义和示例逻辑状态的列表。注意,封装引脚和球栅阵列是用于将被封装装置的信号或电压与电路板相互连接起来的端口的物理示例。端口可以包括其它类型的连接,例如,用于嵌入式系统和系统级封装(SIP)系统的端子和触点。

[0044] 表1

[0045]

端口	描述
R/B#	就绪/忙 (Ready/Busy): R/B#是开路漏极端口并且输出信号用于表示装置的工作情况。R/B#信号在编程、擦除和读取操作期间处于忙状态(R/B#=LOW),并且在操作完成之后返回到就绪状态(R/B#=HIGH)
CE#	芯片启用 (Chip Enable): 在装置处于就绪状态期间,当CE#变为HIGH时,装置进入低功耗待机模式。当装置处于忙状态(R/B#=LOW)时,比如在编程或擦除或读取操作期间,CE#信号被忽略,并且即使CE#输入变为高,也不会进入待机模式
CLE	命令锁存启用 (Command Latch Enable): CLE 输入信号用于控制操作模式命令向内部命令寄存器中的装载。当CLE为HIGH时,在WE#信号的上升沿上,命令被从I/O端口锁存到命令寄存器中
ALE	地址锁存启用 (Address Latch Enable) (ALE): ALE 信号被用于控制地址信息向内部地址寄存器中的装载。当ALE为HIGH时,在WE#信号的上升沿上,地址信息被从I/O端口锁存到地址寄存器中
WE#	写入启动: WE#信号用于控制从I/O端口获取数据
RE#	读取启动: RE 信号控制串行数据输出。数据在RE#的下降沿之后可以得到
WP#	写保护: WP#信号用于保护装置免遭意外编程或擦除。当WP#为LOW时,内部电压调节器(高电压发生器)被重置。这一信号通常用于当输入信号无效时,在上电/关机过程期间保护数据
I/O[n]	I/O 端口: 用作向装置中和从装置中转送地址、命令和输入/输出数据的端口。变量n可以是任一非零整数值

[0046] 表1中记录的所有信号总称为存储器控制信号,用于图1B中所示的示例闪存存储器装置的操作。注意,最后的端口I/O[n]被认为是存储器控制信号,是因为它能够接收指示闪存存储器装置执行特定操作的命令。

[0047] 图1A的各个非易失性存储器装置具有一个用于接收和提供数据的特定数据接口。在图1A的例子中,这是在异步闪存存储器装置中常用的并行数据接口。众所周知,并行提供多位数据的标准并行数据接口在超出它们的标称工作频率的情况下工作时,会遭受公知的通信恶化影响,例如会降低信号质量的串扰、信号扭曲和信号衰减。

[0048] 为了增加数据吞吐量,在共同拥有的名称为“Memory with OutputControl”的美国专利公开第20070153576号和名称为“Daisy ChainCascading Devices”的美国专利公

开第 20070076502 号中公开了具有串行数据接口的存储器装置,这种存储器装置以例如 200MHz 的频率串行地接收和提供数据。这称为串行数据接口格式。如这些共同拥有的专利公开文本中所示,所介绍的存储器装置可以用于彼此串行连接的存储器装置的系统。

[0049] 图 2A 是图解说说明串行存储器系统的概念本质的框图。在附图 2A 中,串联的环形拓扑结构的存储器系统 20 包括具有一组输出端口 Sout 和一组输入端口 Sin 的存储控制器 22 以及串联连接的存储器装置 24, 26, 28 和 30。存储器装置可以是例如串行接口闪存存储器装置。虽然图 2A 中没有示出,但是各个存储器装置都具有一组输入端口 Sin 和一组输出端口 Sout。这些组输入和输出端口包括将存储器装置与它所处的系统相接的一个或多个单个的输入/输出端口,比如物理引脚或接线。在一个例子中,存储器装置可以是闪存存储器装置。另外,存储器装置可以是 DRAM、SRAM、DiNOR 闪存 EEPROM、串行闪存 EEPROM、铁 RAM、磁电 RAM、相变 RAM 或者具有与特定命令结构兼容的、用于执行命令或用于将命令和数据传递到下一个存储器装置的输入/输出接口的任何其它适当类型的存储器装置。图 2A 的当前例子包括四个存储器装置,但是可供替换的其它结构可以包括单个存储器装置,或者任何适当数量的存储器装置。由此,如果存储器装置 24 因为与 Sout 连接而成为系统 20 的第一个装置,那么存储器装置 30 因其与 Sin 连接而成为第 N 个或最后一个装置,其中 N 是大于零的整数。于是存储器装置 26 到 28 是介于第一个和最后一个存储器装置之间的串联连接的存储器装置。在图 2A 的例子中,存储器装置 24 到 30 彼此之间以及与存储器控制器 22 之间是同步的并且是串联连接的。

[0050] 图 2B 是可以用在图 2A 的存储器系统中的串行接口闪存存储器装置(例如 24 到 30)的示意图。这一示例串行接口闪存存储器装置包括电源端口、控制端口和数据端口。电源端口包括用于为闪存存储器装置的所有电路供电的 VCC 和 VSS。可以提供额外的电源端口,来仅仅为输入和输出缓冲器供电,这是本领域中公知的。下面的表 2 提供了控制和数据端口、它们的相应描述和示例逻辑状态的列表。

[0051] 表 2

[0052]

端口	描述
CK/CK#	时钟 (Clock): CK 是系统时钟输入。CK 和 CK#是有差异的时钟输入。所有的命令、地址、输入数据和输出数据都以 CK 和 CK#在两个方向上的交叉边沿为基准
CE#	芯片启用 (Chip Enable): 当 CE#为 LOW 时, 装置启用。一旦装置开始编程或擦除操作, 可以使芯片启用端口无效 (de-assert)。此外, CE# LOW 激活内部时钟信号, CE# HIGH 停用内部时钟信号
RST#	芯片重置: RST#为装置提供重置。当 RST#为 HIGH 时, 装置处于正常运行模式。当 RST#为 LOW 时, 装置将会进入重置模式
D[n]	数据输入 (Data Input): (n = 1, 2, 3, 4, 5, 6, 7 或 8) 接收命令、地址和输入数据。如果装置被配置为'1 位链接模式 (=缺省)', 则仅 D1 是有效的信号并且在 CK/CK#的 8 个交点上接收一字节的分组。如果装置被配置为'2 位链接模式', 则仅 D1 & D2 是有效的信号并且在 CK/CK#的 4 个交点上接收一字节的分组。不用的输入端口接地
Q[n]	数据输出 (Data Output): (n = 1, 2, 3, 4, 5, 6, 7 或 8) 在读取操作期间发送输出数据。如果装置被配置为'1 位链接模式 (=缺省)', 则仅 Q1 是有效的信号并且在 CK/CK#的 8 个交点上发送一字节的分组。如果装置被配置为'2 位链接模式', 则仅 Q1 & Q2 是有效的信号并且在 CK/CK#的 4 个交点上发送一字节的分组。不用的输出端口 DNC (=悬空)
CSI	命令选通输入 (Command Strobe Input): 当 CSI 为 HIGH 时, 命令、地址和输入数据通过 D[n] 在 CK 和 CK#的交点上被锁存。当 CSI 为 LOW 时, 装置会忽略来自 D[n] 的输入信号
CSO	命令选通输出 (Command Strobe Output): 回应信号 CSO 是源信号 CSI 的重发形式

[0053]

DSI	数据选通输入 (Data Strobe Input): 当为 HIGH 时, 启用 Q[n] 缓冲区。当 DSI 为 LOW 时, Q[n] 缓冲区保存之前存取的数据
DSO	数据选通输出 (Data Strobe Output): 回应信号 DSO 是源信号 DSI 的重发形式

[0054] 同时具有图 1B 的方便易得的异步闪存存储器装置和图 2B 的串行接口闪存存储器装置使得存储器系统制造商能够提供两种类型的存储器系统。不过,由于必须获得和购买两种不同类型的存储器装置,这将很可能为存储器系统制造商带来较高的成本。本领域的技术人员知道,当大批量购买时,每个存储器装置的价格会降低,因此大批量购买使得存储器系统的成本最低。因此,虽然制造商能够提供两种类型的存储器系统,但是承担着一种类型的存储器装置由于另一种存储器装置市场需求较高而脱离市场需求的风险。这可能会给他们遗留不能被使用的已经购买的存储器装置存货。虽然图 1B 的异步 NAND 闪存装置目前被普遍使用,但是它不能提供图 2B 的同步闪存装置的性能优势。这种情形可能也会出现在这样的非闪存存储器装置上:可以获得两种类似的但是接口不兼容的具有各自优点的装置来集成到存储器系统中。

[0055] 至少一些示例实施方式提供了在多芯片封装(MCP)或系统级封装(SIP)中的高性能的组合存储器装置,其具有与分立存储器装置结合使用的高速接口芯片或桥接装置。该桥接装置为其所集成于其中的系统提供 I/O 接口,并且接收遵循全局格式的全局存储器控制信号,以及将命令转换为遵循与分立存储器装置兼容的本机或本地格式的本地存储器控制信号。桥接装置从而实现分立存储器装置的再利用,比如 NAND 闪存装置,同时提供由桥接装置的 I/O 接口给予的性能优势。桥接装置可以被实现为与封装中的分立存储器装置管芯(die)集成在一起的分立的逻辑管芯。

[0056] 在目前的例子中,全局格式是与图 2A 和 2B 的串行闪存存储器装置兼容的串行数据格式,并且本地格式是与图 1A 和 2B 的异步闪存存储器装置兼容的并行数据格式。不过,本发明的实施例并不局限于上述示例的格式,因为取决于组合存储器装置中使用的分立存储器装置的类型和使用组合存储器装置的存储器系统的类型,可以使用任何一对存储器控制信号格式。例如,存储器系统的全局格式可以遵循开放式 NAND 闪存接口(ONFi)标准,并且本地格式可以遵循异步闪存存储器装置存储器控制信号格式。例如,一种具体的 ONFi 标准是 ONFi 2.0 规范。可选地,全局格式可以遵循异步闪存存储器装置存储器控制信号格式,而本地格式可以遵循 ONFi 2.0 规范格式。总地来说,ONFi 规范是多分支同步协议,其中数据和命令被与时钟同步地经由兼容的存储器装置的数据输入/输出端口提供给该兼容的存储器装置。换句话说,ONFi 兼容存储器装置可以与具有并行双向输入/输出端口的异步 NAND 闪存存储器装置有一些相似的地方,但是有一个差别是 ONFi 兼容装置接收时钟信号。

[0057] 图 3A 是按照本实施方式的组合存储器装置的框图。如图 3A 中所示,组合存储器装置 100 包括与四个分立存储器装置 104 连接的桥接装置 102。在某些实施方式中,桥接装置 102 也被称作桥接芯片,因为它被制造成分立的芯片。各个分立存储器装置 104 可以是例如具有 8Gb 存储容量的异步闪存存储器装置,但是可以使用任何容量的分立闪存存储器装置来代替 8Gb 的装置。此外,组合存储器装置 100 并不局限于具有四个分立存储器装置。当桥接装置 102 被设计成适应于组合存储器装置 100 中最大数量的分立存储器装置时,可以包括任何适当数量的分立存储器装置。在当前所示出的实施方式中,桥接装置 102 具有四个专用通道,CH1、CH2、CH3 和 CH4,各个专用通道与一个分立存储器装置 104 相关联。各个通道包括控制分立存储器装置 104 所需的 I/O 和控制信号。

[0058] 组合存储器装置 100 具有用于接收全局命令的输入端口 GLBCMD_IN,和用于传递

所接收的全局命令和读出数据的输出端口 GLBCMD_OUT。图 3B 是图解说明按照本实施方式的全局命令的层级的示意图。全局命令 110 包括具有特定格式的全局存储器控制信号 (GMCS) 112, 以及地址头部 (AH) 114。这些全局存储器控制信号 112 提供存储器命令和命令信号, 比如用于图 2B 的串行接口闪存存储器装置的存储器控制信号。地址头部 114 包括在系统层面和组合存储器装置层面所使用的寻址信息。这一额外的寻址信息包括用于选择组合存储器装置来执行存储器命令中的操作码的全局装置地址 (GDA) 116 和用于选择所选定的组合存储器装置内的特定分立装置来执行该操作码的本地装置地址 (LDA) 118。概括地说, 全局命令包括与一种格式对应的所有的存储器控制信号, 并且此外还包括选择或控制组合存储器装置或其中的分立存储器装置可能需要的寻址信息。

[0059] 注意, 桥接装置 102 并不执行操作码或者使用行和地址信息访问任何存储单元。桥接装置 102 使用全局装置地址 116 来确定其是否被选择来转换所接收的全局存储器控制信号 112。如果被选择了, 则桥接装置 102 使用本地装置地址 118 来确定将转换后的全局存储器控制信号 112 发送给哪个分立存储器装置。为了与所有四个分立存储器装置 104 通信, 桥接装置 102 包括四组本地 I/O 端口, 每个通道 CH1、CH2、CH3 和 CH4 中具有一组, 每个通道连接到相应的分立存储器装置。正如前面提到的那样, 每组本地 I/O 端口包括分立存储器装置正确操作所需的所有信号, 并且从而起到了本地装置接口的作用。

[0060] 读出数据由组合存储器装置 100 中的或者前一个组合存储器装置中的任何一个闪存存储器装置 104 提供。具体地说, 桥接装置 102 可以被连接到存储器系统的存储器控制器, 或者连接到串联相互连接装置的系统中的另一个组合存储器装置的另一个桥接装置。输入端口 GLBCMD_IN 和输出端口 GLBCMD_OUT 可以是用于向和从组合存储器装置 100 (具体来说, 向和从桥接装置 102) 发送 / 接收全局命令信号和读出数据的封装引脚、其它物理导体或者任何其它电路。桥接装置 102 因此具有到输入端口 GLBCMD_IN 和输出端口 GLBCMD_OUT 的相应连接, 以实现与外部控制器的通信, 比如与图 2A 的存储器控制器 22 的通信, 或者与系统中其他组合存储器装置中的桥接装置的通信。共同拥有的 PCT 专利公开号 W02010/043032 详细介绍了, 在性能和存储容量相对于之前示出的图 1A 和图 2A 的存储器系统都得到改进的存储器系统中, 可以将多少组合存储器装置彼此串联连接起来。PCT 专利公开号 W02010/043032 介绍了桥接装置 102 的其它细节, 因此稍后将会仅仅介绍与目前介绍的实施方式相关的特征和功能。

[0061] 虽然图 3A 的实施方式中示出的组合存储器装置 100 使一个分立存储器装置 104 与桥接装置 102 的一个通道连接, 但是桥接装置可以被构造成用于将多个或更多的存储器装置与每个通道连接, 以进一步提高组合存储器装置的总存储容量。图 4 是按照本实施方式的另一种组合存储器装置的框图。组合存储器装置 200 包括具有多个通道 CH1 到 CHn 的桥接装置 202, 其中 CHn 是桥接装置 202 的最后一个通道。在目前所示的实施方式中, 每个通道有两个存储器装置 204 与之连接。如图 4 中所示, 与一个通道关联的一对存储器装置 204 共享一组共用的控制信号 CLEb、ALEb、REb、WEB 和一组共用的输入 / 输出线 io[7:0]。与一个通道关联的各个存储器装置 204 接收它自己的芯片选择信号并且提供它自己的就绪 / 忙信号。如图 4 中所示, 与 CH1 连接的一个存储器装置 204 接收芯片选择信号 CSb_1 并且提供它自己的就绪 / 忙信号 RBb_1。注意, “b” 表示该信号是有效低逻辑电平信号。

[0062] 桥接装置 202 的每个通道具有数据存储单元, 比如专用的数据缓冲器 206 或存储

器的指定部分,以用于从与该通道连接的两个存储器装置 204 中的任何一个接收和存储相应大小单位的数据。专用的数据缓冲器 206 不在通道之间共享。由存储器装置 204 提供的一单位的数据可以是例如数据页,或者在读取操作中能够用一个逻辑行地址访问的任何最大数据量。在闪存存储器装置中,比如在本实施方式中的存储器装置 204 中,读取操作会导致存储在存储阵列中的数据页被读出并且被传递到内部页缓冲区。响应于由闪存存储器装置 204 接收的命令,输出内部页缓冲区的整个内容作为读出数据。注意,某些存储器装置被构造为用于在读取操作中读出两页或更多页数据。将会参照图 5 和图 6 进一步对此进行解释说明。

[0063] 图 5 和图 6 是表示可用于图 4 的存储器装置 204 的不同平面和相应的页缓冲区构造的框图。图 5 是表示构造为具有单个平面的典型闪存存储器装置的总体框图。闪存存储器装置 300 包括单个平面 302 和单个页缓冲区 304。平面 302 包括由与字线和位线连接的存储单元构成的存储阵列,其中字线从平面 302 的左侧水平延伸到右侧,位线从平面 302 的顶部垂直延伸到底部。字线驱动器(未示出)在读取操作期间驱动选定的字线,并且位线感测放大器电路(未示出)通过感测它们各自的位线来确定与所选择的字线相连的单元所存储的逻辑状态。该感测到的数据被存储在页缓冲区 304 中。在图 5 的当前示例中,数据页是 4KB。

[0064] 图 6 是表示多平面闪存存储器装置的一般性框图。闪存存储器装置 310 包括第一平面 312 和第二平面 314,各个平面具有相关联的第一页缓冲区 316 和第二页缓冲区 318。闪存存储器装置 310 并不局限于具有 2 个平面,并且因此可以具有任何数量的平面。平面 312 和 314 各自具有它们自己位线和字线,并且可以各自具有逻辑上相同的字线电路。这意味着,对于任何单个行地址,平面 312 内的字线和平面 314 内的字线同时被驱动,以访问与其连接的存储单元。因此,页缓冲区 316 和 318 分别存储从平面 312 和 314 中读出的数据页。

[0065] 回到图 4,当与一个通道连接的一个或两个存储器装置 204 已经接收到由桥接装置 202 发出的读取命令时,该一个或两个存储器装置 204 发起内部读取操作并最终用来自存储阵列的读出数据页来加载其内部页缓冲区,或者在多个平面存储器的情况下,加载多个页缓冲区。桥接装置 202 然后向一个或两个存储器装置 204 发出数据传递命令,该一个或两个存储器装置 204 通过将它们的页缓冲区的内容输出到桥接装置 202 的数据缓冲区 206 来对此作出响应。一旦这一传送完成,装置 202 就会读出数据缓冲区 206 中存储的数据并且经由 GLBCMD_OUT 输出端口输出该数据。

[0066] 桥接装置 202 的数据缓冲区 206 的大小可以被设计成用来存储从与通道关联的存储器装置 204 中接收到的任何数量的数据页。例如,如果如图 6 中所示,与通道 CH1 连接的一对存储器装置 204 各自被构成为具有 2 个平面,那么每个通道的数据缓冲量应该是(2 平面) x (2 存储器装置)=4 页的缓冲容量。不过,这可能会导致桥接装置的管芯成本增高,这样可能会造成商业价值有限的芯片。其原因在于如下事实,管芯的总面积主要取决于用于存储来自于存储器装置 204 的数据页的存储器。从成本的角度来看,希望缓冲量最小,即,每个通道使用具有仅仅一页容量的存储器。

[0067] 这样的构造适合于图 3A 中所示的组合存储器装置 100 的桥接装置 102,它恰好是一个存储器装置 104 与一个通道连接,只要各个存储器装置 104 是诸如图 5 的闪存存储器

装置 300 那样的单平面装置。在这种构造中,各个存储器装置 104 都具有对桥接装置的数据缓冲区的专用访问。不过,对于为与通道连接的多个页源服务的通道仅具有单页容量的桥接装置可能会造成存储冲突。页源可以是单平面存储器装置中的页缓冲区,或者是多平面存储器装置中各平面的各个单个页缓冲区。

[0068] 为了解释清楚当桥接装置通道数据缓冲区容量小于组合的页源容量时的这一存储冲突,首先考虑页读取是如何由桥接装置执行的。当执行页读取命令时,一旦存储器装置从其存储阵列中取到了读出数据,桥接装置自动将来自存储器装置的读出数据传递到片上的数据缓冲区。桥接装置然后将它的状态寄存器更新为'就绪',以向存储器控制器表明所请求的读出数据已经准备好被推出。不过,在多于一个的存储器装置连接到给定通道的情况下,或者在存储器装置能够同时访问两个平面中每个平面上的页的情况下,最好是同时发出与存储器装置能够支持的数量一样多的并发页操作,以便隐藏任何内部延迟,从而提高存储器系统的总带宽。当同时向多于一个的存储器装置或具有多个页缓冲区的存储器装置发出页读取命令时,并且在桥接装置上具有小于理想数据缓冲容量的情况下,会出现诸如将所有的读出数据存储到哪里之类的冲突。

[0069] 通过举例来进行阐述,当连接到一个通道上的 2 个单平面存储器装置完成了它们的内部阵列访问,从所寻址的页中取得了读出数据时,桥接装置应当自动将数据传递到它的与通道相关联的片上数据缓冲区中。如果没有足够的容量存储所有这些数据,那么某些数据有可能会丢失。

[0070] 因此,开发出了一种仲裁方法来解决存储空间冲突,这种方法根据需要,并且通过基于闪存完成顺序、优先级和命令序列,安排读出数据从闪存存储器装置向桥接装置数据缓冲区的传递,从而允许内部存储器装置读取延迟相互重叠。按照本实施方式,桥接装置的状态寄存器被用于该仲裁方法。

[0071] 图 7 是按照本实施方式,从多个源向装置(比如前面介绍的图 3A 和图 4 的桥接装置)中的有限存储空间传递数据页的一般方法的流程图。图 7 的方法是由桥接装置的控制逻辑针对一个通道来执行的,该一个通道与单个具有多个平面的存储器装置或多个各自具有单个平面或多个平面的存储器装置连接。对于当前的方法,具有单个平面的存储器装置被看作页缓冲区源,多平面存储器装置的每个平面被看作页缓冲区源。

[0072] 该方法开始于步骤 400,其中桥接装置接收从与一个通道连接的至少 2 个不同的页缓冲区源中读取数据的请求。这些请求可以同时或者相继到达桥接芯片,并且相应的读取命令被发送到存储器装置。为了利用闪存存储器装置的读取延迟,这些读取命令一般情况下是以快速连续的方式发出的。最终,第一页缓冲区源准备好将其数据页传递到桥接装置,并且它将它的就绪状态通知给桥接装置。这个第一页缓冲区源现在称为页缓冲区源 n。此时,其它的页缓冲区源可能还没有准备好传送它们各自的数据页。在步骤 402,桥接装置指示页缓冲区源 n 将所存储的读出数据传递到桥接装置的页缓冲区。在步骤 404,桥接装置检查确定是否有针对与该通道连接的至少一个其它页缓冲区源的待处理的读取操作,如果有则表明向同一数据缓冲区的数据传递即将来临。如果没有针对至少一个其它页缓冲区源的待处理的其它读取操作,那么该方法返回到步骤 400,并且桥接装置的数据缓冲区最终被来自页缓冲区源 n 的读出数据装满。另一方面,如果有针对另一个页缓冲区源的一个其它的待处理读取操作,那么在步骤 406 为该其它的页缓冲区源设置延后数据传递状态。本例

中假设,只有两个与通道连接的页缓冲区源。

[0073] 现在,该另一个页缓冲区源,称作页缓冲区源 $n+1$,被桥接装置设置为延后状态,桥接装置在其数据缓冲区正在使用的时候,被禁止请求从页缓冲区源 $n+1$ 向其数据缓冲区进行数据传递。稍后将会介绍,这使得桥接装置忽略由其它页缓冲区源 $n+1$ 发出的任何就绪状态,否则的话,该就绪状态会触发桥接装置向页缓冲区源 $n+1$ 发出数据传递命令。在使用的数据缓冲区可能指的是,它正被从页缓冲区源 n 传递来的数据填充,或者数据缓冲区正处于将其内容输出到主机系统或存储器控制器的处理过程中。在任何一种情况下,数据缓冲区都不能用于从另一个页缓冲区源接收读出数据。

[0074] 在步骤 408,桥接装置等待通道的数据缓冲区变为可用,并且当其可用时,在 410 中将 n 的值递增,以访问下一个页缓冲区源 $n+1$ 。然后该方法返回到步骤 402,并且桥接装置向准备好提供其数据页的页缓冲区源 $n+1$ 发出数据传递命令。

[0075] 概括地说,桥接装置能够在为了将另外一个(多个)页缓冲区源的数据传递操作延后至直到与通道相关联的数据缓冲区可用,而了解所述另外一个(多个)页缓冲区源具有待处理的读取操作的同时,确定第一页缓冲区源已经就绪。在存在多个与通道连接的页缓冲区源并且所有的页缓冲区源都已经准备好传递它们的数据的实施方式中,可以按照任何数量和组合的优先级方案来配置桥接装置,以便确定哪一个具体的页缓冲区源是下一个。示例优先级方案包括基于到达顺序的方案,另一种方案可以基于事务的重要性,再另外一种可以基于地址范围。目前介绍的方法可以使用任何优先级方案。

[0076] 图 8 是按照本实施方式,仅仅使用就绪 / 忙状态信号来对从与一个通道连接的多个闪存装置向与该通道相关联的桥接装置的数据缓冲区进行数据页传递进行仲裁的方法。图 8 的方法假设,与通道连接的各个存储器装置提供指示其就绪 / 忙状态的信号,比如图 4 中由与通道 CH1 连接的存储器装置 204 提供的信号 RBb_1 和 RBb_2 。虽然当前的实施方式使用具有专用就绪 / 忙信号的闪存存储器装置,但是装置可以使用多个信号的任意组合来表示它的就绪 / 忙状态,只要桥接装置被配置为能够解释这样的信号组合。假设桥接装置已经向与一个通道连接的至少两个存储器装置发送了读取命令。

[0077] 该方法开始于步骤 500,在该步骤,桥接装置监视来自于连接到通道上的所有装置的就绪 / 忙状态信号(例如, RBb_1 和 RBb_2)。在步骤 502,存储器装置将其就绪 / 忙状态信号驱动到有效逻辑状态,以向桥接装置表明相应的存储器装置已经完成了内部读取操作并且其页缓冲区现在存储着来自存储阵列的读出数据。假设这一存储器装置是第一个就绪的存储器装置,并且现在称为装置 n 。桥接装置现在检查装置 n 是否已经被设置为延后状态。由于装置 n 是本例中第一个准备就绪的装置,因此该方法前进到步骤 506,在步骤 506,桥接装置向装置 n 发出数据传递命令。响应于该数据传递命令,存储器装置开始输出其页缓冲区的内容,该内容被桥接装置的数据寄存器接收和保存。前进到步骤 508,桥接装置检查是否读取命令已经被发送到任何其它的存储器装置。稍后将会进一步详细介绍,桥接装置了解它已经向各个存储器装置发送的读取命令。如果桥接装置确定有至少一个其它的存储器装置已经接收到了读取命令,则在步骤 510,它为这些存储器装置中的每个设置延后状态。在本例中,假设装置 $n+1$ 是这样的存储器装置,并且桥接装置为其设置延后状态。另一方面,如果没有发出其它的读取命令并且装置 n 是与通道连接的唯一接收到读取命令的存储器装置,则该方法返回到步骤 500。回到步骤 510,该方法在为适当的存储器装置设置了

延后状态之后返回到步骤 500。

[0078] 返回到步骤 500, 桥接装置等待下一个装置就绪的就绪 / 忙状态信号, 下一个装置在本例中应该是装置 n+1。最终在步骤 502 接收到这一信号并且桥接装置在步骤 504 检查装置 n+1 是否处于延后状态。因为装置 n+1 之前被桥接装置设置为延后状态, 所以该方法然后前进到步骤 512, 在步骤 512, 桥接装置等待通道的数据缓冲区变为可用。在一种实施方式中, 存储器控制器询问桥接装置以检查在桥接装置和存储器装置之间的内部数据传递操作的状态。在另一种实施方式中, 桥接装置可以将其自己的就绪 / 忙信号发送到存储器控制器, 以表明针对那个通道的内部数据传递操作已经完成。在任何一种情况下, 存储器控制器在它接收到针对装置 n 的内部数据传递操作已经完成的指示时, 可以发出针对存储器装置 n+1 重新发起页读取操作的命令。一旦数据缓冲区变为可用, 桥接装置随即向装置 n+1 发送数据传递命令, 以发起从装置 n+1 的页缓冲区向桥接装置的数据缓冲区传递数据。如果没有其它的存储器装置接收到读取命令, 则该方法返回到步骤 500, 从而结束针对该通道的数据传递仲裁方法。

[0079] 目前介绍的桥接装置实施方式通过包括用于记录与通道连接的每个存储器装置的状态信息的状态寄存器位, 能够对数据从与单个通道连接的任意数量的存储器装置的传递进行仲裁。图 9 是按照本实施方式的针对桥接装置的状态寄存器定义表。图 9 的状态寄存器是针对具有 4 个通道 (例如, CH1、CH2、CH3 和 CH4) 的桥接装置配置的, 其中每个通道有两个存储器装置以并联结构与其连接。针对各个存储器装置, 状态寄存器存储其就绪 / 忙状态, 其合格 / 不合格状态, 以及其延后读取传递状态。图 9 的表格中使用的命名规则如下。就绪 / 忙状态位被标记为 “就绪 / 忙 CH[i], D[j]”, 合格 / 不合格状态位被标记为 “合格 / 不合格 CH[i], D[j]”, 并且延后状态位被标记为 “延后读取传递 CH[i], D[j]”, 其中 i 代表桥接装置的通道号, j 代表连接到通道 i 的装置号。状态位的数量可以依照桥接装置中存在的通道数量以及可以连接到每个通道的存储器装置的最大数量而调整。桥接装置因此能够为了对从存储器装置向存储器装置所连接的通道的数据缓冲区的读出数据传递进行仲裁的目的, 了解各个存储器装置的状态, 以及各个存储器装置的延后状态。

[0080] 图 10 是图解说明按照本实施方式的从与通道连接的两个闪存装置向桥接装置的数据缓冲区进行的示例读取传递操作的顺序图。这个示例顺序图图解说明桥接装置如何响应由存储器装置发出的就绪 / 忙信号, 以便对读取传递操作进行仲裁和避免由两个存储器装置对数据缓冲区的冲突使用。注意, 桥接控制器具有用于自动向在接收到读取命令之后报告已将它们的读出数据在它们各自的页缓冲区中准备好的存储器装置发出数据传递命令的逻辑。按照本实施方式, 桥接装置包括用于应对在通道的数据缓冲区正用于从第一个存储装置接收读出数据的时候, 或者在它将所存储的读出数据输出到外部装置的时候, 第二个存储装置报告它已经就绪时的情形的仲裁逻辑。

[0081] 图 10 的顺序图表示内部和外部信号的信号踪迹, 下面将会对它们进行介绍。桥接装置接收由存储器控制器或主机装置提供的外部命令选通信号 CSI 和外部数据选通信号 DSI, 这两个信号之前都在表 2 中介绍过。桥接装置通过其 Q[n] 输出端口输出存储在通道的数据缓冲区中的读出数据, Q[n] 输出端口也在前面在表 2 中介绍过。在桥接装置内, 有存储器装置接口, 该存储器装置接口以与存储器装置兼容的格式向存储器装置提供命令和数据信息。在本例中, 存储器装置是 NAND 闪存装置, 所以在图 10 中示出了双向的 “NAND

IO² 端口。桥接装置的存储器装置接口还分别从装置 1 和装置 2 接收就绪 / 忙信号 RBb₁ 和 RBb₂。内部控制信号 pos_edge_RBb₁ 是响应于检测到存储器装置 1 已经准备好从其页缓冲区传递读出数据而生成的脉冲信号。在本例中, 该脉冲是响应于检测到 RBb₁ 从低逻辑状态跃迁为高逻辑状态而生成的, 这表明存储器装置内部读取操作已经完成。内部控制信号 pos_edge_RBb₂ 是相同类型的信号, 只是其响应于 RBb₂。

[0082] 内部信号 D1_rd_in_prog 是桥接装置在将读取操作发送给装置 1 时设置的状态信号。内部信号 neg_D1_rd_in_prog 是响应于 D1_rd_in_prog 的下降沿的脉冲。内部信号 rd_data_D1_stb 是仅仅在检测到 neg_D1_rd_in_prog 脉冲并且延后状态信号 defer_D1_rd 处于无效状态时生成的脉冲信号。当 rd_data_D1_stb 发生脉冲时, 读取传递命令被发送到存储器装置 1, 以发起其页缓冲区数据向与桥接装置的通道相关联的数据缓冲区的传递。状态信号 defer_D1_rd 可以从状态寄存器得到。剩余的内部信号 D2_rd_in_prog、neg_D2_rd_in_prog、rd_data_D2_stb 和 defer_D2_rd, 以与它们各自的 D1 对应信号相同的方式起作用, 只是与存储器装置 2 相关联。下面进行顺序图的介绍, 并且注意, 时间段并不是按比例示出的。图 10 的底部是状态寄存器位 d1、d2、b1 和 b2 的逻辑状态。位 d1 和 d2 分别代表存储器装置 D1 和 D2 的延后状态, 并且位 b1 和 b2 分别代表存储器装置 D1 和 D2 的就绪 / 忙状态。

[0083] 主机控制器, 比如存储器控制器, 可以在其通过读取状态位确定了目标通道中的目标装置为 '就绪 (Ready)' (如 'A' 处所示) 之后, 开始 2 装置读取操作。在 'A' 处, 两个状态位 b1 和 b2 都为逻辑 0, 其表明两个存储器装置 D1 和 D2 就绪。第一步是存储器控制器发出两个 '页读取' 命令, 其中读取命令 600 寻址装置 1, 读取命令 602 寻址装置 2。桥接装置将这些命令转换为闪存存储器装置能够理解的命令并且将它们发送到适当的存储器装置。在桥接装置解码各个读取命令之后, 它将相应的就绪 / 忙位设置为 1, 如 'B' 和 'C' 处所示, 并且将 D1_rd_in_progress 和 D2_rd_in_progress 设置为高逻辑状态, 以跟踪当前正在进行的读取命令。在存储器装置接收到它们各自的读取命令之后, 存储器装置 1 和 2 将其 RBb₁ 和 RBb₂ 线驱动为逻辑 '0' 电平, 分别如 604 和 606 所示, 以向桥接装置表明它们正忙于它们各自的读取操作。

[0084] 由于桥接装置会花费一些时间来处理各个读取命令、向目标存储器装置发出相应命令和等待存储器装置接收命令, 因此控制器必须要在发出第二对读取命令 602 之前等待预定的间隔延迟周期 t_{2CR}, 以使桥接装置能够完成第一个读取命令 600 的处理。控制器在发出第二个读取命令 602 之前可以等待更长时间, 不过一般来说, 应当远早于第一个存储器装置的读出时间 t_R 期满将其发出。否则桥接装置的内部总线将会忙于将数据从第一个存储器装置 D1 传递到桥接装置, 并且桥接装置可能会发生故障。

[0085] 存储器装置会在正在使用的具体装置的厂商技术规范中定义的时间段内繁忙, 并且可以被表示为 t_R。在图 10 中, 这个时间段被标注为存储器装置 D1 的 "阵列延迟"。不同的制造商、不同的装置的阵列延迟不同, 并且可能会随着装置老化而改变。当每个存储器装置的阵列延迟期满时, 它释放其就绪 / 忙信号 (例如 RBb₁), 该信号返回到逻辑值 '1', 通知桥接装置其页缓冲区中的读出数据可用。如 608 和 610 所示, RBb₁ 和 RBb₂ 上升为逻辑 '1'。

[0086] 在 '正常的' 单一存储器装置读取操作期间, 桥接装置自动向闪存发出 '数据读

取’命令,以按照 RBb 的上升沿将读出数据从存储器装置传递到桥接装置的数据缓冲区。按照本实施方式,使用了额外的控制信号,其能够在两个装置(或多个装置)读取操作期间调度自动读取传递的传递。对于两个装置的读取, RBb 的上升沿促使桥接装置使这个存储器装置的 rd_in_progress 无效。在目前所示的例子中,选通信号 rd_data_D1_stb 是响应于 RBb_1 上升到逻辑 1 电平而生成的。选通信号 rd_data_D1_stb 是用于发出存储器装置 D1 的’读取数据’命令的触发信号。这一选通是在存储器接口 I/O 总线并不忙于从与通道总线连接的其它一个或多个装置传递数据的条件下生成的。下面将会介绍对这一选通进行仲裁的机制。

[0087] 所给出的示例实施方式使用逻辑生成的选通来表示所关心的信号何时进行从逻辑 0 到 1 的上升沿跃迁或者从逻辑 1 到 0 的下降沿跃迁,但是其它的技术也是可以的。本实施方式中的主要概念是检测边沿并且使用它来触发后续的逻辑事件。

[0088] 由于两个就绪/忙信号 RBb_1 和 RBb_2 可能会非常接近地一起变高,以至于第一个存储装置的数据还没有完成向桥接装置的数据缓冲区的传递,因此可能会在访问桥接装置数据缓冲区的两页数据之间存在竞争。为了解决这一问题,提供了第二组控制位,第二组控制位用于将完成较晚的存储器装置的自动读出数据传递延后。在图 10 中,这些被称为 defer_D1_rd 和 defer_D2_rd。在这个例子中, RBb_1 首先在 608 处变高。这使得 D1_rd_in_progress 变低(经由选通信号 pos_edge_RBb_1)并且 defer_D2_rd 变高。Defer_D2_rd 有效,因为如 RBb_1 上的上升沿所表示的,存储器装置 1 完成了它的读取,同时存储器装置 2 仍然忙于它的页读取,如 chp2_rd_in_progress='1' 所表示的。下面的公式 1 给出了确定何时将存储器装置的读出数据自动传递延后的公式。

[0089] (defer_Dj_rd 的上升沿)=pos_edge_RBbi&&Dj_rd_in_progress

[0090] D1_rd_in_progress 的下降沿触发经由 neg_edge_D1_rd_in_prog 来生成选通 rd_data_D1_stb,只要 defer_D1_rd 不为高。这一选通使得桥接装置开始将读出数据从装置 1 (D1) 传递到桥接装置的数据缓冲区。在 609 处示出了 NAND IO 正在从存储器装置 D1 的页缓冲区向桥接装置的数据缓冲区传输有效数据。defer_D2_rd 的上升沿使得状态寄存器将存储器装置 2 的读取操作记录为已经被延后,如时间间隔'D' 中所示,其中状态位 d2 被设置为逻辑 1 状态。

[0091] 稍后,在 610 处,存储器装置 D2 变成’就绪’(Ready)并且使 RBb_2 无效,这使得桥接装置中的 D2_rd_in_progress 变低,从而通知该存储器装置的页读取处理结束。由于 defer_D2_rd 此时为高,因此读出数据向数据缓冲区的自动传递被延后到以后的时刻。换句话说,defer_D2_rd 为高防止了 rd_data_D2_stb 生成。如 612 处所示,rd_data_D2_stb 选通信号以虚线表示,表明如果存储器装置 D2 不处于延后状态,则该选通应当已经出现了。状态寄存器然后将状态位 b2 改变为逻辑 0,以反映存储器装置 D2 变为’就绪(Ready)’但是它已经被延后这一事实,如时间间隔'E' 中所示。

[0092] 最终,在用附图标记 614 标注的第一个”内部传递时间”周期的末端,从存储器装置 D1 到桥接装置的数据缓冲区的数据传递完成。桥接装置然后将状态位 b1 变为逻辑 0,以表明它现在已经准备好,并且尤其是表明数据传递操作已经完成。现在存储器控制器读出桥接装置的状态寄存器,以确定内部操作的状态。

[0093] 可以在任何时候读取状态寄存器,并且在这一特定的操作中,存储器控制器在它

能够开始向外传递数据之前,寻找装置中‘就绪(Ready)’并且不处于延后状态的一个装置。状态读出操作没有在图中示出,但是在时间间隔‘F’中示出了控制器要读取的值。存储器控制器知道它的哪些事务未完成,所以这一状态寄存器值告诉存储器控制器从存储器装置 D1 中的读取已经完成并且数据缓冲区中的数据可用。该状态值还告诉存储器控制器,发送给存储器装置 D2 的读取命令也已经完成,但是向数据缓冲区的数据传递被延后了并且需要进一步的动作来恢复。存储器控制器然后开始发出突发读取命令,由 616 处的变为 1 逻辑电平的 CSI 表示。然后由在 618 处变为 1 逻辑电平的 DSI 所示,使用读取分组将数据缓冲区中存储的存储器装置 D1 的数据从桥接装置读取出来。如图 10 中所示,Qn 输出端口提供有效数据。

[0094] 在存储器控制器完成了从存储器装置 D1 中读出数据之后,它可以自由地从存储器装置 D2 中读取数据。为此,它通过具有相应命令(未示出)的另一个 CSI 选通 620,向存储器装置 D2 中的同一页重新发送原始的页读取命令。由于数据页仍然存储在存储器装置 D2 的页缓冲区中,并且桥接装置的自动传递操作被延后了,因此桥接装置通过响应于重新发送的页读取命令在 622 处发出 rd_data_D2_stb 选通,简单地从存储器装置 D2 的页缓冲区中将数据读出到其数据缓冲区中,使得它对于存储器控制器后来进行的获取可用。在此期间,状态寄存器通过将状态位 b2 设置为逻辑 1 来表明存储器装置 D2 处于‘忙’状态,但是不再处于延后状态,因为 defer_D2_rd 被设置为非延后的 0 逻辑状态,还用处于逻辑 0 状态的状态位 d2 在时间间隔‘G’中示出。一旦从存储器装置 D2 到桥接装置的数据传递完成,就将状态寄存器的值更新为表示存储器装置 D2‘就绪(Ready)’,如在时间间隔‘H’中由设置回逻辑 0 的状态位 b2 所示。存储器控制器被设计成知道在检查内部桥接装置数据传递操作是否完成之前要等待大约多长时间,因为这一数据是由闪存制造商提供的并且包含在桥接装置说明书之内。在第二个“内部传递时间”届满之后,存储器控制器读取状态寄存器,以确认存储器装置 D2 处于‘就绪(Ready)’状态并且其数据可用,然后在 622 处继续发出另一个突发读取命令,并且响应于后续的 DSI 选通,在 Qn 输出端口上输出数据。

[0095] 图 8 的方法从桥接装置的角度介绍了数据传递仲裁。下面的附图 11 示出了存储器控制器为了读取与桥接装置的一个通道相对应的数据页而执行的操作序列。该存储器控制器通过向与桥接装置的通道连接的一个装置发出页读取命令以在步骤 650 开始操作。存储器控制器然后在步骤 654 向与通道连接的另一个存储器装置发送另一个页读取命令之前,在步骤 652 等待预定的延迟。存储器控制器在步骤 658 读取桥接装置的状态寄存器之前,具体来说是在读取用于该通道的状态寄存器之前,在步骤 656 等待预定的时间经过。举例来说,这一预定时间可以由存储器控制器内的内部计时器来设置,或者按照另外一种可选方案,桥接装置可以向存储器控制器发出选通信号,以表明是该检查状态寄存器的时候了,因为读取或编程操作已经完成。在任何一种情况下,存储器控制器在读取桥接装置的状态寄存器之前都要等待预定时间。在步骤 660 基于所读出的状态寄存器位做出判定,以检查是否有与通道连接的任一装置已经准备好并且没有被延后。如果判定结果是否,那么方法返回到步骤 658。否则,与通道连接的存储器装置就已经完成了其页缓冲区内容到桥接装置的数据缓冲区的传递。然后方法前进到步骤 662,在该步骤中,存储器控制器发出突发读取命令,以读出桥接装置的数据缓冲区内存储的数据。

[0096] 存储器控制器在步骤 664 再次从桥接装置请求通道的状态,并且在步骤 666,基于

所读出的状态位,存储器控制器判断是否有与通道连接的其它装置已经就绪并且被延后。再一次,如果任何一个条件不成立,则该方法返回到步骤 664。否则,方法前进到步骤 668,在该步骤,存储器控制器向被延后的装置重新发送页读取命令。在桥接装置内,发起数据传递操作,以将存储器装置的页缓冲区中存储的数据转递到桥接装置的数据缓冲区。在步骤 670,存储器控制器在步骤 672 读取通道的状态之前等候其内部读取计时器完成计时。如果在步骤 674 状态寄存器表明该其他装置没有准备好,则方法返回到步骤 672。否则,数据页现在被存储在桥接装置的数据缓冲区中,并且在步骤 676,存储器控制器发出突发读取命令,以读出数据缓冲区的内容。然后,如果没有其它的与通道相连的存储器装置,则该方法结束于步骤 678。目前介绍的例子假设仅有 2 个存储器装置与通道相连。在另外一种可供选择的实施方式中,如果有超过 2 个存储器装置与通道相连并且存储器控制器向它们各个都发出页读取命令,则该方法不会在步骤 678 结束,而是将会返回到步骤 664,以从下一个存储器装置中读出数据。

[0097] 参照图 10,步骤 650、652 和 654 对应于前 2 个 CSI 选通,在这 2 个 CSI 选通处,控制器首先向通道中的一个装置发送页读取命令,等待预定的间隔延迟周期 t_{2CR} ,然后向同一通道中的第二个装置发送读取命令。

[0098] 步骤 616、658、660 和 662 对应于在 CSI 选通之后并且直到第三个 CSI 选通所发生的事件。在存储器控制器发出了读取命令之后,它设置它的内部计时器(如果它配置有的话),并且等待计时器完成计时,然后再读取桥接装置的状态寄存器来确定哪些目标存储器装置(如果有的话)已经准备好要发送出桥接装置的数据。如果控制器没有配置内部读取计时器,则它可以每隔一定时间间隔对状态寄存器进行轮询,或者使用某些其它手段来确定何时检查桥接装置的状态寄存器。当根据状态寄存器中的信息确定存储器装置之一为‘就绪(Ready)’时,存储器控制器向该装置发出突发读取命令,该命令之后跟随着读取分组(DSI=1),以便将读出数据从‘就绪’的存储器装置中发出,从而使数据可以返回到存储器控制器。

[0099] 步骤 664、666 和 668 对应于第四个 CSI 选通处发生的事件。存储器控制器轮询或按照另外的方式检查桥接装置的状态寄存器,直到第二个存储装置‘就绪’但是‘被延后’。存储器控制器然后重新发送它曾经发送到这个存储器装置的原始的页读取命令,使得桥接装置从页缓冲区中向桥接装置的数据缓冲区内读取数据。

[0100] 步骤 670、672、674 和 676 对应于第四个 CSI 选通之后和第五个 CSI 选通之后发生的事件。在向延后的装置重新发送读取命令之后,存储器控制器等待它的读取计时器完成计时,其表明内部传递时间结束,然后轮询状态寄存器,直到延后的存储器装置已经‘就绪’并不再‘延后’。再次,可能会有确定何时读取状态寄存器的供替换使用的更好的方法,不过这由存储器控制器的设计者决定。一旦读取到期望的状态,存储器控制器发出针对数据的突发读取命令,跟随其后的是读取分组,以将数据发送回到控制器。

[0101] 前面介绍的实施方式很容易处理在与同一个通道连接的第二个装置变为就绪之前一个装置明确变为就绪状态的情形。可能存在与同一个通道连接的两个存储器装置由于它们各自的就绪/忙信号 RBb 同时有效而同时变为就绪的情形。在这种情形下,可以将桥接装置预先编程或硬布线以使得一个存储器装置优先于另一个。按照另外一种可选方案,可以动态设置优先级。例如,可以提供借助可编程寄存器控制的附加位。如果用例如逻辑

0 写入该寄存器,则存储器装置 1 将会被赋予优先级。如果用例如逻辑 1 写入该寄存器,则存储器装置 2 将会被赋予优先级。可以使用使得一个存储器装置优先于另一个或者使得一系列存储器装置中的各个存储器装置具有优先级的任何其它技术。

[0102] 前面介绍的图 8 的方法和图 10 的示例的 2 存储器装置数据读取操作是图 7 中所示的仲裁方法的具体示例实施方式。虽然图 8 的方法致力于在各自具有单个要在任何单独一次读取操作中进行输出的数据页缓冲区的 2 个存储器装置之间进行仲裁,但是各个存储器装置可以是各自具有至少 2 个要在任何单独一次读取操作中进行输出的数据页缓冲区的多平面装置。

[0103] 图 12 是对从多页存储器装置向具有单页存储容量的数据缓冲区的数据传递进行仲裁的示例方法实施方式。图 12 的当前方法与图 8 的方法实施方式之间的主要区别是单个存储器装置仅提供单个就绪 / 忙信号。

[0104] 图 12 的方法开始于步骤 700,在该步骤 700,桥接装置通过向存储器装置发送适当的命令,发起从单个装置中进行的多平面读取操作。在步骤 702,存储器装置将会把它的就绪 / 忙信号 Rb 驱动为表明它的用于加载其多页缓冲区的内部读取操作已经完成的逻辑状态。桥接装置然后在步骤 704 将除了第一个平面之外的所有平面设置为延后状态,在这个例子中第一个平面被称为平面 n。注意,桥接装置被构成为用来按照预定的顺序为多平面存储器装置的平面分配优先级。在步骤 706,来自平面 n 的页缓冲区的数据页被传送到桥接装置的数据缓冲区。在步骤 708,桥接装置等待数据缓冲区变成可用,因为它可能正在忙于从平面 n 接收数据,或者可能忙于将它的内容输出到存储器控制器。当数据缓冲区可用时,在步骤 710 进行判断,以确定平面 n 是否是要从中读取数据的最后一个平面。在当前的示例迭代中,有要从中进行读取的至少一个额外的平面,因此该方法返回到步骤 706,在步骤 706,桥接装置发起从下一个预定平面 n+1 中进行的数据传递。重复进行步骤 706、708 和 710 的迭代,直到多平面存储器装置的最后一个平面的页缓冲区数据已经被传递到桥接装置的数据缓冲区。然后该多平面仲裁方法在 712 结束。

[0105] 前面介绍的多平面仲裁方法实施方式使用状态寄存器位来追踪存储器装置的哪些平面处于延后状态。图 13 表示另一种可供选用的状态寄存器定义表,它类似于图 9 中所示的状态寄存器定义表,不过现在包括位 24 和 25。位 24 追踪与通道 1 (CH1) 连接的装置 1 (D1) 的平面 2 (P2) 的延后状态。位 25 追踪与通道 1 (CH1) 连接的装置 2 (D2) 的平面 2 (P2) 的延后状态。当前的例子假设与通道 1 连接的各个存储器装置具有两个平面。由此,对于桥接装置的其它通道,可以包括类似的状态位对。当然,附加的状态位可以是依据与各个通道连接的存储器装置的数量和各个存储器装置内平面的数量而提供的。

[0106] 图 14 是图解说明从与桥接装置的通道连接的单个存储器装置中进行的示例双平面读取操作的顺序图。图 14 中出现的很多信号名称与针对图 10 示出和介绍过的信号名称相同,只是除了底部的 3 个信号以外,这三个信号专门用于目前介绍的多平面数据传递仲裁方法。信号 rd_data_D1_P1_stb 是响应于来自信号 neg_D1_rd_in_prog 的脉冲而生成的选通信号,并且信号 rd_data_D1_P1_stb 通知桥接装置发起从存储器装置的平面 1 的页缓冲区向桥接装置的数据缓冲区进行的数据传递。信号 defer_D1_P2_rd 对应于用于追踪存储器装置 1 的平面 2 的延后状态的状态位。信号 rd_data_D1_P2_stb 以与 rd_data_D1_P1_stb 相同的方式发挥作用。沿着图 14 底部示出的寄存器位表示存储器装置 1 的平面 2 的延

后状态位(d2)和存储器装置1的就绪/忙位(b1)的逻辑状态。同样,要注意的是,时间段并不是按比例示出的。

[0107] 双平面读取操作非常类似于存储器装置读取操作,除了仅仅只有一个存储器装置参与其中,因此对于数据缓冲空间而言,没有装置与装置的竞争。当就绪/忙信号RBb变高时,两页读出数据都可用,因此应当预先确定选择哪一个页缓冲区的传递延后。在这个例子中,平面2总是被延后,并且其被硬布线成逻辑电路。按照另外一种可选方案,可以赋予平面2优先级或者通过控制寄存器设置优先级,从而可以动态改变优先级。其它的方法也是可行的。

[0108] 参见图14,在桥接装置接收到双平面读取命令并且将其传递到目标存储器装置上之后,将信号D1_rd_in_prog设置为该逻辑电平。现在存储器装置被认为处于忙状态,并且状态位b1被设置为逻辑一,如'A'处所示。最终,信号RBb_1在800处由存储器装置驱动为高,表明内部读取完成并且两页都处于它们各自的页缓冲区中。信号RBb_1向高逻辑状态的跃迁触发一系列事件。首先,生成选通信号rd_data_D1_P1_stb,以发起平面1的页缓冲区与桥接装置的数据缓冲区之间的数据传递,如802处所示。其次,存储器装置的平面2被设置为延后状态,如被驱动为高逻辑状态的信号defer_D1_P2_rd所示的。如'B'处所示,延后的平面2状态位d2被设置为逻辑1。存储器控制器在804处读出数据缓冲区的内容,该内容响应于发生在806处的DSI选通信号而出现在Qn输出端口上。一旦数据缓冲区内容被输出到存储器控制器,存储器装置1的忙状态就被解除,如'C'处所示,此时位被设置逻辑0。在808处,存储器控制器再次发出原始的双平面读取命令,该双平面读取命令指示桥接装置将第二个数据页传递到桥接装置的数据缓冲区。桥接装置通过选通rd_data_D1_P2_stb做出响应,以发起平面2的页缓冲区与桥接装置的数据缓冲区之间的数据传递,如810处所示。此外,响应于选通信号,状态位d2被设置为逻辑0,以消除平面2的延后状态。然后控制器读取从Qn输出端口输出的数据,并且读取操作完成。

[0109] 应当注意的是,前面给出的双平面读取实施方式可以与双装置读取实施方式相结合,以得出双装置双平面读取。在这一实施方式中,准备就绪的第一个存储装置预定桥接装置的数据缓冲区的使用以便从其页缓冲区中发出数据,而剩余的存储器装置被保持为延后状态。

[0110] 前面介绍的图7、图8和图12的数据传递仲裁方法实施方式可以被实现为桥接装置内的逻辑控制电路。图15是按照本实施方式的、用于桥接装置的一个通道的部件的简化框图。简化的桥接装置900包括桥接装置接口902、状态寄存器904、读取传递仲裁器906、桥接装置控制器908、数据缓冲区910和存储器I/O接口912。桥接装置接口902从存储器控制器接收全局命令并且将它们提供给桥接装置控制器908,桥接装置控制器908将它们转换为与存储器装置兼容的本机命令。状态寄存器904可以包括前面介绍的与这一通道相关联的图9和图13的状态位。读取传递仲裁器906接收从与通道相连的存储器装置提供的就绪/忙信号,并且结合状态寄存器904和控制器908,控制哪些存储器装置或平面应当被置于延后状态。当前的例子假设有2个存储器装置与通道相连。

[0111] 桥接装置控制器908将从桥接装置接口902接收的全局命令转换为本机命令,并且能够经由桥接装置接口902向存储器控制器提供包括状态寄存器数据的输出数据。数据缓冲区910的大小被设计为能够存储从存储器装置接收到的一页数据,它在尺寸上对应于

存储器装置的页缓冲区。桥接装置控制器 908 控制数据缓冲区 910 接收来自于存储器装置的数据并且将其内容经由桥接装置接口 902 输出到存储器控制器。桥接装置控制器还负责更新状态寄存器 904 的位。I/O 接口 912 向与通道连接的存储器装置提供命令和控制信号。在本例中,接口 912 是用于与 NAND 闪存存储器装置通信的 NAND 闪存 I/O 接口。虽然图 15 将读取传递仲裁器 906 表示为与桥接装置控制器 908 相分离,但是这两个电路可以彼此集成在一起。如图 15 中所示,读取传递仲裁器 906 需要的存储器装置信号仅仅是就绪 / 忙信号 RBb_1 和 RBb_2。这两个信号也被桥接装置控制器 908 用于发起内部控制信号的生成,比如前面的顺序图中示出的那些信号,并且用于更新状态寄存器 904 的位。

[0112] 图 16 是按照本实施方式的、数据传递仲裁器电路的电路实施方式。仲裁器电路 950 是能够用于生成图 10 的顺序图中所示的某些内部信号的示例电路。该电路包括就绪 / 忙信号检测器 952 和 954、读取操作检测器 956 和 958、冲突检测器 960 和 962、读出选通发生器 964 和 966 以及 AND 逻辑门 968、970、972 和 974。图 16 中所示的电路元件可以按如下方式分组。元件 952、956、960、964、968 和 970 形成用于存储器装置 D1 的第一数据传递控制电路。元件 954、958、962、966、972 和 974 形成用于存储器装置 D2 的第二数据传递控制电路。总的来说,每个数据传递控制电路进行操作,以产生读取数据选通信号,该读取数据选通信号触发桥接装置控制器 908 发起在各个存储器装置与桥接装置的数据缓冲区之间的数据传递。不过,第一和第二数据传递控制电路是相互连接起来的,从而一个数据传递控制电路能够禁止另一个生成它的读取数据选通信号。

[0113] 下面是参照第一个数据传递控制电路的元件对图 16 的电路进行的简要讨论。要注意的是,图 16 中出现的信号名称与图 10 中使用的信号名称相同。由实现为 D 型触发器的读取操作检测器 956 开始,检测读取操作信号 RD_D1 (CSI),以将 D1_rd_in_prog 驱动为逻辑 1。就绪 / 忙信号检测器 952 被构成为用来检测 RBb_1 的上升沿,并且在这一事件发生时使 pos_edge_RBb_1 发出脉冲。这一脉冲将会使触发器 956 复位,以将 D1_rd_in_prog 驱动为逻辑 0。读出选通发生器 964 将会生成 rd_data_D1_stb,只要信号 defer_D1_rd 处于停用的逻辑 0 状态。rd_data_D1_stb 信号可以由图 15 的 BD 控制器 908 用来向相应的存储器装置发出数据传递命令。触发器 960 仅当 pos_edge_RBb_2 和 D1_rd_in_prog 处于逻辑 1 状态时,通过 AND 逻辑门 968 将 defer_D1_rd 驱动为有效逻辑 1 状态。因此,如果在 RBb_1 之前检测到 RBb_2,则 defer_D1_rd 被驱动为逻辑 1 并且选通信号 rd_data_D1_stb 的生成被禁止。在 defer_D1_rd 处于逻辑 1 的情况下,Defer_RD_D1 (CSI) 之后的读取操作信号将会通过 AND 逻辑门 970 使触发器 960 复位,以将 defer_D1_rd 驱动为逻辑 0,这个逻辑 0 允许读取选通发生器 964 生成其选通信号。

[0114] 第二数据传递控制电路具有与第一数据传递控制电路相同的结构,只是 AND 逻辑门 972 接收 pos_edge_RBb_1 并且 AND 逻辑门 974 接收 Defer_RD_D2 (CSI)。因此,如果首先检测到 RBb_1 的上升沿,则可以禁止第二数据传递控制电路生成它的选通信号 rd_data_D2_stb。读出选通发生器 964 可以包括检测 D1_rd_in_prog 的下降沿并且在 defer_D1_rd 处于逻辑 0 状态的时候响应于该下降沿生成 rd_data_D1_stb 逻辑 1 脉冲的任何逻辑,但是当 defer_D1_rd 处于逻辑 1 状态时,禁止生成 rd_data_D1_stb 逻辑 1 脉冲。此外,读出选通发生器 964 逻辑还应当响应于 defer_D1_rd 的下降跃迁生成 rd_data_D1_stb 逻辑 1 脉冲。读出选通发生器 966 可以包括相同的逻辑电路。rd_data_D2_stb 信号可以由图 15 的

BD 控制器 908 用来向相应的存储器装置发出数据传递命令。

[0115] 按照本文介绍的技术的系统和装置适合于具有多个串连连接的装置的存储器系统。这些装置例如是存储器装置,比如动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)、闪存存储器、DiNOR 闪存 EEPROM 存储器、串行闪存 EEPROM 存储器、铁 RAM 存储器、磁电 RAM 存储器、相变 RAM 存储器和任何其它适当类型的存储器。

[0116] 在前面的介绍中,为了解释说明的目的,给出了很多的具体细节,以便提供对本发明实施方式的透彻理解。不过,对本领域技术人员而言显而易见的是,并不需要具体的细节来实现本发明。在其它情况下,为了不使本发明含糊不清,以框图的形式示出了公知的电气结构和电路。

[0117] 应当理解,当本文将一个元件称为与另一个元件“连接”或“耦合”时,它可以是与另一个元件直接连接或耦合的,也可以是存在其它中间元件。与此相反,当本文将一个元件称为与另一个元件“直接连接”或“直接耦合”时,不存在中间元件。用于描述元件之间关系的其它术语应当以类似的方式来加以理解(即,“介于之间”与“直接介于之间”,“相邻”与“直接相邻”等等)。

[0118] 本申请中包含的附图不必按比例画出。例如,在图 5 中,桥接装置 302 和分立存储器装置 304 的相对尺寸并不符合比例,并且制造出来的桥接装置要在面积上比分立存储器装置 304 小若干数量级。

[0119] 可以对所介绍的实施方式进行某些修改和改变。因此,前面讨论的实施方式被认为是说明性的,而非限制性的。

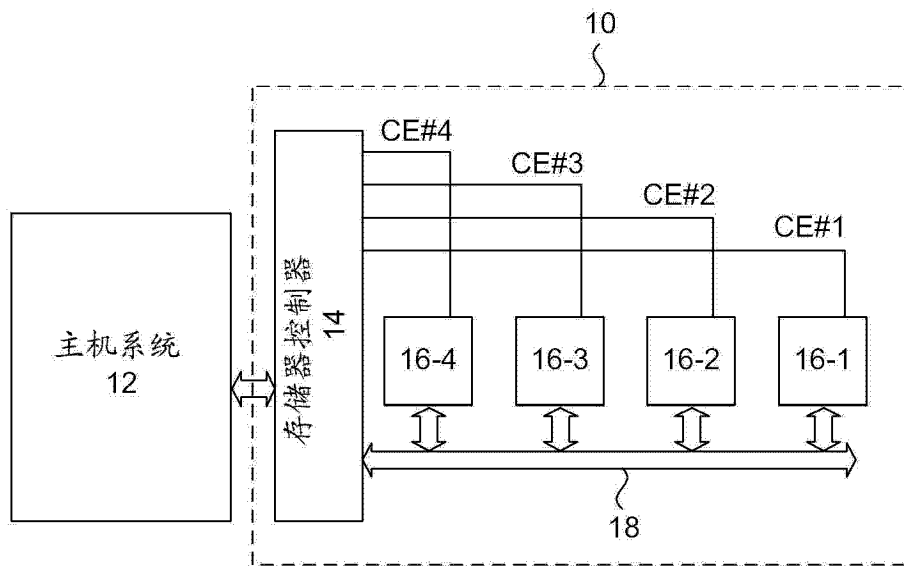


图 1A

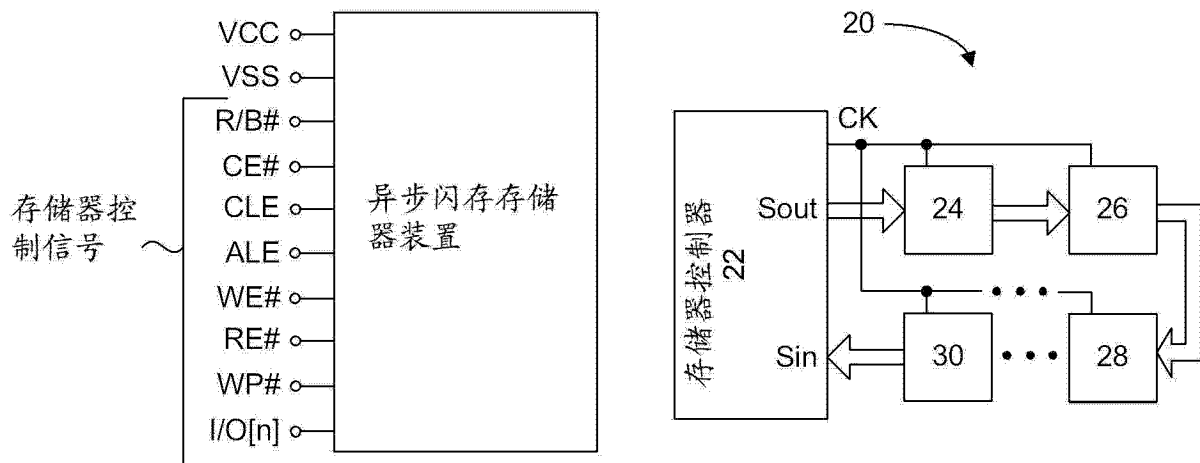


图 2A

图 1B

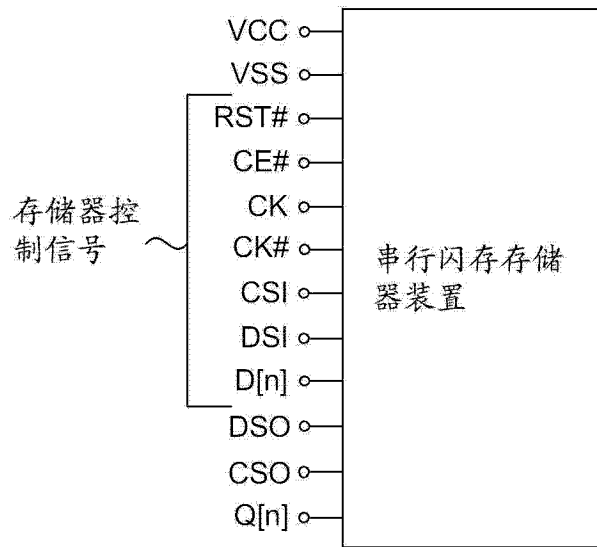


图 2B

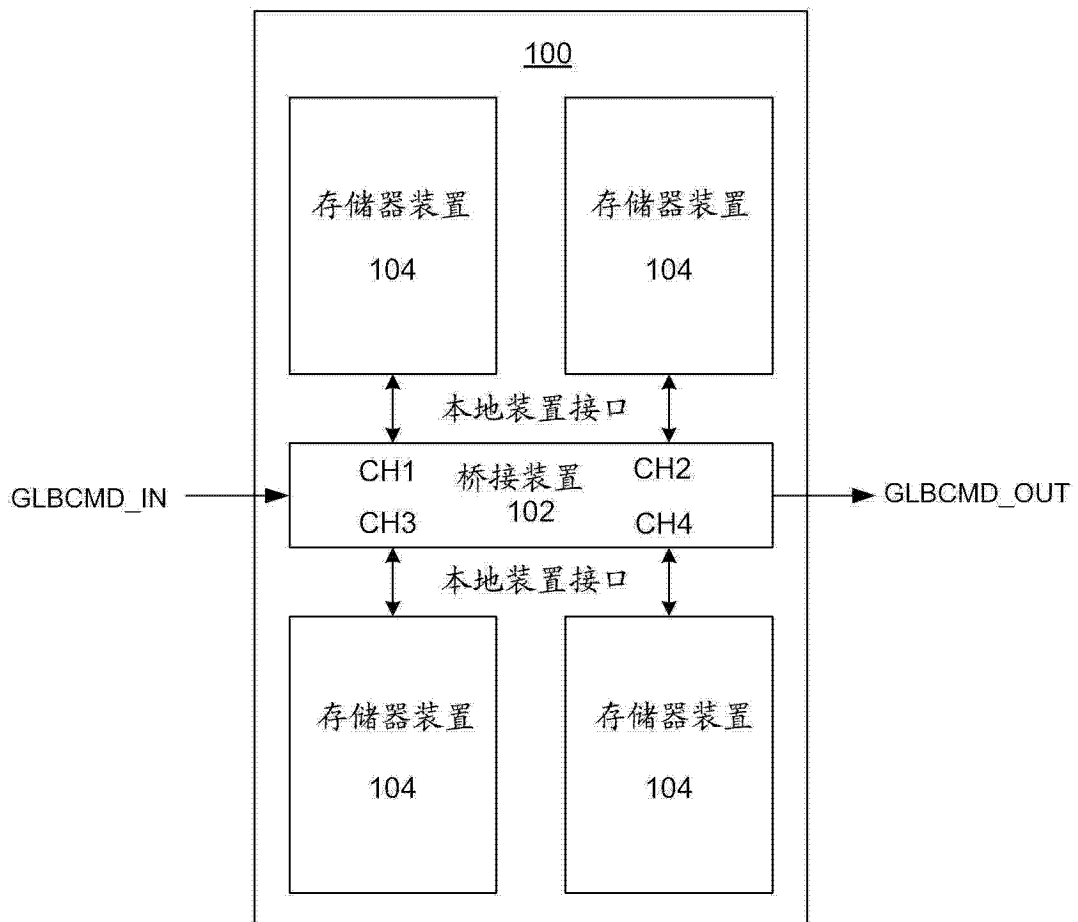


图 3A

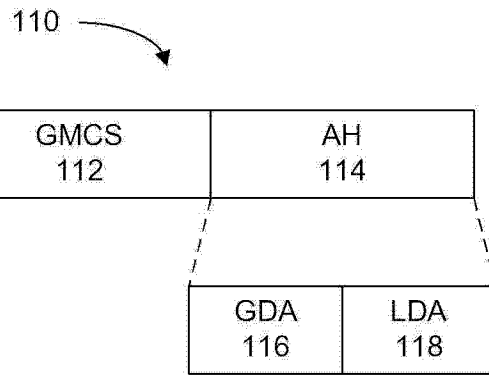


图 3B

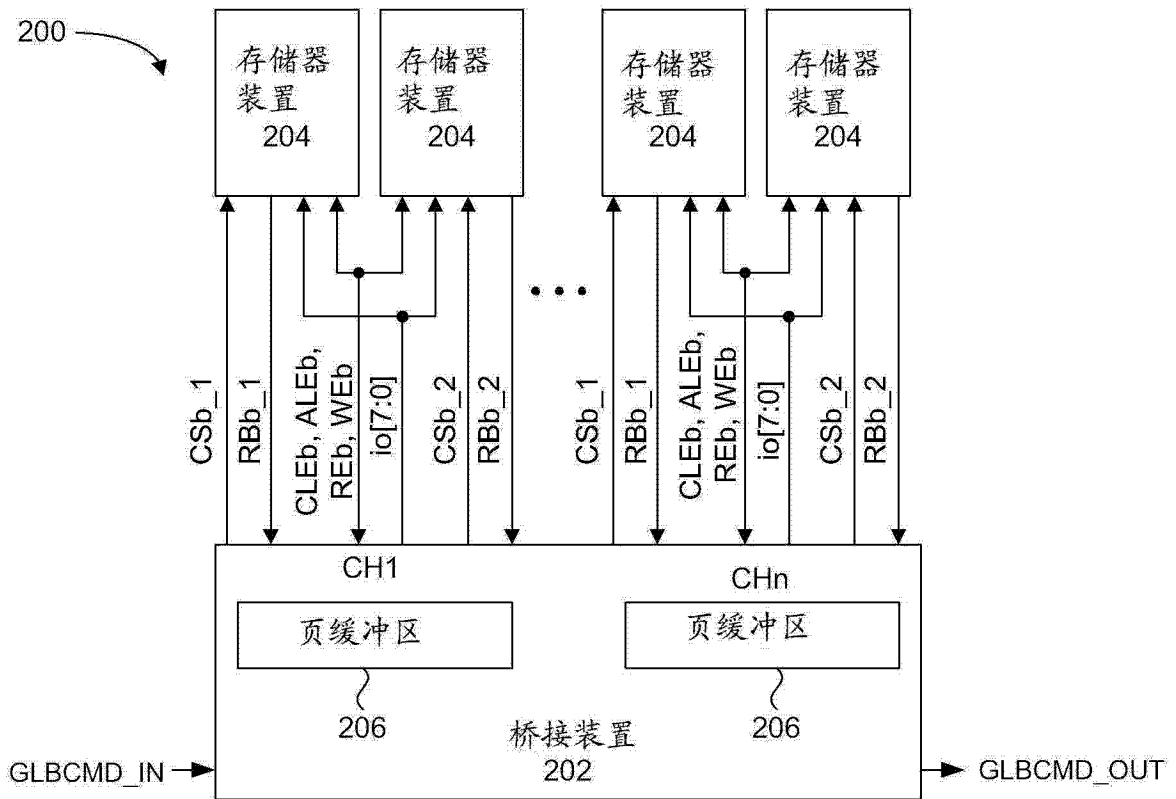


图 4

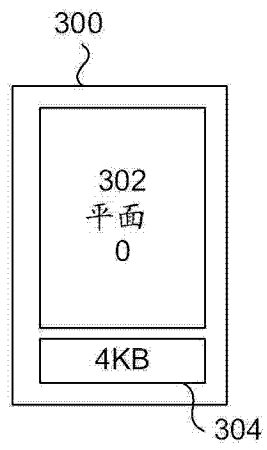


图 5

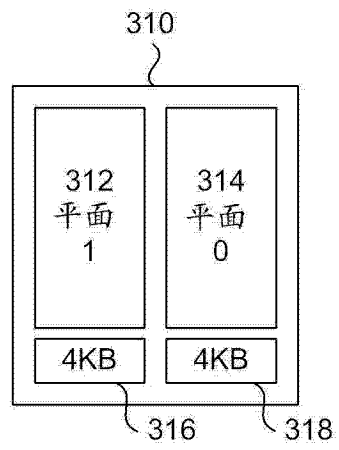


图 6

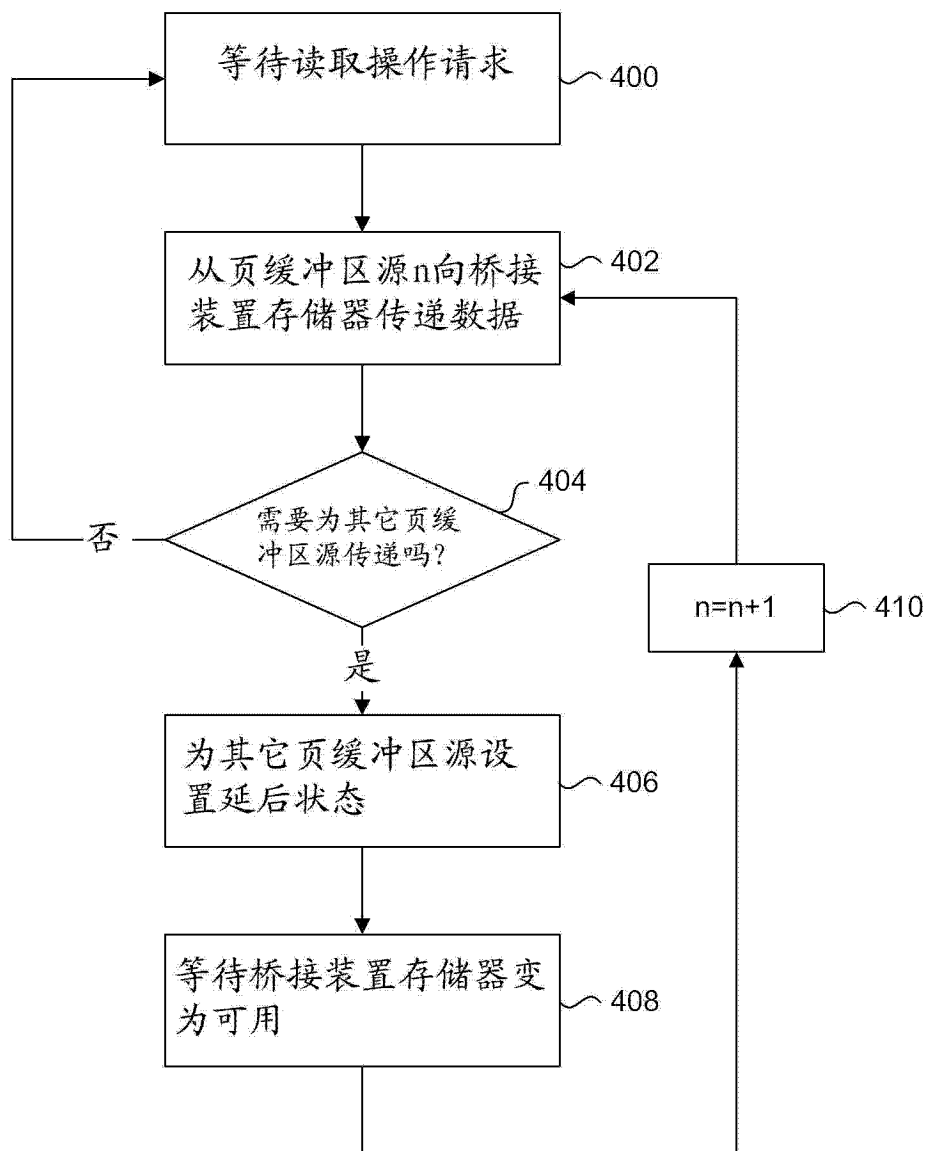


图 7

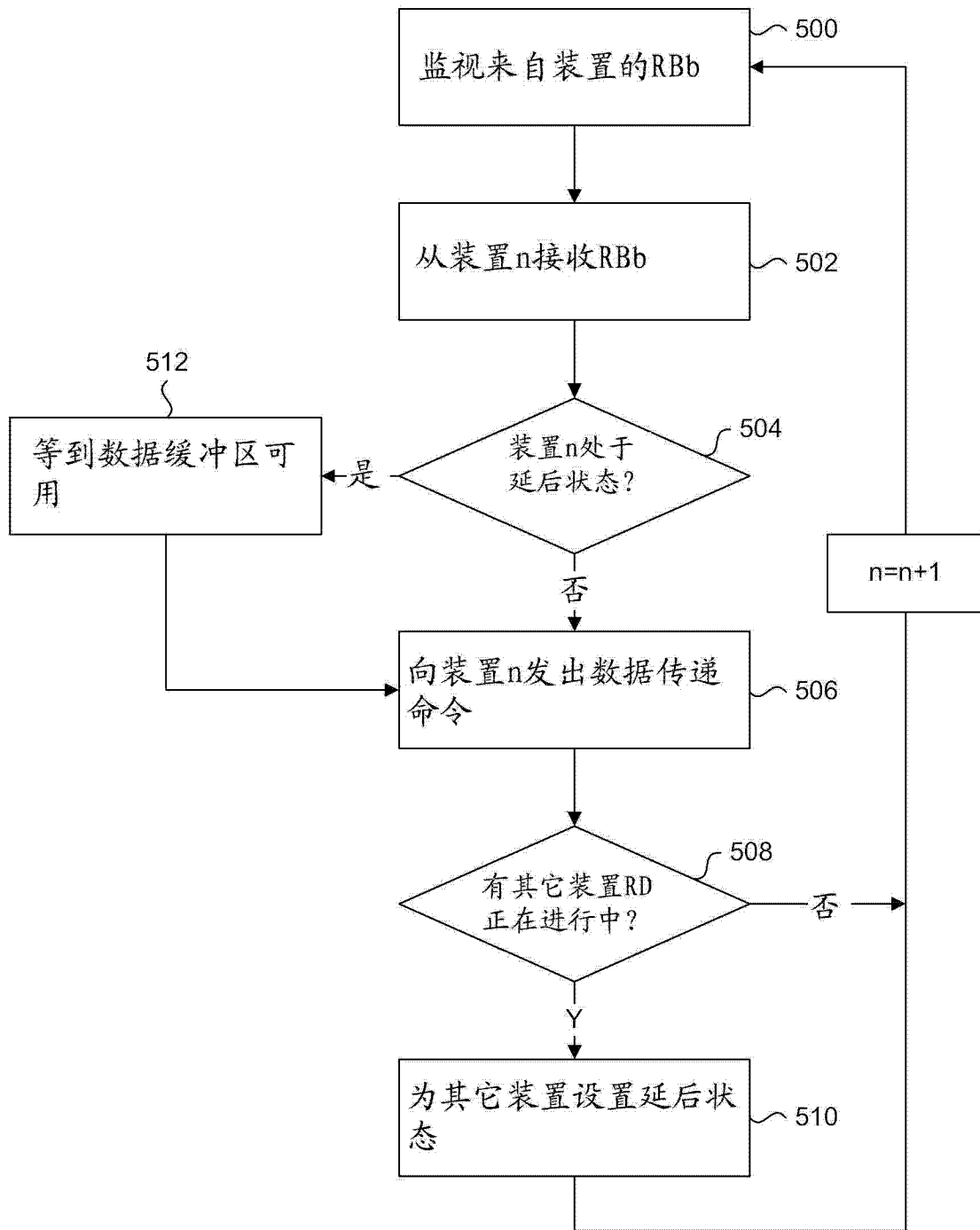


图 8

寄存器名称	位定义	位	值定义	缺省值
状态寄存器	就绪/忙 CH1,D1	0	0=就绪 , 1= 忙	0
	合格/不合格 CH1,D1	1	0=合格 , 1= 不合格	0
		⋮		
	就绪/忙 CH4,D1	6	0=就绪 , 1= 忙	0
	合格/不合格 CH4,D1	7	0=合格 , 1= 不合格	0
	就绪/忙 CH1,D2	8	0=就绪 , 1= 忙	0
	合格/不合格 CH1,D2	9	0=合格 , 1= 不合格	0
		⋮		
	就绪/忙 CH4,D2	14	0=就绪 , 1= 忙	0
	合格/不合格 CH4,D2	15	0=合格 , 1= 不合格	0
	延后读取传递 CH1,D1	16	0=读取未延后 , 1= 读取延后	0
	延后读取传递 CH1,D2	17	0=读取未延后 , 1= 读取延后	0
		⋮		
	延后读取传递 CH4,D1	22	0=读取未延后 , 1= 读取延后	0
延后读取传递 CH4,D2	23	0=读取未延后 , 1= 读取延后	0	

图 9

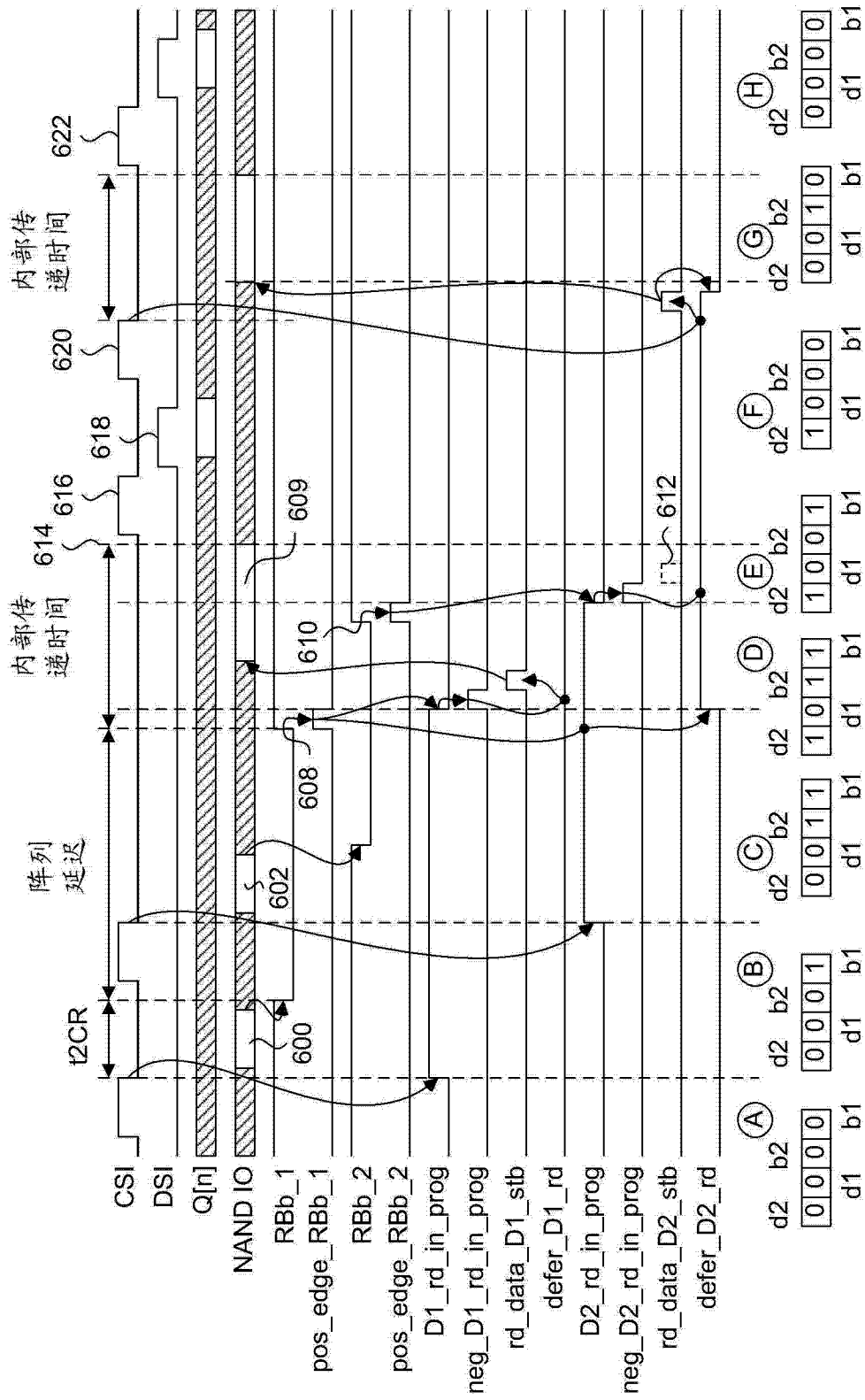


图 10

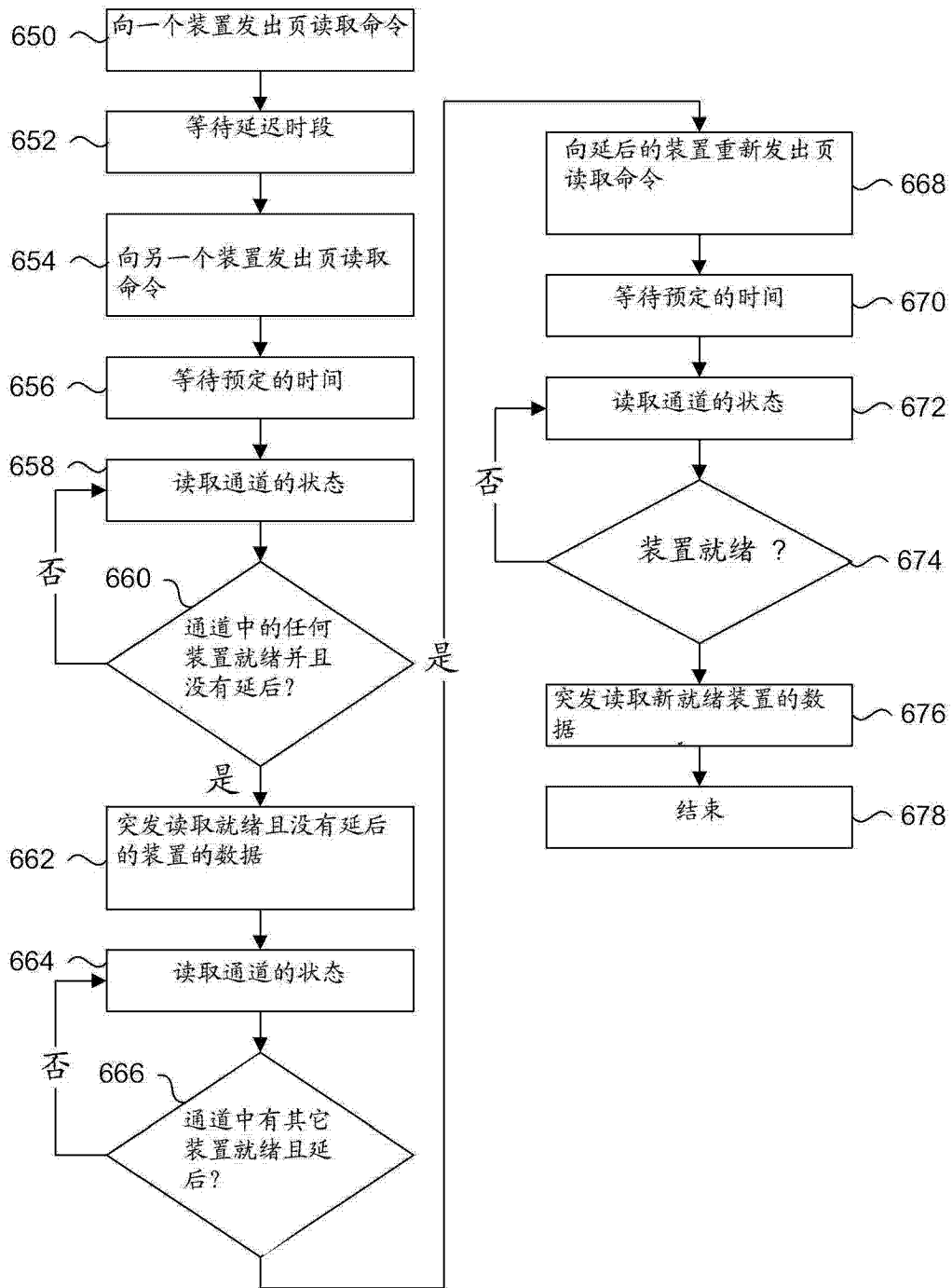


图 11

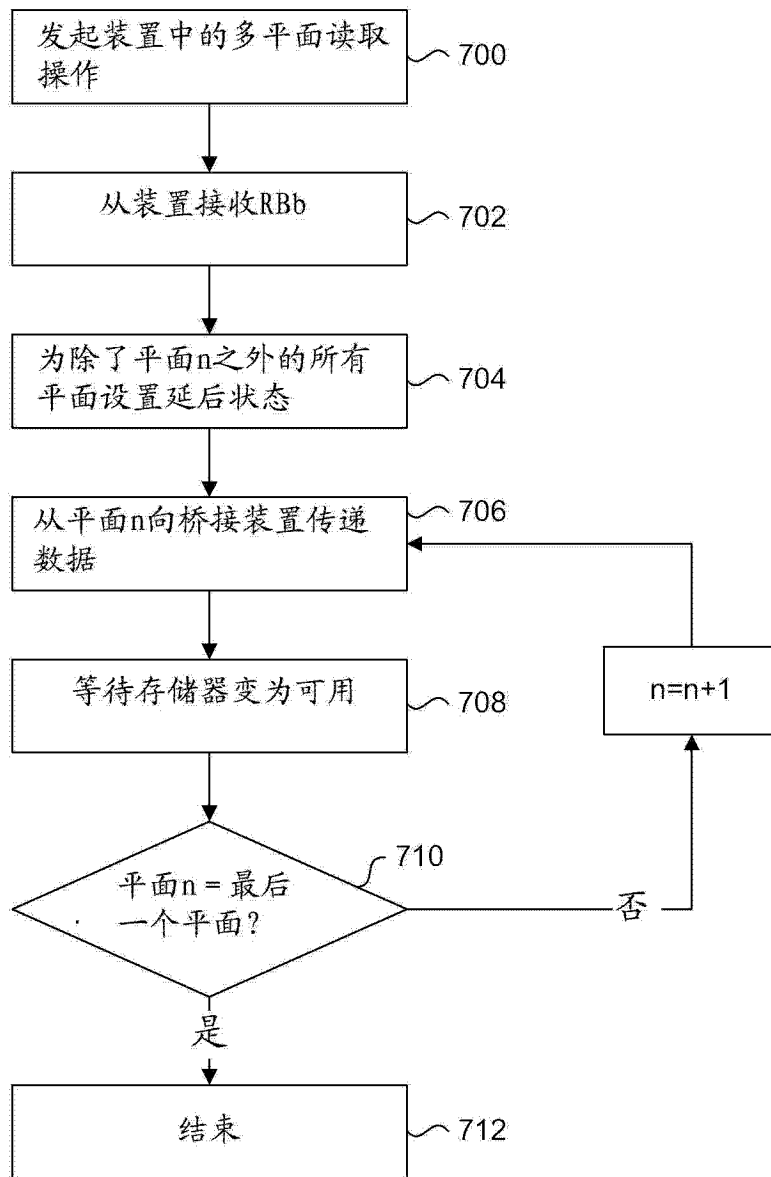


图 12

寄存器名称	位定义	位	值定义	缺省值
状态寄存器	就绪/忙 CH1,D1	0	0=就绪, 1=忙	0
	合格/不合格 CH1,D1	1	0=合格, 1=不合格	0
		•		
		•		
	就绪/忙 CH4,D1	6	0=就绪, 1=忙	0
	合格/不合格 CH4,D1	7	0=合格, 1=不合格	0
	就绪/忙 CH1,D2	8	0=就绪, 1=忙	0
	合格/不合格 CH1,D2	9	0=合格, 1=不合格	0
		•		
		•		
	就绪/忙 CH4,D2	14	0=就绪, 1=忙	0
	合格/不合格 CH4,D2	15	0=合格, 1=不合格	0
	延后读取传递 CH1,D1	16	0=读取未延后, 1=读取延后	0
	延后读取传递 CH1,D2	17	0=读取未延后, 1=读取延后	0
		•		
		•		
延后读取传递 CH4,D1	22	0=读取未延后, 1=读取延后	0	
延后读取传递 CH4,D2	23	0=读取未延后, 1=读取延后	0	
延后读取传递 CH1,D1,P2	24	0=读取未延后, 1=读取延后	0	
延后读取传递 CH1,D2,P2	25	0=读取未延后, 1=读取延后	0	

图 13

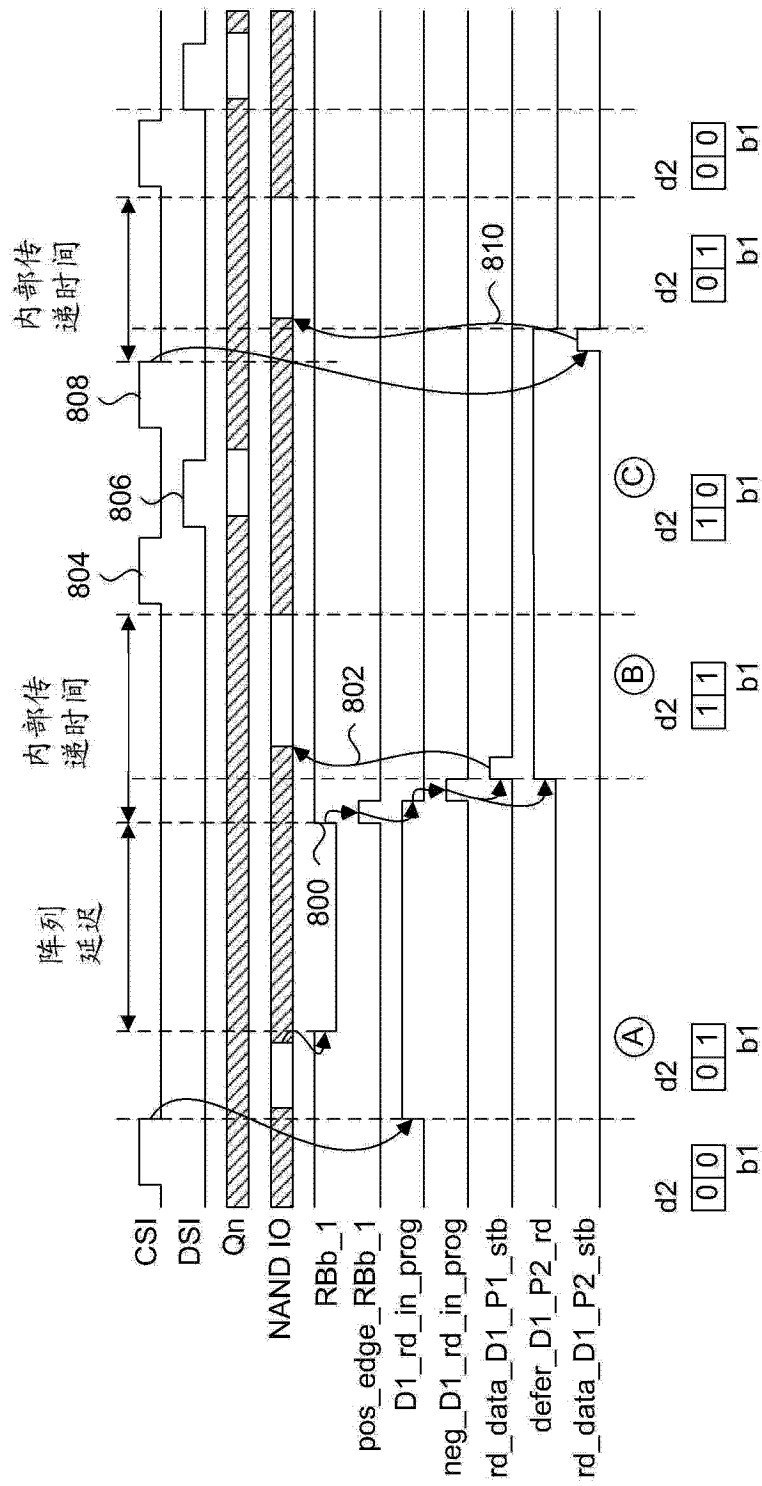


图 14

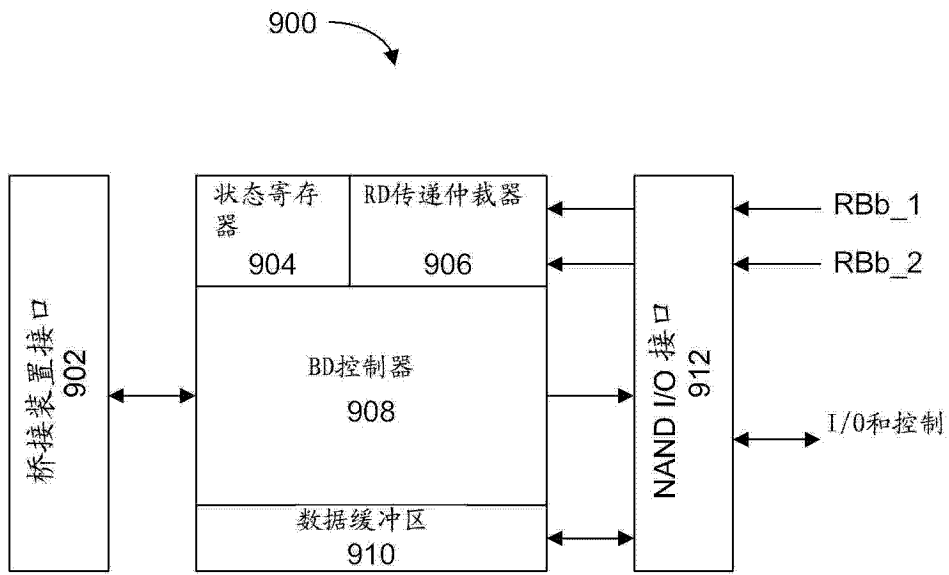


图 15

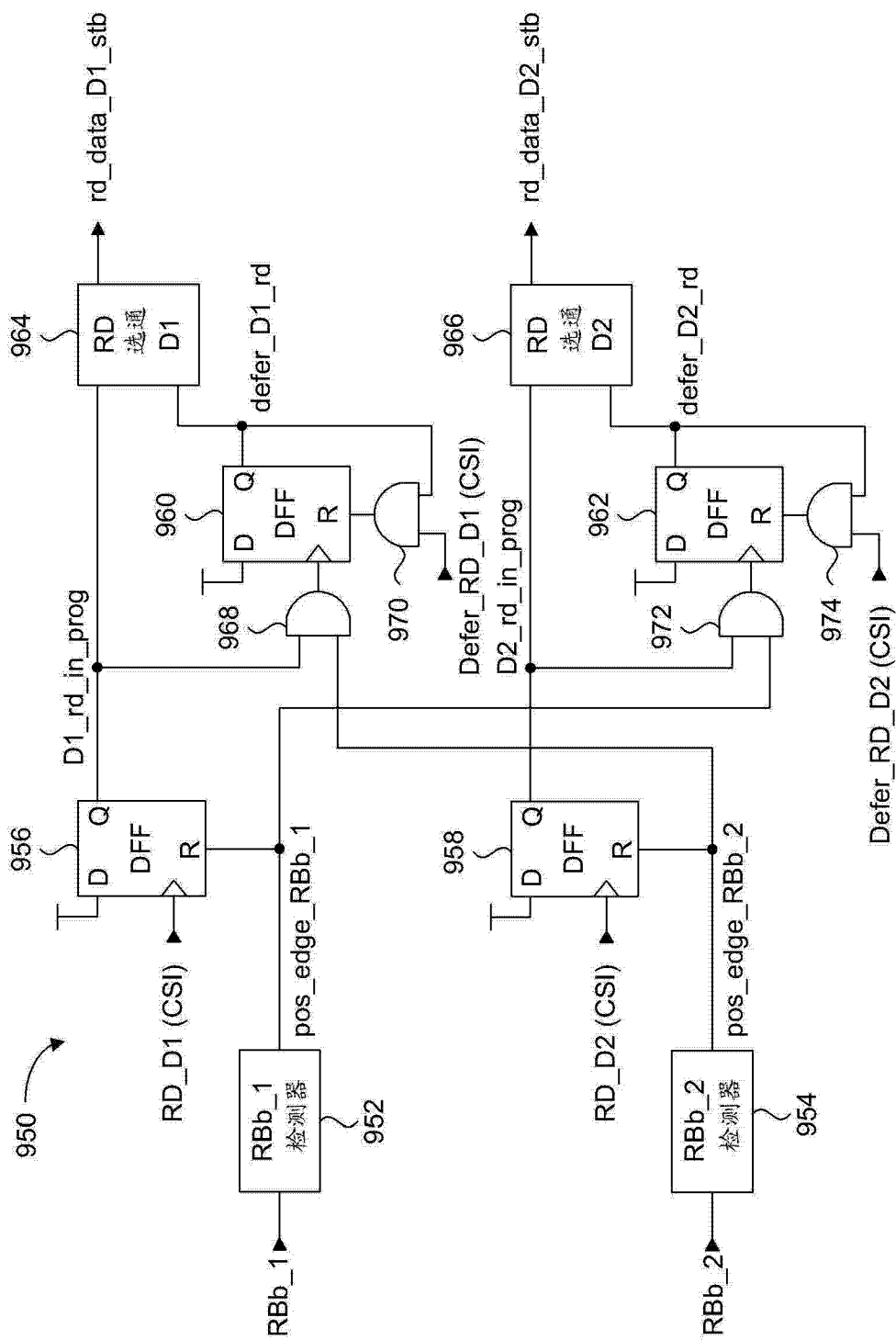


图 16