

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年1月18日 (18.01.2001)

PCT

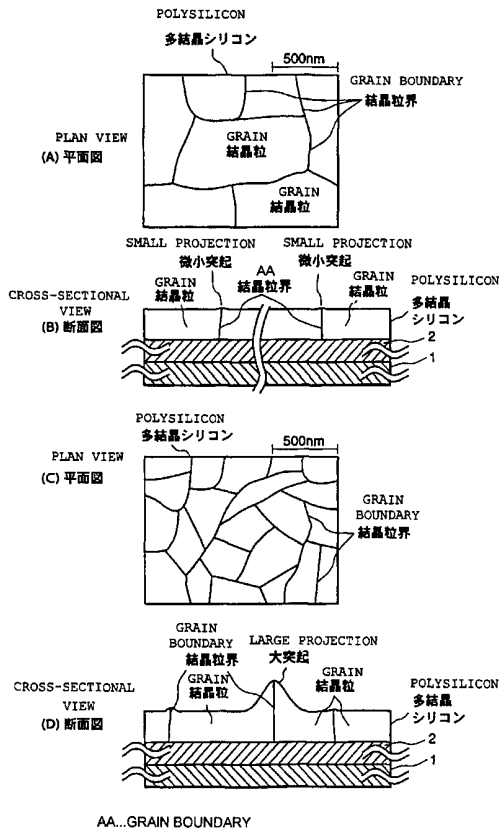
(10) 国際公開番号
WO 01/04939 A1

- (51) 国際特許分類: H01L 21/20, 29/786
- (21) 国際出願番号: PCT/JP00/04608
- (22) 国際出願日: 2000年7月11日 (11.07.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願平11/198359 1999年7月13日 (13.07.1999) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 品川陽明 (SHINAGAWA, Youmei) [JP/JP]. 三村秋男 (MIMURA, Akio) [JP/JP]. 河内玄士朗 (KAWACHI, Genshiro) [JP/JP]. 佐藤健史 (SATO, Takeshi) [JP/JP]; 〒319-1292 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内 Ibaraki (JP).
- (74) 代理人: 高田幸彦, 外(TAKADA, Yukihiko et al.); 〒317-0073 茨城県日立市幸町二丁目1番48号 Ibaraki (JP).
- (81) 指定国 (国内): KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

[続葉有]

(54) Title: SEMICONDUCTOR FILM, LIQUID-CRYSTAL DISPLAY USING SEMICONDUCTOR FILM, AND METHOD OF MANUFACTURE THEREOF

(54) 発明の名称: 半導体薄膜とその半導体膜を用いた液晶表示装置及びその製造方法



(57) Abstract: A method of semiconductor manufacture includes the steps of forming an insulating layer on a glass substrate, forming a first semiconductor layer, crystallizing the first semiconductor layer using laser whose energy is gradually increased, forming a second semiconductor layer thinner than the first semiconductor layer, and crystallizing the second semiconductor layer using laser whose energy is gradually increased. All the steps are carried out sequentially in a space isolated from the atmosphere, resulting in a crystalline semiconductor of high quality having a smooth surface and a large grain size.



WO 01/04939 A1

[続葉有]



添付公開書類：
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

ガラス基板上に絶縁膜の成膜，一層目の半導体膜の成膜，レーザ光を弱いエネルギーから強いものへと段階的に照射する一層目の半導体膜の結晶化，一層目よりも薄い二層目半導体の成膜，レーザ光を弱いエネルギーから強いものへと段階的に照射する二層目半導体薄膜のレーザ結晶化、の一連の工程を大気にさらすことなく連続的に行うことにより、表面が平坦でかつ結晶粒径の大きな、高品質結晶性半導体及びその製造方法を提供する。

明 細 書

半導体薄膜とその半導体膜を用いた液晶表示装置及びその製造方法

5 技術分野

本発明はレーザ結晶化法によって作製した半導体薄膜と、この半導体薄膜を用いた薄膜トランジスタ及び液晶表示装置，アクティブマトリクス型液晶表示装置，太陽電池等の半導体装置とそれら製造方法に関するものである。

10 背景技術

高性能な薄膜トランジスタ，高付加価値の液晶表示装置や太陽電池への応用が期待される結晶性半導体を低コストで作製する手段としては、レーザ結晶化技術が最も広く研究されている。レーザ照射による半導体薄膜の結晶化では、半導体の表面近傍のみを局所加熱するため、支持基板に安価なガラス基板や有機樹脂基板が使用できるため、低コスト化につながる。また、レーザ照射した半導体は、一度液体になった後、冷却固化して結晶化するため、欠陥の少ない高品質な結晶性半導体になる。結晶性半導体の膜質を向上させる手段の一つとして、結晶粒径の拡大がある。結晶粒径の拡大によって、欠陥を含む結晶粒界の半導体膜全体に対する体積割合が減少し、電子およびホール

15

20

25

の移動度が向上する。また、欠陥の減少自体が結晶性半導体の膜質を向上させる。結晶粒径を拡大させる手段としては、(1) Dig. of Tech. Papers 1997 Int. Workshop Active Matrix Liq.Cryst.Displays (Business Center of Academic Societies, Tokyo 1997) p59に記載されているように、非晶質シリコンをレーザ結晶化した後、作製された多結晶シリコン上に非晶質シリコンを成膜し、この非晶質シリコンをレーザ結晶化する方法がある。

一方、レーザ結晶化法により作製した結晶性半導体たとえば多結晶シリコンの問題点として、結晶粒径の大きな高品質な多結晶シリコンを作製した

時に生じる多数の突起による表面の凹凸の形成がある。この突起の高さはレーザー照射前の半導体の膜厚に近くなる。突起発生のメカニズムは、Applied Physics Letters vol.68 No.15 1996 p2138 で報告されているように、基板に対しての横方向の結晶成長面が衝突する境界での、熔融シリコンから固体シリコンへの相変化に伴う体積の膨張による、と考えられている。なお、横方向の結晶成長は、半導体薄膜の膜厚以上の大きな結晶粒が生じる際には、通常起きる。この凹凸が大きい半導体薄膜を、コプレナー型薄膜トランジスタの能動層に用いた場合、突起で電界集中が起こり、この能動層の上層であるゲート絶縁膜の絶縁破壊が起きたり、ホットキャリアによる欠陥発生等のゲート絶縁膜信頼性の低下が生じる。それを防止するため、ゲート絶縁膜を1000nm以上に厚く成膜しなければならず、薄膜トランジスタの低消費電力駆動が困難になる。また、この突起の結晶性は大変悪く、この突起が多数発生した半導体をコプレナー型もしくは正スタガー型薄膜トランジスタに用いる場合、チャンネル領域に突起が位置するので、オン電流を低下させる。この半導体薄膜のレーザー結晶化時における突起の発生を抑制する手段としては、これまで以下の手段が報告されている。

(2) IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.42 NO.2 1995 p251 に記載されているようにレーザーを10mJ/cm² ピッチで多段階照射する。

(3) Dig. of Tech. Papers 1997 Int. Workshop Active Matrix Liq. Cryst. Displays (Business Center of Academic Societies, Tokyo 1997) p167 に記載されているように、非晶質シリコンを固層成長法で多結晶化した後、レーザー照射する。

(4) 信学技報EID98-19(1998-06) p67 に記載されているように、レーザービームの形状を、すそを長くするように変える。

25 結晶性半導体の結晶粒径拡大を目的とした上記従来技術の(1)では、結晶粒径は確かに拡大するが、半導体の膜厚と同じレベルの高さの突起が生じ、大きな凹凸が発生する点で問題がある。また、レーザー照射前の非晶質シリコ

ンを脱水素処理のため外気に触れさせるので、表面に自然酸化膜ができ、レーザー結晶化の際、シリコン膜中に酸素が混入して、膜質を低下させるのも問題である。

一方、突起の発生を抑制する従来技術の(2)は、レーザーを細かく10 mJ/cm²で多段階照射するため、一度できた微結晶シリコンが溶融しにくく、結晶粒径が60 nm程度の多結晶シリコンしか作製できず、結晶粒径が500 nm以上の大きな多結晶シリコンができないという問題点がある。(3)では、固層成長法を用いるため、シリコンを1000°Cで加熱するので安価なガラス基板が使用できず、低コストで結晶性半導体を製造できない問題がある。(4)では、突起が小さくなると結晶粒径が小さくなり、表面の粗さの小ささと結晶粒径の大きさを両立できない問題がある。

それに対して、本発明はレーザー結晶化法を用い、結晶粒径の拡大と半導体表面での突起生成の抑制との両立を目的としており、膜厚が40 nm以上でかつ平均結晶粒径が500 nm以上でかつ表面の平均粗さが5 nm以下と平坦な高性能な結晶性半導体を、低コストで提供するものである。

発明の開示

上記課題を解決するため、本発明の請求項1記載の半導体薄膜は、レーザー結晶化法でガラス基板上に作製され、膜厚が40 nm以上100 nm未満でかつ表面の平均粗さが5 nm以下でかつ平均結晶粒径が500 nm以上であることを特徴としている。

本発明の請求項2記載の半導体薄膜は、レーザー結晶化法でガラス基板上に作製され、膜厚が40 nm以上100 nm未満でかつ表面の平均粗さが5 nm以下でかつ平均結晶粒径が500 nm以上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒の外周の長さ L_n が、 $R_n = (S_n/\pi)^{1/2}$ で定義される R_n に対して、少なくとも50%以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立つことを特徴としている。

本発明の請求項 3 記載の半導体薄膜は、レーザ結晶化法によってガラス基板上に作製され、膜厚が 40 nm 以上 100 nm 未満でかつ表面の平均粗さが 5 nm 以下でかつ平均結晶粒径が 500 nm 以上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒の外周の長さ L_n が、 $R_n = (S_n / \pi)^{1/2}$ で定義される R_n に対して、少なくとも 50 % 以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立ち、さらにある断面の結晶構造を見た時、少なくとも 70 % 以上の結晶粒が半導体層と下地との界面から半導体表面まで、途中で切れることなく連続的に延びていることを特徴としている。

本発明の請求項 4 記載の半導体薄膜は、レーザ結晶化法によってガラス基板上に作製され、膜厚が 40 nm 以上でかつ表面の平均粗さが 5 nm 以下でかつ平均結晶粒径が 500 nm 以上であることを特徴としている。

本発明の請求項 5 記載の半導体薄膜は、レーザ結晶化法によってガラス基板上で作製され、膜厚が 40 nm 以上でかつ表面の平均粗さが 5 nm 以下でかつ平均結晶粒径が 500 nm 以上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒の表面における外周の長さ L_n が、 $R_n = (S_n / \pi)^{1/2}$ で定義される R_n に対して、少なくとも 50 % 以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立つことを特徴としている。

本発明の請求項 6 記載の半導体薄膜は、請求項 1, 2, 3, 4 もしくは 5 記載の半導体薄膜の特徴に加えて、結晶粒の配向が主に (1.1.1) 面であることを特徴としている。

本発明の請求項 7 記載の半導体薄膜は、請求項 1, 2, 3, 4, 5 もしくは 6 記載の半導体薄膜の特徴に加えて、半導体がシリコンであることを特徴としている。

本発明の請求項 8 記載の半導体薄膜は、請求項 1, 2, 3, 4, 5, 6 もしくは 7 記載の半導体薄膜の特徴に加えて、少なくとも一部の結晶粒界の位置決めがされており、またその一部の結晶粒の配向が (1.0.0) もしくは (1.1.0) であることを特徴としている。

本発明の請求項 9 記載の半導体薄膜は、請求項 1, 2, 3, 4, 5, 6, 7 もしくは 8 記載の半導体薄膜の特徴に加えて、ガラス基板が無アルカリガラスでありかつその歪点が 700°C 以下であることを特徴としている。

5 本発明の請求項 10 記載の半導体薄膜の製造方法は、ガラス基板上に絶縁膜を成膜した後、大気にさらされることなく絶縁膜上で半導体薄膜の成膜と連続してそれに続くレーザ結晶化のセットを少なくとも 2 回以上繰り返す半導体薄膜の製造方法で、各セットのレーザの照射法が弱いエネルギーのレーザ光の走査から強いエネルギーのレーザ光の走査へと段階的にレーザ光のエネルギーを上げていく方法であることを特徴としている。

10 本発明の請求項 11 記載の半導体薄膜の製造方法は、ガラス基板上に絶縁膜を成膜した後、大気にさらされることなく絶縁膜上で半導体薄膜の成膜と連続してそれに続くレーザ結晶化のセットを少なくとも 2 回以上繰り返す半導体薄膜の製造方法で、半導体成膜時の膜厚が下層より上層が薄いことを特徴としている。

15 本発明の請求項 12 記載の半導体薄膜の製造方法は、請求項 10 もしくは 11 記載の製造方法の特徴に加えて、一層目に成膜した半導体薄膜の膜厚が 30 nm 以上 70 nm 以下、および二層目に成膜した半導体薄膜の膜厚が 25 nm 以上 40 nm 以下であることを特徴としている。

20 本発明の請求項 13 記載の半導体薄膜の製造方法は、請求項 10, 11 もしくは 12 記載の製造方法の特徴に加えて、成膜した半導体薄膜が、膜中の結合水素濃度が 10% 以下のシリコンであることを特徴としている。

本発明の請求項 14 記載の半導体薄膜の製造方法は、請求項 10, 11, 12 もしくは 13 記載の製造方法の特徴に加えて、レーザ結晶化の際の基板温度が 200°C 以上 500°C 以下であることを特徴としている。

25 本発明の請求項 15 記載の半導体薄膜の製造方法は、請求項 10, 11, 12, 13 もしくは 14 記載の製造方法の特徴に加えて、使用するガラス基板が無アルカリガラスでありかつその歪点が 700°C 以下であることを特徴

としている。

本発明の請求項 16 記載の薄膜トランジスタを含む半導体装置は、ガラス
基板上に作製されたこと、および薄膜トランジスタの能動層に、レーザ結晶
5 化法によって作製された膜厚が 40 nm 以上 100 nm 未満でかつ表面の平
均粗さが 5 nm 以下でかつ平均結晶粒径が 500 nm 以上である半導体薄膜を
用いたことを特徴としている。

本発明の請求項 17 記載の薄膜トランジスタを含む半導体装置は、ガラス
基板上に作製されたこと、および薄膜トランジスタの能動層に、レーザ結晶
10 化法によって作製された膜厚が 40 nm 以上 100 nm 未満でかつ表面の平
均粗さが 5 nm 以下でかつ平均結晶粒径が 500 nm 以上でかつ任意の結晶粒
の面積を S_n とした時、その結晶粒の表面における外周の長さ L_n が、 R_n
 $= (S_n / \pi)^{1/2}$ で定義される R_n に対して、少なくとも 50% 以上の結晶
粒において $L_n \leq 4\pi R_n$ が成り立つ半導体薄膜を用いたことを特徴として
いる。

15 本発明の請求項 18 記載の薄膜トランジスタを含む半導体装置は、ガラス
基板上に作製されたこと、およびレーザ結晶化法で作製された膜厚が 40 nm
以上 100 nm 未満でかつ表面の平均粗さが 5 nm 以下でかつ平均結晶粒
径が 500 nm 以上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒
の外周の長さ L_n が、 $R_n = (S_n / \pi)^{1/2}$ で定義される R_n に対して、少
20 なくとも 50% 以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立ち、さらにあ
る断面の結晶構造を見た時、少なくとも 70% 以上の結晶粒が半導体層と下
地との界面から半導体表面まで、途中で切れることなく連続的に延びている
半導体薄膜を薄膜トランジスタの能動層に用いたことを特徴としている。

本発明の請求項 19 記載の薄膜トランジスタを含む半導体装置は、ガラス
25 基板上に作製され、かつ請求項 4, 5, 6, 7, 8 もしくは 9 記載の半導体
薄膜を薄膜トランジスタの能動層に用いたことを特徴としている。

本発明の請求項 20 記載のコプレナー型もしくは正スタガー型薄膜トラン

ジスタを含む半導体装置は、ガラス基板上に作製され、かつ能動層に請求項 1, 2, 3, 4, 5, 6, 7, 8 もしくは 9 記載の半導体薄膜を用い、かつ薄膜トランジスタのゲート絶縁膜の膜厚が 80 nm 以下もしくはゲート絶縁膜と能動層の膜厚の比が 8/6 以下であることを特徴としている。

- 5 本発明の請求項 2 1 記載のコプレナー型もしくは正スタガー型薄膜トランジスタを含む半導体装置は、ガラス基板上に作製され、かつ能動層に請求項 1, 2, 3, 4, 5, 6, 7, 8 もしくは 9 記載の半導体薄膜を用い、かつ薄膜トランジスタのゲート絶縁膜の膜厚が能動層の膜厚以下であることを特徴としている。

- 10 本発明の請求項 2 2 記載の薄膜トランジスタを含む半導体装置は、請求項 1 6, 1 7, 1 8, 1 9, 2 0 もしくは 2 1 記載の特徴に加えて、ガラス基板が無アルカリガラスでありかつその歪点が 7 0 0 °C 以下であることを特徴としている。

- 15 本発明の請求項 2 3 記載の太陽電池を含む半導体装置は、太陽電池の半導体層の少なくとも一層に、レーザ結晶化法で作製され、かつ膜厚が 4 0 nm 以上でかつ表面の平均粗さが 5 nm 以下でかつ平均結晶粒径が 5 0 0 nm 以上である半導体薄膜を用いたことを特徴としている。

- 20 本発明の請求項 2 4 記載の太陽電池を含む半導体装置は、太陽電池の半導体層の少なくとも一層に、レーザ結晶化法で作製され、かつ膜厚が 4 0 nm 以上でかつ表面の平均粗さが 5 nm 以下でかつ平均結晶粒径が 5 0 0 nm 以上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒の外周の長さ L_n が、 $R_n = (S_n / \pi)^{1/2}$ で定義される R_n に対して、少なくとも 5 0 % 以上の結晶粒において $L_n \leq 4 \pi R_n$ が成り立つ半導体薄膜を用いたことを特徴としている。

- 25 本発明の請求項 2 5 記載の太陽電池を含む半導体装置は、太陽電池の半導体層の少なくとも一層に、レーザ結晶化法で作製され、かつ膜厚が 4 0 nm 以上でかつ表面の平均粗さが 5 nm 以下でかつ平均結晶粒径が 5 0 0 nm 以

上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒の表面における外周の長さ L_n が、 $R_n = (S_n / \pi)^{1/2}$ で定義される R_n に対して、少なくとも 50% 以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立ち、さらにある断面の結晶構造を見た時、少なくとも 70% 以上の結晶粒が半導体層と下地との界面から半導体表面まで、途中で切れることなく連続的に延びている半導体薄膜を用いたことを特徴としている。

本発明の請求項 26 記載の太陽電池を含む半導体装置は、太陽電池の半導体層の少なくとも一層に、請求項 1, 2, 3, 6, 7, 8 もしくは 9 記載の半導体薄膜を用いたことを特徴としている。

10 本発明の請求項 27 記載の薄膜トランジスタを含む半導体装置の製造方法は、薄膜トランジスタの能動層の製造に、請求項 10, 11, 12, 13, 14 もしくは 15 記載の半導体薄膜の製造方法を適用したことを特徴としている。

15 本発明の請求項 28 記載の太陽電池を含む半導体装置の製造方法は、太陽電池の半導体層の少なくとも一層の製造に、請求項 10, 11, 12, 13, 14 もしくは 15 記載の半導体薄膜の製造方法を適用したことを特徴としている。

20 本発明の請求項 29 記載の画素もしくは周辺回路の駆動素子に薄膜トランジスタを使用しているアクティブマトリクス型液晶表示装置を含む半導体装置は、支持基板に歪点が 700°C 以下の無アルカリガラスを用い、かつアクティブマトリクス型液晶表示装置の薄膜トランジスタに、請求項 16, 17, 18, 19, 20, 21 もしくは 22 記載の薄膜トランジスタを画素もしくは周辺回路の駆動素子として使用することを特徴としている。

25 本発明の請求項 30 記載の画素もしくは周辺回路の駆動素子に薄膜トランジスタを使用しているアクティブマトリクス型液晶表示装置を含む半導体装置の製造方法は、支持基板に歪点が 700°C 以下の無アルカリガラスを用い、かつアクティブマトリクス型液晶表示装置の薄膜トランジスタの製造に、

請求項 2 7 記載の薄膜トランジスタの製造方法を適用することを特徴としている。

本発明の請求項 3 1 記載の画素の駆動素子に薄膜トランジスタを使用し、かつ画素における信号蓄積容量の片方の電極を、薄膜トランジスタの能動層
5 と同層の半導体薄膜で形成するアクティブマトリクス型液晶表示装置を含む半導体装置は、支持基板に歪点が 700°C 以下の無アルカリガラスを用い、かつアクティブマトリクス型液晶表示装置の画素の信号蓄積容量の片方の電極を形成する半導体薄膜が、膜厚が 40 nm 以上 100 nm 未満でかつ表面の平均粗さが 5 nm 以下でかつ平均結晶粒径が 500 nm 以上であることを
10 特徴としている。

本発明の請求項 3 2 記載の画素の駆動素子に薄膜トランジスタを使用し、かつ画素における信号蓄積容量の片方の電極を、薄膜トランジスタの能動層
と同層の半導体薄膜で形成するアクティブマトリクス型液晶表示装置を含む半導体装置は、支持基板に歪点が 700°C 以下の無アルカリガラスを用い、
15 かつアクティブマトリクス型液晶表示装置の画素の信号蓄積容量の片方の電極を形成する半導体薄膜が、膜厚 40 nm 以上 100 nm 未満でかつ表面の平均粗さが 5 nm 以下でかつ平均結晶粒径が 500 nm 以上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒の外周の長さ L_n が、 $R_n = (S_n / \pi)^{1/2}$ で定義される R_n に対して、少なくとも 50% 以上の結晶粒において
20 $L_n \leq 4\pi R_n$ が成り立つ半導体薄膜であることを特徴としている。

本発明の請求項 3 3 記載の画素の駆動素子に薄膜トランジスタを使用し、かつ画素における信号蓄積容量の片方の電極を、薄膜トランジスタの能動層
と同層の半導体薄膜で形成するアクティブマトリクス型液晶表示装置を含む半導体装置は、支持基板に歪点が 700°C 以下の無アルカリガラスを用い、
25 かつアクティブマトリクス型液晶表示装置の画素の信号蓄積容量の片方の電極を形成する半導体薄膜が、膜厚 40 nm 以上 100 nm 未満でかつ表面の平均粗さが 5 nm 以下でかつ平均結晶粒径が 500 nm 以上でかつ任意の結

晶粒の面積を S_n とした時、その結晶粒の外周の長さ L_n が、 $R_n = (S_n / \pi)^{1/2}$ で定義される R_n に対して、少なくとも 50% 以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立ち、さらにある断面の結晶構造を見た時、少なくとも 70% 以上の結晶粒が半導体層と下地との界面から半導体表面まで、途中で切れることなく連続的に延びている半導体薄膜であることを特徴としている。

本発明の請求項 34 記載の画素の駆動素子に薄膜トランジスタを使用し、かつ画素における信号蓄積容量の片方の電極を、薄膜トランジスタの能動層と同層の半導体薄膜で形成するアクティブマトリクス型液晶表示装置を含む半導体装置は、支持基板に歪点が 700°C 以下の無アルカリガラスを用い、かつ画素の信号蓄積容量の片方の電極を形成する半導体薄膜が、請求項 4, 5, 6, 7, 8 もしくは 9 項記載の半導体薄膜であることを特徴としている。

本発明の請求項 35 記載の画素の駆動素子に薄膜トランジスタを使用し、かつ画素における信号蓄積容量の片方の電極を、薄膜トランジスタの能動層と同層の半導体薄膜で形成するアクティブマトリクス型液晶表示装置を含む半導体装置の製造方法は、支持基板に歪点が 700°C 以下の無アルカリガラスを用い、かつ画素の信号蓄積容量の片方の電極を形成する半導体薄膜を、請求項 10, 11, 12, 13, 14 もしくは 15 記載の半導体薄膜の製造方法で作製したことを特徴としている。

本発明の請求項 36 記載の半導体薄膜もしくは半導体装置の製造方法は、請求項 10, 11, 12, 13, 14, 15, 27, 28, 30 もしくは 35 記載の製造方法の特徴に加えて、半導体薄膜もしくは半導体装置の製造に、少なくとも半導体薄膜の成膜装置とレーザ結晶化装置が排気装置を備えた搬送装置で連結されている装置を使用することを特徴としている。

本発明の請求項 37 記載の半導体薄膜もしくは半導体装置の製造方法は、請求項 10, 11, 12, 13, 14, 15, 27, 28, 30 もしくは 35 記載の製造方法の特徴に加えて、半導体薄膜もしくは半導体装置の製造に、

少なくとも半導体薄膜の成膜装置と絶縁膜の成膜装置とレーザ結晶化装置が排気装置を備えた搬送装置で連結されている装置を使用することを特徴としている。

本発明の請求項 3 8 記載の半導体薄膜もしくは半導体装置の製造方法は、
5 請求項 3 6 もしくは 3 7 記載の製造方法の特徴に加えて、搬送装置の雰囲気
を 10^{-5} torr 以上の真空にするかもしくは窒素、ヘリウム、ネオンやアルゴン
ガス等の不活性ガス雰囲気にすることを特徴としている。

本発明の請求項 3 9 記載の半導体薄膜もしくは半導体装置の製造方法は、
請求項 1 0, 1 1, 1 2, 1 3, 1 4, 1 5, 2 7, 2 8, 3 0 もしくは 3
10 5 記載の製造方法の特徴に加えて、半導体薄膜もしくは半導体装置の製造に、
少なくとも半導体薄膜の成膜部とレーザ結晶化部と搬送部が同じ部屋にある
インライン方式の装置を使用することを特徴としている。

図面の簡単な説明

15 図 1 は、本発明により作製した多結晶シリコン薄膜の断面構造および平面
構造を説明した図である。

図 2 は、表面形状を二次元の断面構造で分析する場合の表面平均粗さの算
出法を説明した図である。

20 図 3 は、本発明を多結晶シリコン薄膜の製造に適用した製造プロセスの中
で使用した成膜装置とレーザ結晶化装置の概略図である。

図 4 は、本発明による多結晶シリコンの製造プロセスを説明した図である。

図 5 は、一部の結晶粒界の位置決めがされている半導体薄膜の製造プロセ
スを示した図である。

25 図 6 は、本発明を半導体装置の製造に適用する際に用いる、インライン方
式の半導体薄膜製造装置の概略図である。

図 7 は、本発明を多結晶シリコン薄膜薄膜トランジスタの製造に適用した
製造プロセスについて説明した図である。

図8は、本発明による多結晶シリコン薄膜トランジスタと従来の製法による薄膜トランジスタのゲート電圧ードレイン電流特性を比較した図である。

図9は、本発明の一実施例であるアクティブマトリクス型の液晶表示装置の構成を示した図である。

5 図10は、本発明の一実施例であるアクティブマトリクス型液晶表示装置の一面素の平面構造を示した図である。

図11は、本発明の一実施例であるアクティブマトリクス型液晶表示装置の一面素の断面構造を示した図である。

10 図12は、本発明による多結晶シリコンを、画素における信号蓄積容量の片方の電極に使用したアクティブマトリクス型液晶表示装置の画素の平面構造と断面構造を示した図である。

図13は、本発明を適用した周辺回路内蔵液晶表示装置の構成を示した図である。

15 図14は、本発明のレーザ照射法の一例を示した図である。

図15は、本発明を適用した周辺回路内蔵液晶表示装置の薄膜トランジスタの構成の一例を示した図である。

図16は、本発明を適用した太陽電池の断面図を示した図である。

20 図17は、本発明を太陽電池の製造に適用する際に、用いる半導体薄膜製造装置の一例の概略図である。

上記の図1乃至17に用いた符号の説明は次の通りである。

1 : ガラス基板、2 : 下地絶縁膜、3 : 非晶質シリコン、4 : XeClエキシマレーザ、5 : 多結晶シリコン、6 : 大きな粒径の多結晶シリコン、7 : ゲート絶縁膜、8 : ゲート電極、9 : ソース領域、10 : ドレイン領域、
25 11 : 層間絶縁膜、12 : ソース電極、13 : ドレイン電極、14 : SiNからなる層間絶縁膜、15 : 画素電極、16 : TN型液晶、17 : 対向ガラス基板、18 : ブラックマトリクス、19 : 対向電極、20 : 偏向板、21

: 配向膜。

発明を実施するための最良の形態

以下、本発明の実施例につき図面を参照しながら説明する。

- 5 まず、本発明を多結晶シリコン薄膜の作製に適用した第一実施例について図面を参照しながら説明する。

 図1 A, Bに本発明によりガラス基板1と下地絶縁膜2の上に作製した多結晶シリコンの結晶構造を表した平面図と断面図を示す。図1 C, Dには従来のレーザ結晶化法で作製した平均結晶粒径が210 nmの多結晶シリコン
10 の結晶構造を表した平面図と断面図を示す。

 多結晶シリコンの膜厚はともに60 nmである。まず図1 Aの本発明による多結晶シリコンの平面構造では、平均結晶粒径が530 nmと大きくなっており、図1 Bに示した断面図では、結晶粒界で突起がほとんど生成してないことが分かる。一方、従来の製法による多結晶シリコンには、図1 Dに示
15 したように、膜厚と同じレベルの高さの突起が結晶粒界で生成している。なお本発明では、結晶粒の大きさは多結晶シリコンの表面をSECCOエッチング液等で処理して、結晶粒界を選択的にエッチング処理した際に表面に現れる、周囲をエッチングされた粒界に囲われた模様の大きさと定義してある。

 この模様は走査型電子顕微鏡(SEM), 原子間力顕微鏡(AFM), 走
20 査型トンネル電子顕微鏡(STM)等の分析手段で観察できる。また、各結晶粒の粒径は、各々の結晶粒の面積に等しい円の直径で定義してあり、m個の結晶粒が存在する任意の領域(面積はS)の平均結晶粒径 l_a は次式で定義される。なお、本発明では、平均結晶粒径を求める範囲の面積SはSEM
25 の場合、結晶粒の大きさが確認できる倍率で撮影された、一視野の中の粒界が視野から外れて切れることなくその全体が撮影された各結晶粒の面積の合計である。

 また、複数の視野がある場合は、各視野の全体が視野に入った結晶粒の面

積の合計を全視野あわせた合計が面積 S となる。AFMやSTM等の場合は、その任意の測定範囲内に粒界が全て入った各々の結晶粒の面積の合計である。

$$l a = 2 \times ((S/m) / \pi)^{1/2}$$

本発明では、多結晶シリコンをレーザ結晶化で作製したため、各結晶粒の形は不定形であるが、溶融シリコンから結晶化する際に、発生した結晶核から基板に対して平行な方向には等方的に結晶成長しており、固層成長法で作製した多結晶シリコンがなるような複雑な樹状の結晶にはならない。表面をSECCOエッチング液で処理して結晶粒の形を観察すると、任意の結晶粒の面積を S_n とした時、その結晶粒の表面における外周の長さ L_n が、 $R_n = (S_n / \pi)^{1/2}$ で定義される R_n に対して、本発明による多結晶シリコンは、少なくとも50%以上の結晶粒において $L_n \leq 4 \pi R_n$ が成り立つことを見出した。この式が成り立つことから、本発明による多結晶シリコンの結晶粒界の体積は、固層成長法によって作製した、通常、この式の成り立たない結晶粒からなる多結晶シリコン膜のものと比較して小さく、本発明による多結晶シリコンは、シリコン膜全体に占める欠陥密度が小さい高品質な結晶性半導体なっていることが分かる。

また、本発明による多結晶シリコンの断面を透過型電子顕微鏡 (TEM) で観察すると、全ての結晶粒のうち70%以上が、半導体膜と下地絶縁膜との界面から半導体表面まで途中で切れることなく連続的に延びていることを見出した。膜中に結晶粒が膜厚方向に複数重なっている領域がほとんどないので、基板に対して横方向にのびた結晶粒界に起因する欠陥の少ない高品質な多結晶シリコンになっている。表面の平均粗さを原子間力顕微鏡 (AFM) で調べると、2 nmである事が分かった。なお、本発明では表面の平均粗さは算術平均粗さ (R_a) を意味しており、半導体の表面形状を三次元で分析する場合は、表面形状曲面と表面形状の平均高さの面で囲まれた部分の体積を測定面積で割ったものである。本発明では測定面積を、三次元で表面形状を分析できるAFMや走査型トンネル電子顕微鏡 (STM) 等の分析手段

で分析する場合、分析が可能である分析限界面積より大きな面積をもった半導体表面の任意の範囲とする。

一方、表面形状を半導体の二次元の断面構造で分析する場合、表面平均粗さは、図2が示す通り、表面形状曲線と表面形状の平均高さの線で囲まれた部分の面積を測定長で割ったものである。断面構造はTEMや高分解能の走査型電子顕微鏡（SEM）の写真によって観察できる。

またAFMやSTMの測定針を1回走査することでも可能である。本発明で、平均粗さを算出する測定長の範囲は、TEMやSEM等の電子顕微鏡を分析手段とする場合、粗さの算出が可能な倍率である電子顕微鏡の一視野もしくは複数の視野である。また、AFMやSTMを用いる場合は、その測定限界長さよりも長い半導体表面の任意の範囲である。

本発明では、平均粗さの算出法は三次元の形状からの算出と断面形状からの算出のどちらを用いてもよい。三次元の形状を見た場合、平均高さの面をXY面、縦方向をZ軸、測定された表面形状曲面を $z = f(x, y)$ とすると、Raは次式のようにになる。

$$Ra = (1 / (Lx \cdot Ly)) \times \int_{Lx_0}^{Lx_1} \int_{Ly_0}^{Ly_1} f(x, y) dx dy$$

ここでLx：X方向測定長，Ly：Y方向測定長

一方、断面構造を見た場合、平均高さの線をX軸、縦方向をY軸、測定された表面形状曲線を $y = f(x)$ とすると、Raは次式のようにになる。

$$Ra = (1 / Lx) \times \int_{Lx_0}^{Lx_1} f(x) dx$$

ここでLx：X方向測定長

また、本発明による多結晶シリコン膜をX線回折法で観察すると、結晶面が主に(1.1.1)面に配向していることが判明した。この本発明による多結晶シリコンは結晶粒径が530nmと大きくかつ表面の粗さが2nmと平坦なので、薄膜トランジスタの能動層や太陽電池の半導体層に大変有用であり、用いることで薄膜トランジスタや太陽電池の特性を大きく向上させることができる。

次に、本発明による多結晶シリコン膜の作製法を説明する。本発明で用いる半導体薄膜製造装置は図3Aに示した通り、基板搬送ロボットと排気装置からなる搬送室Tを囲む形で基板導入室L，絶縁膜成膜室R1，真性半導体成膜室R2およびレーザー処理室LAがTに連結されている。各成膜室とレーザー処理室の間を相互に、 10^{-5} torrより高い真空度を維持している搬送室Tを経由して、大気にさらすことなく基板を搬送することが可能になっている。なお、図3Bが示すように基板導入室L，絶縁膜成膜室R1，真性半導体成膜室R2およびレーザー処理室LAが直線状に並び、それら4つの部屋に並ぶ形で基板搬送ロボットと排気装置からなる搬送室Tが設置されている装置構成でも本発明は実施できる。

まず初めに、図4Aが示すようにガラス基板1上にテトラエチルオルソシリケート（TEOS）と酸素を原料としたプラズマアシスト化学気相成長法（PECVD）で膜厚300 nmの酸化シリコンからなる下地絶縁膜2を基板温度350°Cの範囲で形成する。

次に、図4Bが示すようにR2でモノシランと水素ガスを原料とし、基板温度400°Cの範囲で、膜中の結合水素濃度が7%で膜厚が35 nmの非晶質シリコン3を成膜する。次に真空を維持したまま、搬送室Tを経由してガラス基板1をR2からLAに搬送する。LA室では、ヒーターにより350°Cに基板温度は維持されている。

そして、図4Cが示すように、ビーム形状が線状のXeClエキシマレーザー4を、前後のレーザービームが90%重なりになるように照射ピッチを選択し（任意の場所を10回レーザー照射することに相当する照射ピッチ）、エネルギー密度をそれぞれ200，300および380 mJ/cm²と段階的に上げてレーザーを順次照射し、多結晶シリコン5を形成する。レーザーを多段階で照射するため、弱いエネルギーのレーザー照射の際に非晶質シリコン膜3の脱水素ができるので、膜中の結合水素濃度が3%以上のものでも、膜を荒らすことなく結晶化できる。なお、結合水素濃度が10%以下であれば照射段階

数が3回以下ですみ、製造時間を短縮できスループットは向上する。レーザー照射完了後、真空を維持したまま搬送室Tを經由して、ガラス基板1をLAからR2へ搬送する。

そして、図4Dが示すようにR2でモノシランと水素ガスを原料とし、基板温度400°Cで、膜中の結合水素濃度が7%で膜厚が25nmの非晶質シリコン3を成膜する。次に真空を維持したまま搬送室Tを經由して、ガラス基板1をR2からLAに搬送する。そして、図4Eが示すようにLAで基板温度を350°Cに維持したまま、XeClエキシマレーザー4を、前後のレーザービームが90%重なりになるように照射ピッチを選択し、エネルギー密度をそれぞれ200, 300および520mJ/cm²と段階的に上げてレーザーを順次照射し、大きな粒径の多結晶シリコン6を形成する。以上で多結晶シリコンの作製は完了する。

以上のように、本発明では基板温度を500°C以上に上げないので、安価なガラス基板上に、膜厚60nm、平均結晶粒径530nm、平均表面粗さ2nmの高品質な多結晶シリコンを作製できる。そのため、高品質な多結晶シリコンの製造コストを下げることができる。

ここで本発明のレーザー結晶化メカニズムを説明する。我々は膜厚が40nm以下の非晶質シリコンを低エネルギーから高エネルギーへのレーザー光で三段階照射すれば、表面の平均粗さが5nm以下で突起が小さくかつ平均結晶粒径が300nm以上の多結晶シリコンが形成できることを見出している。それは、三段目のレーザー照射時の結晶成長が、突起を発生させる熔融シリコンの横方向成長によるものではなく、二段階までのレーザー照射により、熔融固化して等方的に成長して生成した粒径100~200nmの結晶粒の融着による二次粒成長が主体となる結晶成長であるからであった。

初めに結晶化する一層目の非晶質シリコン3は35nmと薄膜であり、本発明による三段階照射によるレーザー結晶化法により表面の平均粗さが5nmで平均結晶粒径が400nmの一層目の多結晶シリコン5が形成される。二

層目のレーザ結晶化の際、一層目の膜はすでに結晶化して多結晶シリコンになって融点が非晶質シリコンより上昇しており、二層目のレーザ結晶化で溶解する一層目の多結晶シリコン5の領域は、上部の二層目シリコンとの境界領域近辺のみになる。二層目の非晶質シリコンの膜厚は25 nmであり、従って二層目レーザ結晶化時に溶解するシリコンは二層目全体と一層目の上層のみの極めて薄い領域であるので、一層目が溶解した時よりも溶解シリコンの厚さは、さらに薄くなる。半導体薄膜は薄いほど、レーザ複数回照射による隣接する結晶粒の融着に起因する二次粒成長で、粒径が大きくなりやすくなると考えられ、その理論的な説明がApplied Physics Letters Vol. 44 No. 6 1984 p602に報告されている。

また、溶解しない下層の多結晶シリコン5は溶解したシリコンに接することによる熱伝導およびレーザ光の吸収により1000°C以上に昇温する。これが熱溜りとして働くため、上部の溶解したシリコンが結晶化する時、その冷却速度が遅くなり結晶化速度が低下して平均結晶粒径が530 nmの大きな粒径の多結晶シリコン6が形成される。この粒径は一層目と二層目の非晶質シリコン膜厚の合計に等しい60 nmの単層の非晶質シリコンを従来通りレーザ結晶化した場合の平均結晶粒径210 nmよりも大きくなっている。

この熱溜りの効果を上げるためには、一層目のシリコンの膜厚を二層目のシリコン膜厚以上に設定するのがよい。さらに、隣り合う結晶粒の融着による二次粒成長は、半導体層が溶解してなくても、600°C以上の高温状態にあれば生じるので、二層目の非晶質シリコンのレーザ結晶化時に、昇温した一層目の多結晶シリコンの二次粒成長による結晶粒の拡大と、一層目の拡大しつつある結晶粒と固化結晶成長しつつある二層目の結晶粒の融着が同時に起こる。

その結果、生成した大きな粒径の多結晶シリコン6では、少なくとも70%以上の結晶粒が、下地絶縁膜2との界面から多結晶シリコン表面まで途中で切れることなく連続的に延びている。従って、結晶粒が膜厚方向に重なる

領域の割合も小さくなるので、多結晶シリコン中の結晶粒界に起因する欠陥が少なく、半導体としての特性が向上している。

また、一層目および二層目の結晶粒径拡大のメカニズムが前述のように、表面に突起を発生する横方向成長によるものではなく結晶粒の融着による二次粒成長なので、レーザ結晶化時に生じる突起の高さが、一層目と二層目の膜厚を足したに等しい膜厚の単層の非晶質シリコンを、従来通り結晶化した場合よりも低くなり、多結晶シリコン表面の凹凸発生が抑制される。

また、たとえ一層目の多結晶シリコンに突起が生じても、突起の結晶品質は悪く、非晶質に近いので融点が低く、二層目の非晶質シリコンをレーザ結晶化する際に、一層目多結晶シリコンの中でも優先的に溶融することにより、多結晶シリコン膜全体としては、表面の突起は抑制され平滑化する。そのため、本発明により作製した多結晶シリコンの表面の平均粗さは2 nmとなり、この平滑性によって、以下の実施例で説明するように薄膜トランジスタ等各種半導体装置への適用性が増す。なお、上記実施例では多結晶シリコン6の膜厚は60 nmとしたが、膜厚が40 nm未満であると、レーザ照射時に熱によって下地のガラス基板1や下地絶縁膜2に微量含まれている金属イオンや酸素、窒素、炭素不純物が拡散してきて、多結晶シリコンの下部のみならず上部の膜質を低下させるので、その点からも好ましい膜厚となっている。

そして、多結晶シリコン6の膜厚は40 nm以上にするのが、膜厚の制御等に有利で、薄膜トランジスタ等の半導体装置への応用を考えると望ましい。また、膜厚の上限は、薄膜トランジスタや液晶表示装置等の半導体装置製造時において島状に加工された多結晶シリコン6上に堆積する、金属もしくは絶縁膜のシリコンの段差における被覆性を考えると、100 nm未満にするのが好ましい。なお、太陽電池等の厚い半導体膜を必要とする半導体装置への応用では、この上限は適用されない。本発明では、非晶質シリコンの成膜とレーザ結晶化のセットを2回以上繰り返すことで、容易に膜厚40 nm以上100 nm未満で表面が平坦かつ結晶粒径の大きな多結晶シリコンを作製

できる。また、一層目の非晶質シリコンと二層目の非晶質シリコンの膜厚をそれぞれ35 nmと25 nmとしたが、膜厚はこの値に固定はされなくて、一層目の膜厚が二層目以上でかつ合計した膜厚が40 nm以上であれば、各々の半導体の膜質や適用する半導体装置の種類によって可変である。また、

5 本発明では、真空を維持したまま成膜室からレーザー処理室まで搬送しているので、二層目の非晶質シリコンの成膜時に、一層目の多結晶シリコン5の表面に酸化シリコンの濃度のピークは存在せず、二層目の非晶質シリコンのレーザー結晶化時に、溶融したシリコン中を酸素原子が拡散し、多結晶シリコンの半導体としての特性を低下させることはなくなる。当然、多結晶シリコン

10 中にも酸素濃度のピークもなくなる。加えて二層目の非晶質シリコン表面にも酸化シリコン層はないので、レーザー結晶化の際の溶融時に、表面から内部に酸素原子が拡散していくこともなくなり、多結晶シリコンの特性は向上する。以上のように、本発明により、膜厚が40 nm以上で、表面の平均粗さが2 nmと平坦で、さらに平均結晶粒径が500 nm以上と結晶品質が高く、

15 かつ膜中の酸素濃度が少なく半導体としての特性の良い多結晶シリコンを、安価なガラス基板上に低コストで得ることができた。

なお、上記実施例ではシリコンの下地の酸化シリコン膜は平坦な膜であったが、ホトリソグラフィ法とウェットもしくはドライエッチング法によって、その形状を加工してもよい。図5 Aと5 Bに示したように、酸化シリコン膜からなる下地2に10 nmの段差を設け、上記実施例と同じ工程でPECVDによる非晶質シリコンの成膜とレーザー結晶化のセットを2回繰り返すと、図5 Cが示したように段差部分に結晶粒界が発生することを我々は見出した。また、段差の低い位置にある下地絶縁膜上の段差に接する結晶粒が主に(1.1.0)もしくは(1.0.0)に配向していることも見出した。

25 これらの現象が生じる原因については現在不明であるが、下地絶縁膜の形状を加工することで、多結晶シリコンの電気特性を劣化させる結晶粒界を発生する位置を制御できた。それによって、少なくとも一部の結晶粒界の位置決

めがされている平均結晶粒径が500nm以上でかつ表面の平均粗さが2nmの高品質な多結晶シリコン膜を得ることができた。

また、本発明ではレーザ結晶化をする際に基板を加熱するので、レーザ結晶化工程と半導体薄膜成膜工程間の相互の搬送後基板加熱時間が短縮できるので、結晶性半導体薄膜製造のスループットが向上する。さらに、レーザ結晶化時に基板加熱をすることで、レーザ照射によって溶融した半導体の冷却速度を遅くできるので、結晶性半導体薄膜の結晶粒径を大きくでき、結晶品質を向上できる。本実施例では、下地絶縁膜の成膜温度、非晶質シリコンの成膜温度、レーザ結晶化時の基板温度をそれぞれ350℃、400℃、350℃としたが、各温度はこれらに固定はされないで、絶縁膜もしくは半導体の膜質や、目的とする半導体装置の性能によって可変である。しかしながら、基板にガラス基板、半導体にシリコンを用いるのであれば、各温度を200℃以上500℃以下とするのが好ましい。また、本実施例では多結晶シリコンの作製に図3で示した、各成膜装置とレーザ結晶化装置と基板導入室が、搬送ロボットと排気装置からなる搬送室Tで連結された装置を用いたが、図6に示した各成膜部、レーザ結晶化部と搬送部が同一の部屋に配置されたインライン方式の半導体薄膜製造装置でも、本発明の実施は可能である。製造費の安いインライン方式の半導体製造装置を用いることで、設備投資を抑制でき、ひいては半導体装置を低コストで製造できる。さらに、本実施例では搬送系を 10^{-5} torr以上の高真空に保って基板を搬送したが、本発明では、非晶質シリコンの成膜後もしくはレーザ結晶化後に自然酸化膜がシリコン表面に形成されなければよいので、窒素、ヘリウム、ネオンやアルゴンガス等の不活性ガス雰囲気中の搬送も、真空中の搬送と同じ結果が得られるので、選択できる。

上記実施例では、シリコン膜の結晶化にXeClエキシマレーザを用いたが、半導体薄膜を結晶化できる手法で、KrFエキシマレーザ、ArFエキシマレーザ等の各種エキシマレーザ、Arイオンレーザ等の連続発振レーザ

もしくは電子ビーム等のエネルギービームであれば、本発明は原理的にその種類を選ぶものではない。

また、上記実施例では本発明を非晶質シリコンに適用したが、本発明はレーザにより加熱結晶化できるものであれば、微結晶シリコン、多結晶シリコン、不純物をドーピングされたシリコン、シリコンゲルマー (SiGe)、ゲルマニウム (Ge) 等、適用する半導体の種類を選ばない。また、上記実施例では、成膜装置をプラズマアシスト化学気相成長法としたが、図3で示した搬送室Tに接続できて、大気にさらさずもしくは真空を維持したままレーザ処理室LAとの間を搬送可能であれば、低圧化学気相成長法 (LPCVD)、スパッタリング法、イオンビーム法、原子ビーム法、分子ビーム法、スピコート法もしくは蒸着法等、成膜手段を選ばない。さらに、上記実施例では、使用した基板はガラスであったが、下地絶縁膜2と非晶質シリコン3の成膜温度を300℃以下に下げれば、ポリイミド、ポリアミドやポリエステル等の有機樹脂からなる基板も使用可能である。

次に、本発明をコプレナー型の薄膜トランジスタの製造に適用した第二実施例について説明する。

図7Aが示すように、第一実施例と同様の手法で下地絶縁膜2がついたガラス基板1上に薄膜トランジスタの能動層となる大粒径の多結晶シリコン6を形成する。次に、図7Bが示すようにホトリソグラフィ法とドライエッチング法により多結晶シリコン6を島状に加工した後、TEOSと酸素を原料としたプラズマアシスト化学気相成長法で100nmのゲート絶縁膜7を形成する。ついでスパッタリング法で膜厚250nmのニオブ(Nb)を成膜した後、ホトリソグラフィ法とドライエッチング法によりニオブを加工してゲート電極8を形成する。次に、図7Cが示すようにイオン注入法により不純物リン(P)をゲート電極8と重ならない能動層の領域に注入した後、電気炉により500℃で2時間加熱して不純物を活性化して、ソース領域9およびドレイン領域10を形成する。ついで図7Dが示すようにTEOSと

酸素を原料としたプラズマアシスト化学気相成長法で膜厚500nmの層間絶縁膜11を成膜した後、ホトリソグラフィ法とドライエッチング法によりコンタクトホールを形成する。最後にスパッタリング法で膜厚500nmのクロムモリブデン合金(CrMo)を成膜した後、ホトリソグラフィ法とウェットエッチング法により加工してゲート電極、ソース電極12およびドレイン電極13を形成して薄膜トランジスタは完成する。以上のように結晶粒径が530nmと大きくかつ表面の平均粗さが2nmの多結晶シリコンを能動層に用いることで、移動度が $300\text{cm}^2/\text{V}\cdot\text{s}$ と従来の製法による薄膜トランジスタの移動度 $140\text{cm}^2/\text{V}\cdot\text{s}$ と比較して大きく向上した高性能な薄膜トランジスタの製造ができた。図8に、従来通りプラズマアシスト化学気相成長法で成膜した膜厚60nmの非晶質シリコンを窒素雰囲気中において 450°C で加熱して脱水素処理した後、レーザ結晶化した多結晶シリコンを能動層に用いた薄膜トランジスタと、本発明による多結晶シリコン薄膜トランジスタのゲート電圧-ドレイン電流特性を比較する。明らかに、本発明による結晶粒径の増加と能動層膜の粗さ(突起)減少の効果により、オン電流が増加した。さらに、本発明による能動層多結晶シリコン6の表面の平坦化によって、突起における電界集中が抑制され、ゲート絶縁膜7の絶縁破壊電界は $4\text{MV}/\text{cm}$ から $7\text{MV}/\text{cm}$ へと大きく増加して耐圧特性が向上し、また、ホットキャリアに対する信頼性も向上する。さらに、多結晶シリコン表面の突起がなくなることから、ゲート絶縁膜が従来の製法のものよりも薄膜化可能となり、80nm以下にできるので、薄膜トランジスタの低電圧駆動が可能となり、この薄膜トランジスタを用いる半導体装置の消費電力を低減できる。本発明による多結晶シリコンを、薄膜トランジスタの能動層に用いれば、ゲート絶縁膜と能動層の膜厚の比が $8/6$ 以下になるように、膜厚を設定できる。さらに、ゲート絶縁膜の膜質を最適化すれば、能動層よりもゲート絶縁膜を薄膜化でき、さらなる低消費電力駆動が可能となる。

なお、上記実施例では本発明のコプレナー型の薄膜トランジスタへの適用

を説明したが、本発明は逆スタガー型もしくは正スタガー型等適用される薄膜トランジスタの型を選ばない。

次に、本発明による薄膜トランジスタをアクティブマトリクス型液晶表示装置に適用した第三実施例について説明する。

- 5 図9は本発明の一実施例であるアクティブマトリクス型の液晶表示装置の構成を示す。同図では、マトリクス状に配置された複数の液晶セル(LC)に対して、それぞれ薄膜トランジスタ(TFT)を設け、このTFTのスイッチング動作によって各液晶セルを駆動するようにしたものである。ここで、ガラス基板1上で横方向に並んだTFTの各ゲートから共通に引き出した電
- 10 極であるゲートラインG1～GMに対して順次ゲート電圧を印加し、各ゲートライン毎にゲートをオンしていく。一方、縦方向に並んだTFTの各ドレインから共通に引き出した電極であるドレインラインD1～DNに対して、上記オンされたゲートライン毎のデータ電圧を順次印加し、各液晶セルに与えていく。
- 15 一つの液晶セルとTFTからなる一画素の平面構造を図10に示す。さらに図10中の破線X-X'における断面構造を図11に示す。ドレイン配線Dとゲート配線Gの交点の近くに形成されたTFTとそれにソース電極12を介して接続された液晶セルLCの配置からなる。TFTの断面構造は第二実施例とほぼ同じである。本構造は同実施例記載の製造方法により得られるが、前記のプロセスとの変更点のみ記すと以下のようなになる。ソース・ドレイン領域を形成する際のイオン注入を2回に分けて行い、能動層と接するソース・ドレイン領域に不純物濃度の少ないLocally Doped Drain(LDD)領域を設けて、オフ電流低減を図っている。また、ゲート配線Gをゲート電極8と同時に成膜、エッチング加工して形成した。さらにソース、ドレイン電
- 20 極12, 13を形成した後、SiNからなる層間絶縁膜14を成膜した。これを加工してソース電極12へのコンタクトホールを開けた後、インジウムチンオキサイド(ITO)すなわち酸化インジウム錫を成膜し、パターンニ
- 25

グして画素電極15を形成した。次に、この他液晶等TFT以外の部分について以下に記す。TN型液晶16はTFTを形成したガラス基板1と対向するガラス基板（対向基板）17間に封入される。対向基板17上には不要な光線を遮断するためのブラックマトリクス18とITO製の対向電極19が形成されている。液晶は、対向基板17の対向電極19とTFT基板の画素電極15との間の電圧により駆動され、画素ごとに表示する明度を変えて、画素のマトリクス上で画像を表示する。ガラス基板1、17のいずれにも光を偏向させるための偏向板20が貼付されている。この2枚の偏向板の偏向軸を直交、または平行配置させると、それぞれノーマリーブラック、ノーマリーホワイトの表示モードとなる。また、液晶を配向させるための配向膜21が、液晶と接する面、すなわちガラス基板1側では層間絶縁膜14と画素電極15の表面に、対向基板17側では対向電極19の表面に塗布されている。配向膜は塗布後に表面をラビング法により処理され、液晶分子を配向させるための異方性を与えられている。そして、基板1側に光源であるバックライトを起し、輝度をもたせる。このように本発明により製造したTFTをアクティブマトリクス型液晶表示装置の表示部画素の駆動素子として用いれば、能動層多結晶シリコンの粒径が大きく、移動度が大きいためTFTを小型化できるので、画素の開口率が向上し、その分バックライトの出力を低減できるので、低消費電力化を達成できる。さらに、TFT能動層表面が平坦化し、突起がなくなることから、ゲート絶縁膜を80nm以下にでき、TFT駆動の低電圧駆動が可能となることによっても、液晶表示装置の低消費電力化を達成できる。また、表面が平滑化することから、多結晶シリコンの面内での特性も均一化し、多結晶シリコンTFTの特性の不均一性に起因する表示不良が改善される。

ここで、図12の平面図Aおよび平面図中の破線X-X'にそった断面図Bが示すように、能動層の多結晶シリコン6と同層の多結晶シリコンに燐をドーピングしたn型多結晶シリコンとゲート配線と同層の金属薄膜で形成し

た共通配線で、ゲート絶縁膜と同層の酸化シリコン膜を挟み込んで画素の信号蓄積容量を形成する場合に、本発明による多結晶シリコンを用いれば、表面の凹凸が極めて小さいので、突起における電界集中による絶縁破壊の恐れがないので酸化シリコン膜を薄膜化できる。電極間隔が狭くなる結果、信号蓄積容量の容量が増加し、その電極面積を小さくできるので、画素の開口率を向上でき、バックライトの照度を低減させることによって、液晶表示装置の低消費電力化が可能となる。

さらに、図13Aが示すように、本発明によるTFTで表示部駆動用の周辺回路を構成すれば、外付けのドライバーLSIの削減によって額縁サイズの小さくかつ低コストの周辺回路内蔵液晶表示装置を製造できる。また、図13Bが示すように、単なる表示部駆動回路以外に、微細加工によってメモリー、超小型演算処理装置(MPU)、その他情報処理回路を、表示部の周辺に組み込ませ、通信機能や計算機能等を液晶表示装置に持たせて液晶表示装置を高機能化できる。

さらに、図14Aが示すように、一層目の非晶質シリコンを結晶化した後、図14Bが示すように大気にさらさないで二層目の非晶質シリコン3を成膜し、次いで図14Cが示すように、二層目非晶質シリコン3の一部の領域を意図的にレーザー未照射で非晶質状態にしておいてもよい。

そして、図15Aが示すように、二層目非晶質シリコンがレーザー未照射である多結晶シリコン/非晶質シリコン領域に表示部を設け、画素駆動用のコプレーナ型TFTを作製し、二層目非晶質シリコンをレーザー結晶化した多結晶シリコン/多結晶シリコン領域に周辺回路部を設け、回路駆動用のCMOS構成のコプレーナ型TFTを作製する。すると、表示部TFTの能動層は高抵抗の非晶質シリコンになるので、オフ電流が低減し、表示部TFTを多結晶シリコンTFTで構成する場合に必要なオフセット構造やLightly Doped Drain(LDD)構造をとる必要がなくなる。そして、その分、周辺回路内蔵液晶表示装置の製造工程数が減り、製造のスループットが向上しかつ低コスト化

する。また、これと同じ効果は、T F T構造が逆スタガー型でも、図15Bが示すように、能動層の多結晶シリコンとソース・ドレイン領域の間に高抵抗の非晶質シリコンが存在するので、得られる。

5 なお、図14，図15で説明した多結晶シリコンT F Tの製造においては第二実施例とは異なり、ソース・ドレイン領域を形成する際の不純物活性化には非晶質領域の特性を劣化させないように、電気炉の熱アニールによる活性化ではなくレーザ活性化を用いる。

10 また、図16に示した太陽電池のp型，n型もしくは真性多結晶シリコンからなる半導体層形成にも適用可能である。本発明では、粒径が大きくかつ平坦な結晶性半導体を膜厚を厚くしても作製できるので、太陽光の変換効率が15%以上と高い太陽電池を作製できる。

15 太陽電池の製造は図3と図6で示した製造装置でも作製できるが、基板がステンレスやアルミニウム等の連結された基板である場合、図17に示したインライン方式の製造装置で太陽電池を製造できる。インライン方式の装置を使用することで、より低コストで太陽電池を製造できる。このように、本発明は薄膜トランジスタ以外の、結晶性半導体を使用する全ての半導体装置に適用できる。

産業上の利用可能性

20 本発明により、膜厚が40nm以上でかつ平均結晶粒径が500nm以上でかつ表面の平均粗さが5nm以下の高品質な多結晶半導体を安価なガラス基板上に作製できる。そしてこの半導体を用いた薄膜トランジスタ，太陽電池，アクティブマトリクス型液晶表示装置等の半導体装置の性能を向上させることができる。

請求の範囲

1. レーザ結晶化法によって作製された結晶性半導体薄膜において、ガラス
5 基板上に作製され、膜厚が40 nm以上100 nm未満でかつ表面の平均粗
さが5 nm以下でかつ平均結晶粒径が500 nm以上であることを特徴とす
る半導体薄膜。
2. レーザ結晶化法によって作製された結晶性半導体薄膜において、ガラス
10 基板上で作製され、膜厚が40 nm以上100 nm未満でかつ表面の平均粗
さが5 nm以下でかつ平均結晶粒径が500 nm以上でかつ任意の結晶粒の
面積を S_n とした時、その結晶粒の表面における外周の長さ L_n が、 $R_n =$
 $(S_n/\pi)^{1/2}$ で定義される R_n に対して、少なくとも50%以上の結晶粒
において $L_n \leq 4\pi R_n$ が成り立つことを特徴とする半導体薄膜。
- 15 3. レーザ結晶化法によって作製された結晶性半導体薄膜において、ガラス
基板上に作製され、膜厚が40 nm以上100 nm未満でかつ表面の平均粗
さが5 nm以下でかつ平均結晶粒径が500 nm以上でかつ任意の結晶粒の
面積を S_n とした時、その結晶粒の表面における外周の長さ L_n が、 $R_n =$
 $(S_n/\pi)^{1/2}$ で定義される R_n に対して、少なくとも50%以上の結晶粒
20 において $L_n \leq 4\pi R_n$ が成り立ち、さらにある断面の結晶構造を見た時、
少なくとも70%以上の結晶粒が半導体層と下地との界面から半導体表面ま
で、途中で切れることなく連続的に延びていることを特徴とする半導体薄膜。
4. レーザ結晶化法によって作製された結晶性半導体薄膜において、ガラス
25 基板上に作製され、膜厚が40 nm以上でかつ表面の平均粗さが5 nm以下
でかつ平均結晶粒径が500 nm以上であることを特徴とする半導体薄膜。

5. レーザ結晶化法によって作製された結晶性半導体薄膜において、ガラス基板上で作製され、膜厚が40 nm以上でかつ表面の平均粗さが5 nm以下でかつ平均結晶粒径が500 nm以上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒の表面における外周の長さ L_n が、 $R_n = (S_n/\pi)^{1/2}$ で定義される R_n に対して、少なくとも50%以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立つことを特徴とする半導体薄膜。
6. 請求項1, 2, 3, 4もしくは5において半導体薄膜の配向が主に(1.1.1)面であることを特徴とする半導体薄膜。
7. 請求項1, 2, 3, 4, 5もしくは6において半導体がシリコンであることを特徴とする半導体薄膜。
8. 請求項1, 2, 3, 4, 5, 6もしくは7において、少なくとも一部の結晶粒界の位置決めがされており、またその一部の結晶粒の配向が(1.0.0)もしくは(1.1.0)であることを特徴とする半導体薄膜。
9. 請求項1, 2, 3, 4, 5, 6, 7もしくは8において、ガラス基板が無アルカリガラスでありかつその歪点が700°C以下であることを特徴とする半導体薄膜。
10. 半導体薄膜の製造方法において、ガラス基板上に絶縁膜を成膜した後、大気にさらされることなく絶縁膜上で半導体薄膜の成膜と連続してそれに続くレーザ結晶化のセットを少なくとも2回以上繰り返すことおよび各セットのレーザの照射法が弱いエネルギーのレーザ光の走査から強いエネルギーのレーザ光の走査へと段階的にレーザ光のエネルギーを上げていく方法であることを特徴とする半導体薄膜の製造方法。

11. 半導体薄膜の製造方法において、ガラス基板上に絶縁膜を成膜した後、大気にさらされることなく絶縁膜上で半導体薄膜の成膜と連続してそれに続くレーザ結晶化のセットを少なくとも2回以上繰り返すことおよび半導体成膜時の膜厚が下層より上層が薄いことを特徴とする半導体薄膜の製造方法。

5

12. 請求項10もしくは11において、一層目に成膜した半導体薄膜の膜厚が30nm以上70nm以下、および二層目に成膜した半導体薄膜の膜厚が25nm以上40nm以下であることを特徴とする半導体薄膜の製造方法。

10 13. 請求項10, 11もしくは12において、成膜した半導体薄膜が、膜中の結合水素濃度が10%以下のシリコンであることを特徴とする半導体薄膜の製造方法。

15 14. 請求項10, 11, 12もしくは13において、レーザ結晶化の際の基板温度が200°C以上500°C以下であることを特徴とする半導体薄膜の製造方法。

20 15. 請求項10, 11, 12, 13もしくは14において、使用するガラス基板が無アルカリガラスでありかつ歪点が700°C以下であることを特徴とする半導体薄膜の製造方法。

25 16. 薄膜トランジスタを含む半導体装置において、ガラス基板上に作製されたことおよび薄膜トランジスタの能動層に、レーザ結晶化法によって作製された膜厚が40nm以上100nm未満かつ表面の平均粗さが5nm以下かつ平均結晶粒径が500nm以上である半導体薄膜を用いたことを特徴とする半導体装置。

17. 薄膜トランジスタを含む半導体装置において、ガラス基板上に作製されたことおよび薄膜トランジスタの能動層に、レーザ結晶化法によって作製された膜厚が40 nm以上100 nm未満でかつ表面の平均粗さが5 nm以下でかつ平均結晶粒径が500 nm以上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒の表面における外周の長さ L_n が、 $R_n = (S_n/\pi)^{1/2}$ で定義される R_n に対して、少なくとも50%以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立つ半導体薄膜を用いたことを特徴とする半導体装置。

18. 薄膜トランジスタを含む半導体装置において、ガラス基板上に作製されたことおよび薄膜トランジスタの能動層に、レーザ結晶化法で作製された膜厚が40 nm以上100 nm未満でかつ表面の平均粗さが5 nm以下でかつ平均結晶粒径が500 nm以上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒の外周の長さ L_n が、 $R_n = (S_n/\pi)^{1/2}$ で定義される R_n に対して、少なくとも50%以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立ち、さらにある断面の結晶構造を見た時、少なくとも70%以上の結晶粒が半導体層と下地との界面から半導体表面まで、途中で切れることなく連続的に延びている半導体薄膜を用いたことを特徴とする半導体装置。

19. 薄膜トランジスタを含む半導体装置において、ガラス基板上に作製されたことおよび薄膜トランジスタの能動層に請求項4, 5, 6, 7, 8もしくは9記載の半導体薄膜を用いたことを特徴とする半導体装置。

20. コプレナー型もしくは正スタガー型薄膜トランジスタを含む半導体装置において、ガラス基板上に作製されたことおよび能動層に請求項1, 2, 3, 4, 5, 6, 7, 8もしくは9記載の半導体薄膜を用いたことおよび薄膜トランジスタのゲート絶縁膜の膜厚が80 nm以下もしくはゲート絶縁膜と能動層の膜厚の比が8/6以下であることを特徴とする半導体装置。

21. コプレナー型もしくは正スタガー型薄膜トランジスタを含む半導体装置において、ガラス基板上に作製されたことおよび能動層に請求項1, 2, 3, 4, 5, 6, 7, 8もしくは9記載の半導体薄膜を用いたことおよび薄膜トランジスタのゲート絶縁膜の膜厚が能動層の膜厚以下であることを特徴とする半導体装置。

22. 請求項16, 17, 18, 19, 20もしくは21において、ガラス基板が無アルカリガラスでありかつその歪点が700°C以下であることを特徴とする薄膜トランジスタを含む半導体装置。

10

23. 太陽電池を含む半導体装置において、太陽電池の半導体層の少なくとも一層に、レーザ結晶化法で作製され、膜厚が40nm以上でかつ表面の平均粗さが5nm以下でかつ平均結晶粒径が500nm以上である半導体薄膜を用いたことを特徴とする半導体装置。

15

24. 太陽電池を含む半導体装置において、太陽電池の半導体層の少なくとも一層に、レーザ結晶化法で作製され、膜厚が40nm以上でかつ表面の平均粗さが5nm以下でかつ平均結晶粒径が500nm以上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒の外周の長さ L_n が、 $R_n = (S_n / \pi)^{1/2}$ で定義される R_n に対して、少なくとも50%以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立つ半導体薄膜を用いたことを特徴とする半導体装置。

25. 太陽電池を含む半導体装置において、太陽電池の半導体層の少なくとも一層に、レーザ結晶化法で作製され、膜厚が40nm以上でかつ表面の平均粗さが5nm以下でかつ平均結晶粒径が500nm以上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒の表面における外周の長さ L_n が、 $R_n = (S_n / \pi)^{1/2}$ で定義される R_n に対して、少なくとも50%以上の結晶

粒において $L_n \leq 4\pi R_n$ が成り立ち、さらにある断面の結晶構造を見た時、少なくとも70%以上の結晶粒が半導体層と下地との界面から半導体表面まで、途中で切れることなく連続的に延びている半導体薄膜を用いたことを特徴とする半導体装置。

5

26. 太陽電池を含む半導体装置において、太陽電池の半導体層の少なくとも一層に、請求項1, 2, 3, 6, 7, 8もしくは9記載の半導体薄膜を用いたことを特徴とする半導体装置。

10

27. 薄膜トランジスタを含む半導体装置の製造方法において、薄膜トランジスタの能動層の製造に、請求項10, 11, 12, 13, 14もしくは15記載の半導体薄膜の製造方法を適用したことを特徴とする半導体装置の製造方法。

15

28. 太陽電池を含む半導体装置の製造方法において、太陽電池の半導体層の少なくとも一層の製造に、請求項10, 11, 12, 13, 14もしくは15記載の半導体薄膜の製造方法を適用したことを特徴とする半導体装置の製造方法。

20

29. 画素もしくは周辺回路の駆動素子に薄膜トランジスタを使用しているアクティブマトリクス型液晶表示装置を含む半導体装置において、支持基板に歪点が700°C以下の無アルカリガラスを用い、かつ請求項16, 17, 18, 19, 20, 21もしくは22記載の薄膜トランジスタをアクティブマトリクス型液晶表示装置の画素もしくは周辺回路の駆動素子として使用することを特徴とする半導体装置。

25

30. 画素もしくは周辺回路の駆動素子に薄膜トランジスタを使用している

アクティブマトリクス型液晶表示装置を含む半導体装置の製造方法において、支持基板に歪点が700°C以下の無アルカリガラスを用い、かつアクティブマトリクス型液晶表示装置の薄膜トランジスタの製造に、請求項27記載の薄膜トランジスタの製造方法を適用することを特徴とする半導体装置の製造方法。

31. 画素の駆動素子に薄膜トランジスタを使用し、かつ画素における信号蓄積容量の片方の電極を、薄膜トランジスタの能動層と同層の半導体薄膜で形成するアクティブマトリクス型液晶表示装置を含む半導体装置において、支持基板に歪点が700°C以下の無アルカリガラスを用い、かつアクティブマトリクス型液晶表示装置の画素の信号蓄積容量の片方の電極を形成する半導体薄膜が、膜厚が40nm以上100nm未満でかつ表面の平均粗さが5nm以下でかつ平均結晶粒径が500nm以上であることを特徴とする半導体装置。

32. 画素の駆動素子に薄膜トランジスタを使用し、かつ画素における信号蓄積容量の片方の電極を、薄膜トランジスタの能動層と同層の半導体薄膜で形成するアクティブマトリクス型液晶表示装置を含む半導体装置において、支持基板に歪点が700°C以下の無アルカリガラスを用い、かつアクティブマトリクス型液晶表示装置の画素の信号蓄積容量の片方の電極を形成する半導体薄膜が、膜厚40nm以上100nm未満でかつ表面の平均粗さが5nm以下でかつ平均結晶粒径が500nm以上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒の外周の長さ L_n が、 $R_n = (S_n / \pi)^{1/2}$ で定義される R_n に対して、少なくとも50%以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立つ半導体薄膜であることを特徴とする半導体装置。

33. 画素の駆動素子に薄膜トランジスタを使用し、かつ画素における信号

蓄積容量の片方の電極を、薄膜トランジスタの能動層と同層の半導体薄膜で形成するアクティブマトリクス型液晶表示装置を含む半導体装置において、支持基板に歪点が700°C以下の無アルカリガラスを用い、かつアクティブマトリクス型液晶表示装置の画素の信号蓄積容量の片方の電極を形成する半導体薄膜が、膜厚40nm以上100nm未満でかつ表面の平均粗さが5nm以下でかつ平均結晶粒径が500nm以上でかつ任意の結晶粒の面積を S_n とした時、その結晶粒の外周の長さ L_n が、 $R_n = (S_n/\pi)^{1/2}$ で定義される R_n に対して、少なくとも50%以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立ち、さらにある断面の結晶構造を見た時、少なくとも70%以上の結晶粒が半導体層と下地との界面から半導体表面まで、途中で切れることなく連続的に延びている半導体薄膜であることを特徴とする半導体装置。

34. 画素の駆動素子に薄膜トランジスタを使用し、かつ画素における信号蓄積容量の片方の電極を、薄膜トランジスタの能動層と同層の半導体薄膜で形成するアクティブマトリクス型液晶表示装置を含む半導体装置において、支持基板に歪点が700°C以下の無アルカリガラスを用い、かつ画素の信号蓄積容量の片方の電極を形成する半導体薄膜が、請求項4, 5, 6, 7, 8もしくは9項記載の半導体薄膜であることを特徴とする半導体装置。

35. 画素の駆動素子に薄膜トランジスタを使用し、かつ画素における信号蓄積容量の片方の電極を、薄膜トランジスタの能動層と同層の半導体薄膜で形成するアクティブマトリクス型液晶表示装置を含む半導体装置の製造方法において、支持基板に歪点が700°C以下の無アルカリガラスを用い、かつ画素の信号蓄積容量の片方の電極を形成する半導体薄膜の製造に、請求項10, 11, 12, 13, 14もしくは15記載の半導体薄膜の製造方法を適用したことを特徴とする半導体装置の製造方法。

36. 請求項10, 11, 12, 13, 14, 15, 27, 28, 30もしくは35において、半導体薄膜もしくは半導体装置の製造に、少なくとも半導体薄膜の成膜装置とレーザ結晶化装置が排気装置を備えた搬送装置で連結されている装置を使用することを特徴とする半導体薄膜もしくは半導体装置

5 の製造方法。

37. 請求項10, 11, 12, 13, 14, 15, 27, 28, 30もしくは35において、半導体薄膜もしくは半導体装置の製造に、少なくとも半導体薄膜の成膜装置と絶縁膜の成膜装置とレーザ結晶化装置が排気装置を備

10 えた搬送装置で連結されている装置を使用することを特徴とする半導体薄膜もしくは半導体装置の製造方法。

38. 請求項36もしくは37において、搬送装置の雰囲気をもしくは 10^{-5} torr以上の真空にするかもしくは窒素、ヘリウム、ネオンやアルゴンガス等の不活

15 性ガス雰囲気にすることを特徴とする半導体薄膜もしくは半導体装置の製造方法。

39. 請求項10, 11, 12, 13, 14, 15, 27, 28, 30もしくは35において、半導体薄膜もしくは半導体装置の製造に、少なくとも半導体薄膜の成膜部とレーザ結晶化部と搬送部が同じ部屋にあるインライン方式の装置を使用することを特徴とする半導体薄膜もしくは半導体装置の製造

20 方法。

図 1

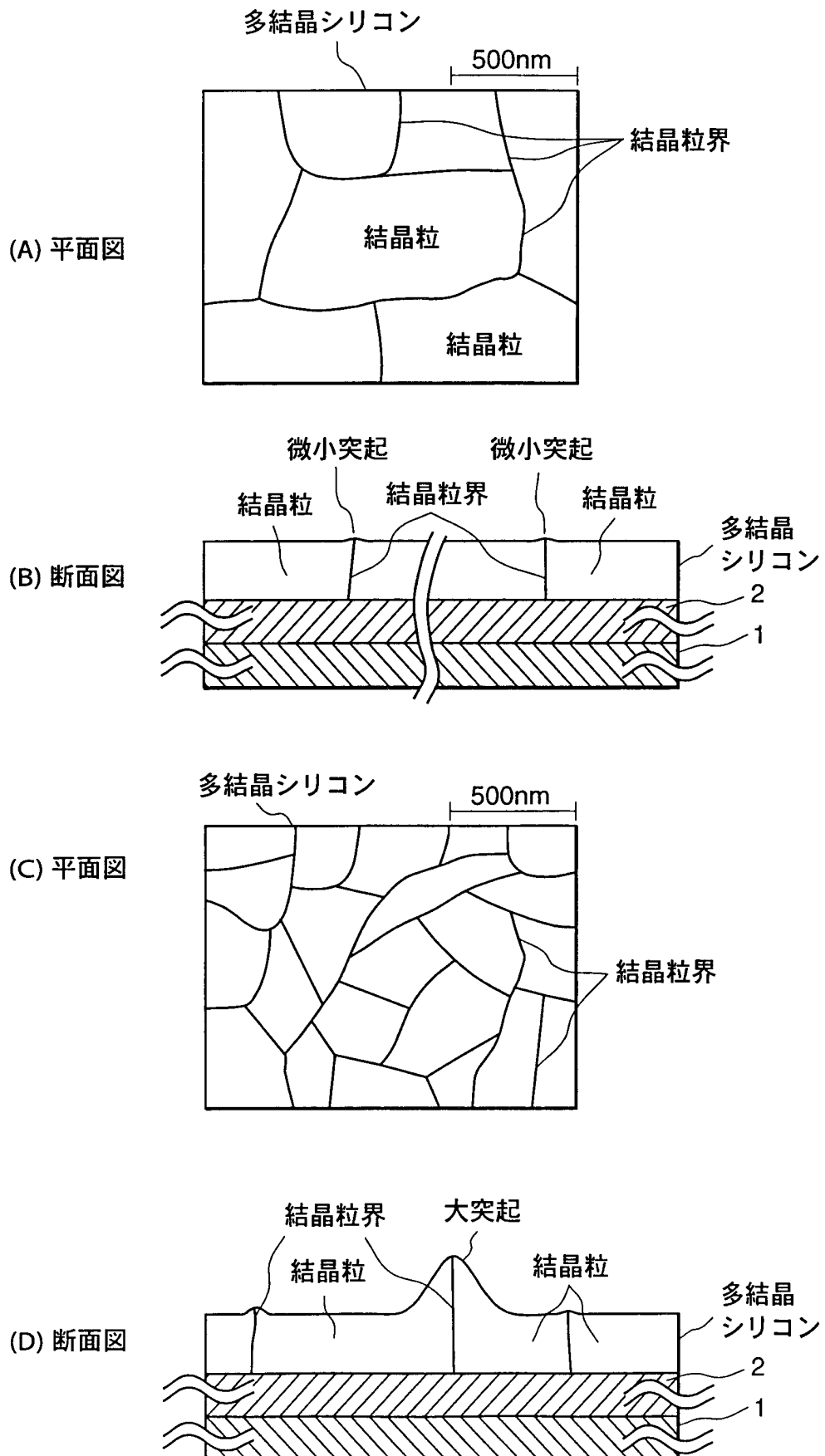


図 2

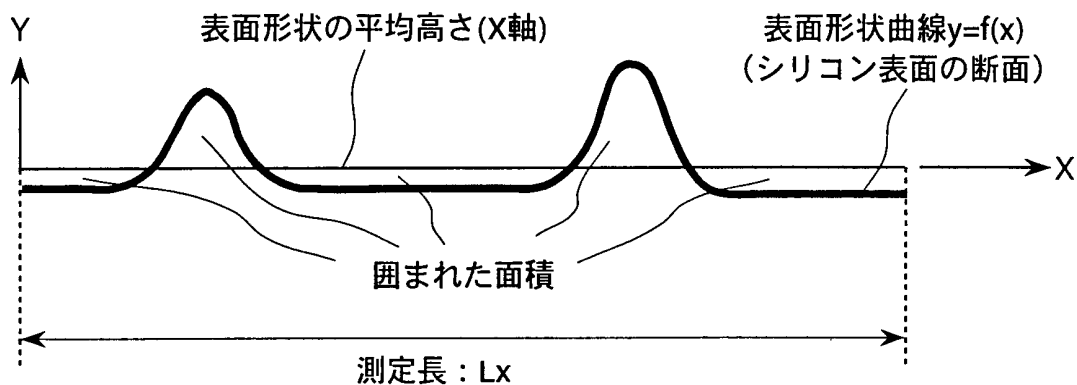


図 8

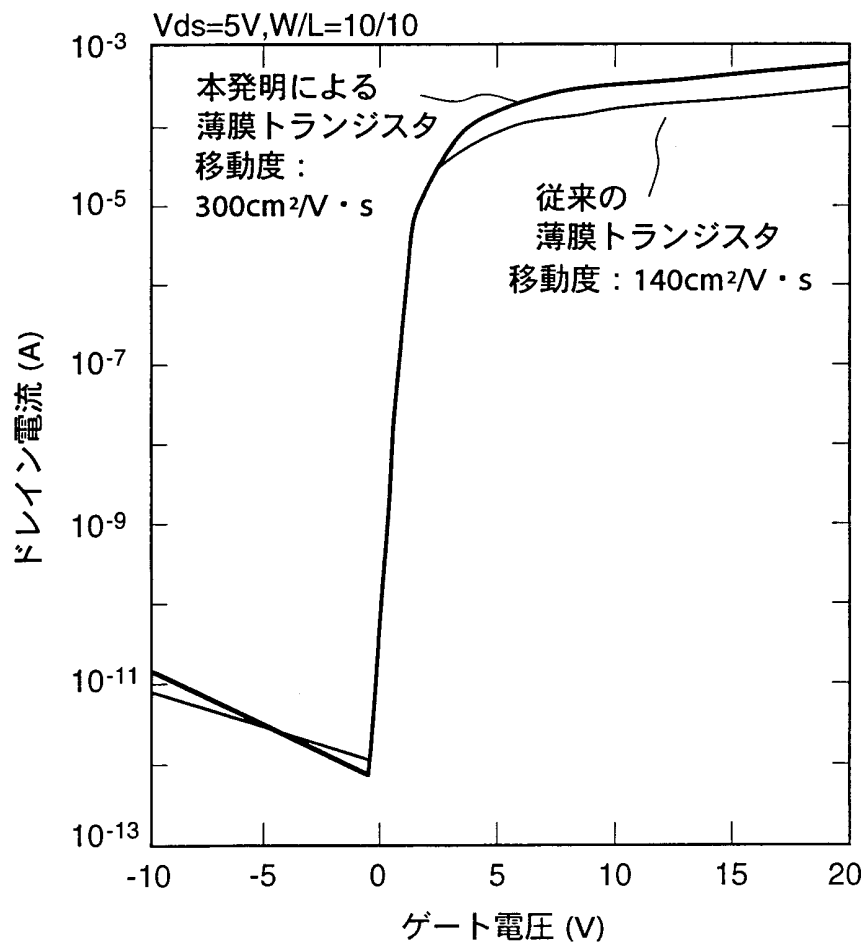
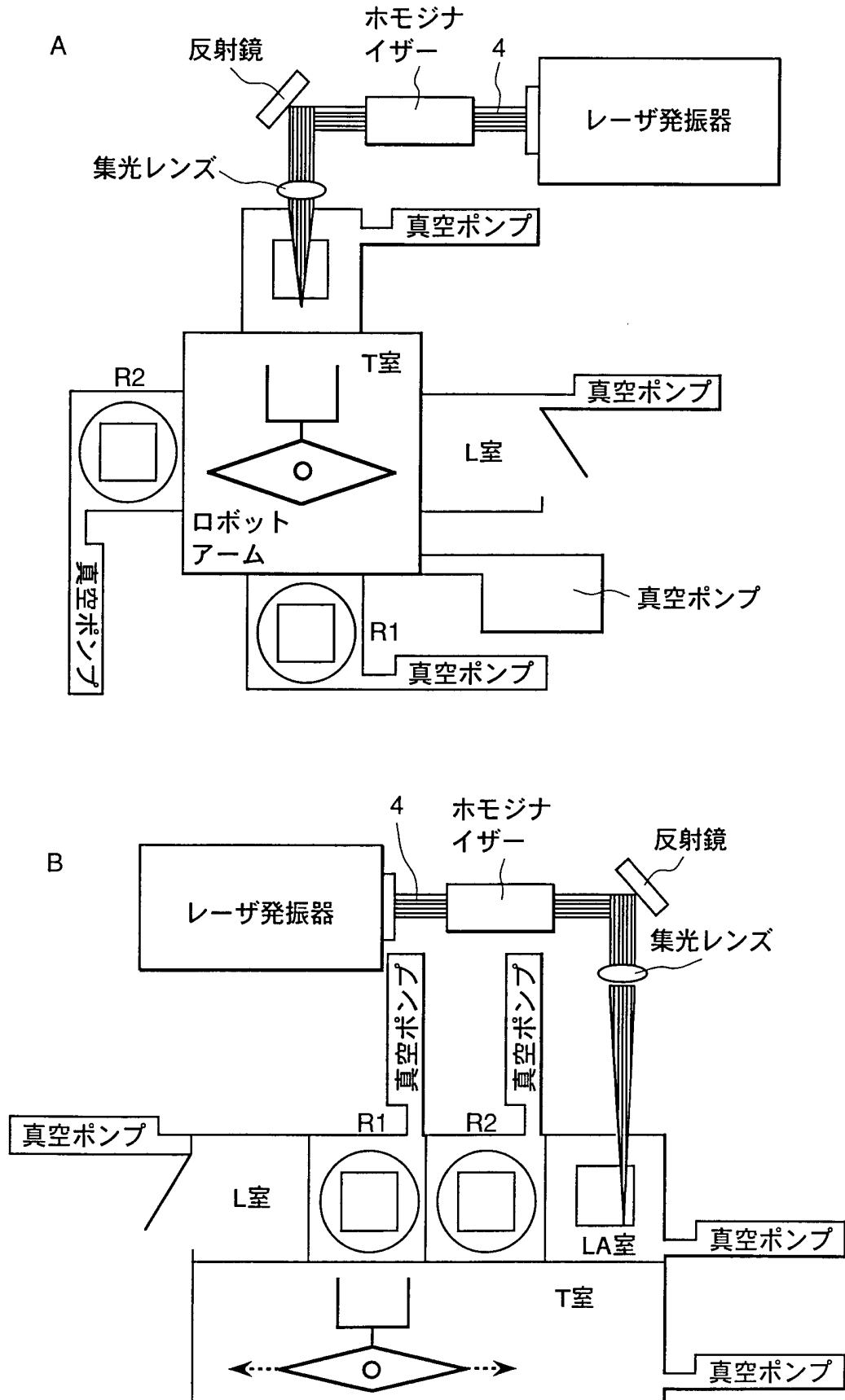


図 3



☒ 4

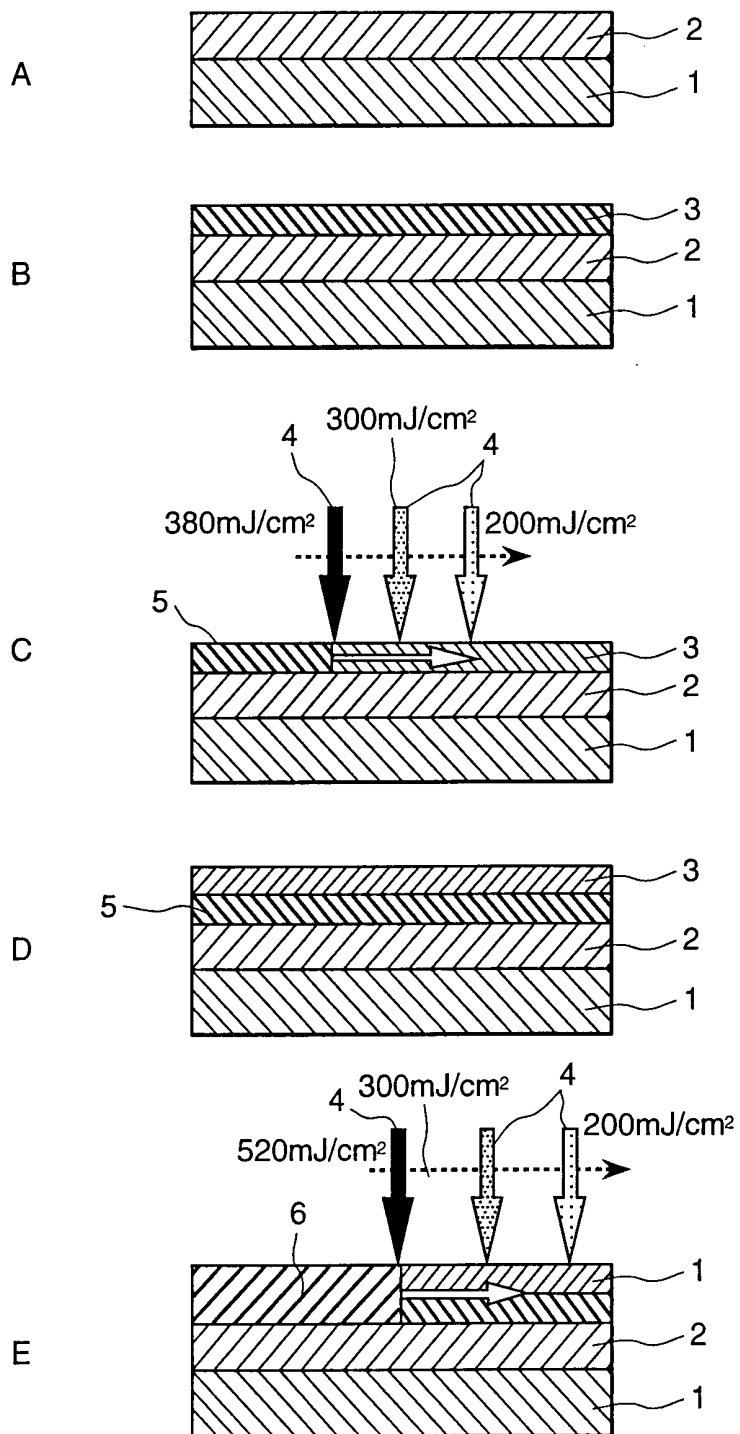


図 5

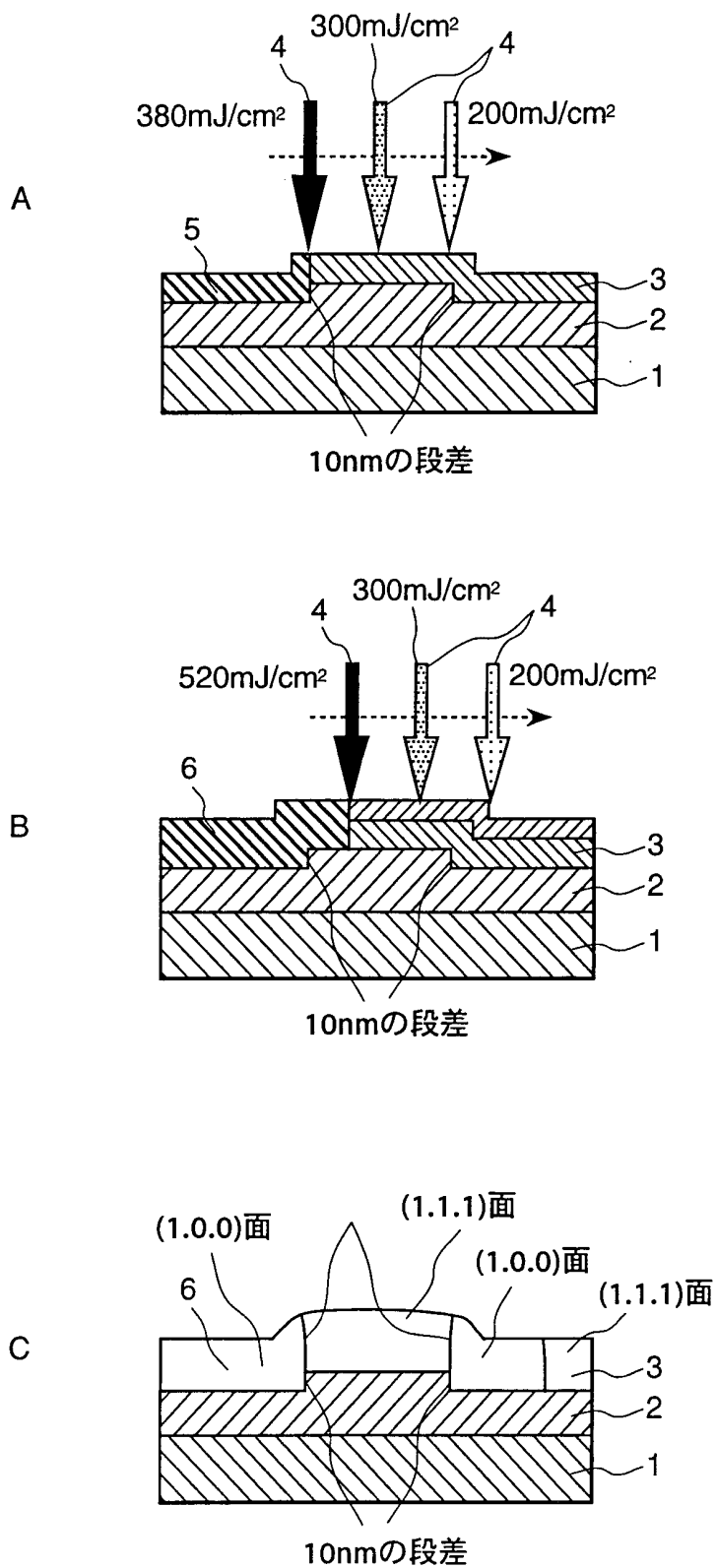
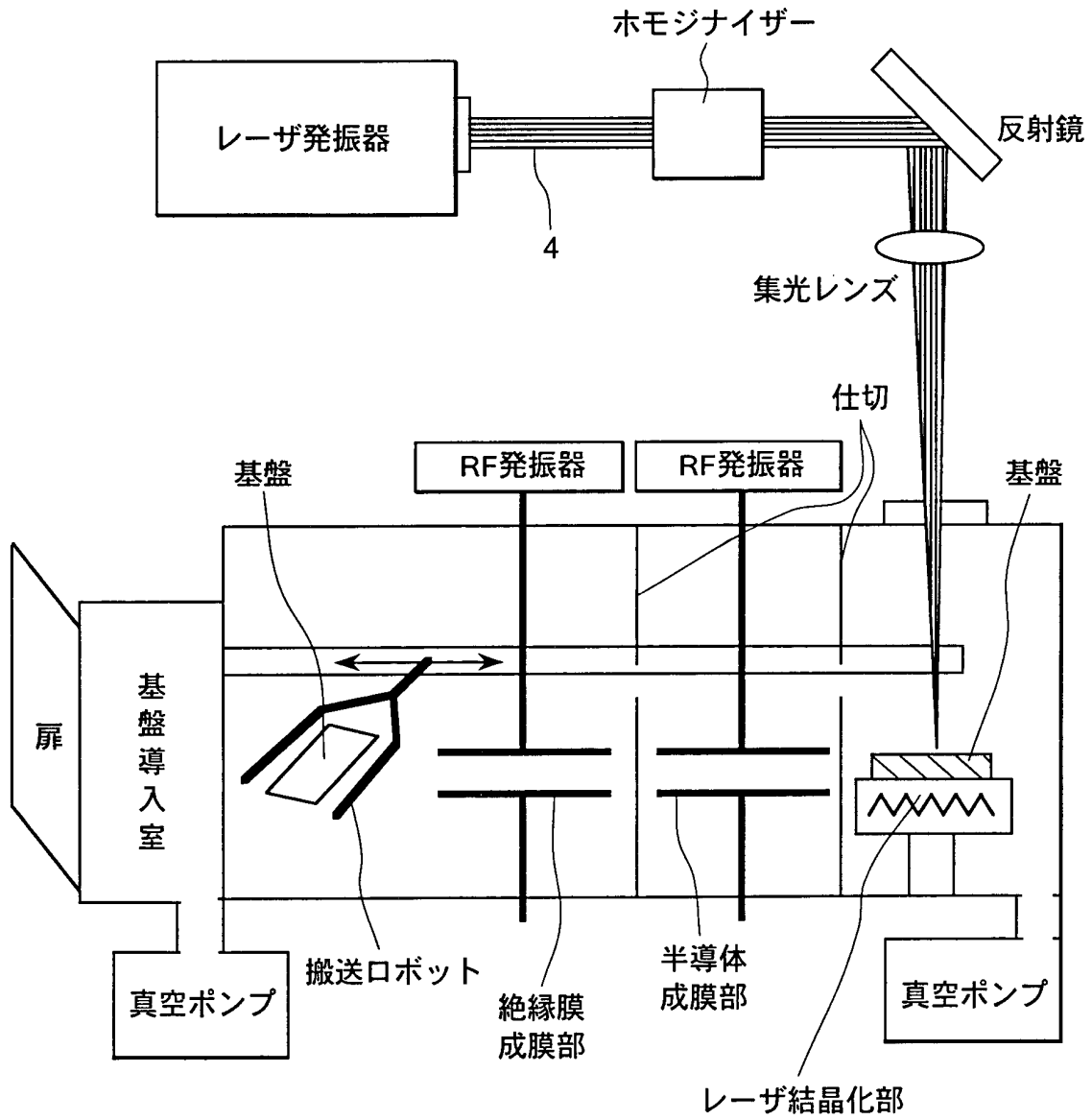


図 6



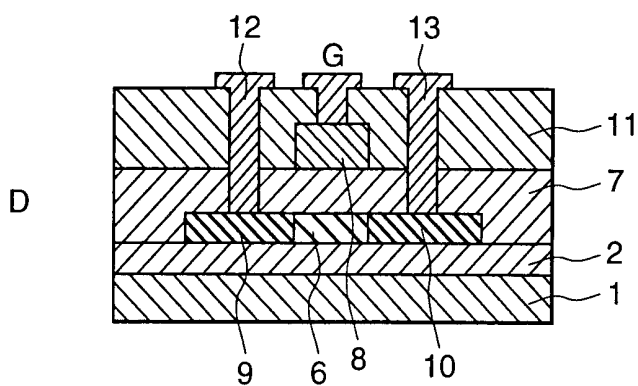
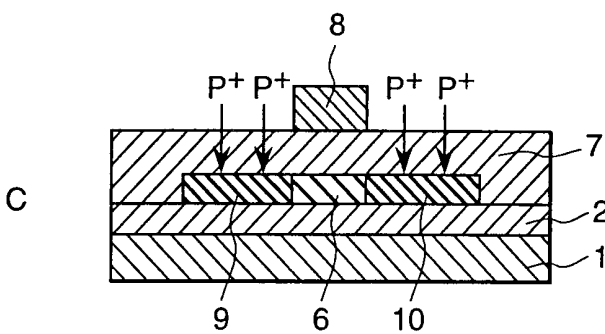
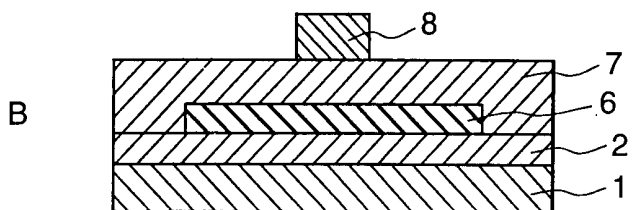
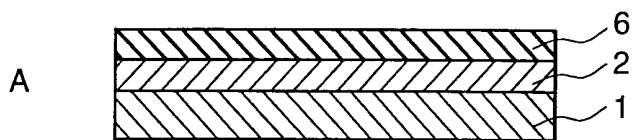


図 9

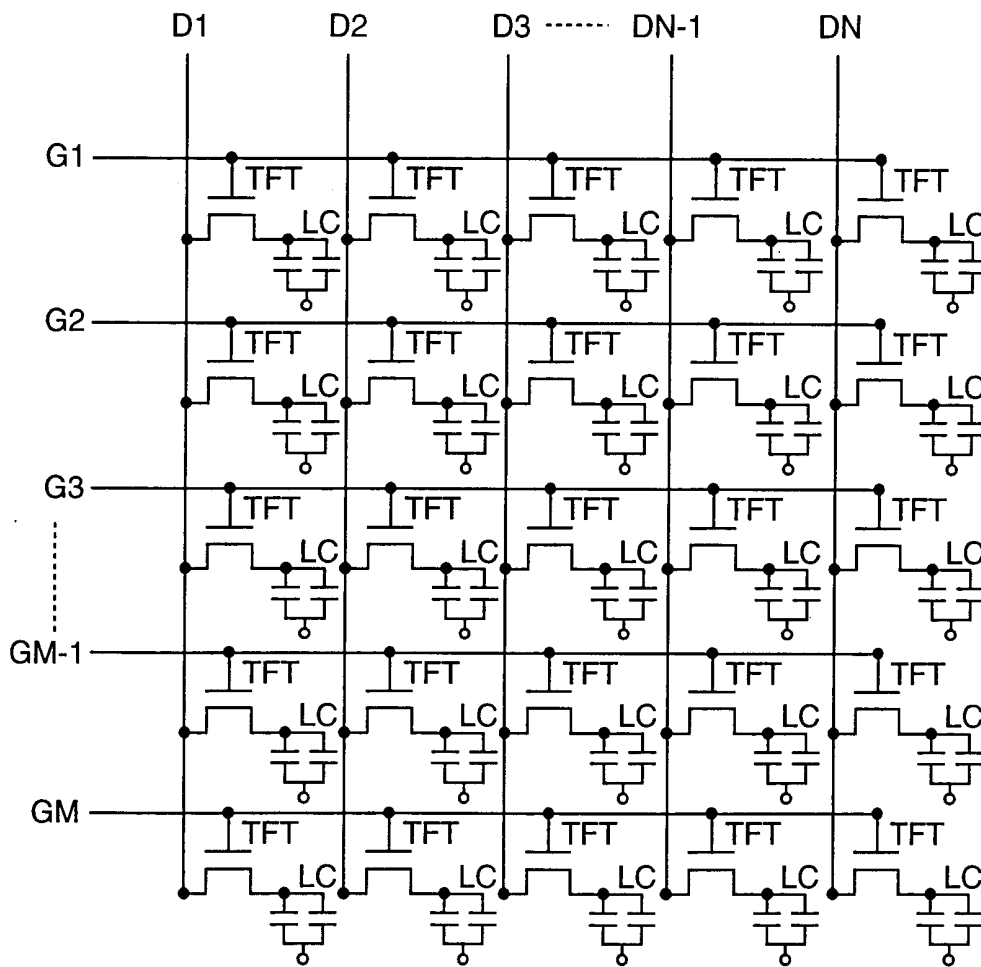


図 10

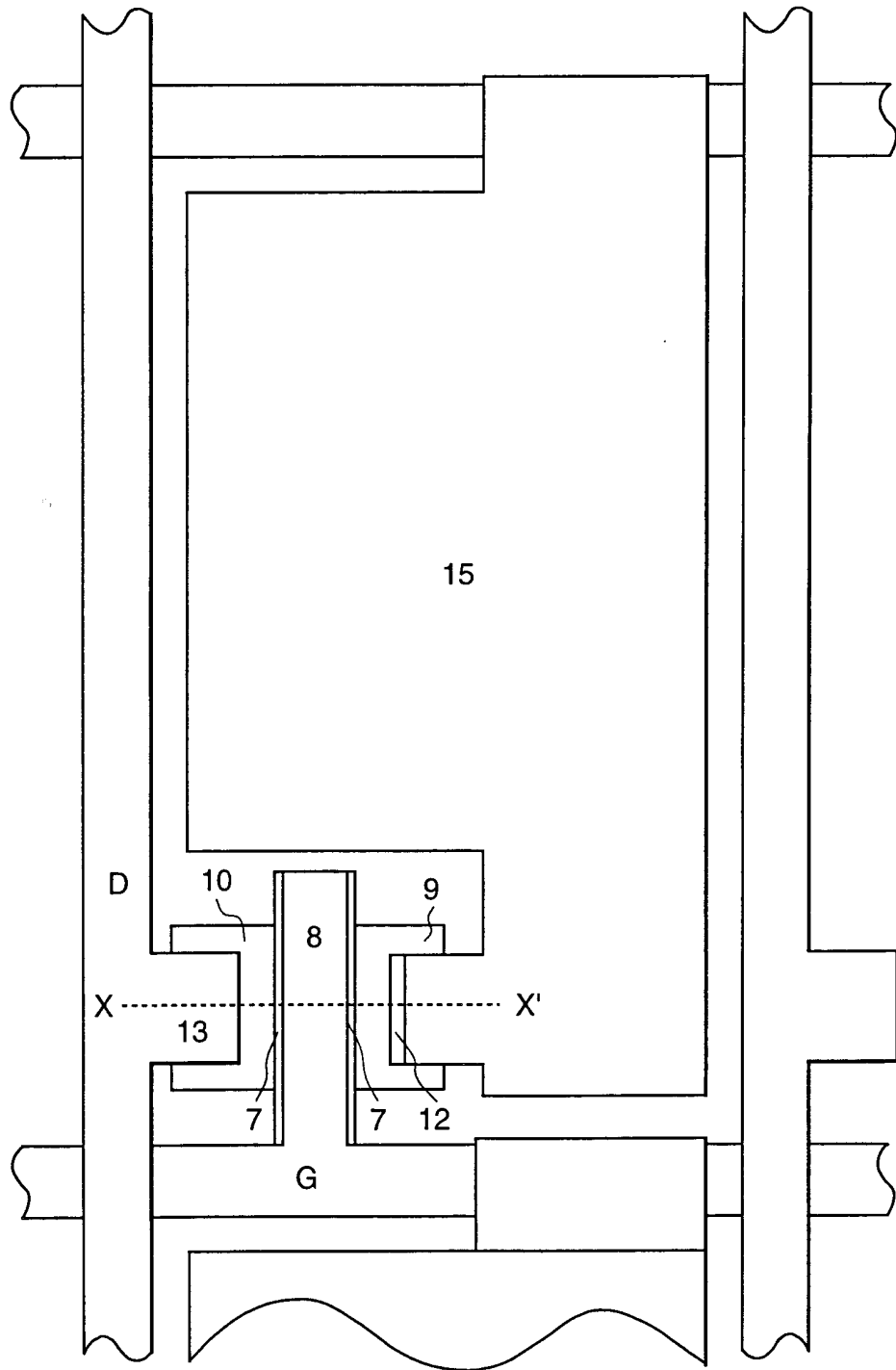


図 11

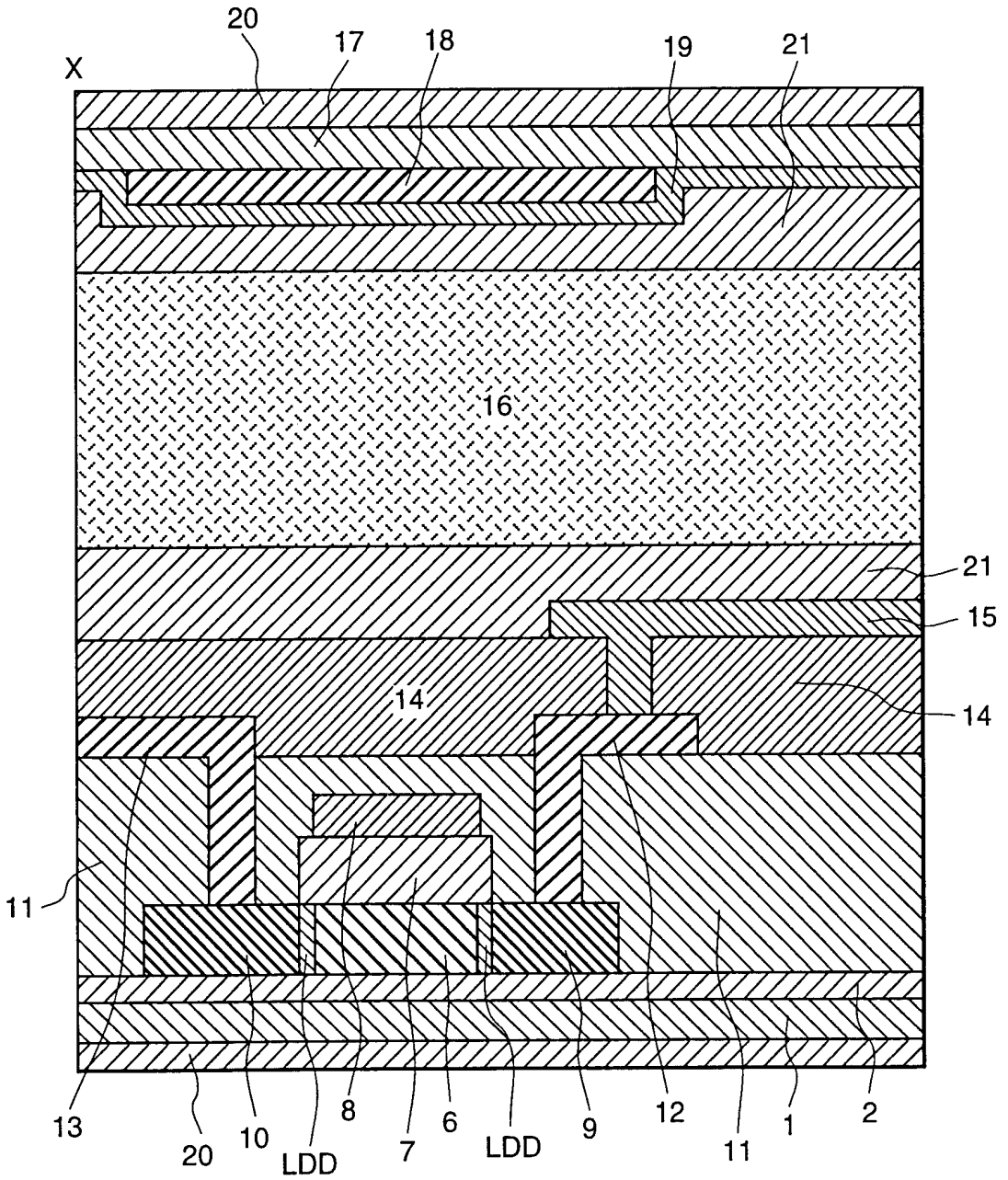
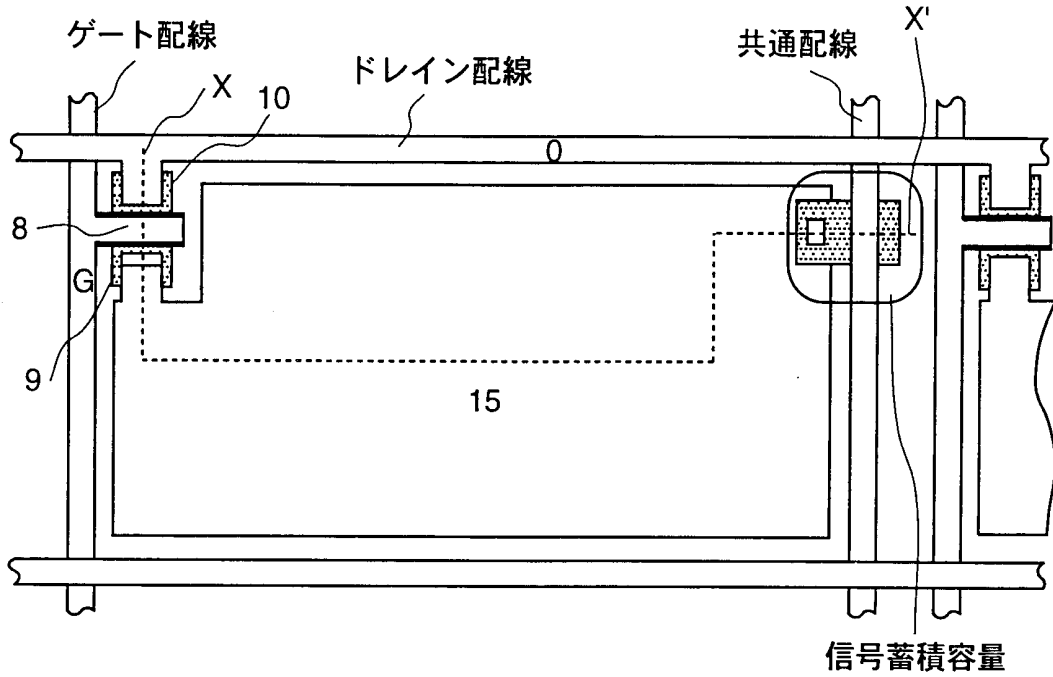


図 12

(A) 平面構造



(B) 断面構造

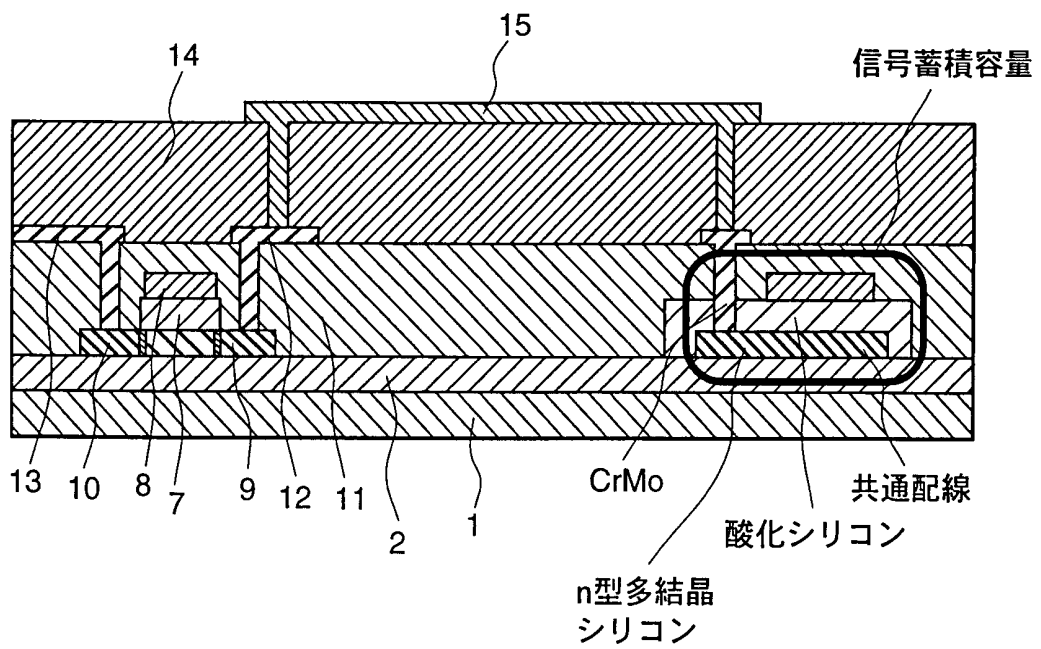
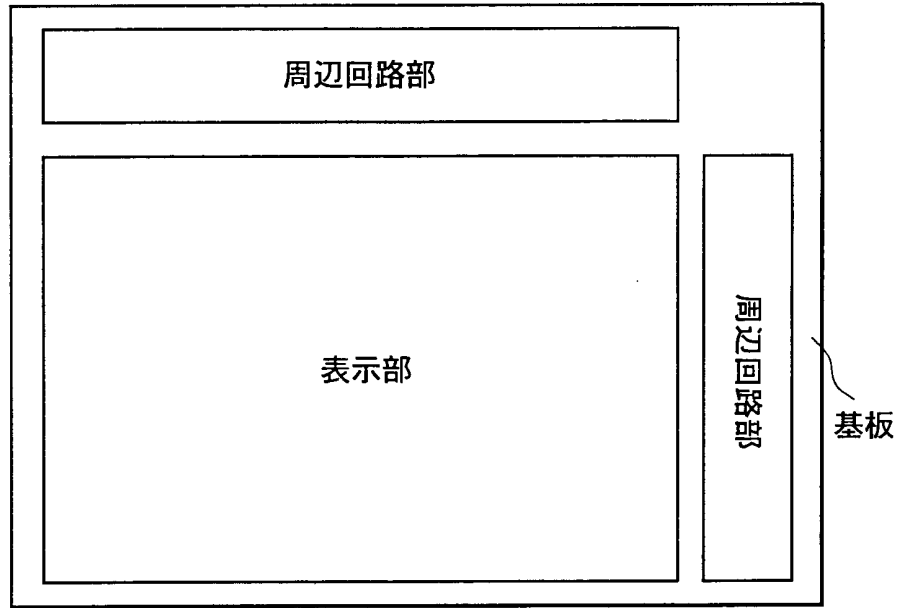


図 13

A



B

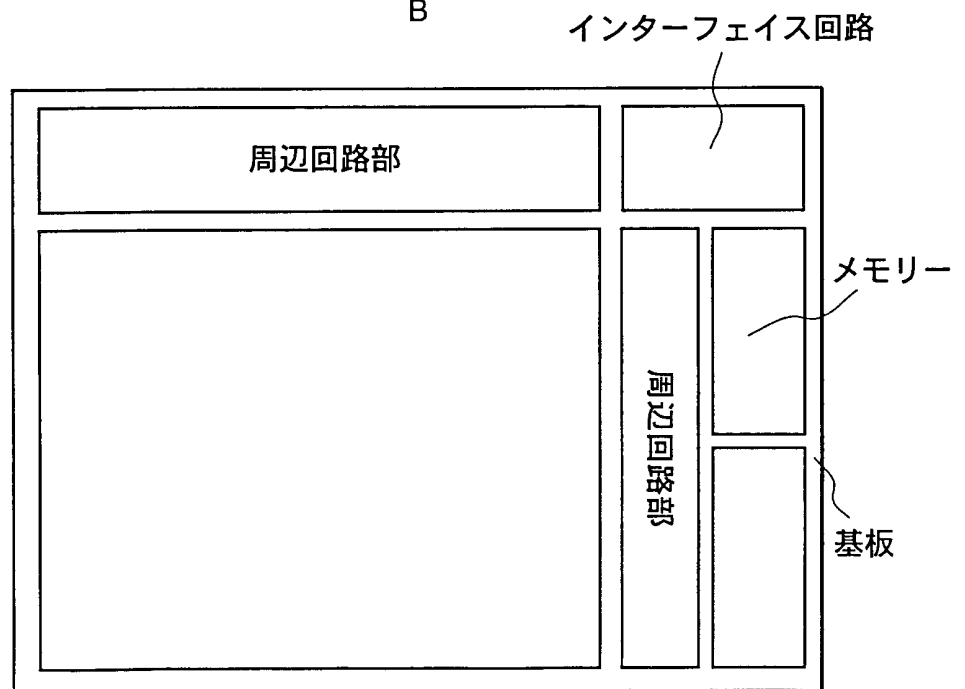


図 14

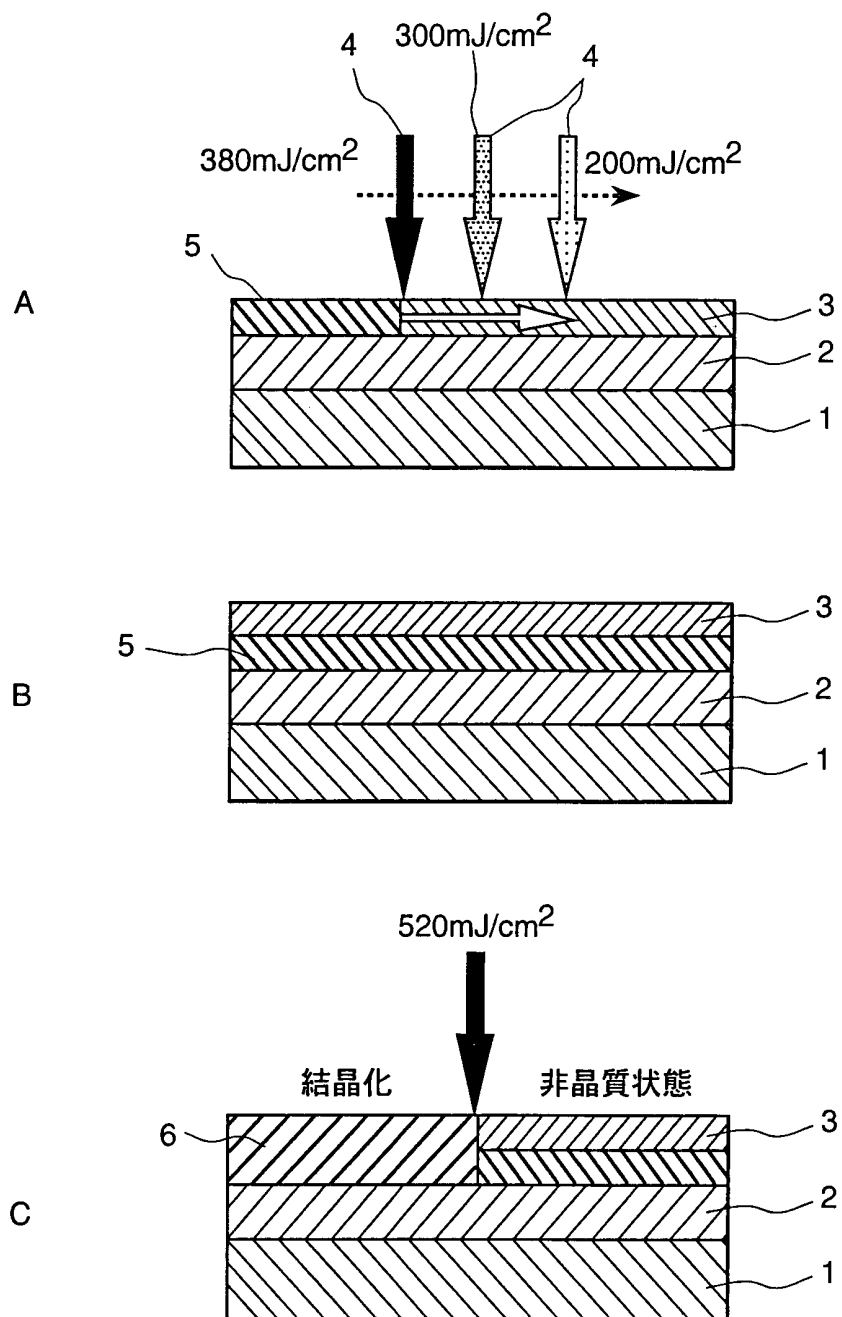
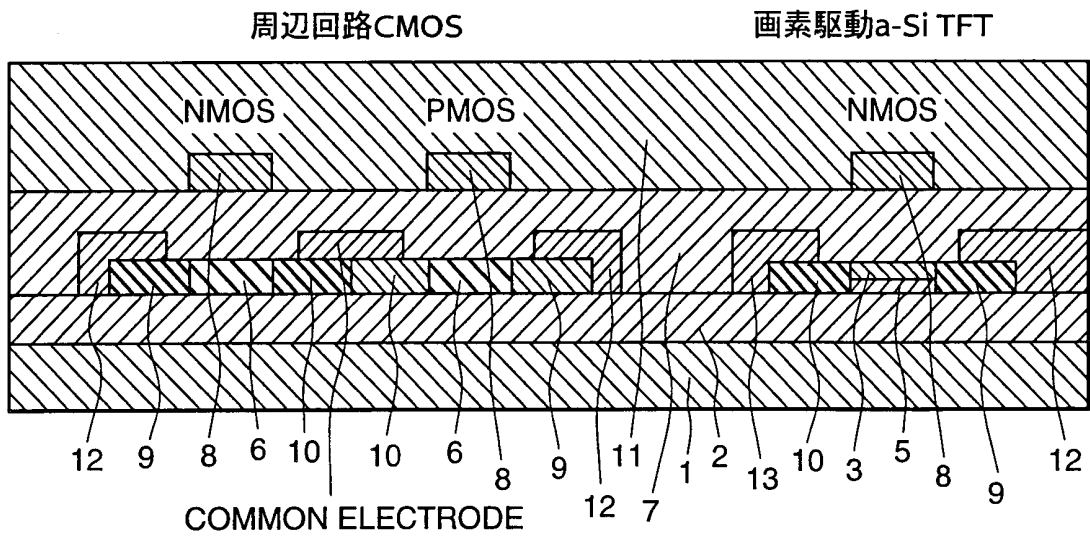


図 15

(A) コプレナー型TFT



(B) 逆スタガー型TFT

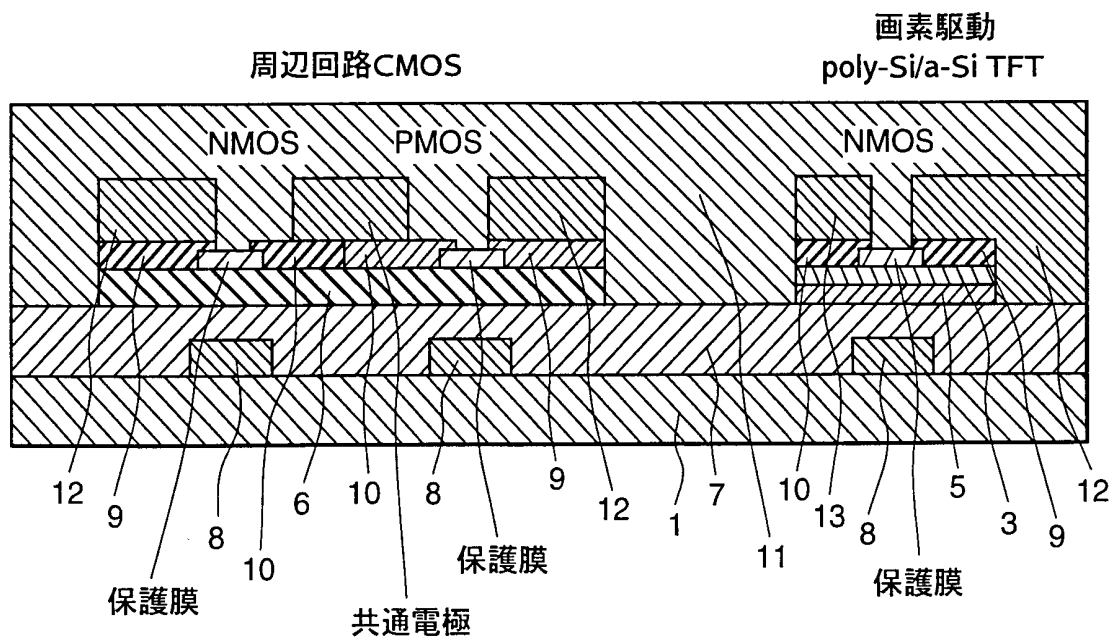


図 16

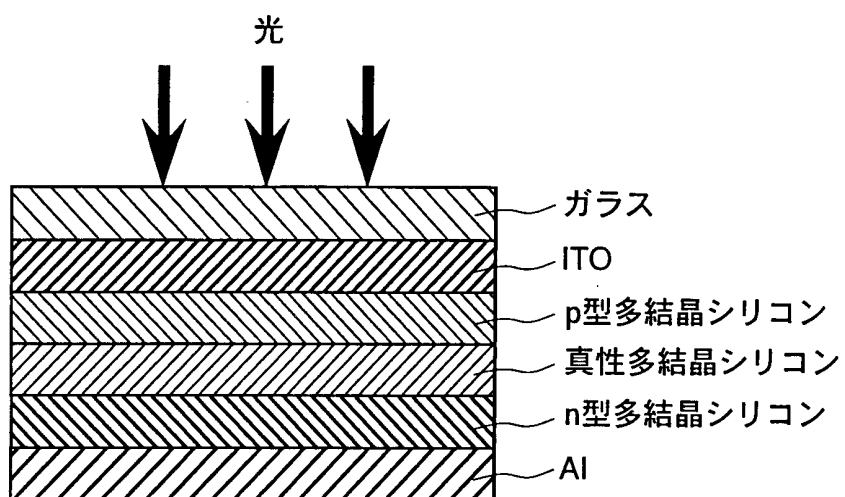
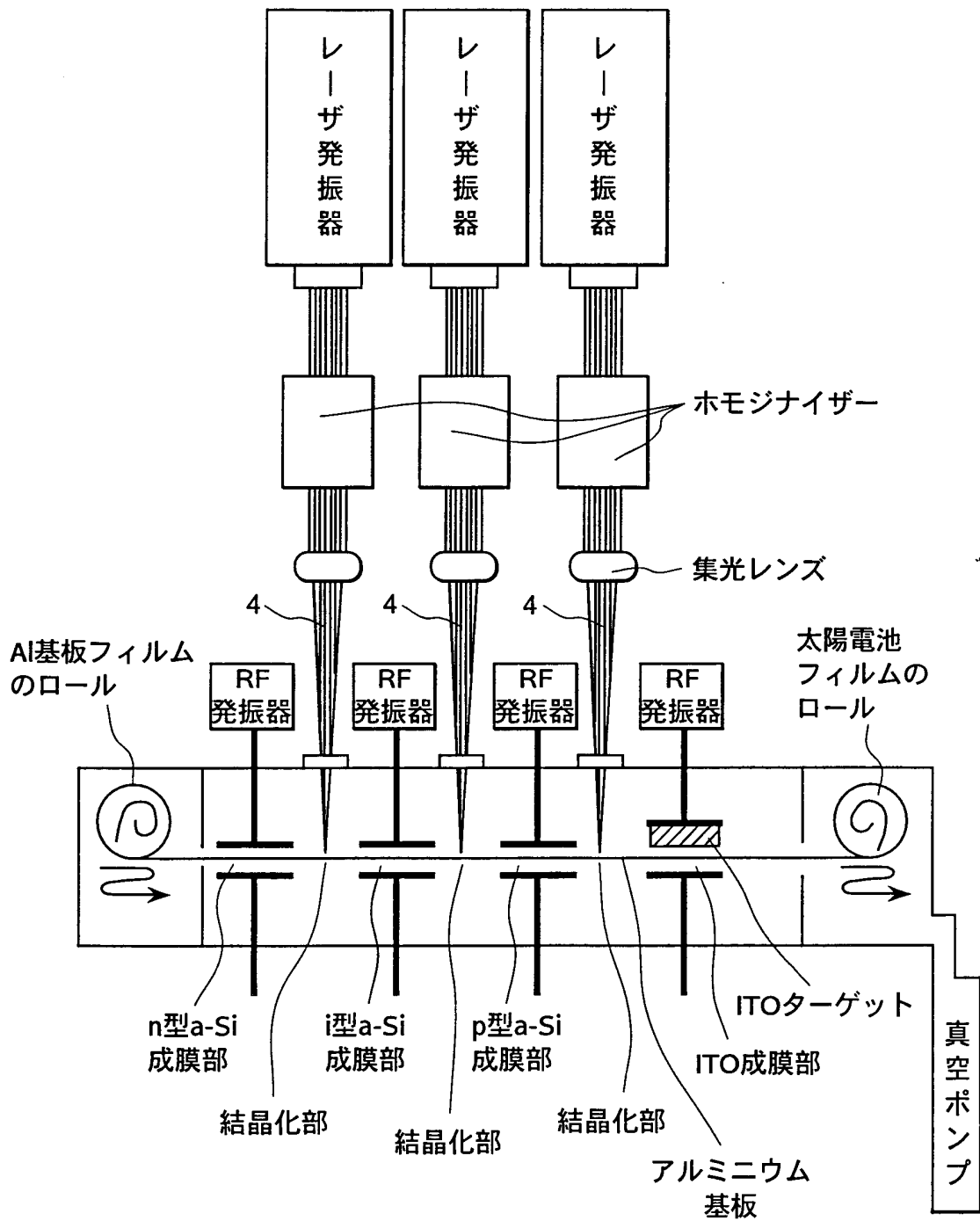


図 17



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP00/04608

<p>A. CLASSIFICATION OF SUBJECT MATTER Int.Cl⁷ H01L21/20, H01L29/786</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>																	
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) Int.Cl⁷ H01L21/20, H01L29/786</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>																	
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">Category*</th> <th style="width:70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width:20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td align="center">Y</td> <td>JP, 7-99321, A (Sony Corporation), 11 April, 1995 (11.04.95) (Family: none)</td> <td align="center">1-10,12-39</td> </tr> <tr> <td align="center">Y</td> <td>Appl. Phys. Lett. 68(15) (1996), D. K. Fork et al., p.2138-2140</td> <td align="center">1-9,16-26, 29,31-34</td> </tr> <tr> <td align="center">Y</td> <td>JP, 2-84716, A (Nippon Soken Inc.), 26 March, 1990 (26.03.90) (Family: none)</td> <td align="center">1-9,16-26, 29,31-34</td> </tr> <tr> <td align="center">Y</td> <td>IEEE TRANSACTIONS ON ELECTRON DEVICES ; VOL.42, NO.2 (1995) Atsushi Kohno et al., p.251-257</td> <td align="center">10,12-15,27-28 30,35-39</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	JP, 7-99321, A (Sony Corporation), 11 April, 1995 (11.04.95) (Family: none)	1-10,12-39	Y	Appl. Phys. Lett. 68(15) (1996), D. K. Fork et al., p.2138-2140	1-9,16-26, 29,31-34	Y	JP, 2-84716, A (Nippon Soken Inc.), 26 March, 1990 (26.03.90) (Family: none)	1-9,16-26, 29,31-34	Y	IEEE TRANSACTIONS ON ELECTRON DEVICES ; VOL.42, NO.2 (1995) Atsushi Kohno et al., p.251-257	10,12-15,27-28 30,35-39
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.															
Y	JP, 7-99321, A (Sony Corporation), 11 April, 1995 (11.04.95) (Family: none)	1-10,12-39															
Y	Appl. Phys. Lett. 68(15) (1996), D. K. Fork et al., p.2138-2140	1-9,16-26, 29,31-34															
Y	JP, 2-84716, A (Nippon Soken Inc.), 26 March, 1990 (26.03.90) (Family: none)	1-9,16-26, 29,31-34															
Y	IEEE TRANSACTIONS ON ELECTRON DEVICES ; VOL.42, NO.2 (1995) Atsushi Kohno et al., p.251-257	10,12-15,27-28 30,35-39															
<input type="checkbox"/> See patent family annex.																	
<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p>																
Date of the actual completion of the international search 24 August, 2000 (24.08.00)	Date of mailing of the international search report 10 October, 2000 (10.10.00)																
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.																

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ H01L21/20, H01L29/786

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ H01L21/20, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 7-99321, A (ソニー株式会社) 11. 4月. 1995 (11. 04. 95) (ファミリーなし)	1-10, 12-39
Y	Appl. Phys. Lett. 68(15) (1996) D. K. Fork et al p. 2138-2140	1-9, 16-26, 29, 31-34
Y	J P, 2-84716, A (株式会社日本自動車部品総合研究所) 26. 3月. 1990 (26. 03. 90) (ファミリーなし)	1-9, 16-26, 29, 31-34
Y	IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 42, NO. 2 (1995) Atsushi Kohno et al p. 251-257	10, 12-15, 27-28, 30, 35-39

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日 24. 08. 00

国際調査報告の発送日 10.10.00

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 宮崎園子
 4L 9277
 電話番号 03-3581-1101 内線 3498

