

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-167452

(P2017-167452A)

(43) 公開日 平成29年9月21日(2017.9.21)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 3 3 8	2 H 1 9 2
G02F 1/1368 (2006.01)	G02F 1/1368	5 C 0 9 4
H01L 29/786 (2006.01)	H01L 29/78 6 1 8 B	5 F 0 4 8
H01L 21/8234 (2006.01)	H01L 29/78 6 2 6 A	5 F 1 1 0
H01L 27/06 (2006.01)	H01L 29/78 6 1 2 C	
審査請求 未請求 請求項の数 6 O L (全 166 頁) 最終頁に続く		

(21) 出願番号 特願2016-54749 (P2016-54749)
(22) 出願日 平成28年3月18日 (2016. 3. 18)

(71) 出願人 502356528
株式会社ジャパンディスプレイ
東京都港区西新橋三丁目7番1号
(74) 代理人 110000408
特許業務法人高橋・林アンドパートナーズ
(72) 発明者 佐々木 俊成
東京都港区西新橋三丁目7番1号 株式会
社ジャパンディスプレイ内
Fターム(参考) 2H192 AA24 AA43 BB13 BC24 BC35
CB03 CB08 CB37 CB42 CB52
CC02 CC04 CC42 CC44 CC52
EA41 EA72 EA76 JA32
5C094 AA05 AA25 BA03 BA27 BA43
CA19 DA13 DA15 FA02

最終頁に続く

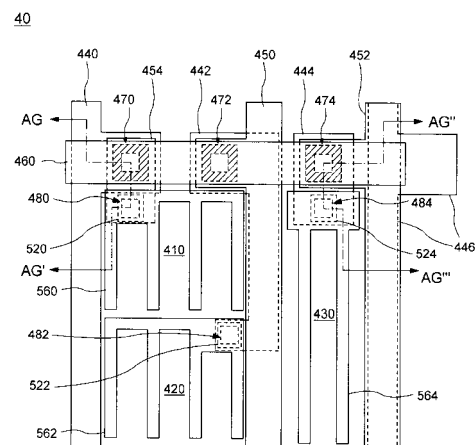
(54) 【発明の名称】 表示装置

(57) 【要約】 (修正有)

【課題】画素の開口率が高い表示装置を提供する。

【解決手段】複数のメイン画素が配置された表示装置40であって、複数のメイン画素の各々は、ソース電極及びドレイン電極の一方が第1データ線440に、他方が第1画素電極560に接続された第1選択トランジスタ470を有する第1サブ画素410と、ソース電極及びドレイン電極の一方が第2データ線450に、他方が第2画素電極562に接続された第2選択トランジスタ472を有する第2サブ画素420と、ソース電極及びドレイン電極の一方が第3データ線452に、他方が第3画素電極564に接続された第3選択トランジスタ474を有する第3サブ画素430と、を有し、第1データ信号線440は、第2データ信号線450又は第3データ信号線452とは異なる層に設けられる。

【選択図】 図309



【特許請求の範囲】

【請求項 1】

複数のメイン画素がマトリクス状に配置された表示装置であって、

前記複数のメイン画素の各々は、

第 1 色の信号を伝達する第 1 信号線、前記第 1 信号線にソース電極及びドレイン電極の一方が接続された第 1 トランジスタ、及び前記第 1 トランジスタのソース電極及びドレイン電極の他方に接続された第 1 画素電極を有する第 1 サブ画素と、

第 2 色の信号を伝達する第 2 信号線、前記第 2 信号線にソース電極及びドレイン電極の一方が接続された第 2 トランジスタ、及び前記第 2 トランジスタのソース電極及びドレイン電極の他方に接続された第 2 画素電極を有する第 2 サブ画素と、

第 3 色の信号を伝達する第 3 信号線、前記第 3 信号線にソース電極及びドレイン電極の一方が接続された第 3 トランジスタ、及び前記第 3 トランジスタのソース電極及びドレイン電極の他方に接続された第 3 画素電極を有する第 3 サブ画素と、

を有し、

前記第 1 信号線は、前記第 2 信号線又は前記第 3 信号線とは異なる層に設けられていることを特徴とする表示装置。

【請求項 2】

前記第 2 信号線及び隣接する前記メイン画素の前記第 1 信号線、又は、前記第 3 信号線及び隣接する前記メイン画素の前記第 1 信号線は平面視において重畳していることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 トランジスタのソース電極及びドレイン電極は、それぞれ異なる層であり、

前記第 2 トランジスタのソース電極及びドレイン電極は、それぞれ異なる層であり、

前記第 3 トランジスタのソース電極及びドレイン電極は、それぞれ異なる層であることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記第 1 トランジスタは、

前記第 1 信号線に接続された第 1 下部電極と、

前記第 1 下部電極上に配置され、第 1 側壁を有する第 1 絶縁層と、

前記第 1 絶縁層上に配置され、前記第 1 画素電極に接続された第 1 上部電極と、

前記第 1 側壁上に配置され、前記第 1 下部電極及び前記第 1 上部電極に接続された第 1 酸化物半導体層と、

前記第 1 酸化物半導体層に対向する第 1 ゲート電極と、

前記第 1 酸化物半導体層と前記第 1 ゲート電極との間の第 1 ゲート絶縁層と、を有し、

前記第 2 トランジスタは、

前記第 2 画素電極に接続された第 2 下部電極と、

前記第 2 下部電極上に配置され、第 2 側壁を有する第 2 絶縁層と、

前記第 2 絶縁層上に配置され、前記第 2 信号線に接続された第 2 上部電極と、

前記第 2 側壁上に配置され、前記第 2 下部電極及び前記第 2 上部電極に接続された第 2 酸化物半導体層と、

前記第 2 酸化物半導体層に対向する第 2 ゲート電極と、

前記第 2 酸化物半導体層と前記第 2 ゲート電極との間の第 2 ゲート絶縁層と、を有し、

前記第 3 トランジスタは、

前記第 3 画素電極に接続された第 3 下部電極と、

前記第 3 下部電極上に配置され、第 3 側壁を有する第 3 絶縁層と、

前記第 3 絶縁層上に配置され、前記第 3 信号線に接続された第 3 上部電極と、

前記第 3 側壁上に配置され、前記第 3 下部電極及び前記第 3 上部電極に接続された第 3 酸化物半導体層と、

前記第 3 酸化物半導体層に対向する第 3 ゲート電極と、

前記第 3 酸化物半導体層と前記第 3 ゲート電極との間の第 3 ゲート絶縁層と、を有し、

前記第1絶縁層、前記第2絶縁層、及び前記第3絶縁層はそれぞれ同一層に設けられていることを特徴とする請求項3に記載の表示装置。

【請求項5】

前記第1信号線と、平面視において前記第1信号線と重畳する前記第2信号線又は前記第3信号線とは、前記第1絶縁層と同一層に設けられた絶縁層によって絶縁されていることを特徴とする請求項4に記載の表示装置。

【請求項6】

前記第1ゲート電極、前記第2ゲート電極、及び前記第3ゲート電極は、それぞれ同一のゲート線に接続されていることを特徴とする請求項4に記載の表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、表示装置に関し、開示される一実施形態は表示装置に配置されたトランジスタ及び画素の構造及びレイアウト形状に関する。

【背景技術】

【0002】

近年、表示装置やパーソナルコンピュータなどの駆動回路には微細なスイッチング素子としてトランジスタ、ダイオードなどの半導体装置が用いられている。特に、表示装置に用いられるトランジスタは、表示する映像に基づく各画素の階調に応じた電圧又は電流（データ信号）を供給するための選択トランジスタだけでなく、データ信号を供給する画素を選択するための駆動回路にも使用されている。ここで、表示装置に用いられるトランジスタはその用途に応じて要求される特性が異なる。例えば、選択トランジスタとして使用されるトランジスタは、オフ電流が低いことや複数のトランジスタ間の特性ばらつきが小さいことが要求される。また、駆動回路として使用されるトランジスタは、高いオン電流が要求される。

20

【0003】

上記のような表示装置において、従来からアモルファスシリコンや低温ポリシリコン、単結晶シリコンをチャンネルに用いたトランジスタによって構成された表示装置が開発されている。アモルファスシリコンや低温ポリシリコンを用いた表示装置は、600℃以下のプロセスで形成することができるため、ガラス基板を用いて形成することができる。特に、アモルファスシリコンを用いる場合は、より単純な構造かつ400℃以下の低温プロセスでトランジスタを形成することができるため、例えば第8世代（2160×2460mm）と呼ばれる大型のガラス基板を用いて表示装置を形成することができる。しかし、アモルファスシリコンをチャンネルに用いたトランジスタは移動度が低く、駆動回路のトランジスタに使用することはできない。

30

【0004】

また、低温ポリシリコンや単結晶シリコンをチャンネルに用いたトランジスタは、アモルファスシリコンをチャンネルに用いたトランジスタに比べて移動度が高いため、選択トランジスタだけでなく駆動回路のトランジスタにも使用することができる。しかし、低温ポリシリコンや単結晶シリコンをチャンネルに用いたトランジスタは構造及びプロセスが複雑になる。また、500℃以上の高温プロセスでトランジスタを形成する必要があるため、上記のような大型のガラス基板を用いて低温ポリシリコンや単結晶シリコンを用いた表示装置を形成することができない。また、アモルファスシリコンや低温ポリシリコン、単結晶シリコンをチャンネルに用いたトランジスタはいずれもオフ電流が高く、供給された信号を長時間保持することが難しかった。

40

【0005】

また、近年、表示装置の高解像度化が進んでおり、行方向の画素数が4096個、列方向の画素数が2160個である、いわゆる「4K」と呼ばれる解像度を有する表示装置が開発されてきている。さらに、動画をより滑らかに表示するために、1秒間に表示するフレーム数が従来の60フレームから120フレーム又は240フレームに増加した駆動方

50

式が開発されてきている。これらの開発に伴い、1つの画素に対して画素の階調に対応するデータ信号を供給する時間は従来に比べて短くなってきている。その結果、より短時間で画素にデータ信号を安定して供給するために、画素に配置された選択トランジスタの移動度を高くすることが要求されている。

【0006】

そこで、最近では、アモルファスシリコンや低温ポリシリコン、単結晶シリコンに替わり、酸化物半導体をチャネルに用いたトランジスタによって構成された表示装置の開発が進められている（例えば、特許文献1）。酸化物半導体をチャネルに用いたトランジスタは、アモルファスシリコンをチャネルに用いたトランジスタと同様に単純な構造で実現することができ、アモルファスシリコンをチャネルに用いたトランジスタの製造方法と同程度の低温プロセスで作製することができる。さらに、酸化物半導体をチャネルに用いたトランジスタは、アモルファスシリコンをチャネルに用いたトランジスタよりも高い移動度を有し、オフ電流が非常に低いことが知られている。

10

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2014-194579号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

20

しかしながら、酸化物半導体をチャネルに用いたトランジスタは低温ポリシリコンや単結晶シリコンをチャネルに用いたトランジスタに比べると移動度が低い。したがって、より高いオン電流を得るためには、トランジスタのL長（チャネル長）を短くする、又はトランジスタのW長（チャネル幅）を大きくする必要がある。

【0009】

特許文献1に示すトランジスタでは、トランジスタのL長を短くするためにはソース／ドレイン間の距離を短くする必要がある。ここで、ソース／ドレイン間の距離はフォトリソグラフィ及びエッチングの工程によって決定される。フォトリソグラフィによってパターンニングする場合、露光機のマスクパターンサイズによって微細化が制限される。特に、ガラス基板上にフォトリソグラフィによってパターンニングする場合、マスクパターンの最小サイズは2 μm 程度であり、トランジスタの短チャネル化はこのマスクパターンサイズに制限される。また、トランジスタのチャネル長がフォトリソグラフィによって決定されるため、トランジスタのチャネル長はフォトリソグラフィの工程における基板面内ばらつきの影響を受けてしまう。

30

【0010】

また、特許文献1に示すトランジスタにおいて、各々の画素の選択トランジスタはゲート線、データ線と重畳しないように配置する必要がある。したがって、トランジスタのW長を大きくすると画素領域においてトランジスタが占有する比率が高くなるため、画素の開口率が低下してしまう。

【0011】

40

本発明は、上記実情に鑑み、オン電流を向上させることができるトランジスタを有する表示装置を提供することを目的とする。または、画素の開口率が高い表示装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明の一実施形態による表示装置は、複数のメイン画素がマトリクス状に配置された表示装置であって、複数のメイン画素の各々は、第1色の信号を伝達する第1信号線、第1信号線にソース電極及びドレイン電極の一方が接続された第1トランジスタ、及び第1トランジスタのソース電極及びドレイン電極の他方に接続された第1画素電極を有する第1サブ画素と、第2色の信号を伝達する第2信号線、第2信号線にソース電極及びドレイ

50

ン電極の一方が接続された第2トランジスタ、及び第2トランジスタのソース電極及びドレイン電極の他方に接続された第2画素電極を有する第2サブ画素と、第3色の信号を伝達する第3信号線、第3信号線にソース電極及びドレイン電極の一方が接続された第3トランジスタ、及び第3トランジスタのソース電極及びドレイン電極の他方に接続された第3画素電極を有する第3サブ画素と、を有し、第1信号線は、第2信号線又は第3信号線とは異なる層に設けられている。

【図面の簡単な説明】

【0013】

【図1】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図2】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

10

【図3】本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す平面図である。

【図4】本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す断面図である。

【図5】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図6】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図7】本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す平面図である。

20

【図8】本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す断面図である。

【図9】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図10】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図11】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図12】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

30

【図13】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図14】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図15】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図である。

【図16】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す断面図である。

【図17】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図18】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

40

【図19】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図20】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図21】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図である。

【図22】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す断面図である。

【図23】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

50

【図 5 1】本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す平面図である。

【図 5 2】本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す断面図である。

【図 5 3】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図 5 4】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図 5 5】本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す平面図である。

【図 5 6】本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す断面図である。

【図 5 7】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 5 8】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 5 9】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 6 0】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 6 1】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 6 2】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 6 3】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びコンタクトパッドを形成する工程を示す平面図である。

【図 6 4】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びコンタクトパッドを形成する工程を示す断面図である。

【図 6 5】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図 6 6】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図 6 7】本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す平面図である。

【図 6 8】本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す断面図である。

【図 6 9】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 7 0】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 7 1】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 7 2】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 7 3】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 7 4】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 7 5】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す平面図である。

【図 7 6】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す断面図である。

【図 7 7】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図 7 8】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

10

20

30

40

50

【図 7 9】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層及び上部電極に開口部を形成する工程を示す平面図である。

【図 8 0】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層及び上部電極に開口部を形成する工程を示す断面図である。

【図 8 1】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 8 2】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 8 3】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 8 4】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 8 5】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 8 6】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 8 7】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す平面図である。

【図 8 8】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す断面図である。

【図 8 9】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図 9 0】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図 9 1】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図である。

【図 9 2】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す断面図である。

【図 9 3】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 9 4】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 9 5】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 9 6】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 9 7】本発明の一実施形態に係る半導体装置の下部電極及び上部電極の構造を示す断面図である。

【図 9 8】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 9 9】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 1 0 0】本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層を形成する工程を示す平面図である。

【図 1 0 1】本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層を形成する工程を示す断面図である。

【図 1 0 2】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図である。

【図 1 0 3】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す断面図である。

【図 1 0 4】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 1 0 5】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

10

20

30

40

50

【図１０６】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図１０７】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図１０８】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図１０９】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図１１０】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図である。

【図１１１】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す断面図である。

【図１１２】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図１１３】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図１１４】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図１１５】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図１１６】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図１１７】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図１１８】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びバックゲートを形成する工程を示す平面図である。

【図１１９】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びバックゲートを形成する工程を示す断面図である。

【図１２０】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図１２１】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図１２２】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図である。

【図１２３】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す断面図である。

【図１２４】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図１２５】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図１２６】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図１２７】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図１２８】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図１２９】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図１３０】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図である。

【図１３１】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す断面図である。

【図１３２】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図１３３】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

10

20

30

40

50

【図 1 3 4】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 1 3 5】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 1 3 6】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 1 3 7】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 1 3 8】本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す平面図である。

【図 1 3 9】本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す断面図である。

10

【図 1 4 0】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図 1 4 1】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図 1 4 2】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図である。

【図 1 4 3】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す断面図である。

【図 1 4 4】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

20

【図 1 4 5】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 1 4 6】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 1 4 7】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 1 4 8】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 1 4 9】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 1 5 0】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びコンタクトパッドを形成する工程を示す平面図である。

30

【図 1 5 1】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びコンタクトパッドを形成する工程を示す断面図である。

【図 1 5 2】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図 1 5 3】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図 1 5 4】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図である。

【図 1 5 5】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す断面図である。

40

【図 1 5 6】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 1 5 7】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 1 5 8】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 1 5 9】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 1 6 0】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 1 6 1】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

50

【図 1 6 2】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す平面図である。

【図 1 6 3】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す断面図である。

【図 1 6 4】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図 1 6 5】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図 1 6 6】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図である。

10

【図 1 6 7】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す断面図である。

【図 1 6 8】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 1 6 9】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 1 7 0】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 1 7 1】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

20

【図 1 7 2】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 1 7 3】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 1 7 4】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す平面図である。

【図 1 7 5】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す断面図である。

【図 1 7 6】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図 1 7 7】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

30

【図 1 7 8】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図である。

【図 1 7 9】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す断面図である。

【図 1 8 0】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 1 8 1】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 1 8 2】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

40

【図 1 8 3】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 1 8 4 A】本発明の一実施形態に係る半導体装置の開口部の構造を示す断面図である。

【図 1 8 4 B】本発明の一実施形態の変形例に係る半導体装置の開口部の構造を示す断面図である。

【図 1 8 5 A】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 1 8 5 B】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 1 8 6 A】本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す平面図である。

50

【図１８６Ｂ】本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す断面図である。

【図１８７】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図１８８】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図１８９】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層及び下地絶縁層に開口部を形成する工程を示す平面図である。

【図１９０】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層及び下地絶縁層に開口部を形成する工程を示す断面図である。

【図１９１】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図１９２】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図１９３】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図１９４】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図１９５】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図１９６】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図１９７】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図である。

【図１９８】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す断面図である。

【図１９９】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図２００】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図２０１】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図２０２】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図２０３】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図２０４】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図２０５】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びバックゲートを形成する工程を示す平面図である。

【図２０６】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びバックゲートを形成する工程を示す断面図である。

【図２０７】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図２０８】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図２０９】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図である。

【図２１０】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す断面図である。

【図２１１】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図２１２】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

10

20

30

40

50

【図 2 1 3】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 2 1 4】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 2 1 5】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 2 1 6】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 2 1 7】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図である。

【図 2 1 8】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す断面図である。

【図 2 1 9】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 2 2 0】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 2 2 1】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 2 2 2】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 2 2 3】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 2 2 4】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 2 2 5】本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す平面図である。

【図 2 2 6】本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す断面図である。

【図 2 2 7】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図 2 2 8】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図 2 2 9】本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す平面図である。

【図 2 3 0】本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す断面図である。

【図 2 3 1】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 2 3 2】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 2 3 3】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 2 3 4】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 2 3 5】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 2 3 6】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 2 3 7】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びコンタクトパッドを形成する工程を示す平面図である。

【図 2 3 8】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びコンタクトパッドを形成する工程を示す断面図である。

【図 2 3 9】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図 2 4 0】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

10

20

30

40

50

【図 2 4 1】本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す平面図である。

【図 2 4 2】本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す断面図である。

【図 2 4 3】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 2 4 4】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 2 4 5】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

10

【図 2 4 6】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 2 4 7】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 2 4 8】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 2 4 9】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す平面図である。

【図 2 5 0】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す断面図である。

【図 2 5 1】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

20

【図 2 5 2】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図 2 5 3】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図である。

【図 2 5 4】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す断面図である。

【図 2 5 5】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 2 5 6】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

30

【図 2 5 7】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 2 5 8】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 2 5 9】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 2 6 0】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 2 6 1】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、コンタクトパッド、及び上部電極を形成する工程を示す平面図である。

【図 2 6 2】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、コンタクトパッド、及び上部電極を形成する工程を示す断面図である。

40

【図 2 6 3】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図である。

【図 2 6 4】本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す断面図である。

【図 2 6 5】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 2 6 6】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 2 6 7】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

50

【図 2 6 8】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 2 6 9】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 2 7 0】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 2 7 1】本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す平面図である。

【図 2 7 2】本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す断面図である。

【図 2 7 3】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図 2 7 4】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図 2 7 5】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層及び下地絶縁層に開口部を形成する工程を示す平面図である。

【図 2 7 6】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層及び下地絶縁層に開口部を形成する工程を示す断面図である。

【図 2 7 7】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 2 7 8】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 2 7 9】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 2 8 0】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 2 8 1】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 2 8 2】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 2 8 3】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図である。

【図 2 8 4】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す断面図である。

【図 2 8 5】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 2 8 6】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 2 8 7】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 2 8 8】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 2 8 9】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 2 9 0】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 2 9 1】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びバックゲートを形成する工程を示す平面図である。

【図 2 9 2】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びバックゲートを形成する工程を示す断面図である。

【図 2 9 3】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図である。

【図 2 9 4】本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す断面図である。

【図 2 9 5】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図である。

10

20

30

40

50

【図 2 9 6】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す断面図である。

【図 2 9 7】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 2 9 8】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

【図 2 9 9】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 3 0 0】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

10

【図 3 0 1】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図 3 0 2】本発明の一実施形態に係る半導体装置の概要を示す断面図である。

【図 3 0 3】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図である。

【図 3 0 4】本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す断面図である。

【図 3 0 5】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図である。

【図 3 0 6】本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す断面図である。

20

【図 3 0 7】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図である。

【図 3 0 8】本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す断面図である。

【図 3 0 9】本発明の一実施形態に係る表示装置の概要を示す平面図である。

【図 3 1 0】図 3 0 9 の A G - A G ' 断面図である。

【図 3 1 1】図 3 0 9 の A G ' ' - A G ' ' ' 断面図である。

【図 3 1 2】本発明の一実施形態に係る表示装置の製造方法において、データ線及び配線を形成する工程を示す平面図である。

【図 3 1 3】本発明の一実施形態に係る表示装置の製造方法において、データ線及び配線を形成する工程を示す平面図である。

30

【図 3 1 4】本発明の一実施形態に係る表示装置の製造方法において、データ線及び配線を露出する開口部を形成する工程を示す平面図である。

【図 3 1 5】本発明の一実施形態に係る表示装置の製造方法において、開口部に酸化物半導体層を形成する工程を示す平面図である。

【図 3 1 6】本発明の一実施形態に係る表示装置の製造方法において、配線を露出する開口部を形成する工程を示す平面図である。

【図 3 1 7】本発明の一実施形態に係る表示装置の製造方法において、パッドを形成する工程を示す平面図である。

【発明を実施するための形態】

40

【0 0 1 4】

以下に、本発明の各実施の形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0 0 1 5】

また、以下に示す実施形態の説明において、「第 1 の部材と第 2 の部材とを接続する」

50

とは、少なくとも第1の部材と第2の部材とを電氣的に接続することを意味する。つまり、第1の部材と第2の部材とが物理的に接続されていてもよく、第1の部材と第2の部材との間に他の部材が設けられていてもよい。

【0016】

以下の実施形態において半導体装置の概要について説明する。以下の実施形態に示す半導体装置は、液晶表示装置（Liquid Crystal Display Device：LCD）、表示部に有機発光ダイオード（Organic Light-Emitting Diode：OLED）や量子ドット等の自発光素子を利用した自発光表示装置、又は電子ペーパー等の反射型表示装置などの表示装置に用いることができる。

【0017】

ただし、本発明に係る半導体装置は表示装置に用いられるものに限定されず、例えば、マイクロプロセッサ（Micro-Processing Unit：MPU）などの集積回路（Integrated Circuit：IC）に用いることができる。また、以下の実施形態における半導体装置では、チャンネルとして酸化物半導体を用いた構造を例示するが、この構造に限定されず、チャンネルとしてシリコンなどの半導体やGa-As等の化合物半導体、ペンタセン又はテトラシアノキノジメタン（TCNQ）等の有機半導体を用いることもできる。また、以下の実施形態では半導体装置としてトランジスタを例示するが、これは本発明に係る半導体装置をトランジスタに限定するものではない。

【0018】

〈実施形態1〉

図1～図12を用いて、本発明の実施形態1に係る半導体装置10の概要について説明する。

【0019】

[半導体装置10の構造]

図1及び図2は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図1及び図2に示すように、半導体装置10は、基板100、下地絶縁層110、下部電極120、絶縁層130、上部電極140、酸化物半導体層160、ゲート絶縁層170、ゲート電極180、ソース配線190、及びドレイン配線192を有する。開口部139は絶縁層130及び上部電極140に設けられており、下部電極120に達している。開口部135は絶縁層130及びゲート絶縁層170に設けられており、下部電極120に達している。開口部177はゲート絶縁層170に設けられており、上部電極140に達している。

【0020】

下地絶縁層110は基板100上に配置されている。下部電極120は下地絶縁層110上に配置されている。絶縁層130は下部電極120上及び下地絶縁層110上に配置されている。上部電極140は絶縁層130上に配置されている。開口部139において、絶縁層130には絶縁層側壁132が設けられており、上部電極140には電極側壁142が設けられている。酸化物半導体層160は開口部139の内部に配置され、下部電極120及び上部電極140の各々に接続されている。より詳細に説明すると、酸化物半導体層160は下部電極120上、絶縁層側壁132上、及び電極側壁142上に配置されており、開口部139において露出された下部電極120の上面において下部電極120に接続され、開口部139内部の電極側壁142及び上部電極140の上面において上部電極140に接続されている。図2では、酸化物半導体層160は電極側壁142から上部電極140の上面まで連続して延びている。

【0021】

図1に示すように、開口部139は絶縁層130を四角形に開口している。絶縁層側壁132は開口部139の内壁に相当し、開口部139の形状に沿って四角形の閉じた形状を有している。この絶縁層側壁132の形状を環状又はリング状ということもできる。絶縁層側壁132と同様に、電極側壁142も開口部139の形状に沿って四角形の閉じた形状を有している。なお、図1では、開口部139の平面形状が四角形である構成を例示

したが、円形、楕円形、多角形、湾曲形など多様な形状であってもよい。

【0022】

ゲート電極180は酸化物半導体層160に対向して配置されている。ゲート絶縁層170は酸化物半導体層160とゲート電極180との間に配置されている。詳しくは後述するが、半導体装置10において、絶縁層側壁132上に配置された酸化物半導体層160がチャンネルとして機能するため、ゲート電極180は少なくとも絶縁層側壁132上に配置された酸化物半導体層160に対向して配置されている。

【0023】

ソース配線190は開口部135を介して下部電極120に接続されている。ドレイン配線192は開口部177を介して上部電極140に接続されている。なお、ソース配線190及びドレイン配線192は機能が逆であってもよい。つまり、配線190がドレイン配線として機能し、配線192がソース配線として機能してもよい。

【0024】

[絶縁層側壁132及び電極側壁142の形状]

ここで、絶縁層側壁132及び電極側壁142の形状について詳細に説明する。図2に示すように、絶縁層側壁132及び電極側壁142はともに傾斜面が上方を向くテーパ形状である。当該テーパ形状を順テーパ形状という。また、絶縁層側壁132のテーパ形状及び電極側壁142のテーパ形状は連続している。ただし、絶縁層側壁132のテーパ形状及び電極側壁142のテーパ形状は必ずしも連続している必要はなく、上部電極140の開口径が絶縁層130の開口径よりも大きく、絶縁層130の上面が上部電極140から露出されていてもよい。また、絶縁層側壁132のテーパ形状及び電極側壁142のテーパ形状は異なる傾斜角であってもよい。

【0025】

また、図2では、絶縁層側壁132の断面形状が直線状の順テーパ形状である構造を例示したが、この構造に限定されない。例えば、絶縁層側壁132の断面形状が上方に向かって凸形状の順テーパ形状であってもよく、逆に上方に向かって凹形状の順テーパ形状であってもよい。また、絶縁層側壁132は傾斜面が上方を向いた順テーパ形状以外にも、垂直形状であってもよく、傾斜面が下方を向いた逆テーパ形状であってもよい。なお、電極側壁142についても上記と同様の形状を有することができる。絶縁層側壁132及び電極側壁142は同様の形状であってもよく、異なる形状であってもよい。

【0026】

また、図2では、絶縁層130が単層である構造を例示したが、この構造に限定されず、複数の異なる層が積層された構造であってもよい。絶縁層130が積層の場合、異なる層によって絶縁層側壁132のテーパ角及び形状が異なってもよい。また、絶縁層130として、異なる物性の層（例えば、 SiN_x 及び SiO_x ）を積層させることで、絶縁層側壁132の場所によって物性が異なる酸化物半導体層160が形成されるようにしてもよい。つまり、半導体装置10は、特性が異なる酸化物半導体層160が直列に接続されたチャンネルを有していてもよい。

【0027】

[半導体装置10の各部材の材質]

基板100としては、ガラス基板を使用することができる。また、ガラス基板の他にも、石英基板、サファイア基板、樹脂基板などの透光性を有する絶縁基板を使用することができる。また、表示装置ではない集積回路の場合は、シリコン基板、炭化シリコン基板、化合物半導体基板などの半導体基板、ステンレス基板などの導電性基板など、遮光性を有する基板を使用することができる。

【0028】

下地絶縁層110としては、基板100からの不純物が酸化物半導体層160に拡散することを抑制できる材料を使用することができる。例えば、下地絶縁層110として、窒化シリコン（ SiN_x ）、窒化酸化シリコン（ SiN_xO_y ）、酸化シリコン（ SiO_x ）、酸化窒化シリコン（ SiO_xN_y ）、窒化アルミニウム（ AlN_x ）、窒化酸化アル

10

20

30

40

50

ミニウム (AlN_xO_y)、酸化アルミニウム (AlO_x)、酸化窒化アルミニウム (AlO_xN_y) などを使用することができる (x 、 y は任意)。また、これらの膜を積層した構造を使用してもよい。なお、基板 100 として絶縁性の基板を用いた場合、下地絶縁層 110 を省略することができる。

【0029】

ここで、 SiO_xN_y 及び AlO_xN_y とは、酸素 (O) よりも少ない量の窒素 (N) を含有するシリコン化合物及びアルミニウム化合物である。また、 SiN_xO_y 及び AlN_xO_y とは、窒素よりも少ない量の酸素を含有するシリコン化合物及びアルミニウム化合物である。

【0030】

上記に例示した下地絶縁層 110 は、物理蒸着法 (Physical Vapor Deposition: PVD 法) で形成してもよく、化学蒸着法 (Chemical Vapor Deposition: CVD 法) で形成してもよい。PVD 法としては、スパッタリング法、真空蒸着法、電子ビーム蒸着法、めっき法、及び分子線エビタキシー法などを用いることができる。また、CVD 法としては、熱 CVD 法、プラズマ CVD 法、触媒 CVD 法 (Catalytic CVD 法又はホットワイヤ CVD 法) などを用いることができる。また、ナノメートルオーダー ($1\mu m$ 未満の範囲) で膜厚を制御することができる。上記に例示した蒸着法以外の方法を用いることができる。

【0031】

また、下地絶縁層 110 として、上記の無機絶縁材料の他に TEOS 層や有機絶縁材料を用いることができる。TEOS 層とは TEOS (Tetra Ethyl Ortho Silicate) を原料とした CVD 層を指すもので、下地の段差を緩和して平坦化する効果を有する膜である。有機絶縁材料としては、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂、フッ素樹脂、シロキサン樹脂などを用いることができる。下地絶縁層 110 は、上記の材料を単層で用いてもよく、積層させてもよい。例えば、無機絶縁材料及び有機絶縁材料を積層させてもよい。

【0032】

下部電極 120 及び上部電極 140 は、一般的な金属材料又は導電性半導体材料を使用することができる。例えば、下部電極 120 及び上部電極 140 として、アルミニウム (Al)、チタン (Ti)、クロム (Cr)、コバルト (Co)、ニッケル (Ni)、亜鉛 (Zn)、モリブデン (Mo)、インジウム (In)、スズ (Sn)、ハフニウム (Hf)、タンタル (Ta)、タングステン (W)、白金 (Pt)、ビスマス (Bi) などを使用することができる。また、これらの材料の合金を使用してもよい。また、これらの材料の窒化物を使用してもよい。また、ITO (酸化インジウム・スズ)、IGO (酸化インジウム・ガリウム)、IZO (酸化インジウム・亜鉛)、GZO (ガリウムがドーパントとして添加された酸化亜鉛) 等の導電性酸化物半導体を使用してもよい。また、これらの膜を積層した構造を使用してもよい。

【0033】

ここで、下部電極 120 として使用する材料は、酸化物半導体をチャネルに用いた半導体装置の製造工程における熱処理工程に対して耐熱性を有し、酸化物半導体との接触抵抗が低い材料を使用することが好ましい。ここで、酸化物半導体層 160 と良好な電氣的接触を得るために、仕事関数が酸化物半導体層 160 より小さい金属材料を用いることができる。

【0034】

絶縁層 130 は、下地絶縁層 110 と同様に、 SiO_x 、 SiN_x 、 SiO_xN_y 、 SiN_xO_y 、 AlO_x 、 AlN_x 、 AlO_xN_y 、 AlN_xO_y 、TEOS 層などの無機絶縁材料や、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂、フッ素樹脂、シロキサン樹脂などの有機絶縁材料を用いることができる。また、下地絶縁層 110 と同様の方法で形成することができる。絶縁層 130 と下地絶縁層 110 とは同じ材料を用いてもよく、異なる材料を用いてもよい。

10

20

30

40

50

【0035】

酸化物半導体層160は、半導体の特性を有する酸化金属を用いることができる。例えば、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）、及び酸素（O）を含む酸化物半導体を用いることができる。特に、 $\text{In}:\text{Ga}:\text{Zn}:\text{O}=1:1:1:4$ の組成比を有する酸化物半導体を用いることができる。ただし、本発明に使用されるIn、Ga、Zn、及びOを含む酸化物半導体は上記の組成に限定されるものではなく、上記とは異なる組成の酸化物半導体を用いることもできる。例えば、移動度を向上させるためにInの比率を大きくしてもよい。また、バンドギャップを大きくし、光照射による影響を小さくするためにGaの比率を大きくしてもよい。

【0036】

また、In、Ga、Zn、及びOを含む酸化物半導体に他の元素が添加されていてもよく、例えばAl、Snなどの金属元素が添加されていてもよい。また、上記の酸化物半導体以外にも酸化亜鉛（ZnO）、酸化ニッケル（NiO）、酸化スズ（ SnO_2 ）、酸化チタン（ TiO_2 ）、酸化バナジウム（ VO_2 ）、酸化インジウム（ In_2O_3 ）、チタン酸ストロンチウム（ SrTiO_3 ）などを用いることができる。なお、酸化物半導体層160はアモルファスであってもよく、結晶性であってもよい。また、酸化物半導体層160はアモルファスと結晶の混相であってもよい。

【0037】

ゲート絶縁層170は、下地絶縁層110及び絶縁層130と同様に、 SiO_x 、 SiN_x 、 SiO_xN_y 、 SiN_xO_y 、 AlO_x 、 AlN_x 、 AlO_xN_y 、 AlN_xO_y 、TEOS層などの無機絶縁材料を用いることができる。また、下地絶縁層110と同様の方法で形成することができる。また、ゲート絶縁層170はこれらの絶縁層を積層した構造を用いることができる。ゲート絶縁層170は、下地絶縁層110及び絶縁層130と同じ材料であってもよく、異なる材料であってもよい。

【0038】

ゲート電極180は、下部電極120と同様の材料を用いることができる。ゲート電極180は下部電極120と同じ材料を用いてもよく、異なる材料を用いてもよい。ゲート電極180として使用する材料は、酸化物半導体をチャンネルに用いた半導体装置の製造工程における熱処理工程に対して耐熱性を有し、ゲート電極180に印加される電圧が0Vのときにトランジスタがオフするエンハンスメント型となる仕事関数を有する材料を用いることが好ましい。

【0039】

ソース配線190及びドレイン配線192は、ゲート電極180と同一層で形成されている。つまり、ソース配線190及びドレイン配線192は、ゲート電極180と同じ材料であり、同じ絶縁層上に配置されている。ただし、ソース配線190及びドレイン配線192は、ゲート電極180とは異なる層で形成されてもよい。その場合、ソース配線190及びドレイン配線192としては、下部電極120及び上部電極140として列挙した材料以外に銅（Cu）、銀（Ag）、金（Au）などを用いることもできる。特に、ソース配線190及びドレイン配線192にCuを用いる場合は、熱によるCuの拡散を抑制するTiやTiNなどのバリア層と積層させてもよい。

【0040】

ソース配線190及びドレイン配線192として使用する材料は、酸化物半導体をチャンネルに用いた半導体装置の製造工程における熱処理工程に対して耐熱性を有し、下部電極120及び上部電極140との接触抵抗が低い材料を使用することが好ましい。

【0041】

〔半導体装置10の動作〕

図1及び図2に示す半導体装置10の動作について説明する。半導体装置10は酸化物半導体層160をチャンネルとするトランジスタである。半導体装置10では、ソース電極として機能する下部電極120とドレイン電極として機能する上部電極140とが異なる層に形成されており、各々がゲート電極180と同一層のソース配線190及びドレイン

10

20

30

40

50

配線 192 に接続されている。つまり、半導体装置 10 を介して異なる層の導電層が接続されている。

【0042】

半導体装置 10 において、ゲート電極 180 にゲート電圧が印加され、下部電極 120 に接続されたソース配線 190 にソース電圧が印加され、上部電極 140 に接続されたドレイン配線 192 にドレイン電圧が印加される。ただし、ソース電圧とドレイン電圧とが逆に印加されてもよい。

【0043】

ゲート電極 180 にゲート電圧が印加されると、ゲート絶縁層 170 を介してゲート電極 180 に対向する酸化物半導体層 160 に、ゲート電圧に応じた電界が形成される。その電界によって酸化物半導体層 160 にキャリアが生成される。上記のように酸化物半導体層 160 にキャリアが生成された状態で、下部電極 120 と上部電極 140 との間に電位差が生じると、酸化物半導体層 160 に生成されたキャリアが電位差に応じて移動する。つまり、下部電極 120 から上部電極 140 へと電子が移動する。

【0044】

ここで、電子はソース領域 124 で下部電極 120 から酸化物半導体層 160 に供給され、ドレイン領域 144 で酸化物半導体層 160 から上部電極 140 に取り出される。つまり、半導体装置 10 において、絶縁層側壁 132 上に配置された酸化物半導体層 160 がチャンネルとして機能する。したがって、半導体装置 10 のチャンネル長は絶縁層 130 の膜厚及び絶縁層側壁 132 のテーパ角によって決まる。

【0045】

図 1 において、酸化物半導体層 160 におけるチャンネル領域 169 がチャンネルとして機能する領域である。チャンネル領域 169 は開口部 139 の平面形状と同様の四角形の閉じた形状を有している。このように、閉じた形状のチャンネル領域 169 を「サラウンド型」という。ここで、酸化物半導体層 160 のパターン端部は、酸化物半導体層 160 のエッチングの際に物性が変化してしまうことがある。物性が変化した領域は、半導体装置 10 をオフ状態にしても電流が流れてしまうリークパスの原因となりうる。チャンネル領域 169 をサラウンド型にすることで、チャンネル領域 169 に酸化物半導体層 160 のパターン端部が含まれない半導体装置を実現することができる。つまり、チャンネル領域 169 を「サラウンド型」にすることで、半導体装置 10 のリークパスを抑制することができる。

【0046】

以上のように、本発明の実施形態 1 に係る半導体装置 10 によると、絶縁層 130 の膜厚、絶縁層側壁 132 のテーパ角、又は絶縁層 130 の膜厚及び絶縁層側壁 132 のテーパ角の両方を制御することによって、半導体装置 10 のチャンネル長が制御される。上記のように、PVD 法又は CVD 法によって形成された絶縁層 130 の膜厚はナノメートルオーダーで制御することができるため、半導体装置 10 のチャンネル長をナノメートルオーダーで制御することができる。このようにして、ばらつきのオーダーがマイクロメートルオーダーであるフォトリソグラフィのパターニング限界よりも小さいチャンネル長を有する半導体装置 10 を実現することが可能となる。その結果、半導体装置 10 のオン電流を向上させることができる。

【0047】

また、絶縁層 130 の膜厚は上記のようにナノメートルオーダーで制御することが可能であるため、絶縁層 130 の膜厚の基板面内ばらつきもナノメートルオーダーに制御することができる。また、絶縁層 130 のテーパ角は、絶縁層 130 のエッチングレート及びレジストの後退量によって制御され、これらのばらつき制御も絶縁層 130 の膜厚ばらつきと同等のオーダーで制御することが可能である。その結果、半導体装置のチャンネル長の基板面内ばらつきを抑制することができる。

【0048】

また、半導体装置 10 では、酸化物半導体層 160 のチャンネル領域は、上方がゲート電極 180 で覆われ、下方が下部電極 120 で覆われている。したがって、ゲート電極 18

0及び下部電極120に遮光性を有する金属を用いることで、外部からの光が酸化物半導体層160に照射されることを抑制することができる。その結果、光が照射された環境においても特性の変動が小さい半導体装置を実現することができる。

【0049】

[半導体装置10の製造方法]

図3～図12を用いて、本発明の実施形態1に係る半導体装置10の製造方法について、平面図及び断面図を参照しながら説明する。

【0050】

図3及び図4は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す平面図及び断面図である。図4に示すように、基板100上に下地絶縁層110及び下部電極120となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図3に示す下部電極120のパターンを形成する。ここで、下部電極120のエッチングは、下部電極120のエッチングレートと下地絶縁層110のエッチングレートとの選択比が大きい条件で処理することが好ましい。そして、パターンニングされた下部電極120上に絶縁層130を形成する。

【0051】

図5及び図6は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図6に示すように、図4に示す基板の全面に上部電極140となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図5に示す上部電極140のパターンを形成する。ここで、上部電極140のエッチングは、少なくとも上部電極140のエッチングレートと絶縁層130のエッチングレートとの選択比が大きい条件で処理することが好ましい。

【0052】

図7及び図8は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す平面図及び断面図である。図8に示すように、図6に示す基板に対するフォトリソグラフィ及びエッチングによって、上部電極140及び絶縁層130を開口し下部電極120を露出する開口部139を形成する。このエッチングによって、図7に示す開口部139のパターンを形成する。開口部139の形成によって、絶縁層130の絶縁層側壁132及び上部電極140の電極側壁142が形成される。ここで、開口部139の形成は、上部電極140及び絶縁層130を同一のエッチング条件を用いて一括エッチングしてもよく、上部電極140のエッチング条件と、絶縁層130のエッチング条件とを異なるエッチング条件で処理してもよい。また、図7では、開口部139は四角形のパターンであるが、このパターン形状に限定されず、例えば、円形、楕円形、多角形、湾曲形など多様な形状であってもよい。

【0053】

ここで、絶縁層側壁132をテーパ形状にするためのエッチング方法について説明する。絶縁層側壁132のテーパ角は、絶縁層130のエッチングレートと絶縁層130をエッチングする際にマスクとして用いるレジストの水平方向のエッチングレート（以下、レジストの後退量という）とによって制御することができる。例えば、絶縁層130のエッチングレートに比べてレジストの後退量が小さい場合、絶縁層側壁132のテーパ角は大きく（垂直に近い角度）なり、レジストの後退量がゼロの場合は、絶縁層側壁132は垂直となる。一方、絶縁層130のエッチングレートに比べてレジストの後退量が多い場合、絶縁層側壁132のテーパ角は小さく（緩やかな傾斜）なる。ここで、レジストの後退量はレジストパターン端部のテーパ角やレジストのエッチングレートによって調整することができる。電極側壁142のテーパ形状も上記と同様の方法で制御することができる。

【0054】

図9及び図10は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図10に示すように、図8に示す基板の全面に酸化物半導体層160を成膜し、フォトリソグラフィ及びエッチングによ

って図 9 に示す酸化物半導体層 160 のパターンを形成する。

【0055】

酸化物半導体層 160 はスパッタリング法を用いて成膜することができる。酸化物半導体層 160 のエッチングはドライエッチングで行ってもよく、ウェットエッチングで行ってもよい。ウェットエッチングで酸化物半導体層 160 をエッチングする場合、シュウ酸を含むエッチャントを用いることができる。

【0056】

図 11 及び図 12 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図 12 に示すように、図 10 に示す基板の全面にゲート絶縁層 170 を形成し、フォトリソグラフィ及びエッチングによって図 11 に示す開口部 135、177 のパターンを形成する。この工程におけるエッチング条件は、絶縁層 130 及びゲート絶縁層 170 のエッチングレートと下部電極 120 及び上部電極 140 のエッチングレートとの選択比が大きい条件で処理することが好ましい。つまり、開口部 135、177 を形成するエッチングにおいて、下部電極 120 及び上部電極 140 はエッチングストップとして機能する。

【0057】

そして、図 12 に示す基板の全面にゲート電極 180、ソース配線 190、及びドレイン配線 192 となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 1 及び図 2 に示すようにゲート電極 180、ソース配線 190、及びドレイン配線 192 のパターンを形成する。上記に示す製造方法によって、本発明の実施形態 1 に係る半導体装置 10 を形成することができる。

【0058】

以上のように、本発明の実施形態 1 に係る半導体装置 10 の製造方法によると、絶縁層 130 の膜厚、絶縁層側壁 132 のテーパ角、又は絶縁層 130 の膜厚及び絶縁層側壁 132 のテーパ角の両方をナノメートルオーダーで制御することができる。したがって、半導体装置 10 のチャネル長をナノメートルオーダーで制御することができ、チャネル長のばらつきをナノメートルオーダーに抑えることができる。

【0059】

〈実施形態 2〉

図 13～図 16 を用いて、本発明の実施形態 2 に係る半導体装置 10A の概要について説明する。半導体装置 10A の構造及び各部材の材質は実施形態 1 の半導体装置 10 と同様なので、詳細な説明は省略する。半導体装置 10A は半導体装置 10 とは製造方法が異なるため、実施形態 2 では半導体装置 10A の製造方法についてのみ説明する。以下の説明において、半導体装置 10 と同じ構造及び機能を有する要素には同一の符号（数字）の後にアルファベットを付与し、詳細な説明は省略する。

【0060】

〔半導体装置 10A の製造方法〕

図 13～図 16 を用いて、本発明の実施形態 2 に係る半導体装置 10A の製造方法について、平面図及び断面図を参照しながら説明する。

【0061】

図 13 及び図 14 は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。実施形態 1 の図 3 及び図 4 に示した製造方法と同様の方法で下部電極 120A 及び絶縁層 130A が形成された基板の全面に上部電極 140A となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 13 に示すように、電極側壁 142A を有する上部電極 140A のパターンを形成する。上部電極 140A のパターン形成によって、上部電極 140A には閉じた形状の電極側壁 142A が形成される。

【0062】

図 15 及び図 16 は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図及び断面図である。図 16 に示すように、図 14

に示す基板に対するフォトリソグラフィ及びエッチングによって、開口部 139A を形成する。ここでは、上部電極 140A をマスクとして電極側壁 142A によって囲まれた領域の絶縁層 130A をエッチングすることで開口部 139A を形成する。このとき、上部電極 140A から露出された絶縁層 130A のうち、エッチングしない領域の絶縁層 130A を覆うようにレジストを形成してエッチングを行う。

【0063】

上記のように、実施形態 2 では、上部電極 140 をマスクとして絶縁層 130 をエッチングすることで、実施形態 1 の図 8 と同じ構造を得ることができる。以降の工程は、実施形態 1 の図 9 ～図 12 と同様の製造方法で形成することができるため、ここでは説明を省略する。

【0064】

ここで、絶縁層 130A の詳細なエッチング条件について説明する。当該エッチングはフッ素を含むガスを用いて行われる。例えば、東京エレクトロン社製の平行平板型のドライエッチング装置を用いて、以下の条件でエッチングする。

- ・エッチングガス： $\text{CF}_4 / \text{CHF}_3 / \text{Ar} = 60 / 20 / 300 \text{ sccm}$
- ・エッチング圧力：2.0 Torr
- ・エッチングパワー：200W
- ・電極間距離：10mm
- ・上部電極温度：25℃
- ・下部電極温度：5℃

【0065】

上記のエッチング条件によるエッチングレートは $\text{SiO}_2 = 110 \text{ nm/min}$ 、 $\text{SiN} = 130 \text{ nm/min}$ である。一方、Ti、MoW、および Al はエッチングされない。つまり、上記のエッチング条件を用いることで、金属をほとんどエッチングせず絶縁層を選択的にエッチングすることができる。このエッチング条件によると、絶縁層 130A にテーパ形状の開口部 139A を形成することができる。

【0066】

以上のように、本発明の実施形態 2 に係る半導体装置 10A の製造方法によると、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

【0067】

〈実施形態 3〉

図 17 ～図 26 を用いて、本発明の実施形態 3 に係る半導体装置 10B の概要について説明する。半導体装置 10B は、図 1 及び図 2 に示す半導体装置 10 と類似しているが、開口部 135B の形状において半導体装置 10 とは相違する。以下の説明では、半導体装置 10 と共通する半導体装置 10B の特徴の説明は省略し、上記の相違点について説明する。なお、以下の説明において、半導体装置 10 と同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0068】

[半導体装置 10B の構造]

図 17 及び図 18 は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図 17 及び図 18 に示すように、半導体装置 10B の絶縁層 130B 及びゲート絶縁層 170B に設けられた開口部 135B は、開口部側壁の断面形状が階段状である。具体的には、開口部 135B において、ゲート絶縁層 170B の開口径は絶縁層 130B の開口径に比べて大きい。換言すると、開口部 135B におけるゲート絶縁層 170B の側壁 175B は絶縁層 130B の上面に位置しており、絶縁層 130B の上面から上方に向かって延びている。開口部 135B の形状は半導体装置 10B の製造方法によるものである。具体的には、絶縁層 130B の開口工程とゲート絶縁層 170B の開口工程とを異なるタイミングで行うため、開口部 135B のような形状になる。

【0069】

〔半導体装置 10B の製造方法〕

図 19～図 26 を用いて、本発明の実施形態 3 に係る半導体装置 10B の製造方法について、平面図及び断面図を参照しながら説明する。

【0070】

図 19 及び図 20 は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。実施形態 1 の図 3 及び図 4 に示した製造方法と同様の方法で下部電極 120B 及び絶縁層 130B が形成された基板の全面に上部電極 140B となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 19 に示すように、電極側壁 142B を有する上部電極 140B のパターンを形成する。

【0071】

図 21 及び図 22 は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図及び断面図である。図 22 に示すように、図 20 に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層 130B に対応する開口部 135B、139B を形成する。実施形態 2 の方法と同様に、上部電極 140B をマスクとして電極側壁 142B によって囲まれた領域の絶縁層 130B をエッチングすることで、開口部 139B を形成する。また、上部電極 140B から露出された絶縁層 130B のうち、開口部 135B に対応する領域が開口されたレジストを形成してエッチングを行うことで、開口部 139B と同じ工程で開口部 135B を形成する。

【0072】

図 23 及び図 24 は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図 24 に示すように、図 22 に示す基板の全面に酸化物半導体層 160B を成膜し、フォトリソグラフィ及びエッチングによって図 23 に示す酸化物半導体層 160B のパターンを形成する。ここで、酸化物半導体層 160B は開口部 139B の内部に配置され、開口部 135B の酸化物半導体層 160B はエッチングされる。酸化物半導体層 160B の成膜及びエッチングは実施形態 1 と同様の方法で処理することができる。

【0073】

図 25 及び図 26 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図 26 に示すように、図 24 に示す基板の全面にゲート絶縁層 170B を形成し、フォトリソグラフィ及びエッチングによって、図 25 に示すように、開口部 135B、177B に対応する領域のゲート絶縁層 170B を開口する。このエッチングによって、開口部 135B において下部電極 120B を露出させ、開口部 177B において上部電極 140B を露出させる。

【0074】

図 26 では、ゲート絶縁層 170B のエッチングが絶縁層 130B とゲート絶縁層 170B との界面で止まっている状態を図示したが、ゲート絶縁層 170B から露出された絶縁層 130B の一部がオーバーエッチングされていてもよい。絶縁層 130B 及びゲート絶縁層 170B は同様の材料で形成されることが多く、ゲート絶縁層 170B のエッチングを絶縁層 130B とゲート絶縁層 170B との界面で止めることは難しい場合があり、絶縁層 130B の一部がオーバーエッチングされることがある。この工程におけるエッチング条件は、ゲート絶縁層 170B のエッチングレートと下部電極 120B 及び上部電極 140B のエッチングレートとの選択比が大きい条件で処理することが好ましい。つまり、開口部 135B、177B を形成するエッチングにおいて、下部電極 120B 及び上部電極 140B はエッチングストップバとして機能する。

【0075】

そして、図 26 に示す基板の全面にゲート電極 180B、ソース配線 190B、及びドレイン配線 192B となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 17 及び図 18 に示すようにゲート電極 180B、ソース配線 190B、及びドレイン配線 192B のパターンを形成する。上記に示す製造方法によって、本発明の実施形態 3

10

20

30

40

50

に係る半導体装置 10B を形成することができる。

【0076】

以上のように、本発明の実施形態 3 に係る半導体装置 10B の製造方法によると、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

【0077】

〈実施形態 4〉

図 27～図 38 を用いて、本発明の実施形態 4 に係る半導体装置 10C の概要について説明する。半導体装置 10C は、短チャネル長の第 1 トランジスタ 20C 及び長チャネル長の第 2 トランジスタ 30C を有する。なお、短チャネル長の第 1 トランジスタ 20C は、図 1 及び図 2 に示す実施形態 1 の半導体装置 10 と同様の構造である。したがって、以下の説明では、第 1 トランジスタ 20C の特徴の説明は省略し、長チャネル長の第 2 トランジスタ 30C について説明する。なお、以下の説明において、半導体装置 10 と同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0078】

〔第 2 トランジスタ 30C の構造〕

図 27 及び図 28 は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図 27 及び図 28 に示すように、第 2 トランジスタ 30C は、基板 100C、下地絶縁層 110C、下部電極 220C、バックゲート 222C、絶縁層 230C、上部電極 240C、酸化物半導体層 260C、ゲート絶縁層 270C、ゲート電極 280C、ソース配線 290C、及びドレイン配線 292C を有する。基板 100C 及び下地絶縁層 110C は、第 1 トランジスタ 20C 及び第 2 トランジスタ 30C で共通であり、第 1 トランジスタ 20C から第 2 トランジスタ 30C まで連続して延びている。開口部 235C は絶縁層 230C 及びゲート絶縁層 270C に設けられており、下部電極 220C に達している。開口部 239C は絶縁層 230C に設けられており、下部電極 220C に達している。開口部 277C はゲート絶縁層 270C に設けられており、上部電極 240C に達している。

【0079】

下部電極 220C 及びバックゲート 222C は下地絶縁層 110C 上に配置されている。絶縁層 230C は下部電極 220C 上、バックゲート 222C 上、及び下地絶縁層 110C 上に配置されている。上部電極 240C は絶縁層 230C 上に配置されており、平面視において下部電極 220C から離隔して配置されている。酸化物半導体層 260C は、下部電極 220C と上部電極 240C との間の領域において、絶縁層 230C 上に配置されている。また、酸化物半導体層 260C は開口部 239C を介して下部電極 220C に接続され、上部電極 240C に乗り上げるようにして、上部電極 240C の側面及び上面で上部電極 240C に接続されている。ここで、バックゲート 222C は絶縁層 230C を介して酸化物半導体層 260C と対向している。

【0080】

ゲート電極 280C は、下部電極 220C と上部電極 240C との間の領域において、酸化物半導体層 260C に対向して配置されている。ゲート絶縁層 270C は酸化物半導体層 260C とゲート電極 280C との間に配置されている。詳しくは後述するが、第 2 トランジスタ 30C において、下部電極 220C と上部電極 240C との間の領域の酸化物半導体層 260C がチャネルとして機能する。なお、図 27 及び図 28 では、平面視においてバックゲート 222C とは重畳しない位置に上部電極 240C が形成された構成を例示したが、平面視においてバックゲート 222C 及び上部電極 240C が重畳していてもよい。また、図 27 及び図 28 では、酸化物半導体層 260C と基板 100C との間にバックゲート 222C が配置された構成を例示したが、バックゲート 222C が省略されていてもよい。

【0081】

ソース配線 290C は開口部 235C を介して下部電極 220C に接続されている。ドレイン配線 292C は開口部 277C を介して上部電極 240C に接続されている。なお、ソース配線 290C 及びドレイン配線 292C は機能が逆であってもよい。つまり、配線 290C がドレイン配線として機能し、配線 292C がソース配線として機能してもよい。

【0082】

ここで、第 1 トランジスタ 20C 及び第 2 トランジスタ 30C の各層の関係について説明する。下部電極 220C 及びバックゲート 222C は下部電極 120C と同一層であり、いずれも下地絶縁層 110C と接して配置されている。絶縁層 230C は絶縁層 130C と同一層であり、絶縁層 230C は絶縁層 130C と連続している。同様に、上部電極 140C 及び上部電極 240C、酸化物半導体層 160C 及び酸化物半導体層 260C、ゲート絶縁層 170C 及びゲート絶縁層 270C、ゲート電極 180C 及びゲート電極 280C、ソース配線 190C 及びソース配線 290C、並びにドレイン配線 192C 及びドレイン配線 292C はそれぞれ同一層である。

【0083】

ただし、上記の構造に限定されない。例えば、ゲート絶縁層について説明すると、ゲート絶縁層 170C 及びゲート絶縁層 270C が完全に同一な層である必要はなく、ゲート絶縁層 170C の一部がゲート絶縁層 270C と同一層で形成されていてもよい。例えば、ゲート絶縁層 270C は、ゲート絶縁層 170C の同一層に対してさらに他の絶縁層が積層された構造であってもよい。つまり、ゲート絶縁層 270C の膜厚をゲート絶縁層 170C の膜厚よりも厚膜にしてもよい。逆に、ゲート絶縁層 270C の膜厚をゲート絶縁層 170C の膜厚よりも薄膜にしてもよい。

【0084】

ここでは、ゲート絶縁層 170C 及びゲート絶縁層 270C を例に挙げて説明したが、下部電極 120C、220C、絶縁層 130C、230C、上部電極 140C、240C、酸化物半導体層 160C、260C、ゲート電極 180C、280C、ソース配線 190C、290C、ドレイン配線 192C、292C についても同様である。

【0085】

〔第 2 トランジスタ 30C の動作〕

図 27 及び図 28 に示す第 2 トランジスタ 30C の動作について説明する。第 2 トランジスタ 30C は酸化物半導体層 260C をチャネルとするトランジスタである。第 2 トランジスタ 30C では、ソース電極として機能する下部電極 220C とドレイン電極として機能する上部電極 240C とが異なる層に形成されており、各々がゲート電極 280C と同一層のソース配線 290C 及びドレイン配線 292C に接続されている。つまり、第 2 トランジスタ 30C を介して異なる層の導電層が接続されている。

【0086】

第 2 トランジスタ 30C において、ゲート電極 280C にはゲート電圧が印加され、下部電極 220C に接続されたソース配線 290C にソース電圧が印加され、上部電極 240C に接続されたドレイン配線 292C にドレイン電圧が印加される。ただし、ソース電圧とドレイン電圧とが逆に印加されてもよい。なお、バックゲート 222C にはゲート電極 280C と同じゲート電圧が印加される。ただし、バックゲート 222C に上記のゲート電圧とは独立した補助ゲート電圧が印加され、第 2 トランジスタ 30C のしきい値 (V_{th}) を制御してもよい。

【0087】

ゲート電極 280C にゲート電圧が印加されると、ゲート絶縁層 270C を介してゲート電極 280C に対向する酸化物半導体層 260C に、ゲート電圧に応じた電界が形成される。その電界によって酸化物半導体層 260C にキャリアが生成される。上記のように酸化物半導体層 260C にキャリアが生成された状態で、下部電極 220C と上部電極 240C との間に電位差が生じると、酸化物半導体層 260C に生成されたキャリアが電位差に応じて移動する。つまり、下部電極 220C から上部電極 240C へと電子が移動す

る。

【0088】

ここで、電子はソース領域 228C で下部電極 220C から酸化物半導体層 260C に供給され、ドレイン領域 244C で酸化物半導体層 260C から上部電極 240C に取り出される。つまり、第 2 トランジスタ 30C において、下部電極 220C と上部電極 240C との間の領域の酸化物半導体層 260C がチャンネルとして機能する。したがって、第 2 トランジスタ 30C のチャンネル長は下部電極 220C 及び上部電極 240C のパターンニング精度によって決まる。なお、図 27 において、酸化物半導体層 260C におけるチャンネル領域 269C がチャンネルとして機能する領域である。

【0089】

実施形態 2 で説明したように、第 1 トランジスタ 20C のチャンネル長は絶縁層 130C の膜厚及び絶縁層側壁 132C の傾斜角度によって調整することができる。したがって、第 1 トランジスタ 20C のチャンネル長はナノメートルオーダーで制御することができる。つまり、第 1 トランジスタ 20C は短チャンネル長のトランジスタに好適である。

【0090】

一方、第 2 トランジスタ 30C のチャンネル長は下部電極 220C と上部電極 240C との間隔によって調整することができる。下部電極 220C と上部電極 240C との間隔はフォトリソグラフィ及びエッチングによって制御される。フォトリソグラフィ及びエッチングによるパターンニング精度はマイクロメートルオーダーで制御されるため、第 2 トランジスタ 30C のチャンネル長をマイクロメートルオーダーで制御することができる。つまり、第 2 トランジスタ 30C は長チャンネル長のトランジスタに好適である。半導体装置 10C において、第 2 トランジスタ 30C のチャンネル長は第 1 トランジスタ 20C のチャンネル長よりも長くすることができる。

【0091】

以上のように、本発明の実施形態 4 に係る半導体装置 10C によると、チャンネル長がナノメートルオーダーの第 1 トランジスタ 20C 及びチャンネル長がマイクロメートルオーダーの第 2 トランジスタ 30C を同一工程で形成することができる。

【0092】

〔第 2 トランジスタ 30C の製造方法〕

図 29～図 38 を用いて、本発明の実施形態 4 に係る半導体装置 10C の第 2 トランジスタ 30C の製造方法について、平面図及び断面図を参照しながら説明する。なお、第 1 トランジスタ 20C の製造方法は実施形態 2 の半導体装置 10A の製造方法と同様なので、ここでは説明を省略する。

【0093】

図 29 及び図 30 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びバックゲートを形成する工程を示す平面図及び断面図である。図 30 に示すように、基板 100C 上に下地絶縁層 110C を形成し、その上に下部電極 220C 及びバックゲート 222C となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 29 に示す下部電極 220C 及びバックゲート 222C のパターンを形成する。そして、パターンニングされた下部電極 220C 上及びバックゲート 222C 上に絶縁層 230C を形成する。ここで、下部電極 220C 及びバックゲート 222C のエッチングは、下部電極 120C と同様の条件で処理する。

【0094】

図 31 及び図 32 は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図 32 に示すように、図 30 に示す基板の全面に上部電極 240C となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 31 に示す上部電極 240C のパターンを形成する。ここで、上部電極 240C のエッチングは、上部電極 140C と同様の条件で処理する。

【0095】

図 33 及び図 34 は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁

10

20

30

40

50

層に開口部を形成する工程を示す平面図及び断面図である。図 3 4 に示すように、図 3 2 に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層 2 3 0 C を開口し下部電極 2 2 0 C を露出する開口部 2 3 9 C を形成する。このエッチングによって図 3 3 に示す開口部 2 3 9 C のパターンを形成する。ここで、開口部 2 3 9 C のエッチングは、開口部 1 3 9 C と同様の条件で処理する。なお、図 3 3 では、開口部 2 3 9 C は四角形のパターンであるが、このパターン形状に限定されず、例えば、円形、楕円形、多角形、湾曲形など多様な形状であってもよい。

【0096】

図 3 5 及び図 3 6 は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図 3 6 に示すように、図 3 4 に示す基板の全面に酸化物半導体層 2 6 0 C を成膜し、フォトリソグラフィ及びエッチングによって図 3 5 に示す酸化物半導体層 2 6 0 C のパターンを形成する。酸化物半導体層 2 6 0 C の成膜及びエッチングは実施形態 1 と同様の方法で処理することができる。

【0097】

図 3 7 及び図 3 8 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図 3 8 に示すように、図 3 6 に示す基板の全面にゲート絶縁層 2 7 0 C を形成し、フォトリソグラフィ及びエッチングによって、図 3 7 に示す開口部 2 3 5 C、2 3 8 C、2 7 7 C のパターンを形成する。ここで、開口部 2 3 5 C、2 3 8 C、2 7 7 C のエッチングは、開口部 1 3 5 C、1 7 7 C のエッチングと同様の条件で処理する。

【0098】

そして、図 3 8 に示す基板の全面にゲート電極 2 8 0 C、ソース配線 2 9 0 C、及びドレイン配線 2 9 2 C となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 2 7 及び図 2 8 に示すようにゲート電極 2 8 0 C、ソース配線 2 9 0 C、及びドレイン配線 2 9 2 C のパターンを形成する。上記に示す製造方法によって、本発明の実施形態 4 に係る第 2 トランジスタ 3 0 C を形成することができる。

【0099】

以上のように、本発明の実施形態 4 に係る半導体装置 1 0 C の製造方法によると、チャネル長がナノメートルオーダーの第 1 トランジスタ 2 0 C 及びチャネル長がマイクロメートルオーダーの第 2 トランジスタ 3 0 C を同一の製造方法で形成することができる。また、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

【0100】

〈実施形態 5〉

図 3 9 ～図 4 8 を用いて、本発明の実施形態 5 に係る半導体装置 1 0 D の概要について説明する。半導体装置 1 0 D は、短チャネル長の第 1 トランジスタ 2 0 D 及び長チャネル長の第 2 トランジスタ 3 0 D を有する。なお、短チャネル長の第 1 トランジスタ 2 0 D は実施形態 3 の半導体装置 1 0 B と同様の構造である。したがって、以下の説明では、第 1 トランジスタ 2 0 D の特徴の説明は省略し、長チャネル長の第 2 トランジスタ 3 0 D について説明する。なお、以下の説明において、半導体装置 1 0 B と同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0101】

第 2 トランジスタ 3 0 D は、図 2 7 及び図 2 8 に示す第 2 トランジスタ 3 0 C と類似しているが、開口部 2 3 5 D の形状において第 2 トランジスタ 3 0 C とは相違する。以下の説明では、第 2 トランジスタ 3 0 C と共通する第 2 トランジスタ 3 0 D の特徴の説明は省略し、上記の相違点について説明する。

【0102】

〔第 2 トランジスタ 3 0 D の構造〕

図 3 9 及び図 4 0 は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図 3 9 及び図 4 0 に示すように、第 2 トランジスタ 3 0 D の絶縁層 2 3 0 D

及びゲート絶縁層 270D に設けられた開口部 235D は、開口部側壁の断面形状が階段状である。具体的には、開口部 235D において、ゲート絶縁層 270D の開口径は絶縁層 230D の開口径に比べて大きい。換言すると、開口部 235D におけるゲート絶縁層 270D の側壁 275D は絶縁層 230D の上面に位置しており、絶縁層 230D の上面から上方に向かって延びている。開口部 235D の形状は第 2 トランジスタ 30D の製造方法によるものである。具体的には、絶縁層 230D の開口工程とゲート絶縁層 270D の開口工程とを異なるタイミングで行うため、開口部 235D のような形状になる。

【0103】

[第 2 トランジスタ 30D の製造方法]

図 41～図 48 を用いて、本発明の実施形態 5 に係る半導体装置 10D の第 2 トランジスタ 30D の製造方法について、平面図及び断面図を参照しながら説明する。

10

【0104】

図 41 及び図 42 は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。実施形態 4 の図 29 及び図 30 に示した製造方法と同様の方法で下部電極 220D、バックゲート 222D、及び絶縁層 230D が形成された基板の全面に上部電極 240D となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 41 に示すように、上部電極 240D のパターンを形成する。ここで、上部電極 240D のエッチングは、上部電極 140D と同様の条件で処理する。なお、バックゲート 222D は省略されてもよい。

20

【0105】

図 43 及び図 44 は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図及び断面図である。図 43 及び図 44 に示すように、図 42 に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層 230D を開口し下部電極 220D を露出する開口部 235D、238D、239D を形成する。このエッチングによって図 43 に示す開口部 235D、238D、239D のパターンを形成する。ここで、開口部 235D、238D、239D のエッチングは、開口部 135D、139D と同様の条件で処理する。

【0106】

図 45 及び図 46 は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図 46 に示すように、図 44 に示す基板の全面に酸化物半導体層 260D を成膜し、フォトリソグラフィ及びエッチングによって図 45 に示す酸化物半導体層 260D のパターンを形成する。酸化物半導体層 260D の成膜及びエッチングは実施形態 1 と同様の方法で処理することができる。

30

【0107】

図 47 及び図 48 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図 48 に示すように、図 46 に示す基板の全面にゲート絶縁層 270D を形成し、フォトリソグラフィ及びエッチングによって、図 47 に示す開口部 235D、238D、277D のパターンを形成する。ここで、開口部 235D、238D、277D のエッチングは、開口部 135D、177D のエッチングと同様の条件で処理する。

40

【0108】

そして、図 48 に示す基板の全面にゲート電極 280D、ソース配線 290D、及びドレイン配線 292D となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 39 及び図 40 に示すようにゲート電極 280D、ソース配線 290D、及びドレイン配線 292D のパターンを形成する。上記に示す製造方法によって、本発明の実施形態 5 に係る第 2 トランジスタ 30D を形成することができる。

【0109】

以上のように、本発明の実施形態 5 に係る半導体装置 10D の製造方法によると、チャネル長がナノメートルオーダーの第 1 トランジスタ 20D 及びチャネル長がマイクロメートルオーダーの第 2 トランジスタ 30D を同一の製造方法で形成することができる。また

50

、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

【0110】

〈実施形態6〉

図49～図60を用いて、本発明の実施形態6に係る半導体装置10Eの概要について説明する。

【0111】

〔半導体装置10Eの構造〕

図49及び図50は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図49及び図50に示すように、半導体装置10Eは、基板100E、下地絶縁層110E、下部電極120E、絶縁層130E、上部電極140E、絶縁層150E、酸化物半導体層160E、ゲート絶縁層170E、ゲート電極180E、ソース配線190E、及びドレイン配線192Eを有する。開口部139Eは絶縁層130E、上部電極140E、及び絶縁層150Eに設けられており、下部電極120Eに達している。開口部135Eは絶縁層130E、150E及びゲート絶縁層170Eに設けられており、下部電極120Eに達している。開口部157Eは絶縁層150E及びゲート絶縁層170Eに設けられており、上部電極140Eに達している。

【0112】

下地絶縁層110Eは基板100E上に配置されている。下部電極120Eは下地絶縁層110E上に配置されている。絶縁層130Eは下部電極120E上及び下地絶縁層110E上に配置されている。上部電極140Eは絶縁層130E上に配置されている。絶縁層150Eは上部電極140E上及び絶縁層130E上に配置されている。開口部139Eにおいて、絶縁層130Eには絶縁層側壁132Eが設けられており、上部電極140Eには電極側壁142Eが設けられており、絶縁層150Eには絶縁層側壁152Eが設けられている。

【0113】

酸化物半導体層160Eは開口部139Eの内部に配置され、下部電極120E及び上部電極140Eの各々に接続されている。より詳細に説明すると、酸化物半導体層160Eは下部電極120E上、絶縁層側壁132E上、電極側壁142E上、及び絶縁層側壁152E上に配置されており、開口部139Eにおいて露出された下部電極120Eの上面に接触することで下部電極120Eに接続され、開口部139E内部の電極側壁142Eに接触することで上部電極140Eに接続されている。図50では、酸化物半導体層160Eは絶縁層側壁152Eから絶縁層150Eの上面まで連続して延びている。

【0114】

絶縁層側壁132Eは、図49に示すように開口部139Eの形状に沿って四角形の閉じた形状を有している。絶縁層側壁132Eと同様に、電極側壁142E及び絶縁層側壁152Eも開口部139Eの形状に沿って四角形の閉じた形状を有している。

【0115】

ゲート電極180Eは酸化物半導体層160Eに対向して配置されている。ゲート絶縁層170Eは酸化物半導体層160Eとゲート電極180Eとの間に配置されている。半導体装置10Eにおいて、絶縁層側壁132E上に配置された酸化物半導体層160Eがチャンネルとして機能するため、ゲート電極180Eは少なくとも絶縁層側壁132E上に配置された酸化物半導体層160Eに対向して配置されている。

【0116】

ソース配線190Eは開口部135Eを介して下部電極120Eに接続されている。ドレイン配線192Eは開口部157Eを介して上部電極140Eに接続されている。なお、ソース配線190E及びドレイン配線192Eは機能が逆であってもよい。つまり、配線190Eがドレイン配線として機能し、配線192Eがソース配線として機能してもよい。なお、図50に示すように、ソース配線190E及びドレイン配線192Eは、ゲート電極180Eと同一層で形成されている。ただし、ソース配線190E及びドレイン配

線 1 9 2 E は、ゲート電極 1 8 0 E とは異なる層で形成してもよい。

【0 1 1 7】

上記の半導体装置 1 0 E の構造を換言すると、半導体装置 1 0 E は、下部電極 1 2 0 E と、下部電極 1 2 0 E 上において、絶縁層側壁 1 3 2 E を有する絶縁層 1 3 0 E と、絶縁層 1 3 0 E 上において、電極側壁 1 4 2 E を有する上部電極 1 4 0 E と、上部電極 1 4 0 E 上の絶縁層 1 5 0 E と、絶縁層側壁 1 3 2 E 上、電極側壁 1 4 2 E 上、及び絶縁層 1 5 0 E の上面に配置され、下部電極 1 2 0 E 及び上部電極 1 4 0 E に接続された酸化物半導体層 1 6 0 E と、酸化物半導体層 1 6 0 E に対向して配置されたゲート電極 1 8 0 E と、酸化物半導体層 1 6 0 E とゲート電極 1 8 0 E との間に配置されたゲート絶縁層 1 7 0 E とを有する、ということもできる。

10

【0 1 1 8】

[絶縁層側壁 1 3 2 E、電極側壁 1 4 2 E、及び絶縁層側壁 1 5 2 E の形状]

ここで、絶縁層側壁 1 3 2 E、電極側壁 1 4 2 E、及び絶縁層側壁 1 5 2 E の形状について詳細に説明する。図 5 0 に示すように、絶縁層側壁 1 3 2 E、電極側壁 1 4 2 E、及び絶縁層側壁 1 5 2 E の形状はともに順テーパ形状である。また、絶縁層側壁 1 3 2 E、電極側壁 1 4 2 E、及び絶縁層側壁 1 5 2 E のテーパ形状は連続している。つまり、開口部 1 3 9 E に接する領域において、絶縁層 1 3 0 E の上面は上部電極 1 4 0 E で覆われており、上部電極 1 4 0 E の上面は絶縁層 1 5 0 E で覆われている。ただし、これらの側壁のテーパ形状は必ずしも連続している必要はない。つまり、上部電極 1 4 0 E の開口径が絶縁層 1 3 0 E の開口径よりも大きく、絶縁層 1 3 0 E の上面が上部電極 1 4 0 E から露出されていてもよい。同様に、絶縁層 1 5 0 E の開口径が上部電極 1 4 0 E の開口径よりも大きく、上部電極 1 4 0 E の上面が絶縁層 1 5 0 E から露出されていてもよい。また、絶縁層側壁 1 3 2 E、電極側壁 1 4 2 E、及び絶縁層側壁 1 5 2 E のテーパ形状はそれぞれ異なる傾斜角であってもよい。

20

【0 1 1 9】

また、図 5 0 では、絶縁層側壁 1 3 2 E 及び絶縁層側壁 1 5 2 E の断面形状が直線状の順テーパ形状である構造を例示したが、この構造に限定されない。例えば、絶縁層側壁 1 3 2 E 及び絶縁層側壁 1 5 2 E の断面形状が上方に向かって凸形状の順テーパ形状であってもよく、逆に上方に向かって凹形状の順テーパ形状であってもよい。また、絶縁層側壁 1 3 2 E 及び絶縁層側壁 1 5 2 E は傾斜面が上方を向いた順テーパ形状以外にも、垂直形状であってもよく、傾斜面が下方を向いた逆テーパ形状であってもよい。なお、電極側壁 1 4 2 E についても上記と同様の形状を有することができる。絶縁層側壁 1 3 2 E、絶縁層側壁 1 5 2 E、及び電極側壁 1 4 2 E は同様の形状であってもよく、異なる形状であってもよい。

30

【0 1 2 0】

また、図 5 0 では、絶縁層 1 3 0 E 及び絶縁層 1 5 0 E が単層である構造を例示したが、この構造に限定されず、複数の異なる層が積層された構造であってもよい。絶縁層 1 3 0 E 及び絶縁層 1 5 0 E が積層の場合、異なる層によって絶縁層側壁 1 3 2 E 及び絶縁層側壁 1 5 2 E のテーパ角及び形状が異なってもよい。また、絶縁層 1 3 0 E 及び絶縁層 1 5 0 E として、異なる物性の層（例えば、 SiN_x 及び SiO_x ）を積層させることで、絶縁層側壁 1 3 2 E 及び絶縁層側壁 1 5 2 E の場所によって物性が異なる酸化物半導体層 1 6 0 E が形成されるようにしてもよい。つまり、半導体装置 1 0 E は、特性が異なる酸化物半導体層 1 6 0 E が直列に接続されたチャンネルを有していてもよい。なお、後述するが、電極側壁 1 4 2 E は物性の異なる導電層を積層させた積層構造とすることが好ましい。

40

【0 1 2 1】

[半導体装置 1 0 E の各部材の材質]

基板 1 0 0 E、下地絶縁層 1 1 0 E、下部電極 1 2 0 E、絶縁層 1 3 0 E、上部電極 1 4 0 E、酸化物半導体層 1 6 0 E、ゲート絶縁層 1 7 0 E、ゲート電極 1 8 0 E、ソース配線 1 9 0 E、及びドレイン配線 1 9 2 E については、実施形態 1 の説明で例示した材料

50

と同じものを用いることができる。

【0122】

絶縁層150Eは、 SiO_x 、 SiN_x 、 SiO_xN_y 、 SiN_xO_y 、 AlO_x 、 AlN_x 、 AlO_xN_y 、 AlN_xO_y 、TEOS層などの無機絶縁材料や、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコン樹脂、フッ素樹脂、シロキサン樹脂などの有機絶縁材料を用いることができる。また、実施形態1で説明した下地絶縁層110と同様の方法で形成することができる。絶縁層150Eは、絶縁層130E及び下地絶縁層110Eと同じ材料を用いてもよく、異なる材料を用いてもよい。

【0123】

以上のように、本発明の実施形態6に係る半導体装置10Eによると、実施形態1と同様に半導体装置10Eのチャンネル長をナノメートルオーダーで制御することができる。その結果、半導体装置10Eのオン電流を向上させることができ、半導体装置のチャンネル長の基板面内ばらつきを抑制することができる。

10

【0124】

また、酸化物半導体層160Eが大面積で導電層と接触する構造の場合、導電層と接触している酸化物半導体層160Eの物性が変化してしまうことがある。酸化物半導体層160Eの物性が変化すると、製造工程中に電蝕反応と思われる現象により、酸化物半導体層160Eの一部が消失してしまうことがある。半導体装置10Eによると、酸化物半導体層160Eが上部電極140Eと接触する領域は、上部電極140Eの電極側壁142Eに限られるため、上記の現象を抑制することができる。なお、図50に示すように、酸化物半導体層160Eが上部電極140Eに接触する面積が小さくても、十分に低い接触抵抗を実現できることが確認されている。

20

【0125】

また、半導体装置10Eの構造によると、上部電極140Eとゲート電極180Eとの間に絶縁層150E及びゲート絶縁層170Eが挟まれている。したがって、上部電極140Eと同一層で引き回された配線とゲート電極180Eと同一層で引き回された配線とが交差する領域における寄生容量を小さくすることができる。

【0126】

[半導体装置10Eの動作]

図49及び図50に示す半導体装置10Eの動作は、図1及び図2に示す半導体装置10の動作と同様なので、詳細な説明は省略する。半導体装置10Eにおいても、ゲート電極180Eにゲート電圧が印加され、下部電極120Eに接続されたソース配線190Eにソース電圧が印加され、上部電極140Eに接続されたドレイン配線192Eにドレイン電圧が印加される。ただし、ソース電圧とドレイン電圧とが逆に印加されてもよい。換言すると、下部電極120Eは酸化物半導体層160Eをチャンネルとするトランジスタのソース電極及びドレイン電極の一方であり、上部電極140Eは酸化物半導体層160Eをチャンネルとするトランジスタのソース電極及びドレイン電極の他方である。

30

【0127】

[半導体装置10Eの製造方法]

図51～図60を用いて、本発明の実施形態6に係る半導体装置10Eの製造方法について、平面図及び断面図を参照しながら説明する。

40

【0128】

図51及び図52は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す平面図及び断面図である。図52に示すように、基板100E上に下地絶縁層110E及び下部電極120Eとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図51に示す下部電極120Eのパターンを形成する。そして、パターニングされた下部電極120E上に絶縁層130Eを形成する。

【0129】

図53及び図54は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図54に示すように、図52に示す

50

基板の全面に上部電極 140 E となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 53 に示す上部電極 140 E のパターンを形成する。そして、パターンニングされた上部電極 140 E 上に絶縁層 150 E を形成する。

【0130】

図 55 及び図 56 は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す平面図及び断面図である。図 56 に示すように、図 54 に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層 150 E、上部電極 140 E、及び絶縁層 130 E を開口し下部電極 120 E を露出する開口部 139 E を形成することで、図 55 に示す開口部 139 E のパターンを形成する。開口部 139 E の形成によって、絶縁層側壁 132 E、電極側壁 142、及び絶縁層側壁 152 E が形成される。ここで、開口部 139 E の形成は、絶縁層 150 E、上部電極 140 E、及び絶縁層 130 E を同一のエッチング条件を用いて一括エッチングしてもよく、絶縁層 150 E、上部電極 140 E、及び絶縁層 130 E の各々を異なるエッチング条件で処理してもよい。絶縁層側壁 152 E をテーパ形状するためのエッチング方法は、実施形態 1 で説明した絶縁層側壁 132 と同様の方法で形成することができる。

10

【0131】

図 57 及び図 58 は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図 58 に示すように、図 56 に示す基板の全面に酸化物半導体層 160 E を成膜し、フォトリソグラフィ及びエッチングによって図 57 に示す酸化物半導体層 160 E のパターンを形成する。酸化物半導体層 160 E の成膜及びエッチングは実施形態 1 と同様の方法で処理することができる。

20

【0132】

図 59 及び図 60 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図 60 に示すように、図 58 に示す基板の全面にゲート絶縁層 170 E を形成し、フォトリソグラフィ及びエッチングによって図 59 に示す開口部 135 E、157 E のパターンを形成する。

【0133】

そして、図 60 に示す基板の全面にゲート電極 180 E、ソース配線 190 E、及びドレイン配線 192 E となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 49 及び図 50 に示すようにゲート電極 180 E、ソース配線 190 E、及びドレイン配線 192 E のパターンを形成する。上記に示す製造方法によって、本発明の実施形態 6 に係る半導体装置 10 E を形成することができる。

30

【0134】

以上のように、本発明の実施形態 6 に係る半導体装置 10 E の製造方法によると、絶縁層 130 E の膜厚、絶縁層側壁 132 E のテーパ角、又は絶縁層 130 E の膜厚及び絶縁層側壁 132 E のテーパ角の両方をナノメートルオーダーで制御することができる。したがって、半導体装置 10 E のチャンネル長をナノメートルオーダーで制御することができ、チャンネル長のばらつきをナノメートルオーダーに抑えることができる。

【0135】

〈実施形態 7〉

図 61～図 72 を用いて、本発明の実施形態 7 に係る半導体装置 10 F の概要について説明する。半導体装置 10 F は、図 49 及び図 50 に示す半導体装置 10 E と類似しているが、開口部 135 F、137 F の形状、開口部 137 F の下方にコンタクトパッド 122 F が設けられている点、及び開口部 135 F がパッド 145 F を貫通している点において半導体装置 10 E とは相違する。以下の説明では、半導体装置 10 E と共通する半導体装置 10 F の特徴の説明は省略し、上記の相違点について説明する。なお、以下の説明において、半導体装置 10 E と同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0136】

40

50

〔半導体装置 10 F の構造〕

図 6 1 及び図 6 2 は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図 6 1 及び図 6 2 に示すように、半導体装置 10 F の絶縁層 130 F、150 F、パッド 145 F、及びゲート絶縁層 170 F に設けられた開口部 135 F と、絶縁層 130 F、150 F、上部電極 140 F、及びゲート絶縁層 170 F に設けられた開口部 137 F とは、開口部側壁の断面形状が階段状である。具体的には、開口部 135 F、137 F において、それぞれゲート絶縁層 170 F の開口径は絶縁層 150 F の開口径に比べて大きい。換言すると、開口部 135 F、137 F におけるゲート絶縁層 170 F の側壁 175 F、177 F は、それぞれ絶縁層 150 F の上面に位置しており、絶縁層 150 F の上面から上方に向かって延びている。開口部 135 F、137 F の形状は半導体装置 10 F の製造方法によるものである。具体的には、絶縁層 150 F の開口工程とゲート絶縁層 170 F の開口工程とを異なるタイミングで行うため、開口部 135 F、137 F のような形状になる。

10

【0137】

また、図 6 1 及び図 6 2 に示すように、開口部 137 F の下方にコンタクトパッド 122 F が配置されており、開口部 137 F は絶縁層 150 F、上部電極 140 F、及び絶縁層 130 F を開口してコンタクトパッド 122 F に達している。開口部 137 F において、ドレイン配線 192 F は上部電極 140 F の側面で上部電極 140 F に接続され、コンタクトパッド 122 F の上面でコンタクトパッド 122 F に接続されている。また、開口部 135 F の下方に下部電極 120 F が配置されており、開口部 135 F は絶縁層 150 F、パッド 145 F、及び絶縁層 130 F を開口して下部電極 120 F に達している。ここで、上部電極 140 F とパッド 145 F とは同じ層で形成されているため、開口部 137 F 及び開口部 135 F の開口深さは同じである。

20

【0138】

以上のように、本発明の実施形態 7 に係る半導体装置 10 F によると、半導体装置 10 F のオン電流を向上させることができ、半導体装置のチャネル長の基板面内ばらつきを抑制することができる。また、酸化物半導体層 160 F と上部電極 140 F とが接触する領域における酸化物半導体層 160 F の物性変化を抑制することができる。また、半導体装置 10 F のドレイン電流を下部電極 120 F 及びコンタクトパッド 122 F と同一層の配線、上部電極 140 F と同一層の配線、並びにドレイン配線 192 F と同一層の配線の少なくとも 1 つの配線に接続可能である。したがって、配線レイアウトの自由度を向上させることができる。

30

【0139】

〔半導体装置 10 F の製造方法〕

図 6 3 ～図 7 2 を用いて、本発明の実施形態 7 に係る半導体装置 10 F の製造方法について、平面図及び断面図を参照しながら説明する。

【0140】

図 6 3 及び図 6 4 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びコンタクトパッドを形成する工程を示す平面図及び断面図である。図 6 4 に示すように、基板 100 F 上に下地絶縁層 110 F を形成し、その上に下部電極 120 F 及びコンタクトパッド 122 F となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 6 3 に示す下部電極 120 F 及びコンタクトパッド 122 F のパターンを形成する。そして、パターニングされた下部電極 120 F 上に絶縁層 130 F を形成する。

40

【0141】

図 6 5 及び図 6 6 は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図 6 6 に示すように、図 6 4 に示す基板の全面に上部電極 140 F となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 6 5 に示す上部電極 140 F 及びパッド 145 F のパターンを形成する。そして、パターニングされた上部電極 140 F 上及びパッド 145 F 上に絶縁層 150 F を形成する。

50

【0142】

図67及び図68は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す平面図及び断面図である。図68に示すように、図66に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層130F、150F及びパッド145Fを開口し下部電極120Fを露出する開口部135Fと、絶縁層130F、150F及び上部電極140Fを開口し下部電極120Fを露出する開口部139Fと、絶縁層130F、150F及び上部電極140Fを開口しコンタクトパッド122Fを露出する開口部137Fと、を形成する。このエッチングによって、図67に示す開口部135F、137F、139Fのパターンを形成する。開口部135Fにパッド145Fが設けられていることで、開口部135Fが設けられる位置の層構造は開口部137F、139Fが設けられる位置の層構造と同じ構造である。

10

【0143】

開口部139Fの形成によって、絶縁層130Fの絶縁層側壁132F、上部電極140Fの電極側壁142F、及び絶縁層150Fの絶縁層側壁152Fが形成される。ここで、開口部135F、137F、139Fの形成は、絶縁層150F、上部電極140F、及び絶縁層130Fを同一のエッチング条件を用いて一括エッチングしてもよく、絶縁層150F、上部電極140F、及び絶縁層130Fの各々を異なるエッチング条件で処理してもよい。

【0144】

図69及び図70は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図70に示すように、図68に示す基板の全面に酸化物半導体層160Fを成膜し、フォトリソグラフィ及びエッチングによって図69に示す酸化物半導体層160Fのパターンを形成する。ここで、酸化物半導体層160Fは開口部139Fの内部に配置され、開口部135F、137Fの酸化物半導体層160Fはエッチングされる。酸化物半導体層160Fの成膜及びエッチングは実施形態1と同様の方法で処理することができる。

20

【0145】

図71及び図72は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図72に示すように、図70に示す基板の全面にゲート絶縁層170Fを形成し、フォトリソグラフィ及びエッチングによって、図71に示すように、開口部135F、137Fに対応する領域のゲート絶縁層170Fを開口する。このエッチングによって、開口部135Fにおいて下部電極120Fを露出させ、開口部137Fにおいて上部電極140Fの側壁及びコンタクトパッド122Fを露出させる。

30

【0146】

なお、図72では、ゲート絶縁層170Fのエッチングが絶縁層150Fとゲート絶縁層170Fとの界面で止まっている状態を図示したが、ゲート絶縁層170Fから露出された絶縁層150Fの一部がオーバーエッチングされていてもよい。

【0147】

そして、図72に示す基板の全面にゲート電極180F、ソース配線190F、及びドレイン配線192Fとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図61及び図62に示すようにゲート電極180F、ソース配線190F、及びドレイン配線192Fのパターンを形成する。上記に示す製造方法によって、本発明の実施形態7に係る半導体装置10Fを形成することができる。

40

【0148】

以上のように、本発明の実施形態7に係る半導体装置10Fの製造方法によると、半導体装置10Fのチャネル長をナノメートルオーダーで制御することができ、チャネル長のばらつきをナノメートルオーダーに抑えることができる。また、開口部135F、137F、139Fが設けられる位置の層構造が同構造であることで、当該開口部のエッチング条件の調整が容易になる。

50

【0149】

〈実施形態8〉

図73～図84を用いて、本発明の実施形態8に係る半導体装置10Gの概要について説明する。半導体装置10Gは、短チャネル長の第1トランジスタ20G及び長チャネル長の第2トランジスタ30Gを有する。なお、短チャネル長の第1トランジスタ20Gは、図49及び図50に示す実施形態6の半導体装置10Eと同様の構造である。したがって、以下の説明では、第1トランジスタ20Gの特徴の説明は省略し、長チャネル長の第2トランジスタ30Gについて説明する。なお、以下の説明において、半導体装置10Eと同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

10

【0150】

〔第2トランジスタ30Gの構造〕

図73及び図74は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図73及び図74に示すように、第2トランジスタ30Gは、基板100G、下地絶縁層110G、下部電極220G、バックゲート222G、コンタクトパッド224G、絶縁層230G、上部電極240G、絶縁層250G、酸化物半導体層260G、ゲート絶縁層270G、ゲート電極280G、ソース配線290G、及びドレイン配線292Gを有する。基板100G及び下地絶縁層110Gは、第1トランジスタ20G及び第2トランジスタ30Gで共通であり、第1トランジスタ20Gから第2トランジスタ30Gまで連続して延びている。

20

【0151】

開口部235Gは絶縁層230G、250G、及びゲート絶縁層270Gに設けられており、下部電極220Gに達している。開口部239Gは絶縁層230G、250Gに設けられており、下部電極220Gに達している。開口部236Gは絶縁層230G、250G、及び上部電極240Gに設けられており、コンタクトパッド224Gに達している。開口部257Gは絶縁層250G及びゲート絶縁層270Gに設けられており、上部電極240Gに達している。

【0152】

下部電極220G、バックゲート222G、及びコンタクトパッド224Gは下地絶縁層110G上に配置されている。絶縁層230Gは下部電極220G上、バックゲート222G上、コンタクトパッド224G上、及び下地絶縁層110G上に配置されている。上部電極240Gは絶縁層230G上に配置されており、平面視において下部電極220Gから離隔して配置されている。絶縁層250Gは上部電極240G上及び絶縁層230G上に配置されている。酸化物半導体層260Gは、下部電極220Gと上部電極240Gとの間の領域において、絶縁層250G上に配置されている。また、酸化物半導体層260Gは開口部239Gを介して下部電極220Gに接続され、開口部236Gを介して上部電極240G及びコンタクトパッド224Gに接続されている。

30

【0153】

バックゲート222Gは絶縁層230G、250Gを介して酸化物半導体層260Gと対向している。換言すると、バックゲート222Gは酸化物半導体層260Gとゲート電極280Gとが対向する領域の少なくとも一部の領域において、酸化物半導体層260Gに対してゲート電極280Gとは反対側に配置されている。また、絶縁層230G、250Gは酸化物半導体層260Gとバックゲート222Gとの間に配置されている。なお、バックゲート222Gは省略されてもよい。

40

【0154】

ゲート電極280Gは、下部電極220Gと上部電極240Gとの間の領域において、酸化物半導体層260Gに対向して配置されている。ゲート絶縁層270Gは酸化物半導体層260Gとゲート電極280Gとの間に配置されている。第2トランジスタ30Gにおいて、下部電極220Gと上部電極240Gとの間の領域の酸化物半導体層260Gがチャンネルとして機能する。

50

【0155】

ソース配線 290 G は開口部 235 G を介して下部電極 220 G に接続されている。ドレイン配線 292 G は開口部 257 G を介して上部電極 240 G に接続されている。なお、ソース配線 290 G 及びドレイン配線 292 G は機能が逆であってもよい。つまり、配線 290 G がドレイン配線として機能し、配線 292 G がソース配線として機能してもよい。

【0156】

ここで、第 1 トランジスタ 20 G 及び第 2 トランジスタ 30 G の各層の関係について説明する。下部電極 220 G、バックゲート 222 G、及びコンタクトパッド 224 G は下部電極 120 G と同一層であり、いずれも下地絶縁層 110 G と接して配置されている。絶縁層 230 G は絶縁層 130 G と同一層であり、絶縁層 230 G は絶縁層 130 G と連続している。絶縁層 250 G は絶縁層 150 G と同一層であり、絶縁層 250 G は絶縁層 150 G と連続している。同様に、上部電極 140 G 及び上部電極 240 G、酸化物半導体層 160 G 及び酸化物半導体層 260 G、ゲート絶縁層 170 G 及びゲート絶縁層 270 G、ゲート電極 180 G 及びゲート電極 280 G、ソース配線 190 G 及びソース配線 290 G、並びにドレイン配線 192 G 及びドレイン配線 292 G はそれぞれ同一層である。

【0157】

[第 2 トランジスタ 30 G の動作]

図 7 3 及び図 7 4 に示す第 2 トランジスタ 30 G の動作は、図 2 7 及び図 2 8 に示す第 2 トランジスタ 30 C の動作と同様なので、詳細な説明は省略する。第 2 トランジスタ 30 G においても、ゲート電極 280 G にゲート電圧が印加され、下部電極 220 G に接続されたソース配線 290 G にソース電圧が印加され、上部電極 240 G に接続されたドレイン配線 292 G にドレイン電圧が印加される。ただし、ソース電圧とドレイン電圧とが逆に印加されてもよい。換言すると、下部電極 220 G は酸化物半導体層 260 G をチャンネルとするトランジスタのソース電極及びドレイン電極の一方であり、上部電極 240 G は酸化物半導体層 260 G をチャンネルとするトランジスタのソース電極及びドレイン電極の他方である。なお、バックゲート 222 G には上記のゲート電圧とは独立した補助ゲート電圧が印加され、第 2 トランジスタ 30 G のしきい値 (V_{th}) を制御する。

【0158】

[第 2 トランジスタ 30 G の製造方法]

図 7 5 ~ 図 8 4 を用いて、本発明の実施形態 8 に係る半導体装置 10 G の第 2 トランジスタ 30 G の製造方法について、平面図及び断面図を参照しながら説明する。なお、第 1 トランジスタ 20 G の製造方法は実施形態 6 の半導体装置 10 E の製造方法と同様なので、ここでは説明を省略する。

【0159】

図 7 5 及び図 7 6 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す平面図及び断面図である。図 7 6 に示すように、基板 100 G 上に下地絶縁層 110 G を形成し、その上に下部電極 220 G、バックゲート 222 G、及びコンタクトパッド 224 G となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 7 5 に示す下部電極 220 G、バックゲート 222 G、及びコンタクトパッド 224 G のパターンを形成する。そして、パターンニングされた下部電極 220 G 上、バックゲート 222 G 上、及びコンタクトパッド 224 G 上に絶縁層 230 G を形成する。ここで、下部電極 220 G、バックゲート 222 G、及びコンタクトパッド 224 G のエッチングは、下部電極 120 G と同様の条件で処理する。

【0160】

図 7 7 及び図 7 8 は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図 7 8 に示すように、図 7 6 に示す基板の全面に上部電極 240 G となる導電層を成膜し、フォトリソグラフィ及びエッチン

グによって図 77 に示す上部電極 240 G のパターンを形成する。そして、パターニングされた上部電極 240 G 上に絶縁層 250 G を形成する。ここで、上部電極 240 G のエッチングは、上部電極 140 G と同様の条件で処理する。

【0161】

図 79 及び図 80 は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層及び上部電極に開口部を形成する工程を示す平面図及び断面図である。図 80 に示すように、図 78 に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層 230 G、250 G を開口し下部電極 220 G を露出する開口部 239 G と、絶縁層 230 G、250 G 及び上部電極 240 G を開口しコンタクトパッド 224 G を露出する開口部 236 G とを形成する。このエッチングによって図 79 に示す開口部 236 G、239 G のパターンを形成する。ここで、開口部 236 G、239 G のエッチングは、開口部 139 G と同様の条件で処理する。

10

【0162】

図 81 及び図 82 は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図 82 に示すように、図 80 に示す基板の全面に酸化物半導体層 260 G を成膜し、フォトリソグラフィ及びエッチングによって図 81 に示す酸化物半導体層 260 G のパターンを形成する。酸化物半導体層 260 G の成膜及びエッチングは実施形態 1 と同様の方法で処理することができる。

【0163】

図 83 及び図 84 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図 84 に示すように、図 82 に示す基板の全面にゲート絶縁層 270 G を形成し、フォトリソグラフィ及びエッチングによって、図 83 に示す開口部 235 G、238 G、257 G のパターンを形成する。ここで、開口部 235 G、238 G、257 G のエッチングは、開口部 135 G、157 G のエッチングと同様の条件で処理する。

20

【0164】

そして、図 84 に示す基板の全面にゲート電極 280 G、ソース配線 290 G、及びドレイン配線 292 G となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 73 及び図 74 に示すようにゲート電極 280 G、ソース配線 290 G、及びドレイン配線 292 G のパターンを形成する。上記に示す製造方法によって、本発明の実施形態 8 に係る第 2 トランジスタ 30 G を形成することができる。

30

【0165】

以上のように、本発明の実施形態 8 に係る半導体装置 10 G の製造方法によると、チャネル長がナノメートルオーダーの第 1 トランジスタ 20 G 及びチャネル長がマイクロメートルオーダーの第 2 トランジスタ 30 G を同一の製造方法で形成することができる。

【0166】

〈実施形態 9〉

図 85 ～図 96 を用いて、本発明の実施形態 9 に係る半導体装置 10 H の概要について説明する。半導体装置 10 H は、短チャネル長の第 1 トランジスタ 20 H 及び長チャネル長の第 2 トランジスタ 30 H を有する。なお、短チャネル長の第 1 トランジスタ 20 H は実施形態 7 の半導体装置 10 F と同様の構造である。したがって、以下の説明では、第 1 トランジスタ 20 H の特徴の説明は省略し、長チャネル長の第 2 トランジスタ 30 H について説明する。なお、以下の説明において、半導体装置 10 F と同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

40

【0167】

第 2 トランジスタ 30 H は、図 73 及び図 74 に示す第 2 トランジスタ 30 G と類似しているが、開口部 235 H、237 H の形状において第 2 トランジスタ 30 G とは相違する。以下の説明では、第 2 トランジスタ 30 G と共通する第 2 トランジスタ 30 H の特徴の説明は省略し、上記の相違点について説明する。

【0168】

50

〔第２トランジスタ３０Ｈの構造〕

図８５及び図８６は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図８５及び図８６に示すように、第２トランジスタ３０Ｈの絶縁層２３０Ｈ、２５０Ｈ及びゲート絶縁層２７０Ｈに設けられた開口部２３５Ｈと、絶縁層２３０Ｈ、２５０Ｈ、上部電極１４０Ｈ、及びゲート絶縁層２７０Ｈに設けられた開口部２３７Ｈとは、開口部側壁の断面形状が階段状である。具体的には、開口部２３５Ｈ、２３７Ｈにおいて、それぞれゲート絶縁層２７０Ｈの開口径は絶縁層２５０Ｈの開口径に比べて大きい。換言すると、開口部２３５Ｈ、２３７Ｈにおけるゲート絶縁層２７０Ｈの側壁２７５Ｈ、２７７Ｈは、それぞれ絶縁層２５０Ｈの上面に位置しており、絶縁層２５０Ｈの上面から上方に向かって延びている。開口部２３５Ｈ、２３７Ｈの形状は第２トランジスタ３０

10

【０１６９】

また、図８５及び図８６に示すように、開口部２３７Ｈの下方にコンタクトパッド２２６Ｈが配置されており、開口部２３７Ｈは絶縁層２５０Ｈ、上部電極２４０Ｈ、及び絶縁層２３０Ｈを開口してコンタクトパッド２２６Ｈに達している。開口部２３７Ｈにおいて、ドレイン配線２９２Ｈは上部電極２４０Ｈの側面で上部電極２４０Ｈに接続され、コンタクトパッド２２６Ｈの上面でコンタクトパッド２２６Ｈに接続されている。

20

【０１７０】

〔第２トランジスタ３０Ｈの製造方法〕

図８７～図９６を用いて、本発明の実施形態９に係る半導体装置１０Ｈの第２トランジスタ３０Ｈの製造方法について、平面図及び断面図を参照しながら説明する。

【０１７１】

図８７及び図８８は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す平面図及び断面図である。図８８に示すように、基板１００Ｈ上に下地絶縁層１１０Ｈを形成し、その上に下部電極２２０Ｈ、バックゲート２２２Ｈ、及びコンタクトパッド２２４Ｈ、２２６Ｈとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図８７に示す下部電極２２０Ｈ、バックゲート２２２Ｈ、及びコンタクトパッド２２４Ｈ、２２６Ｈのパターンを形成する。そして、パターニングされた下部電極２２０Ｈ上、バックゲート２２２Ｈ上、及びコンタクトパッド２２４Ｈ上に絶縁層２３０Ｈを形成する。ここで、下部電極２２０Ｈ、バックゲート２２２Ｈ、及びコンタクトパッド２２４Ｈ、２２６Ｈのエッチングは、下部電極１２０Ｈ及びコンタクトパッド１２２Ｈと同様の条件で処理する。

30

【０１７２】

図８９及び図９０は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図９０に示すように、図８８に示す基板の全面に上部電極２４０Ｈとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図８９に示す上部電極２４０Ｈのパターンを形成する。そして、パターニングされた上部電極２４０Ｈ上に絶縁層２５０Ｈを形成する。ここで、上部電極２４０Ｈのエッチングは、上部電極１４０Ｈと同様の条件で処理する。

40

【０１７３】

図９１及び図９２は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層に開口部を形成する工程を示す平面図及び断面図である。図９２に示すように、図９０に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層２３０Ｈ、２５０Ｈを開口し下部電極２２０Ｈを露出する開口部２３５Ｈ、２３９Ｈと、絶縁層２３０Ｈ、２５０Ｈ及び上部電極２４０Ｈを開口しコンタクトパッド２２４Ｈを露出する開口部２３６Ｈと、絶縁層２３０Ｈ、２５０Ｈ及び上部電極２４０Ｈを開口しコンタクトパッド２２６Ｈを露出する開口部２３７Ｈと、を形成する。このエッチングによって、図９１に示す開口部２３５Ｈ、２３６Ｈ、２３７Ｈ、２３８Ｈ、２３９Ｈのパターンを

50

形成する。ここで、開口部 2 3 5 H、2 3 6 H、2 3 7 H、2 3 8 H、2 3 9 Hのエッチングは、開口部 1 3 5 H、1 3 7 H、1 3 9 Hと同様の条件で処理する。

【0174】

図 9 3 及び図 9 4 は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図 9 4 に示すように、図 9 2 に示す基板の全面に酸化物半導体層 2 6 0 H を成膜し、フォトリソグラフィ及びエッチングによって図 9 3 に示す酸化物半導体層 2 6 0 H のパターンを形成する。ここで、酸化物半導体層 2 6 0 H は開口部 2 3 6 H、2 3 9 H の内部に配置され、開口部 2 3 5 H、2 3 7 H の酸化物半導体層 2 6 0 H はエッチングされる。酸化物半導体層 2 6 0 H の成膜及びエッチングは実施形態 1 と同様の方法で処理することができる。

10

【0175】

図 9 5 及び図 9 6 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図 9 6 に示すように、図 9 4 に示す基板の全面にゲート絶縁層 2 7 0 H を形成し、フォトリソグラフィ及びエッチングによって、図 9 5 に示すように、開口部 2 3 5 H、2 3 7 H、2 3 8 H に対応する領域のゲート絶縁層 2 7 0 H を開口する。このエッチングによって、開口部 2 3 5 H において下部電極 2 2 0 H を露出させ、開口部 2 3 7 H において上部電極 2 4 0 H の側壁及びコンタクトパッド 2 2 6 H を露出させる。ここで、開口部 2 3 5 H、2 3 7 H、2 3 8 H のそれぞれに対応する領域のゲート絶縁層 2 7 0 H のエッチングは、開口部 1 3 5 H、1 3 7 H のそれぞれに対応する領域のゲート絶縁層 1 7 0 H のエッチングと同様の条件で処理する。

20

【0176】

そして、図 9 6 に示す基板の全面にゲート電極 2 8 0 H、ソース配線 2 9 0 H、及びドレイン配線 2 9 2 H となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 8 5 及び図 8 6 に示すようにゲート電極 2 8 0 H、ソース配線 2 9 0 H、及びドレイン配線 2 9 2 H のパターンを形成する。上記に示す製造方法によって、本発明の実施形態 9 に係る半導体装置 1 0 H を形成することができる。

【0177】

以上のように、本発明の実施形態 9 に係る半導体装置 1 0 H の製造方法によると、チャネル長がナノメートルオーダーの第 1 トランジスタ 2 0 H 及びチャネル長がマイクロメートルオーダーの第 2 トランジスタ 3 0 H を同一の製造方法で形成することができる。

30

【0178】

[実施形態 6 ～ 9 における下部電極 1 2 0 I 及び上部電極 1 4 0 I の構造]

図 9 7 を用いて、実施形態 6 ～ 9 における下部電極及び上部電極の構造について説明する。実施形態 6 ～ 9 では、図 9 7 に示すように、開口部 1 3 9 I における下部電極 1 2 0 I の上面で酸化物半導体層 1 6 0 I が下部電極 1 2 0 I と接触し、上部電極 1 4 0 I の側壁で酸化物半導体層 1 6 0 I が上部電極 1 4 0 I と接触する。ここでは、特に下部電極 1 2 0 I 及び上部電極 1 4 0 I として A l 層を含む積層構造を用いた場合について説明する。

【0179】

図 9 7 は、本発明の一実施形態に係る半導体装置の下部電極及び上部電極の構造を示す断面図である。上記の半導体装置において、下部電極 1 2 0 I 及び上部電極 1 4 0 I の各々と同一層を用いて回路内、回路間の配線を形成する。これらの配線は低い電気抵抗が要求されるため、低抵抗な材料かつ安価な材料として A l が用いられる。しかし、A l は電気抵抗は低い表面が酸化して絶縁体になりやすいため、例えば、T i などの A l に比べて酸化しにくい、又は酸化しても高抵抗化しにくい材料と A l とを積層させた配線構造が用いられる。

40

【0180】

例えば、図 9 7 に示す構造では、下部電極 1 2 0 I は A l 層 1 2 8 I 及び T i 層 1 2 9 I の 2 層構造であり、上部電極 1 4 0 I は A l 層 1 4 7 I 及び T i 層 1 4 6 I、1 4 8 I

50

の３層構造である。下部電極１２０Ｉについては、最表面がＴｉ層１２９Ｉなので、酸化物半導体層１６０Ｉは下部電極１２０Ｉに接続される。上部電極１４０Ｉについては、開口部１３９ＩによってＡｌ層１４７Ｉの側面が露出される。そのため、酸化物半導体層１６０Ｉの成膜時にＡｌ層１４７Ｉの側面は酸化されてＡｌＯ_x層１４９Ｉに変質してしまい、Ａｌ層１４７Ｉの側面が絶縁体になってしまう。しかし、Ａｌ層１４７Ｉの上下にはＴｉ層１４６Ｉ、１４８Ｉが配置されているため、Ｔｉ層１４６Ｉ、１４８Ｉの側面において酸化物半導体層１６０Ｉは上部電極１４０Ｉに接続される。

【０１８１】

つまり、Ａｌ層を含む上部電極１４０Ｉの側壁において上部電極１４０Ｉと酸化物半導体層１６０Ｉとを接続させる場合、Ａｌの上層、下層、又は上層及び下層の両方にＡｌより

10

【０１８２】

＜実施形態１０＞

図９８～図１０７を用いて、本発明の実施形態１０に係る半導体装置１０Ｊの概要について説明する。半導体装置１０Ｊは、図４９及び図５０に示す半導体装置１０Ｅと類似しているが、開口部１３９Ｊの形状が１３９Ｅとは異なる点において半導体装置１０Ｅとは

20

【０１８３】

〔半導体装置１０Ｊの構造〕

図９８及び図９９は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図９８及び図９９に示すように、半導体装置１０Ｊの絶縁層１３０Ｊ、１５０Ｊ、及び上部電極１４０Ｊに設けられた開口部１３９Ｊは、開口部側壁の断面形状が階段状である。具体的には、開口部１３９Ｊにおいて、絶縁層１５０Ｊの開口径は上部電極

30

【０１８４】

以上のように、本発明の実施形態１０に係る半導体装置１０Ｊによると、半導体装置１０Ｊのオン電流を向上させることができ、半導体装置のチャネル長の基板面内ばらつきを抑制することができる。また、絶縁層１５０Ｊを開口する際のパターニングによって酸化物半導体層１６０Ｊが上部電極１４０Ｊの上面に接触する面積を制限することができるため、酸化物半導体層１６０Ｊと上部電極１４０Ｊとが接触する領域における酸化物半導体層１６０Ｊの広範囲の物性変化を抑制することができる。また、上部電極１４０Ｊと同一層の配線とゲート電極１８０Ｊと同一層の配線とが交差する領域における寄生容量を小さくすることができる。

40

【０１８５】

〔半導体装置１０Ｊの製造方法〕

図１００～図１０７を用いて、本発明の実施形態１０に係る半導体装置１０Ｊの製造方法について、平面図及び断面図を参照しながら説明する。

【０１８６】

50

図１００及び図１０１は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。実施形態１の図３及び図４に示した製造方法と同様の方法で下部電極１２０Ｊ及び絶縁層１３０Ｊが形成された基板の全面に上部電極１４０Ｊとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図１００に示すように、上部電極１４０Ｊのパターンを形成する。そして、パターンニングされた上部電極１４０Ｊ上に絶縁層１５０Ｊを形成する。

【０１８７】

図１０２及び図１０３は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図及び断面図である。図１０３に示すように、図１０１に示す基板に対するフォトリソグラフィ及びエッチングによって、開口部１３９ 10
Ｊを形成する。具体的には、フォトリソグラフィによって形成されたレジストをマスクとして絶縁層側壁１５２Ｊによって囲まれた領域の絶縁層１５０Ｊがエッチングされ、上部電極１４０Ｊをマスクとして電極側壁１４２Ｊによって囲まれた領域の絶縁層１３０Ｊがエッチングされる。このようにして、開口部１３９Ｊを形成する。

【０１８８】

この工程におけるエッチングは絶縁層だけをエッチングすればよいため、絶縁層１３０ 20
Ｊ、１５０Ｊを同一のエッチング条件を用いて一括エッチングすることができる。なお、この工程におけるエッチング条件は、絶縁層１３０Ｊ、１５０Ｊのエッチングレートと、上部電極１４０Ｊ及び下部電極１２０Ｊのエッチングレートとの選択比が大きいエッチング条件を用いることができる。この工程では、上部電極１４０Ｊ及び下部電極１２０Ｊが 20
露出すればよいので、エッチング中のプラズマをモニタし、当該プラズマ中において検出される上部電極１４０Ｊ及び下部電極１２０Ｊに起因する信号に基づいてエッチングのエンドポイントを設定してもよい。

【０１８９】

図１０３では、開口部１３９Ｊのエッチングが上部電極１４０Ｊの上面で止まっている状態を図示したが、絶縁層１５０Ｊから露出された上部電極１４０Ｊの一部がオーバーエッチングされていてもよい。ただし、この工程におけるエッチング条件は、絶縁層１３０ 30
Ｊ、１５０Ｊのエッチングレートと下部電極１２０Ｊ及び上部電極１４０Ｊのエッチングレートとの選択比が大きい条件で処理することが好ましい。

【０１９０】

図１０４及び図１０５は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図１０５に示すように、図１０３に示す基板の全面に酸化物半導体層１６０Ｊを成膜し、フォトリソグラフィ及びエッチングによって図１０４に示す酸化物半導体層１６０Ｊのパターンを形成する。ここで、酸化物半導体層１６０Ｊは開口部１３９Ｊの内部に配置される。酸化物半導体層１６ 30
０Ｆの成膜及びエッチングは実施形態１と同様の方法で処理することができる。

【０１９１】

図１０６及び図１０７は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図１０７に示すように、図１０５に示す基板の全面にゲート絶縁層１７０Ｊを形成し 40
、フォトリソグラフィ及びエッチングによって図１０６に示す開口部１３５Ｊ、１５７Ｊのパターンを形成する。

【０１９２】

そして、図１０７に示す基板の全面にゲート電極１８０Ｊ、ソース配線１９０Ｊ、及びドレイン配線１９２Ｊとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図９８及び図９９に示すようにゲート電極１８０Ｊ、ソース配線１９０Ｊ、及びドレイン配線１９２Ｊのパターンを形成する。上記に示す製造方法によって、本発明の実施形態 10
１０に係る半導体装置１０Ｊを形成することができる。

【０１９３】

以上のように、本発明の実施形態１０に係る半導体装置１０Ｊの製造方法によると、導 50

電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。
したがって、エッチング装置にかかる負担を軽減することができる。

【0194】

〈実施形態11〉

図108～図115を用いて、本発明の実施形態11に係る半導体装置10Kの概要について説明する。半導体装置10Kは、図98及び図99に示す半導体装置10Jと類似しているが、開口部135K、157Kの形状において半導体装置10Jとは相違する。以下の説明では、半導体装置10Jと共通する半導体装置10Kの特徴の説明は省略し、上記の相違点について説明する。なお、以下の説明において、半導体装置10Jと同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

10

【0195】

〔半導体装置10Kの構造〕

図108及び図109は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図108及び図109に示すように、半導体装置10Kの絶縁層130K、150K及びゲート絶縁層170Kに設けられた開口部135Kと、絶縁層150K及びゲート絶縁層170Kに設けられた開口部157Kとは、開口部側壁の断面形状が階段状である。具体的には、開口部135K、157Kにおいて、それぞれゲート絶縁層170Kの開口径は絶縁層150Kの開口径に比べて大きい。換言すると、開口部135K、157Kにおけるゲート絶縁層170Kの側壁175K、177Kは、それぞれ絶縁層150Kの上面に位置しており、絶縁層150Kの上面から上方に向かって延びている。開口部135K、157Kの形状は半導体装置10Kの製造方法によるものである。具体的には、絶縁層150Kの開口工程とゲート絶縁層170Kの開口工程とを異なるタイミングで行うため、開口部135K、157Kのような形状になる。

20

【0196】

以上のように、本発明の実施形態11に係る半導体装置10Kによると、半導体装置10Kのオン電流を向上させることができ、半導体装置のチャネル長の基板面内ばらつきを抑制することができる。また、酸化物半導体層160Kと上部電極140Kとが接触する領域における酸化物半導体層160Kの広範囲の物性変化を抑制することができる。

【0197】

30

〔半導体装置10Kの製造方法〕

図110～図115を用いて、本発明の実施形態11に係る半導体装置10Kの製造方法について、平面図及び断面図を参照しながら説明する。

【0198】

図110及び図111は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図及び断面図である。実施形態10の図100及び図101に示した製造方法と同様の方法で電極側壁142Kを有する上部電極140K及び絶縁層150Kを形成し、その基板に対するフォトリソグラフィ及びエッチングによって、開口部135K、139K、157Kを形成する。

【0199】

40

図112及び図113は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図113に示すように、図111に示す基板の全面に酸化物半導体層160Kを成膜し、フォトリソグラフィ及びエッチングによって図112に示す酸化物半導体層160Kのパターンを形成する。ここで、酸化物半導体層160Kは開口部139Kの内部に配置され、開口部135K、157Kの酸化物半導体層160Kはエッチングされる。酸化物半導体層160Kの成膜及びエッチングは実施形態1と同様の方法で処理することができる。

【0200】

図114及び図115は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図であ

50

る。図 1 1 5 に示すように、図 1 1 3 に示す基板の全面にゲート絶縁層 1 7 0 K を形成し、フォトリソグラフィ及びエッチングによって、図 1 1 4 に示すように、開口部 1 3 5 K、1 5 7 K に対応する領域のゲート絶縁層 1 7 0 K を開口する。このエッチングによって、開口部 1 3 5 K において下部電極 1 2 0 K を露出させ、開口部 1 5 7 K において上部電極 1 4 0 K を露出させる。

【0 2 0 1】

そして、図 1 1 5 に示す基板の全面にゲート電極 1 8 0 K、ソース配線 1 9 0 K、及びドレイン配線 1 9 2 K となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 1 0 8 及び図 1 0 9 に示すようにゲート電極 1 8 0 K、ソース配線 1 9 0 K、及びドレイン配線 1 9 2 K のパターンを形成する。上記に示す製造方法によって、本発明の実施形態 1 1 に係る半導体装置 1 0 K を形成することができる。

10

【0 2 0 2】

以上のように、本発明の実施形態 1 1 に係る半導体装置 1 0 K の製造方法によると、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

【0 2 0 3】

＜実施形態 1 2＞

図 1 1 6 ～図 1 2 7 を用いて、本発明の実施形態 1 2 に係る半導体装置 1 0 L の概要について説明する。半導体装置 1 0 L は、短チャネル長の第 1 トランジスタ 2 0 L 及び長チャネル長の第 2 トランジスタ 3 0 L を有する。なお、短チャネル長の第 1 トランジスタ 2 0 L は、図 9 8 及び図 9 9 に示す実施形態 1 0 の半導体装置 1 0 J と同様の構造である。したがって、以下の説明では、第 1 トランジスタ 2 0 L の特徴の説明は省略し、長チャネル長の第 2 トランジスタ 3 0 L について説明する。

20

【0 2 0 4】

第 2 トランジスタ 3 0 L は、図 7 3 及び図 7 4 に示す第 2 トランジスタ 3 0 G と類似しているが、開口部 2 5 6 L が上部電極 2 4 0 L で止められ、絶縁層 2 3 0 L に到達していない点、及び開口部 2 5 6 L が設けられた領域に図 7 3 に示すコンタクトパッド 2 2 4 G に対応するコンタクトパッドが配置されていない点において第 2 トランジスタ 3 0 G とは相違する。以下の説明では、半導体装置 1 0 G と共通する半導体装置 1 0 L の特徴の説明は省略し、上記の相違点について説明する。なお、以下の説明において、半導体装置 1 0 G と同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

30

【0 2 0 5】

〔第 2 トランジスタ 3 0 L の構造〕

図 1 1 6 及び図 1 1 7 は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図 1 1 6 及び図 1 1 7 に示すように、第 2 トランジスタ 3 0 L の開口部 2 5 6 L は上部電極 2 4 0 L で止められている。換言すると、開口部 2 5 6 L は上部電極 2 4 0 L の上面を露出するように形成されており、酸化物半導体層 2 6 0 L は上部電極 2 4 0 L の上面と接触している。また、開口部 2 5 6 L が絶縁層 2 3 0 L に達していないため、開口部 2 5 6 L の下方にはコンタクトパッドは配置されていない。

40

【0 2 0 6】

〔第 2 トランジスタ 3 0 L の製造方法〕

図 1 1 8 ～図 1 2 7 を用いて、本発明の実施形態 1 2 に係る半導体装置 1 0 L の第 2 トランジスタ 3 0 L の製造方法について、平面図及び断面図を参照しながら説明する。なお、第 1 トランジスタ 2 0 L の製造方法は実施形態 6 の半導体装置 1 0 J の製造方法と同様なので、ここでは説明を省略する。

【0 2 0 7】

図 1 1 8 及び図 1 1 9 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びバックゲートを形成する工程を示す平面図及び断面図である。図 1 1 9 に示すように、基板 1 0 0 L 上に下地絶縁層 1 1 0 L を形成し、その上に下部電極 2 2 0 L 及

50

びバックゲート 222L となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 118 に示す下部電極 220L 及びバックゲート 222L のパターンを形成する。そして、パターニングされた下部電極 220L 上及びバックゲート 222L 上に絶縁層 230L を形成する。ここで、下部電極 220L 及びバックゲート 222L のエッチングは、下部電極 120L と同様の条件で処理する。

【0208】

図 120 及び図 121 は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極及び絶縁層を形成する工程を示す平面図及び断面図である。図 121 に示すように、図 119 に示す基板の全面に上部電極 240L となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 120 に示す上部電極 240L のパターンを形成する。そして、パターニングされた上部電極 240L 上に絶縁層 250L を形成する。ここで、上部電極 240L のエッチングは、上部電極 140L と同様の条件で処理する。

10

【0209】

図 122 及び図 123 は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図及び断面図である。図 123 に示すように、図 121 に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層 230L、250L を開口し下部電極 220L を露出する開口部 239L と、絶縁層 250L を開口し上部電極 240L を露出する開口部 256L とを形成する。このエッチングによって図 122 に示す開口部 239L、256L のパターンを形成する。ここで、開口部 239L、256L のエッチングは、開口部 139L と同様の条件で処理する。

20

【0210】

図 124 及び図 125 は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図 125 に示すように、図 123 に示す基板の全面に酸化物半導体層 260L を成膜し、フォトリソグラフィ及びエッチングによって図 124 に示す酸化物半導体層 260L のパターンを形成する。酸化物半導体層 260L の成膜及びエッチングは実施形態 1 と同様の方法で処理することができる。

【0211】

図 126 及び図 127 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図 127 に示すように、図 125 に示す基板の全面にゲート絶縁層 270L を形成し、フォトリソグラフィ及びエッチングによって、図 126 に示す開口部 235L、238L、257L のパターンを形成する。ここで、開口部 235L、238L、257L のエッチングは、開口部 135L、157L のエッチングと同様の条件で処理する。

30

【0212】

そして、図 127 に示す基板の全面にゲート電極 280L、ソース配線 290L、及びドレイン配線 292L となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 116 及び図 117 に示すようにゲート電極 280L、ソース配線 290L、及びドレイン配線 292L のパターンを形成する。上記に示す製造方法によって、本発明の実施形態 12 に係る第 2 トランジスタ 30L を形成することができる。

40

【0213】

以上のように、本発明の実施形態 12 に係る半導体装置 10L の製造方法によると、チャンネル長がナノメートルオーダーの第 1 トランジスタ 20L 及びチャンネル長がマイクロメートルオーダーの第 2 トランジスタ 30L を同一の製造方法で形成することができる。また、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

【0214】

〈実施形態 13〉

図 128～図 135 を用いて、本発明の実施形態 13 に係る半導体装置 10M の概要について説明する。半導体装置 10M は、短チャンネル長の第 1 トランジスタ 20M 及び長チ

50

チャンネル長の第2トランジスタ30Mを有する。なお、短チャンネル長の第1トランジスタ20Mは、図108及び図109に示す実施形態11の半導体装置10Kと同様の構造である。したがって、以下の説明では、第1トランジスタ20Mの特徴の説明は省略し、長チャンネル長の第2トランジスタ30Mについて説明する。なお、以下の説明において、半導体装置10Kと同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0215】

第2トランジスタ30Mは、図116及び図117に示す第2トランジスタ30Lと類似しているが、開口部235M、257Mの形状において第2トランジスタ30Lとは相違する。以下の説明では、第2トランジスタ30Lと共通する第2トランジスタ30Mの特徴の説明は省略し、上記の相違点について説明する。

【0216】

〔第2トランジスタ30Mの構造〕

図128及び図129は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図128及び図129に示すように、第2トランジスタ30Mの絶縁層230M、250M及びゲート絶縁層270Mに設けられた開口部235Mと、絶縁層250M及びゲート絶縁層270Mに設けられた開口部257Mとは、開口部側壁の断面形状が階段状である。具体的には、開口部235M、257Mにおいて、それぞれゲート絶縁層270Mの開口径は絶縁層250Mの開口径に比べて大きい。換言すると、開口部235M、257Mにおけるゲート絶縁層270Mの側壁275M、277Mは、それぞれ絶縁層250Mの上面に位置しており、絶縁層250Mの上面から上方に向かって延びている。開口部235M、257Mの形状は第2トランジスタ30Mの製造方法によるものである。具体的には、絶縁層250Mの開口工程とゲート絶縁層270Mの開口工程とを異なるタイミングで行うため、開口部235M、257Mのような形状になる。

【0217】

〔第2トランジスタ30Mの製造方法〕

図130～図135を用いて、本発明の実施形態13に係る半導体装置10Mの第2トランジスタ30Mの製造方法について、平面図及び断面図を参照しながら説明する。

【0218】

図130及び図131は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図及び断面図である。実施形態12の図118～図121に示した製造方法と同様の方法で下部電極220M、バックゲート222M、及び上部電極240Mを形成し、その基板に対するフォトリソグラフィ及びエッチングによって、開口部235M、238M、239M、256M、257Mを形成する。

【0219】

図132及び図133は、本発明の一実施形態に係る半導体装置の製造方法において、酸化半導体層を形成する工程を示す平面図及び断面図である。図133に示すように、図131に示す基板の全面に酸化半導体層260Mを成膜し、フォトリソグラフィ及びエッチングによって図132に示す酸化半導体層260Mのパターンを形成する。ここで、酸化半導体層260Mは開口部239M、256Mの内部に配置され、開口部235M、238M、257Mの酸化半導体層260Mはエッチングされる。酸化半導体層260Mの成膜及びエッチングは実施形態1と同様の方法で処理することができる。

【0220】

図134及び図135は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図135に示すように、図133に示す基板の全面にゲート絶縁層270Mを形成し、フォトリソグラフィ及びエッチングによって、図134に示すように、開口部235M、238M、257Mに対応する領域のゲート絶縁層270Mを開口する。このエッチングによって、開口部235Mにおいて下部電極220Mを露出させ、開口部257Mにおいて上部電極240Mを露出させる。

【0221】

そして、図135に示す基板の全面にゲート電極280M、ソース配線290M、及びドレイン配線292Mとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図128及び図129に示すようにゲート電極280M、ソース配線290M、及びドレイン配線292Mのパターンを形成する。上記に示す製造方法によって、本発明の実施形態13に係る半導体装置10Mを形成することができる。

【0222】

以上のように、本発明の実施形態13に係る半導体装置10Mの製造方法によると、チャンネル長がナノメートルオーダーの第1トランジスタ20M及びチャンネル長がマイクロメートルオーダーの第2トランジスタ30Mを同一の製造方法で形成することができる。また、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

【0223】

〈実施形態14〉

図136～図147を用いて、本発明の実施形態14に係る半導体装置10Nの概要について説明する。

【0224】

〔半導体装置10Nの構造〕

図136及び図137は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図136及び図137に示すように、半導体装置10Nは、基板100N、下地絶縁層110N、下部電極120N、絶縁層130N、上部電極140N、酸化物半導体層160N、ゲート絶縁層170N、ゲート電極180N、ソース配線190N、及びドレイン配線192Nを有する。

【0225】

開口部139Nは下部電極120N、絶縁層130N、及び上部電極140Nに設けられており、下地絶縁層110Nに達している。なお、図137に示すように、下地絶縁層110Nには、開口部139Nによって露出された領域に凹部が設けられている。換言すると、開口部139Nは下地絶縁層110Nを一部開口しており、開口部139Nの底部が下部電極120Nと絶縁層130Nとの界面よりも基板100N側に位置している。開口部135Nは絶縁層130N及びゲート絶縁層170Nに設けられており、下部電極120Nに達している。開口部177Nはゲート絶縁層170Nに設けられており、上部電極140Nに達している。

【0226】

下地絶縁層110Nは基板100N上に配置されている。下部電極120Nは下地絶縁層110N上に配置されている。絶縁層130Nは下部電極120N上及び下地絶縁層110N上に配置されている。上部電極140Nは絶縁層130N上に配置されている。開口部139Nにおいて、下部電極120Nには電極側壁322Nが設けられており、絶縁層130Nには絶縁層側壁132Nが設けられており、上部電極140Nには電極側壁142Nが設けられている。

【0227】

酸化物半導体層160Nは開口部139Nの内部に配置され、下部電極120N及び上部電極140Nの各々に接続されている。より詳細に説明すると、酸化物半導体層160Nは下地絶縁層110Nの凹部、電極側壁322N上、絶縁層側壁132N上、及び電極側壁142N上に配置されており、開口部139Nにおいて露出された下部電極120Nの電極側壁322Nに接触することで下部電極120Nに接続され、開口部139N内部の電極側壁142N及び上部電極140Nの上面に接触することで上部電極140Nに接続されている。図137では、酸化物半導体層160Nは電極側壁142Nから上部電極140Nの上面まで連続して延びている。

【0228】

図136に示すように、絶縁層側壁132Nは開口部139Nの形状に沿って四角形の

閉じた形状を有している。絶縁層側壁 1 3 2 N と同様に、電極側壁 3 2 2 N、1 4 2 N も開口部 1 3 9 N の形状に沿って四角形の閉じた形状を有している。

【0 2 2 9】

ゲート電極 1 8 0 N は酸化物半導体層 1 6 0 N に対向して配置されている。ゲート絶縁層 1 7 0 N は酸化物半導体層 1 6 0 N とゲート電極 1 8 0 N との間に配置されている。半導体装置 1 0 N において、絶縁層側壁 1 3 2 N 上に配置された酸化物半導体層 1 6 0 N がチャネルとして機能するため、ゲート電極 1 8 0 N は少なくとも絶縁層側壁 1 3 2 N 上に配置された酸化物半導体層 1 6 0 N に対向して配置されている。また、詳しくは後述するが、開口部 1 3 9 N の底部におけるゲート絶縁層 1 7 0 N の上面は、下部電極 1 2 0 N と絶縁層 1 3 0 N との界面よりも下地絶縁層 1 1 0 N 側に位置している。

10

【0 2 3 0】

ソース配線 1 9 0 N は開口部 1 3 5 N を介して下部電極 1 2 0 N に接続されている。ドレイン配線 1 9 2 N は開口部 1 7 7 N を介して上部電極 1 4 0 N に接続されている。なお、ソース配線 1 9 0 N 及びドレイン配線 1 9 2 N は機能が逆であってもよい。つまり、配線 1 9 0 N がドレイン配線として機能し、配線 1 9 2 N がソース配線として機能してもよい。なお、図 1 3 7 に示すように、ソース配線 1 9 0 N 及びドレイン配線 1 9 2 N は、ゲート電極 1 8 0 N と同一層で形成されている。ただし、ソース配線 1 9 0 N 及びドレイン配線 1 9 2 N は、ゲート電極 1 8 0 N とは異なる層で形成してもよい。

【0 2 3 1】

[絶縁層側壁 1 3 2 N 及び電極側壁 1 4 2 N、3 2 2 N の形状]

20

ここで、絶縁層側壁 1 3 2 N 及び電極側壁 1 4 2 N、3 2 2 N の形状について詳細に説明する。図 1 3 7 に示すように、絶縁層側壁 1 3 2 N 及び電極側壁 1 4 2 N、3 2 2 N の形状はともに順テーパ形状である。また、絶縁層側壁 1 3 2 N 及び電極側壁 1 4 2 N、3 2 2 N のテーパ形状は連続している。つまり、開口部 1 3 9 N に接する領域において、下部電極 1 2 0 N の上面は絶縁層 1 3 0 N で覆われており、絶縁層 1 3 0 N の上面は上部電極 1 4 0 N で覆われている。ただし、これらの側壁のテーパ形状は必ずしも連続している必要はない。つまり、絶縁層 1 3 0 N の開口径が下部電極 1 2 0 N の開口径よりも大きく、下部電極 1 2 0 N の上面が絶縁層 1 3 0 N から露出されていてもよい。同様に、上部電極 1 4 0 N の開口径が絶縁層 1 3 0 N の開口径よりも大きく、絶縁層 1 3 0 N の上面が上部電極 1 4 0 N から露出されていてもよい。また、絶縁層側壁 1 3 2 N 及び電極側壁 1 4 2 N、3 2 2 N のテーパ形状はそれぞれ異なる傾斜角であってもよい。

30

【0 2 3 2】

また、図 1 3 7 では、絶縁層側壁 1 3 2 N の断面形状が直線状の順テーパ形状である構造を例示したが、この構造に限定されない。例えば、絶縁層側壁 1 3 2 N の断面形状が上方に向かって凸形状の順テーパ形状であってもよく、逆に上方に向かって凹形状の順テーパ形状であってもよい。また、絶縁層側壁 1 3 2 N は傾斜面が上方を向いた順テーパ形状以外にも、垂直形状であってもよく、傾斜面が下方を向いた逆テーパ形状であってもよい。なお、電極側壁 1 4 2 N、3 2 2 N についても上記と同様の形状を有することができる。絶縁層側壁 1 3 2 N 及び電極側壁 1 4 2 N、3 2 2 N は同様の形状であってもよく、異なる形状であってもよい。

40

【0 2 3 3】

[半導体装置 1 0 N の各部材の材質]

基板 1 0 0 N、下地絶縁層 1 1 0 N、下部電極 1 2 0 N、絶縁層 1 3 0 N、上部電極 1 4 0 N、酸化物半導体層 1 6 0 N、ゲート絶縁層 1 7 0 N、ゲート電極 1 8 0 N、ソース配線 1 9 0 N、及びドレイン配線 1 9 2 N については、実施形態 1 の説明で例示した材料と同じものを用いることができる。

【0 2 3 4】

以上のように、本発明の実施形態 1 4 に係る半導体装置 1 0 N によると、実施形態 1 と同様に半導体装置 1 0 N のチャネル長をナノメートルオーダーで制御することができる。その結果、半導体装置 1 0 N のオン電流を向上させることができ、半導体装置のチャネル

50

長の基板面内ばらつきを抑制することができる。

【0235】

また、酸化物半導体層160Nが大面積で導電層と接触する構造の場合、導電層と接触している酸化物半導体層160Nの物性が変化してしまうことがある。酸化物半導体層160Nの物性が変化すると、製造工程中に電蝕反応と思われる現象により、酸化物半導体層160Nの一部が消失してしまうことがある。半導体装置10Nによると、酸化物半導体層160Nが下部電極120Nと接触する領域は、電極側壁322Nに限られるため、上記の現象を抑制することができる。なお、図137に示すように、酸化物半導体層160Nが下部電極120Nに接触する面積が小さくても、十分に低い接触抵抗を実現できることが確認されている。

10

【0236】

また、半導体装置10Nの構造によると、開口部139Nが下部電極120Nと絶縁層130Nとの界面よりも十分に下地絶縁層110N側まで設けられていることで、絶縁層側壁132における酸化物半導体層160N及びゲート絶縁層170Nの膜厚を均一に形成することができる。その結果、チャンネル長方向において、ゲート電圧に基づいて半導体装置10Nに形成される電界を均一化することができ、より急峻なオン／オフを切り替え可能なスイッチング特性を得ることができる。

【0237】

[半導体装置10Nの動作]

図136及び図137に示す半導体装置10Nの動作は、図1及び図2に示す半導体装置10の動作と同様なので、詳細な説明は省略する。半導体装置10Nにおいても、ゲート電極180Nにゲート電圧が印加され、下部電極120Nに接続されたソース配線190Nにソース電圧が印加され、上部電極140Nに接続されたドレイン配線192Nにドレイン電圧が印加される。ただし、ソース電圧とドレイン電圧とが逆に印加されてもよい。換言すると、下部電極120Nは酸化物半導体層160Nをチャンネルとするトランジスタのソース電極及びドレイン電極の一方であり、上部電極140Nは酸化物半導体層160Nをチャンネルとするトランジスタのソース電極及びドレイン電極の他方である。

20

【0238】

[半導体装置10Nの製造方法]

図138～図147を用いて、本発明の実施形態14に係る半導体装置10Nの製造方法について、平面図及び断面図を参照しながら説明する。

30

【0239】

図138及び図139は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す平面図及び断面図である。図139に示すように、基板100N上に下地絶縁層110N及び下部電極120Nとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図138に示す下部電極120Nのパターンを形成する。そして、パターニングされた下部電極120N上に絶縁層130Nを形成する。

【0240】

図140及び図141は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図141に示すように、図139に示す基板の全面に上部電極140Nとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図140に示す上部電極140Nのパターンを形成する。

40

【0241】

図142及び図143は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図及び断面図である。図143に示すように、図141に示す基板に対するフォトリソグラフィ及びエッチングによって、上部電極140N、絶縁層130N、及び下部電極120Nを開口し、さらに下地絶縁層110Nに凹部を形成する開口部139Nを形成することで、図142に示す開口部139Nのパターンを形成する。開口部139Nの形成によって、絶縁層側壁132N、電極側壁142N、322Nが形成される。

50

【0242】

ここで、開口部139Nの形成は、上部電極140N、絶縁層130N、下部電極120N、及び下地絶縁層110Nを同一のエッチング条件を用いて一括エッチングしてもよく、上部電極140N、絶縁層130N、下部電極120N、及び下地絶縁層110Nの各々を異なるエッチング条件で処理してもよい。絶縁層側壁132N及び電極側壁142N、322Nをテーパ形状するためのエッチング方法は、実施形態1で説明した絶縁層側壁132と同様の方法で形成することができる。

【0243】

なお、図143では、開口部139Nの底部が下地絶縁層110Nの膜中に位置するように開口部139Nを形成する製造方法を例示したが、この製造方法に限定されない。例えば、詳細は後述するが、開口部139Nの底部が下部電極120Nの膜中に位置するように開口部139Nを形成してもよい。また、開口部139Nの底部が基板100Nに達するように開口部139Nを形成してもよい。

【0244】

図144及び図145は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図145に示すように、図143に示す基板の全面に酸化物半導体層160Nを成膜し、フォトリソグラフィ及びエッチングによって図144に示す酸化物半導体層160Nのパターンを形成する。酸化物半導体層160Nの成膜及びエッチングは実施形態1と同様の方法で処理することができる。

【0245】

図146及び図147は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図147に示すように、図145に示す基板の全面にゲート絶縁層170Nを形成し、フォトリソグラフィ及びエッチングによって図146に示す開口部135N、177Nのパターンを形成する。

【0246】

そして、図147に示す基板の全面にゲート電極180N、ソース配線190N、及びドレイン配線192Nとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図136及び図137に示すようにゲート電極180N、ソース配線190N、及びドレイン配線192Nのパターンを形成する。上記に示す製造方法によって、本発明の実施形態14に係る半導体装置10Nを形成することができる。

【0247】

以上のように、本発明の実施形態14に係る半導体装置10Nの製造方法によると、絶縁層130Nの膜厚、絶縁層側壁132Nのテーパ角、又は絶縁層130Nの膜厚及び絶縁層側壁132Nのテーパ角の両方をナノメートルオーダーで制御することができる。したがって、半導体装置10Nのチャネル長をナノメートルオーダーで制御することができ、チャネル長のばらつきをナノメートルオーダーに抑えることができる。また、絶縁層側壁132Nに酸化物半導体層160N及びゲート絶縁層170Nを均一な膜厚で形成することができる。

【0248】

〈実施形態15〉

図148～図159を用いて、本発明の実施形態15に係る半導体装置10Pの概要について説明する。半導体装置10Pは、図136及び図137に示す半導体装置10Nと類似しているが、開口部135P及び開口部137Pの形状、並びに開口部137Pの下方にコンタクトパッド122Pが設けられている点において半導体装置10Nとは相違する。以下の説明では、半導体装置10Nと共通する半導体装置10Pの特徴の説明は省略し、上記の相違点について説明する。なお、以下の説明において、半導体装置10Nと同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0249】

[半導体装置10Pの構造]

図148及び図149は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図148及び図149に示すように、半導体装置10Pの開口部135P、137Pの各々は下地絶縁層110Pの内部まで達している。また、開口部137Pに対応する領域にはコンタクトパッド122Pが配置され、開口部137Pはコンタクトパッド122Pを貫通するように設けられている。

【0250】

また、開口部135Pは、開口部側壁の断面形状が階段状である。具体的には、開口部135Pにおいて、ゲート絶縁層170Pの開口径は絶縁層130Pの開口径に比べて大きい。換言すると、開口部135Pにおけるゲート絶縁層170Pの側壁175Pは、絶縁層130Pの上面に位置しており、絶縁層130Pの上面から上方に向かって延びている。同様に、開口部137Pにおいて、ゲート絶縁層170Pの開口径は上部電極140Pの開口径に比べて大きい。換言すると、開口部137Pにおけるゲート絶縁層170Pの側壁177Pは、上部電極140Pの上面に位置しており、上部電極140Pの上面から上方に向かって延びている。開口部135P、137Pの形状は半導体装置10Pの製造方法によるものである。具体的には、絶縁層130Pの開口工程とゲート絶縁層170Pの開口工程とを異なるタイミングで行うため、開口部135P、137Pのような形状になる。

【0251】

以上のように、本発明の実施形態15に係る半導体装置10Pによると、半導体装置10Pのオン電流を向上させることができ、半導体装置のチャネル長の基板面内ばらつきを抑制することができる。また、酸化物半導体層160Pと下部電極120Pとが接触する領域における酸化物半導体層160Pの物性変化を抑制することができる。また、半導体装置10Pのドレイン電流を下部電極120P及びコンタクトパッド122Pと同一層の配線、上部電極140Pと同一層の配線、並びにドレイン配線192Pと同一層の配線の少なくとも1つの配線に接続可能である。したがって、配線レイアウトの自由度を向上させることができる。

【0252】

[半導体装置10Pの製造方法]

図150～図159を用いて、本発明の実施形態15に係る半導体装置10Pの製造方法について、平面図及び断面図を参照しながら説明する。

【0253】

図150及び図151は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びコンタクトパッドを形成する工程を示す平面図及び断面図である。図151に示すように、基板100P上に下地絶縁層110Pを形成し、その上に下部電極120P及びコンタクトパッド122Pとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図150に示す下部電極120P及びコンタクトパッド122Pのパターンを形成する。そして、パターニングされた下部電極120P上に絶縁層130Pを形成する。

【0254】

図152及び図153は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図153に示すように、図151に示す基板の全面に上部電極140Pとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図152に示す上部電極140Pのパターンを形成する。

【0255】

図154及び図155は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図及び断面図である。図155に示すように、図153に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層130P及び下部電極120Pを開口し、下地絶縁層1

10 Pに凹部を形成する開口部135 Pと、上部電極140 P、絶縁層130 P、及びコンタクトパッド122 Pを開口し、下地絶縁層110 Pに凹部を形成する開口部137 Pと、上部電極140 P、絶縁層130 P、及び下部電極120 Pを開口し、下地絶縁層110 Pに凹部を形成する開口部139 Pと、を形成する。このエッチングによって、図154に示す開口部135 P、137 P、及び139 Pのパターンを形成する。

【0256】

開口部139 Pの形成によって、下部電極120 Pの電極側壁322 P、絶縁層130 Pの絶縁層側壁132 P、及び上部電極140 Pの電極側壁142 Pが形成される。ここで、開口部135 P、137 P、及び139 Pの形成は、上部電極140 P、絶縁層130 P、及び下部電極120 P（又はコンタクトパッド122 P）を同一のエッチング条件を用いて一括エッチングしてもよく、各層を異なるエッチング条件で処理してもよい。

10

【0257】

図156及び図157は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図157に示すように、図155に示す基板の全面に酸化物半導体層160 Pを成膜し、フォトリソグラフィ及びエッチングによって図156に示す酸化物半導体層160 Pのパターンを形成する。ここで、酸化物半導体層160 Pは開口部139 Pの内部に配置され、開口部135 P、137 Pの酸化物半導体層160 Pはエッチングされる。酸化物半導体層160 Pの成膜及びエッチングは実施形態1と同様の方法で処理することができる。

20

【0258】

図158及び図159は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図159に示すように、図157に示す基板の全面にゲート絶縁層170 Pを形成し、フォトリソグラフィ及びエッチングによって、図158に示すように、開口部135 P、137 Pに対応する領域のゲート絶縁層170 Pを開口する。このエッチングによって、開口部135 Pにおいて下部電極120 Pの側壁を露出させ、開口部137 Pにおいて上部電極140 Pの側壁及びコンタクトパッド122 Pの側壁を露出させる。

【0259】

そして、図159に示す基板の全面にゲート電極180 P、ソース配線190 P、及びドレイン配線192 Pとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図148及び図149に示すようにゲート電極180 P、ソース配線190 P、及びドレイン配線192 Pのパターンを形成する。上記に示す製造方法によって、本発明の実施形態15に係る半導体装置10 Pを形成することができる。

30

【0260】

以上のように、本発明の実施形態15に係る半導体装置10 Pの製造方法によると、半導体装置10 Pのチャネル長をナノメートルオーダーで制御することができ、チャネル長のばらつきをナノメートルオーダーに抑えることができる。また、コンタクトパッド122 Pが配置されていることで、開口部137 P形成時に開口部137 P底部の下地絶縁層110 Pが過剰にエッチングされることを抑制することができる。また、絶縁層側壁132 Pに酸化物半導体層160 P及びゲート絶縁層170 Pを均一な膜厚で形成することができる。

40

【0261】

〈実施形態16〉

図160～図171を用いて、本発明の実施形態16に係る半導体装置10 Rの概要について説明する。半導体装置10 Rは、短チャネル長の第1トランジスタ20 R及び長チャネル長の第2トランジスタ30 Rを有する。なお、短チャネル長の第1トランジスタ20 Rは、図136及び図137に示す実施形態14の半導体装置10 Nと同様の構造である。したがって、以下の説明では、第1トランジスタ20 Rの特徴の説明は省略し、長チャネル長の第2トランジスタ30 Rについて説明する。なお、以下の説明において、半導体装置10 Nと同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベ

50

ットを変更し、詳細な説明は省略する。

【0262】

〔第2トランジスタ30Rの構造〕

図160及び図161は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図160及び図161に示すように、第2トランジスタ30Rは、基板100R、下地絶縁層110R、下部電極220R、バックゲート222R、コンタクトパッド224R、絶縁層230R、上部電極240R、酸化物半導体層260R、ゲート絶縁層270R、ゲート電極280R、ソース配線290R、及びドレイン配線292Rを有する。基板100R及び下地絶縁層110Rは、第1トランジスタ20R及び第2トランジスタ30Rで共通であり、第1トランジスタ20Rから第2トランジスタ30Rまで連続して延びている。

10

【0263】

開口部235Rは絶縁層230R及びゲート絶縁層270Rに設けられており、下部電極220Rに達している。開口部239Rは絶縁層230R及び下部電極220Rに設けられており、下地絶縁層110Rに凹部を形成している。開口部236Rは上部電極240R、絶縁層230R、及びコンタクトパッド224Rに設けられており、下地絶縁層110Rに凹部を形成している。開口部277Rはゲート絶縁層270Rに設けられており、上部電極240Rに達している。

【0264】

下部電極220R、バックゲート222R、及びコンタクトパッド224Rは下地絶縁層110R上に配置されている。絶縁層230Rは下部電極220R上、バックゲート222R上、コンタクトパッド224R上、及び下地絶縁層110R上に配置されている。上部電極240Rは絶縁層230R上に配置されており、平面視において下部電極220Rから離隔して配置されている。酸化物半導体層260Rは、下部電極220Rと上部電極240Rとの間の領域において、絶縁層230R上に配置されている。また、酸化物半導体層260Rは開口部239Rを介して下部電極220Rに接続され、上部電極240Rに乗り上げるようにして、上部電極240Rの側面及び上面で上部電極240Rに接続されている。また、酸化物半導体層260Rは開口部236Rを介してコンタクトパッド224Rにも接続されている。

20

【0265】

バックゲート222Rは絶縁層230Rを介して酸化物半導体層260Rと対向している。換言すると、バックゲート222Rは酸化物半導体層260Rとゲート電極280Rとが対向する領域の少なくとも一部の領域において、酸化物半導体層260Rに対してゲート電極280Rとは反対側に配置されている。また、絶縁層230Rは酸化物半導体層260Rとバックゲート222Rとの間に配置されている。なお、バックゲート222Rは省略されてもよい。

30

【0266】

ゲート電極280Rは、下部電極220Rと上部電極240Rとの間の領域において、酸化物半導体層260Rに対向して配置されている。ゲート絶縁層270Rは酸化物半導体層260Rとゲート電極280Rとの間に配置されている。第2トランジスタ30Rにおいて、下部電極220Rと上部電極240Rとの間の領域の酸化物半導体層260Rがチャンネルとして機能する。

40

【0267】

ソース配線290Rは開口部235Rを介して下部電極220Rに接続されている。ドレイン配線292Rは開口部277Rを介して上部電極240Rに接続されている。なお、ソース配線290R及びドレイン配線292Rは機能が逆であってもよい。つまり、配線290Rがドレイン配線として機能し、配線292Rがソース配線として機能してもよい。

【0268】

ここで、第1トランジスタ20R及び第2トランジスタ30Rの各層の関係について説

50

明する。下部電極 220 R、バックゲート 222 R、及びコンタクトパッド 224 R は下部電極 120 R と同一層であり、いずれも下地絶縁層 110 R と接して配置されている。絶縁層 230 R は絶縁層 130 R と同一層であり、絶縁層 230 R は絶縁層 130 R と連続している。同様に、上部電極 140 R 及び上部電極 240 R、酸化物半導体層 160 R 及び酸化物半導体層 260 R、ゲート絶縁層 170 R 及びゲート絶縁層 270 R、ゲート電極 180 R 及びゲート電極 280 R、ソース配線 190 R 及びソース配線 290 R、並びにドレイン配線 192 R 及びドレイン配線 292 R はそれぞれ同一層である。

【0269】

〔第 2 トランジスタ 30 R の動作〕

図 160 及び図 161 に示す第 2 トランジスタ 30 R の動作は、図 27 及び図 28 に示す第 2 トランジスタ 30 C の動作と同様なので、詳細な説明は省略する。第 2 トランジスタ 30 R においても、ゲート電極 280 R にゲート電圧が印加され、下部電極 220 R に接続されたソース配線 290 R にソース電圧が印加され、上部電極 240 R に接続されたドレイン配線 292 R にドレイン電圧が印加される。ただし、ソース電圧とドレイン電圧とが逆に印加されてもよい。換言すると、下部電極 220 R は酸化物半導体層 260 R をチャンネルとするトランジスタのソース電極及びドレイン電極の一方であり、上部電極 240 R は酸化物半導体層 260 R をチャンネルとするトランジスタのソース電極及びドレイン電極の他方である。なお、バックゲート 222 R には上記のゲート電圧とは独立した補助ゲート電圧が印加され、第 2 トランジスタ 30 R のしきい値 (V_{th}) を制御する。

【0270】

〔第 2 トランジスタ 30 R の製造方法〕

図 162 ~ 図 171 を用いて、本発明の実施形態 16 に係る半導体装置 10 R の第 2 トランジスタ 30 R の製造方法について、平面図及び断面図を参照しながら説明する。なお、第 1 トランジスタ 20 R の製造方法は実施形態 14 の半導体装置 10 N の製造方法と同様なので、ここでは説明を省略する。

【0271】

図 162 及び図 163 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す平面図及び断面図である。図 163 に示すように、基板 100 R 上に下地絶縁層 110 R を形成し、その上に下部電極 220 R、バックゲート 222 R、及びコンタクトパッド 224 R となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 162 に示す下部電極 220 R、バックゲート 222 R、及びコンタクトパッド 224 R のパターンを形成する。そして、パターニングされた下部電極 220 R 上、バックゲート 222 R 上、及びコンタクトパッド 224 R 上に絶縁層 230 R を形成する。ここで、下部電極 220 R、バックゲート 222 R、及びコンタクトパッド 224 R のエッチングは、下部電極 120 R と同様の条件で処理する。

【0272】

図 164 及び図 165 は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図 165 に示すように、図 163 に示す基板の全面に上部電極 240 R となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 164 に示す上部電極 240 R のパターンを形成する。ここで、上部電極 240 R のエッチングは、上部電極 140 R と同様の条件で処理する。

【0273】

図 166 及び図 167 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図及び断面図である。図 167 に示すように、図 165 に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層 230 R 及び下部電極 220 R を開口し、さらに下地絶縁層 110 R に凹部を形成する開口部 239 R と、上部電極 240 R、絶縁層 230 R、及びコンタクトパッド 224 R を開口し、さらに下地絶縁層 110 R に凹部を形成する開口部 236 R とを形成することで、図 166 に示す開口部 236 R、239 R のパターン

を形成する。ここで、開口部 236R、239Rのエッチングは、開口部 139Rと同様の条件で処理する。

【0274】

図168及び図169は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図169に示すように、図167に示す基板の全面に酸化物半導体層260Rを成膜し、フォトリソグラフィ及びエッチングによって図168に示す酸化物半導体層260Rのパターンを形成する。酸化物半導体層260Rの成膜及びエッチングは実施形態1と同様の方法で処理することができる。

【0275】

図170及び図171は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図171に示すように、図169に示す基板の全面にゲート絶縁層270Rを形成し、フォトリソグラフィ及びエッチングによって、図170に示す開口部235R、238R、277Rのパターンを形成する。ここで、開口部235R、238R、277Rのエッチングは、開口部135R、177Rのエッチングと同様の条件で処理する。

【0276】

そして、図171に示す基板の全面にゲート電極280R、ソース配線290R、及びドレイン配線292Rとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図160及び図161に示すようにゲート電極280R、ソース配線290R、及びドレイン配線292Rのパターンを形成する。上記に示す製造方法によって、本発明の実施形態16に係る第2トランジスタ30Rを形成することができる。

【0277】

以上のように、本発明の実施形態16に係る半導体装置10Rの製造方法によると、チャンネル長がナノメートルオーダーの第1トランジスタ20R及びチャンネル長がマイクロメートルオーダーの第2トランジスタ30Rを同一の製造方法で形成することができる。

【0278】

〈実施形態17〉

図172～図183を用いて、本発明の実施形態17に係る半導体装置10Sの概要について説明する。半導体装置10Sは、短チャンネル長の第1トランジスタ20S及び長チャンネル長の第2トランジスタ30Sを有する。なお、短チャンネル長の第1トランジスタ20Sは実施形態15の半導体装置10Pと同様の構造である。したがって、以下の説明では、第1トランジスタ20Sの特徴の説明は省略し、長チャンネル長の第2トランジスタ30Sについて説明する。なお、以下の説明において、半導体装置10Pと同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0279】

第2トランジスタ30Sは、図160及び図161に示す第2トランジスタ30Rと類似しているが、開口部235S、237Sの形状において第2トランジスタ30Rとは相違する。以下の説明では、第2トランジスタ30Rと共通する第2トランジスタ30Sの特徴の説明は省略し、上記の相違点について説明する。

【0280】

〔第2トランジスタ30Sの構造〕

図172及び図173は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図172及び図173に示すように、第2トランジスタ30Sの開口部235S、237Sの各々は下地絶縁層110Sの内部まで達している。

【0281】

また、開口部235Sは、開口部側壁の断面形状が階段状である。具体的には、開口部235Sにおいて、ゲート絶縁層270Sの開口径は絶縁層230Sの開口径に比べて大きい。換言すると、開口部235Sにおけるゲート絶縁層270Sの側壁275Sは、絶

10

20

30

40

50

縁層 230S の上面に位置しており、絶縁層 230S の上面から上方に向かって延びている。開口部 235S の形状は第 2 トランジスタ 30S の製造方法によるものである。具体的には、絶縁層 230S の開口工程とゲート絶縁層 270S の開口工程とを異なるタイミングで行うため、開口部 235S のような形状になる。

【0282】

〔第 2 トランジスタ 30S の製造方法〕

図 174～図 183 を用いて、本発明の実施形態 17 に係る半導体装置 10S の第 2 トランジスタ 30S の製造方法について、平面図及び断面図を参照しながら説明する。

【0283】

図 174 及び図 175 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す平面図及び断面図である。図 175 に示すように、基板 100S 上に下地絶縁層 110S を形成し、その上に下部電極 220S、バックゲート 222S、及びコンタクトパッド 224S となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 174 に示す下部電極 220S、バックゲート 222S、及びコンタクトパッド 224S のパターンを形成する。そして、パターニングされた下部電極 220S 上、バックゲート 222S 上、及びコンタクトパッド 224S 上に絶縁層 230S を形成する。ここで、下部電極 220S、バックゲート 222S、及びコンタクトパッド 224S のエッチングは、下部電極 120S 及びコンタクトパッド 122S と同様の条件で処理する。

【0284】

図 176 及び図 177 は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図 177 に示すように、図 175 に示す基板の全面に上部電極 240S となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 176 に示す上部電極 240S のパターンを形成する。ここで、上部電極 240S のエッチングは、上部電極 140S と同様の条件で処理する。

【0285】

図 178 及び図 179 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図及び断面図である。図 179 に示すように、図 177 に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層 230S 及び下部電極 220S を開口し、下地絶縁層 110S に凹部を形成する開口部 235S、239S と、上部電極 240S、絶縁層 230S、及びコンタクトパッド 224S を開口し、下地絶縁層 110S に凹部を形成する開口部 236S と、上部電極 240S 及び絶縁層 230S を開口し、下地絶縁層 110S に凹部を形成する開口部 237S と、を形成する。このエッチングによって、図 178 に示す開口部 235S、236S、237S、238S、239S のパターンを形成する。ここで、開口部 235S、236S、237S、238S、239S のエッチングは、開口部 135S、137S、139S と同様の条件で処理する。

【0286】

図 180 及び図 181 は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図 181 に示すように、図 179 に示す基板の全面に酸化物半導体層 260S を成膜し、フォトリソグラフィ及びエッチングによって図 180 に示す酸化物半導体層 260S のパターンを形成する。ここで、酸化物半導体層 260S は開口部 236S、239S の内部に配置され、開口部 235S、237S、238S の酸化物半導体層 260S はエッチングされる。酸化物半導体層 260S の成膜及びエッチングは実施形態 1 と同様の方法で処理することができる。

【0287】

図 182 及び図 183 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図 183 に示すように、図 181 に示す基板の全面にゲート絶縁層 270S を形成し、フォトリソグラフィ及びエッチングによって、図 182 に示すように、開口部 235S

、237S、238Sに対応する領域のゲート絶縁層270Sを開口する。このエッチングによって、開口部235Sにおいて下部電極220Sの側壁を露出させ、開口部237Sにおいて上部電極240Sの側壁を露出させる。ここで、開口部235S、237S、238Sに対応する領域のゲート絶縁層270Sのエッチングは、開口部135S及び開口部137Sに対応する領域のゲート絶縁層170Sのエッチングと同様の条件で処理する。

【0288】

そして、図183に示す基板の全面にゲート電極280S、ソース配線290S、及びドレイン配線292Sとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図172及び図173に示すようにゲート電極280S、ソース配線290S、及びドレイン配線292Sのパターンを形成する。上記に示す製造方法によって、本発明の実施形態17に係る半導体装置10Sを形成することができる。

【0289】

以上のように、本発明の実施形態17に係る半導体装置10Sの製造方法によると、チャンネル長がナノメートルオーダーの第1トランジスタ20S及びチャンネル長がマイクロメートルオーダーの第2トランジスタ30Sを同一の製造方法で形成することができる。

【0290】

〔実施形態14～17における開口部139Tの構造〕

図184Aを用いて、実施形態14～17における開口部の構造について説明する。特に、図184Aに示すように、下地絶縁層110Tに達する開口部139Tの底部と絶縁層130Tとの位置関係について説明する。図184Aは、本発明の一実施形態に係る半導体装置の開口部の構造を示す断面図である。図184Aに示すように、開口部139Tの底部におけるゲート絶縁層170Tの上面375Tは、下部電極120Tと絶縁層130Tとの界面325Tよりも下地絶縁層110T側に位置している。

【0291】

スパッタリング法又はCVD法を用いて開口部の内部に酸化物半導体層160T又はゲート絶縁層170Tを成膜する場合、開口底部の周縁部315Tにおいて酸化物半導体層160T及びゲート絶縁層170Tの膜厚が不均一になる問題が生じる場合がある。図184Aに示す構造では、絶縁層側壁132T上に配置された酸化物半導体層160Tがチャンネルとして機能する。図184Aでは、周縁部315Tが絶縁層側壁132Tの下端（界面325Tに相当する）よりも下地絶縁層110T側に位置しているため、絶縁層側壁132Tには均一な膜厚の酸化物半導体層160T及びゲート絶縁層170Tを形成することができる。

【0292】

図184Bを用いて、実施形態14～17における開口部139Tの構造の変形例について説明する。図184Bは、本発明の一実施形態に係る半導体装置の開口部の構造を示す断面図である。図184Bでは、開口部139Tは絶縁層130Tを開口し、下部電極120Tに凹部を形成している。酸化物半導体層160Tは電極側壁142T、絶縁層側壁132T、及び電極側壁122Tを含む下部電極120Tの凹部に配置されている。この場合においても、開口部139Tの底部におけるゲート絶縁層170Tの上面375Tは、下部電極120Tと絶縁層130Tとの界面325Tよりも下地絶縁層110T側に位置している。

【0293】

図184Bに示す開口部139Tを有する半導体装置の構造を換言すると、半導体装置は、下地絶縁層110Tと、下地絶縁層110T上の下部電極120Tと、下部電極120T上の絶縁層130Tと、絶縁層130T上の上部電極140Tと、開口部139Tの内部及び開口部139Tの底部に対応する領域に設けられた下部電極120Tの凹部に配置され、下部電極120T及び上部電極140Tに接続された酸化物半導体層160Tと、を有する、ということもできる。

【0294】

なお、図 1 8 4 B に示した構造は、上記の実施形態 1 4 ～ 1 7 の他にも、以下の実施形態において、開口部 1 3 9 T に相当する開口部が下部電極 1 2 0 T を開口して下地絶縁層 1 1 0 T に凹部を形成する構造に適用することができる。

【0 2 9 5】

〈実施形態 1 8〉

図 1 8 5 A ～ 図 1 9 4 を用いて、本発明の実施形態 1 8 に係る半導体装置 1 0 U の概要について説明する。半導体装置 1 0 U は、図 1 3 6 及び図 1 3 7 に示す半導体装置 1 0 N と類似しているが、開口部 1 3 9 U の形状が 1 3 9 N とは異なる点において半導体装置 1 0 N とは相違する。以下の説明では、半導体装置 1 0 N と共通する半導体装置 1 0 U の特徴の説明は省略し、上記の相違点について説明する。なお、以下の説明において、半導体装置 1 0 N と同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0 2 9 6】

[半導体装置 1 0 U の構造]

図 1 8 5 A 及び図 1 8 5 B は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図 1 8 5 A 及び図 1 8 5 B に示すように、半導体装置 1 0 U の下部電極 1 2 0 U、絶縁層 1 3 0 U、及び上部電極 1 4 0 U に設けられた開口部 1 3 9 U は、開口部側壁の断面形状が階段状である。具体的には、開口部 1 3 9 U において、絶縁層 1 3 0 U の開口径は下部電極 1 2 0 U の開口径に比べて大きい。換言すると、開口部 1 3 9 U に接する領域において、下部電極 1 2 0 U の上面の一部は絶縁層 1 3 0 U から露出されている。また、換言すると、絶縁層 1 3 0 U の側壁 1 3 2 U は、下部電極 1 2 0 U の上面に位置しており、下部電極 1 2 0 U の上面から上方に向かって延びている。開口部 1 3 9 U の形状は半導体装置 1 0 U の製造方法によるものである。具体的には、下部電極 1 2 0 U 及び上部電極 1 4 0 U の開口工程と絶縁層 1 3 0 U の開口工程とを異なるタイミングで行うため、開口部 1 3 9 U のような形状になる。

【0 2 9 7】

以上のように、本発明の実施形態 1 8 に係る半導体装置 1 0 U によると、半導体装置 1 0 U のオン電流を向上させることができ、半導体装置のチャネル長の基板面内ばらつきを抑制することができる。また、酸化物半導体層 1 6 0 U が下部電極 1 2 0 U に接触する面積を制限することができるため、酸化物半導体層 1 6 0 U と下部電極 1 2 0 U とが接触する領域における酸化物半導体層 1 6 0 U の広範囲の物性変化を抑制することができる。

【0 2 9 8】

[半導体装置 1 0 U の製造方法]

図 1 8 6 A ～ 図 1 9 4 を用いて、本発明の実施形態 1 8 に係る半導体装置 1 0 U の製造方法について、平面図及び断面図を参照しながら説明する。

【0 2 9 9】

図 1 8 6 A 及び図 1 8 6 B は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す平面図及び断面図である。図 1 8 6 B に示すように、基板 1 0 0 U 上に下地絶縁層 1 1 0 U 及び下部電極 1 2 0 U となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 1 8 6 A に示す電極側壁 3 2 2 U によって囲まれた開口部が設けられた下部電極 1 2 0 U のパターンを形成する。そして、パターニングされた下部電極 1 2 0 U 上に絶縁層 1 3 0 U を形成する。

【0 3 0 0】

図 1 8 7 及び図 1 8 8 は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図 1 8 8 に示すように、図 1 8 6 B に示す基板の全面に上部電極 1 4 0 U となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 1 8 7 に示すように、電極側壁 1 4 2 U によって囲まれた開口部が設けられた上部電極 1 4 0 U のパターンを形成する。ここで、電極側壁 1 4 2 U が電極側壁 3 2 2 U を囲むように下部電極 1 2 0 U に対する上部電極 1 4 0 U の位置が調整される。

10

20

30

40

50

【0301】

図189及び図190は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層及び下地絶縁層に開口部を形成する工程を示す平面図及び断面図である。図190に示すように、図188に示す基板に対するフォトリソグラフィ及びエッチングによって、上部電極140Uをマスクとして絶縁層130Uを開口し、下部電極120Uをマスクとして下地絶縁層110Uに凹部を形成することで、図189に示す開口部139Uのパターンを形成する。具体的には、上部電極140Uから露出された絶縁層130Uのうち、開口部を形成する領域以外をマスクするレジストを形成してエッチングする。このエッチングによって、電極側壁142Uによって囲まれた領域の絶縁層130U、及び電極側壁322Uによって囲まれた領域の下地絶縁層110Uがエッチングされる。このようにして、開口部139Uを形成する。

10

【0302】

この工程では絶縁層だけをエッチングすればよいので、絶縁層130U及び下地絶縁層110Uを同一のエッチング条件を用いて一括エッチングすることができる。なお、この工程におけるエッチング条件は、絶縁層130U及び下地絶縁層110Uのエッチングレートと、上部電極140U及び下部電極120Uのエッチングレートとの選択比が大きいエッチング条件を用いることができる。この工程では、上部電極140U及び下部電極120Uが露出されればよいので、エッチング中のプラズマをモニタし、当該プラズマ中において検出される上部電極140U及び下部電極120Uに起因する信号に基づいてエッチングのエンドポイントを設定してもよい。

20

【0303】

図191及び図192は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図192に示すように、図190に示す基板の全面に酸化物半導体層160Uを成膜し、フォトリソグラフィ及びエッチングによって図191に示す酸化物半導体層160Uのパターンを形成する。ここで、酸化物半導体層160Uは開口部139Uの内部に配置される。酸化物半導体層160Uの成膜及びエッチングは実施形態1と同様の方法で処理することができる。

【0304】

図193及び図194は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図194に示すように、図192に示す基板の全面にゲート絶縁層170Uを形成し、フォトリソグラフィ及びエッチングによって図193に示す開口部135U、177Uのパターンを形成する。

30

【0305】

そして、図194に示す基板の全面にゲート電極180U、ソース配線190U、及びドレイン配線192Uとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図185A及び図185Bに示すようにゲート電極180U、ソース配線190U、及びドレイン配線192Uのパターンを形成する。上記に示す製造方法によって、本発明の実施形態18に係る半導体装置10Uを形成することができる。

【0306】

以上のように、本発明の実施形態18に係る半導体装置10Uの製造方法によると、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

40

【0307】

〈実施形態19〉

図195～図202を用いて、本発明の実施形態19に係る半導体装置10Vの概要について説明する。半導体装置10Vは、図185A及び図185Bに示す半導体装置10Uと類似しているが、開口部135Vの形状において半導体装置10Uとは相違する。以下の説明では、半導体装置10Uと共通する半導体装置10Vの特徴の説明は省略し、上記の相違点について説明する。なお、以下の説明において、半導体装置10Uと同じ構造

50

及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0308】

[半導体装置10Vの構造]

図195及び図196は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図195及び図196に示すように、半導体装置10Vの絶縁層130V及びゲート絶縁層170Vに設けられた開口部135Vは、開口部側壁の断面形状が階段状である。具体的には、開口部135Vにおいて、ゲート絶縁層170Vの開口径は絶縁層130Vの開口径に比べて大きい。換言すると、開口部135Vにおけるゲート絶縁層170Vの側壁175Vは、絶縁層150Vの上面に位置しており、絶縁層150Vの上面から上方に向かって延びている。開口部135Vの形状は半導体装置10Vの製造方法によるものである。具体的には、絶縁層130Vの開口工程とゲート絶縁層170Vの開口工程とを異なるタイミングで行うため、開口部135Vのような形状になる。

10

【0309】

以上のように、本発明の実施形態19に係る半導体装置10Vによると、半導体装置10Vのオン電流を向上させることができ、半導体装置のチャンネル長の基板面内ばらつきを抑制することができる。また、酸化物半導体層160Vと下部電極120Vとが接触する領域における酸化物半導体層160Vの広範囲の物性変化を抑制することができる。

【0310】

[半導体装置10Vの製造方法]

図197～図202を用いて、本発明の実施形態19に係る半導体装置10Vの製造方法について、平面図及び断面図を参照しながら説明する。

20

【0311】

図197及び図198は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図及び断面図である。実施形態18の図186A～図188に示した製造方法と同様の方法で電極側壁142Vを有する上部電極140V及び電極側壁322Vを有する下部電極120Vを形成し、その基板に対するフォトリソグラフィ及びエッチングによって、開口部135V、139Vを形成する。

【0312】

図199及び図200は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図200に示すように、図198に示す基板の全面に酸化物半導体層160Vを成膜し、フォトリソグラフィ及びエッチングによって図199に示す酸化物半導体層160Vのパターンを形成する。ここで、酸化物半導体層160Vは開口部139Vの内部に配置され、開口部135Vの酸化物半導体層160Vはエッチングされる。酸化物半導体層160Vの成膜及びエッチングは実施形態1と同様の方法で処理することができる。

30

【0313】

図201及び図202は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図202に示すように、図200に示す基板の全面にゲート絶縁層170Vを形成し、フォトリソグラフィ及びエッチングによって、図201に示すように、開口部135V、177Vに対応する領域のゲート絶縁層170Vを開口する。このエッチングによって、開口部135Vにおいて下部電極120Vを露出させ、開口部177Vにおいて上部電極140Vを露出させる。

40

【0314】

そして、図202に示す基板の全面にゲート電極180V、ソース配線190V、及びドレイン配線192Vとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図195及び図196に示すようにゲート電極180V、ソース配線190V、及びドレイン配線192Vのパターンを形成する。上記に示す製造方法によって、本発明の実施形態19に係る半導体装置10Vを形成することができる。

50

【0315】

以上のように、本発明の実施形態19に係る半導体装置10Vの製造方法によると、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。また、絶縁層側壁132Vに酸化物半導体層160V及びゲート絶縁層170Vを均一な膜厚で形成することができる。

【0316】

〈実施形態20〉

図203～図214を用いて、本発明の実施形態20に係る半導体装置10Wの概要について説明する。半導体装置10Wは、短チャネル長の第1トランジスタ20W及び長チャネル長の第2トランジスタ30Wを有する。なお、短チャネル長の第1トランジスタ20Wは、図185A及び図185Bに示す実施形態18の半導体装置10Uと同様の構造である。したがって、以下の説明では、第1トランジスタ20Wの特徴の説明は省略し、長チャネル長の第2トランジスタ30Wについて説明する。

【0317】

第2トランジスタ30Wは、図160及び図161に示す第2トランジスタ30Rと類似しているが、開口部239Wの形状が異なる点、及び第2トランジスタ30Rの開口部236Rが設けられていない点において第2トランジスタ30Rとは相違する。以下の説明では、半導体装置10Rと共通する半導体装置10Wの特徴の説明は省略し、上記の相違点について説明する。なお、以下の説明において、半導体装置10Rと同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0318】

〔第2トランジスタ30Wの構造〕

図203及び図204は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図203及び図204に示すように、第2トランジスタ30Wの開口部239Wは、第1トランジスタ20Wの開口部139Wと同様に、開口部側壁の断面形状が階段状である。また、第2トランジスタ30Wは、図161に示す第2トランジスタ30Rの開口部236R及びコンタクトパッド224Rが設けられておらず、酸化物半導体層260Wは上部電極240Wに乗り上げるようにして、上部電極240Wの側面及び上面で上部電極240Wに接続されている。ただし、第2トランジスタ30Wにおいても、第2トランジスタ30Rに示す開口部236R及びコンタクトパッド224Rが設けられていてもよい。

【0319】

〔第2トランジスタ30Wの製造方法〕

図205～図214を用いて、本発明の実施形態20に係る半導体装置10Wの第2トランジスタ30Wの製造方法について、平面図及び断面図を参照しながら説明する。なお、第1トランジスタ20Wの製造方法は実施形態18の半導体装置10Uの製造方法と同様なので、ここでは説明を省略する。

【0320】

図205及び図206は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びバックゲートを形成する工程を示す平面図及び断面図である。図206に示すように、基板100W上に下地絶縁層110Wを形成し、その上に下部電極220W及びバックゲート222Wとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図205に示す開口部229Wが設けられた下部電極220W及びバックゲート222Wのパターンを形成する。ここで、下部電極220W及びバックゲート222Wのエッチングは、下部電極120Wと同様の条件で処理する。

【0321】

図207及び図208は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図208に示すように、図20

6に示す基板の全面に上部電極240Wとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図207に示す上部電極240Wのパターンを形成する。

【0322】

図209及び図210は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図及び断面図である。図210に示すように、図208に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層230Wを開口し、さらに下地絶縁層110Wに凹部を形成する開口部239Wを形成する。このエッチングによって図209に示す開口部239Wのパターンを形成する。具体的には、上部電極240Wから露出された絶縁層230Wのうち、開口部239Wを形成する領域以外をマスクするレジストを形成してエッチングする。なお、図209及び図210では、絶縁層230Wに設けられた開口部と下部電極220Wに設けられた開口部とを併せて開口部239Wとして表示している。ここで、開口部239Wのエッチングは、開口部139Wと同様の条件で処理する。

10

【0323】

図211及び図212は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図212に示すように、図210に示す基板の全面に酸化物半導体層260Wを成膜し、フォトリソグラフィ及びエッチングによって図211に示す酸化物半導体層260Wのパターンを形成する。酸化物半導体層260Wの成膜及びエッチングは実施形態1と同様の方法で処理することができる。

20

【0324】

図213及び図214は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図214に示すように、図212に示す基板の全面にゲート絶縁層270Wを形成し、フォトリソグラフィ及びエッチングによって、図213に示す開口部235W、238W、277Wのパターンを形成する。ここで、開口部235W、238W、277Wのエッチングは、開口部135W、157Wのエッチングと同様の条件で処理する。

【0325】

そして、図214に示す基板の全面にゲート電極280W、ソース配線290W、及びドレイン配線292Wとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図203及び図204に示すようにゲート電極280W、ソース配線290W、及びドレイン配線292Wのパターンを形成する。上記に示す製造方法によって、本発明の実施形態20に係る第2トランジスタ30Wを形成することができる。

30

【0326】

以上のように、本発明の実施形態20に係る半導体装置10Wの製造方法によると、チャネル長がナノメートルオーダーの第1トランジスタ20W及びチャネル長がマイクロメートルオーダーの第2トランジスタ30Wを同一の製造方法で形成することができる。また、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

【0327】

40

〈実施形態21〉

図215～図222を用いて、本発明の実施形態21に係る半導体装置10Xの概要について説明する。半導体装置10Xは、短チャネル長の第1トランジスタ20X及び長チャネル長の第2トランジスタ30Xを有する。なお、短チャネル長の第1トランジスタ20Xは、図195及び図196に示す実施形態19の半導体装置10Vと同様の構造である。したがって、以下の説明では、第1トランジスタ20Xの特徴の説明は省略し、長チャネル長の第2トランジスタ30Xについて説明する。なお、以下の説明において、半導体装置10Vと同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0328】

50

第２トランジスタ３０Ｘは、図２０３及び図２０４に示す第２トランジスタ３０Ｗと類似しているが、開口部２３５Ｘの形状において第２トランジスタ３０Ｗとは相違する。以下の説明では、第２トランジスタ３０Ｗと共通する第２トランジスタ３０Ｘの特徴の説明は省略し、上記の相違点について説明する。

【０３２９】

〔第２トランジスタ３０Ｘの構造〕

図２１５及び図２１６は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図２１５及び図２１６に示すように、第２トランジスタ３０Ｘの絶縁層２３０Ｘ及びゲート絶縁層２７０Ｘに設けられた開口部２３５Ｘは、開口部側壁の断面形状が階段状である。具体的には、開口部２３５Ｘにおいて、ゲート絶縁層２７０Ｘの開口径は絶縁層２３０Ｘの開口径に比べて大きい。換言すると、開口部２３５Ｘにおけるゲート絶縁層２７０Ｘの側壁２７５Ｘは、絶縁層２３０Ｘの上面に位置しており、絶縁層２３０Ｘの上面から上方に向かって延びている。開口部２３５Ｘの形状は第２トランジスタ３０Ｘの製造方法によるものである。具体的には、絶縁層２３０Ｘの開口工程とゲート絶縁層２７０Ｘの開口工程とを異なるタイミングで行うため、開口部２３５Ｘのような形状になる。

10

【０３３０】

〔第２トランジスタ３０Ｘの製造方法〕

図２１７～図２２２を用いて、本発明の実施形態２１に係る半導体装置１０Ｘの第２トランジスタ３０Ｘの製造方法について、平面図及び断面図を参照しながら説明する。

20

【０３３１】

図２１７及び図２１８は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図及び断面図である。実施形態２０の図２０５～図２０８に示した製造方法と同様の方法で下部電極２２０Ｘ及び上部電極２４０Ｘを形成し、その基板に対するフォトリソグラフィ及びエッチングによって、開口部２３５Ｘ、２３８Ｘ、２３９Ｘを形成する。

【０３３２】

図２１９及び図２２０は、本発明の一実施形態に係る半導体装置の製造方法において、酸化半導体層を形成する工程を示す平面図及び断面図である。図２２０に示すように、図２１８に示す基板の全面に酸化半導体層２６０Ｘを成膜し、フォトリソグラフィ及びエッチングによって図２１９に示す酸化半導体層２６０Ｘのパターンを形成する。ここで、酸化半導体層２６０Ｘは開口部２３９Ｘの内部に配置され、開口部２３５Ｘ、２３８Ｘの酸化半導体層２６０Ｘはエッチングされる。酸化半導体層２６０Ｘの成膜及びエッチングは実施形態１と同様の方法で処理することができる。

30

【０３３３】

図２２１及び図２２２は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図２２２に示すように、図２２０に示す基板の全面にゲート絶縁層２７０Ｘを形成し、フォトリソグラフィ及びエッチングによって、図２２１に示すように、開口部２３５Ｘ、２３８Ｘ、２７７Ｘに対応する領域のゲート絶縁層２７０Ｘを開口する。このエッチングによって、開口部２３５Ｘにおいて下部電極２２０Ｘを露出させ、開口部２７７Ｘにおいて上部電極２４０Ｘを露出させる。

40

【０３３４】

そして、図２２２に示す基板の全面にゲート電極２８０Ｘ、ソース配線２９０Ｘ、及びドレイン配線２９２Ｘとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図２１５及び図２１６に示すようにゲート電極２８０Ｘ、ソース配線２９０Ｘ、及びドレイン配線２９２Ｘのパターンを形成する。上記に示す製造方法によって、本発明の実施形態２１に係る半導体装置１０Ｘを形成することができる。

【０３３５】

以上のように、本発明の実施形態２１に係る半導体装置１０Ｘの製造方法によると、チ

50

チャンネル長がナノメートルオーダーの第1トランジスタ20X及びチャンネル長がマイクロメートルオーダーの第2トランジスタ30Xを同一の製造方法で形成することができる。また、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

【0336】

〈実施形態22〉

図223～図234を用いて、本発明の実施形態22に係る半導体装置10Yの概要について説明する。

【0337】

〔半導体装置10Yの構造〕

図223及び図224は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図223及び図224に示すように、半導体装置10Yは、基板100Y、下地絶縁層110Y、下部電極120Y、絶縁層130Y、上部電極140Y、絶縁層150Y、酸化物半導体層160Y、ゲート絶縁層170Y、ゲート電極180Y、ソース配線190Y、及びドレイン配線192Yを有する。

【0338】

開口部139Yは下部電極120Y、絶縁層130Y、上部電極140Y、及び絶縁層150Yに設けられており、下地絶縁層110Yに達している。なお、図224に示すように、下地絶縁層110Yには、開口部139Yによって露出された領域に凹部が設けられている。換言すると、開口部139Yは下地絶縁層110Yを一部開口しており、開口部139Yの底部が下部電極120Yと絶縁層130Yとの界面よりも基板100Y側に位置している。開口部135Yは絶縁層130Y、150Y及びゲート絶縁層170Yに設けられており、下部電極120Yに達している。開口部157Yは絶縁層150Y及びゲート絶縁層170Yに設けられており、上部電極140Yに達している。

【0339】

下地絶縁層110Yは基板100Y上に配置されている。下部電極120Yは下地絶縁層110Y上に配置されている。絶縁層130Yは下部電極120Y上及び下地絶縁層110Y上に配置されている。上部電極140Yは絶縁層130Y上に配置されている。絶縁層150Yは上部電極140Y上及び絶縁層130Y上に配置されている。開口部139Yにおいて、下部電極120Yには電極側壁322Yが設けられており、絶縁層130Yには絶縁層側壁132Yが設けられており、上部電極140Yには電極側壁142Yが設けられており、絶縁層150Yには絶縁層側壁152Yが設けられている。

【0340】

酸化物半導体層160Yは開口部139Yの内部に配置され、下部電極120Y及び上部電極140Yの各々に接続されている。より詳細に説明すると、酸化物半導体層160Yは下地絶縁層110Yの凹部、電極側壁322Y上、絶縁層側壁132Y上、電極側壁142Y上、及び絶縁層側壁152Y上に配置されており、開口部139Yにおいて露出された下部電極120Yの電極側壁322Yに接触することで下部電極120Yに接続され、開口部139Y内部の電極側壁142Yに接触することで上部電極140Yに接続されている。図224では、酸化物半導体層160Yは絶縁層側壁152Yから絶縁層150Yの上面まで連続して延びている。つまり、酸化物半導体層160Yは絶縁層150Y上に配置されている。

【0341】

図223に示すように、絶縁層側壁132Yは開口部139Yの形状に沿って四角形の閉じた形状を有している。絶縁層側壁132Yと同様に、電極側壁322Y、142Y、及び絶縁層側壁152Yも開口部139Yの形状に沿って四角形の閉じた形状を有している。

【0342】

ゲート電極180Yは酸化物半導体層160Yに対向して配置されている。ゲート絶縁層170Yは酸化物半導体層160Yとゲート電極180Yとの間に配置されている。半

10

20

30

40

50

導体装置 10 Y において、絶縁層側壁 132 Y 上に配置された酸化物半導体層 160 Y がチャンネルとして機能するため、ゲート電極 180 Y は少なくとも絶縁層側壁 132 Y 上に配置された酸化物半導体層 160 Y に対向して配置されている。また、開口部 139 Y の底部におけるゲート絶縁層 170 Y の上面は、下部電極 120 Y と絶縁層 130 Y との界面よりも下地絶縁層 110 Y 側に位置している。

【0343】

ソース配線 190 Y は開口部 135 Y を介して下部電極 120 Y に接続されている。ドレイン配線 192 Y は開口部 157 Y を介して上部電極 140 Y に接続されている。なお、ソース配線 190 Y 及びドレイン配線 192 Y は機能が逆であってもよい。つまり、配線 190 Y がドレイン配線として機能し、配線 192 Y がソース配線として機能してもよい。なお、図 224 に示すように、ソース配線 190 Y 及びドレイン配線 192 Y は、ゲート電極 180 Y と同一層で形成されている。ただし、ソース配線 190 Y 及びドレイン配線 192 Y は、ゲート電極 180 Y とは異なる層で形成してもよい。

【0344】

[絶縁層側壁 132 Y、152 Y 及び電極側壁 142 Y、322 Y の形状]

ここで、絶縁層側壁 132 Y、152 Y 及び電極側壁 142 Y、322 Y の形状について詳細に説明する。図 224 に示すように、絶縁層側壁 132 Y、152 Y 及び電極側壁 142 Y、322 Y の形状はともに順テーパ形状である。また、絶縁層側壁 132 Y、152 Y 及び電極側壁 142 Y、322 Y のテーパ形状は連続している。つまり、開口部 139 Y に接する領域において、下地絶縁層 110 Y の上面は下部電極 120 Y で覆われており、下部電極 120 Y の上面は絶縁層 130 Y で覆われており、絶縁層 130 Y の上面は上部電極 140 Y で覆われており、上部電極 140 Y の上面は絶縁層 150 Y で覆われている。ただし、これらの側壁のテーパ形状は必ずしも連続している必要はない。例えば、絶縁層 130 Y の開口径が下部電極 120 Y の開口径よりも大きく、下部電極 120 Y の上面が絶縁層 130 Y から露出されていてもよい。また、絶縁層側壁 132 Y、152 Y 及び電極側壁 142 Y、322 Y のテーパ形状はそれぞれ異なる傾斜角であってもよい。

【0345】

また、図 224 では、絶縁層側壁 132 Y の断面形状が直線状の順テーパ形状である構造を例示したが、この構造に限定されない。例えば、絶縁層側壁 132 Y の断面形状が上方に向かって凸形状の順テーパ形状であってもよく、逆に上方に向かって凹形状の順テーパ形状であってもよい。また、絶縁層側壁 132 Y は傾斜面が上方を向いた順テーパ形状以外にも、垂直形状であってもよく、傾斜面が下方を向いた逆テーパ形状であってもよい。なお、電極側壁 142 Y、322 Y 及び絶縁層側壁 152 Y についても上記と同様の形状を有することができる。絶縁層側壁 132 Y、152 Y 及び電極側壁 142 Y、322 Y は同様の形状であってもよく、異なる形状であってもよい。

【0346】

[半導体装置 10 Y の各部材の材質]

基板 100 Y、下地絶縁層 110 Y、下部電極 120 Y、絶縁層 130 Y、上部電極 140 Y、絶縁層 150 Y、酸化物半導体層 160 Y、ゲート絶縁層 170 Y、ゲート電極 180 Y、ソース配線 190 Y、及びドレイン配線 192 Y については、実施形態 1 の説明で例示した材料と同じものを用いることができる。

【0347】

以上のように、本発明の実施形態 22 に係る半導体装置 10 Y によると、実施形態 1 と同様に半導体装置 10 Y のチャンネル長をナノメートルオーダーで制御することができる。その結果、半導体装置 10 Y のオン電流を向上させることができ、半導体装置のチャンネル長の基板面内ばらつきを抑制することができる。また、実施形態 14 と同様に、酸化物半導体層 160 Y と下部電極 120 Y 及び上部電極 140 Y とが接触する領域における酸化物半導体層 160 Y の物性変化を抑制することができる。また、チャンネル領域における酸化物半導体層 160 Y 及びゲート絶縁層 170 Y の膜厚を均一に形成することができる。

また、上部電極 140Y と同一層の配線とゲート電極 180Y と同一層の配線とが交差する領域における寄生容量を小さくすることができる。

【0348】

[半導体装置 10Y の動作]

図 223 及び図 224 に示す半導体装置 10Y の動作は、図 1 及び図 2 に示す半導体装置 10 の動作と同様なので、詳細な説明は省略する。半導体装置 10Y においても、ゲート電極 180Y にゲート電圧が印加され、下部電極 120Y に接続されたソース配線 190Y にソース電圧が印加され、上部電極 140Y に接続されたドレイン配線 192Y にドレイン電圧が印加される。ただし、ソース電圧とドレイン電圧とが逆に印加されてもよい。換言すると、下部電極 120Y は酸化物半導体層 160Y をチャンネルとするトランジスタのソース電極及びドレイン電極の一方であり、上部電極 140Y は酸化物半導体層 160Y をチャンネルとするトランジスタのソース電極及びドレイン電極の他方である。

10

【0349】

[半導体装置 10Y の製造方法]

図 225～図 234 を用いて、本発明の実施形態 22 に係る半導体装置 10Y の製造方法について、平面図及び断面図を参照しながら説明する。

【0350】

図 225 及び図 226 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す平面図及び断面図である。図 226 に示すように、基板 100Y 上に下地絶縁層 110Y 及び下部電極 120Y となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 225 に示す下部電極 120Y のパターンを形成する。そして、パターニングされた下部電極 120Y 上に絶縁層 130Y を形成する。

20

【0351】

図 227 及び図 228 は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図 228 に示すように、図 226 に示す基板の全面に上部電極 140Y となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 227 に示す上部電極 140Y のパターンを形成する。そして、パターニングされた上部電極 140Y 上に絶縁層 150Y を形成する。

【0352】

図 229 及び図 230 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図及び断面図である。図 230 に示すように、図 228 に示す基板に対するフォトリソグラフィ及びエッチングによって、上部電極 140Y、絶縁層 130Y、150Y、及び下部電極 120Y を開口し、さらに下地絶縁層 110Y に凹部を形成する開口部 139Y を形成することで、図 229 に示す開口部 139Y のパターンを形成する。開口部 139Y の形成によって、絶縁層側壁 132Y、152Y 及び電極側壁 142Y、322Y が形成される。

30

【0353】

ここで、開口部 139Y の形成は、上部電極 140Y、絶縁層 130Y、150Y、下部電極 120Y、及び下地絶縁層 110Y を同一のエッチング条件を用いて一括エッチングしてもよく、上部電極 140Y、絶縁層 130Y、150Y、下部電極 120Y、及び下地絶縁層 110Y の各々を異なるエッチング条件で処理してもよい。絶縁層側壁 132Y、152Y 及び電極側壁 142Y、322Y をテーパ形状するためのエッチング方法は、実施形態 1 で説明した絶縁層側壁 132 と同様の方法で形成することができる。

40

【0354】

なお、図 230 では、開口部 139Y の底部が下地絶縁層 110Y の膜中に位置するように開口部 139Y を形成する製造方法を例示したが、この製造方法に限定されない。例えば、図 184B に示すように、開口部 139N の底部が下部電極 120N の膜中に位置するように開口部 139N を形成してもよい。また、開口部 139N の底部が基板 100N に達するように開口部 139N を形成してもよい。

50

【0355】

図231及び図232は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図232に示すように、図230に示す基板の全面に酸化物半導体層160Yを成膜し、フォトリソグラフィ及びエッチングによって図231に示す酸化物半導体層160Yのパターンを形成する。酸化物半導体層160Yの成膜及びエッチングは実施形態1と同様の方法で処理することができる。

【0356】

図233及び図234は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図234に示すように、図232に示す基板の全面にゲート絶縁層170Yを形成し、フォトリソグラフィ及びエッチングによって図233に示す開口部135Y、157Yのパターンを形成する。

【0357】

そして、図234に示す基板の全面にゲート電極180Y、ソース配線190Y、及びドレイン配線192Yとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図223及び図224に示すようにゲート電極180Y、ソース配線190Y、及びドレイン配線192Yのパターンを形成する。上記に示す製造方法によって、本発明の実施形態22に係る半導体装置10Yを形成することができる。

【0358】

以上のように、本発明の実施形態22に係る半導体装置10Yの製造方法によると、絶縁層130Yの膜厚、絶縁層側壁132Yのテーパ角、又は絶縁層130Yの膜厚及び絶縁層側壁132Yのテーパ角の両方をナノメートルオーダーで制御することができる。したがって、半導体装置10Yのチャネル長をナノメートルオーダーで制御することができ、チャネル長のばらつきをナノメートルオーダーに抑えることができる。また、絶縁層側壁132Yに酸化物半導体層160Y及びゲート絶縁層170Yを均一な膜厚で形成することができる。

【0359】

〈実施形態23〉

図235～図246を用いて、本発明の実施形態23に係る半導体装置10Zの概要について説明する。半導体装置10Zは、図223及び図224に示す半導体装置10Yと類似しているが、開口部135Z、137Zの形状において半導体装置10Yとは相違する。以下の説明では、半導体装置10Yと共通する半導体装置10Zの特徴の説明は省略し、上記の相違点について説明する。なお、以下の説明において、半導体装置10Yと同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0360】

〔半導体装置10Zの構造〕

図235及び図236は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図235及び図236に示すように、半導体装置10Zの開口部135Z、137Zの各々は下地絶縁層110Zの内部まで達している。また、開口部137Zに対応する領域にはコンタクトパッド122Zが配置され、開口部137Zはコンタクトパッド122Zを貫通するように設けられている。

【0361】

また、開口部135Z、137Zは、開口部側壁の断面形状が階段状である。具体的には、開口部135Z、137Zにおいて、それぞれゲート絶縁層170Zの開口径は絶縁層150Zの開口径に比べて大きい。換言すると、開口部135Z、137Zにおけるゲート絶縁層170Zの側壁175Z、177Zは、それぞれ絶縁層150Zの上面に位置しており、絶縁層150Zの上面から上方に向かって延びている。開口部135Z、137Zの形状は半導体装置10Zの製造方法によるものである。具体的には、絶縁層150

Zの開口工程とゲート絶縁層170Zの開口工程とを異なるタイミングで行うため、開口部135Z、137Zのような形状になる。

【0362】

以上のように、本発明の実施形態23に係る半導体装置10Zによると、半導体装置10Zのオン電流を向上させることができ、半導体装置のチャネル長の基板面内ばらつきを抑制することができる。また、酸化物半導体層160Zの物性変化を抑制することができる。また、上部電極140Zと同一層の配線とゲート電極180Zと同一層の配線とが交差する領域における寄生容量を小さくすることができる。また、半導体装置10Zのドレイン電流を下部電極120Z及びコンタクトパッド122Zと同一層の配線、上部電極140Zと同一層の配線、並びにドレイン配線192Zと同一層の配線の少なくとも1つの配線に接続可能である。したがって、配線レイアウトの自由度を向上させることができる。

10

【0363】

[半導体装置10Zの製造方法]

図237～図246を用いて、本発明の実施形態23に係る半導体装置10Zの製造方法について、平面図及び断面図を参照しながら説明する。

【0364】

図237及び図238は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びコンタクトパッドを形成する工程を示す平面図及び断面図である。図238に示すように、基板100Z上に下地絶縁層110Zを形成し、その上に下部電極120Z及びコンタクトパッド122Zとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図237に示す下部電極120Z及びコンタクトパッド122Zのパターンを形成する。そして、パターニングされた下部電極120Z上に絶縁層130Zを形成する。

20

【0365】

図239及び図240は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図240に示すように、図238に示す基板の全面に上部電極140Zとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図239に示す上部電極140Zのパターンを形成する。そして、パターニングされた上部電極140Z上に絶縁層150Zを形成する。

30

【0366】

図241及び図242は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図及び断面図である。図242に示すように、図240に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層130Z、150Z及び下部電極120Zを開口し、下地絶縁層110Zに凹部を形成する開口部135Zと、上部電極140Z、絶縁層130Z、150Z、及びコンタクトパッド122Zを開口し、下地絶縁層110Zに凹部を形成する開口部137Zと、上部電極140Z、絶縁層130Z、150Z、及び下部電極120Zを開口し、下地絶縁層110Zに凹部を形成する開口部139Zと、を形成する。このエッチングによって、図241に示す開口部135Z、137Z、139Zのパターンを形成する。

40

【0367】

開口部139Zの形成によって、下部電極120Zの電極側壁322Z、絶縁層130Zの絶縁層側壁132Z、上部電極140Zの電極側壁142Z、及び絶縁層150Zの絶縁層側壁152Zが形成される。ここで、開口部135Z、137Z、139Zの形成は、上部電極140Z、絶縁層130Z、150Z、及び下部電極120Z（又はコンタクトパッド122Z）を同一のエッチング条件を用いて一括エッチングしてもよく、各層を異なるエッチング条件で処理してもよい。

【0368】

図243及び図244は、本発明の一実施形態に係る半導体装置の製造方法において、

50

酸化物半導体層を形成する工程を示す平面図及び断面図である。図 2 4 4 に示すように、図 2 4 2 に示す基板の全面に酸化物半導体層 1 6 0 Z を成膜し、フォトリソグラフィ及びエッチングによって図 2 4 3 に示す酸化物半導体層 1 6 0 Z のパターンを形成する。ここで、酸化物半導体層 1 6 0 Z は開口部 1 3 9 Z の内部に配置され、開口部 1 3 5 Z、1 3 7 Z の酸化物半導体層 1 6 0 Z はエッチングされる。酸化物半導体層 1 6 0 Z の成膜及びエッチングは実施形態 1 と同様の方法で処理することができる。

【0 3 6 9】

図 2 4 5 及び図 2 4 6 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図 2 4 6 に示すように、図 2 4 4 に示す基板の全面にゲート絶縁層 1 7 0 Z を形成し、フォトリソグラフィ及びエッチングによって、図 2 4 5 に示すように、開口部 1 3 5 Z、1 3 7 Z に対応する領域のゲート絶縁層 1 7 0 Z を開口する。このエッチングによって、開口部 1 3 5 Z において下部電極 1 2 0 Z の側壁を露出させ、開口部 1 3 7 Z において上部電極 1 4 0 Z の側壁及びコンタクトパッド 1 2 2 Z の側壁を露出させる。

【0 3 7 0】

そして、図 2 4 6 に示す基板の全面にゲート電極 1 8 0 Z、ソース配線 1 9 0 Z、及びドレイン配線 1 9 2 Z となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 2 3 5 及び図 2 3 6 に示すようにゲート電極 1 8 0 Z、ソース配線 1 9 0 Z、及びドレイン配線 1 9 2 Z のパターンを形成する。上記に示す製造方法によって、本発明の実施形態 2 3 に係る半導体装置 1 0 Z を形成することができる。

【0 3 7 1】

以上のように、本発明の実施形態 2 3 に係る半導体装置 1 0 Z の製造方法によると、半導体装置 1 0 Z のチャネル長をナノメートルオーダーで制御することができ、チャネル長のばらつきをナノメートルオーダーに抑えることができる。また、コンタクトパッド 1 2 2 Z が配置されていることで、開口部 1 3 7 Z 形成時に開口部 1 3 7 Z 底部の下地絶縁層 1 1 0 Z が過剰にエッチングされることを抑制することができる。また、絶縁層側壁 1 3 2 Z に酸化物半導体層 1 6 0 Z 及びゲート絶縁層 1 7 0 Z を均一な膜厚で形成することができる。

【0 3 7 2】

〈実施形態 2 4〉

図 2 4 7 ～図 2 5 8 を用いて、本発明の実施形態 2 4 に係る半導体装置 1 0 A A の概要について説明する。半導体装置 1 0 A A は、短チャネル長の第 1 トランジスタ 2 0 A A 及び長チャネル長の第 2 トランジスタ 3 0 A A を有する。なお、短チャネル長の第 1 トランジスタ 2 0 A A は、図 2 2 3 及び図 2 2 4 に示す実施形態 2 2 の半導体装置 1 0 Y と同様の構造である。したがって、以下の説明では、第 1 トランジスタ 2 0 A A の特徴の説明は省略し、長チャネル長の第 2 トランジスタ 3 0 A A について説明する。なお、以下の説明において、半導体装置 1 0 Y と同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0 3 7 3】

[第 2 トランジスタ 3 0 A A の構造]

図 2 4 7 及び図 2 4 8 は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図 2 4 7 及び図 2 4 8 に示すように、第 2 トランジスタ 3 0 A A は、基板 1 0 0 A A、下地絶縁層 1 1 0 A A、下部電極 2 2 0 A A、バックゲート 2 2 2 A A、コンタクトパッド 2 2 4 A A、絶縁層 2 3 0 A A、上部電極 2 4 0 A A、絶縁層 2 5 0 A A、酸化物半導体層 2 6 0 A A、ゲート絶縁層 2 7 0 A A、ゲート電極 2 8 0 A A、ソース配線 2 9 0 A A、及びドレイン配線 2 9 2 A A を有する。基板 1 0 0 A A 及び下地絶縁層 1 1 0 A A は、第 1 トランジスタ 2 0 A A 及び第 2 トランジスタ 3 0 A A で共通であり、第 1 トランジスタ 2 0 A A から第 2 トランジスタ 3 0 A A まで連続して延びている。

【0 3 7 4】

開口部 2 3 5 A A は絶縁層 2 3 0 A A、2 5 0 A A 及びゲート絶縁層 2 7 0 A A に設け

られており、下部電極 220AA に達している。開口部 239AA は絶縁層 230AA、250AA 及び下部電極 220AA に設けられており、下地絶縁層 110AA に凹部を形成している。開口部 236AA は上部電極 240AA、絶縁層 230AA、250AA、及び下部電極 220AA に設けられており、下地絶縁層 110AA に凹部を形成している。開口部 257AA は絶縁層 250AA 及びゲート絶縁層 270AA に設けられており、上部電極 240AA に達している。

【0375】

下部電極 220AA、バックゲート 222AA、及びコンタクトパッド 224AA は下地絶縁層 110AA 上に配置されている。絶縁層 230AA は下部電極 220AA 上、バックゲート 222AA 上、コンタクトパッド 224AA 上、及び下地絶縁層 110AA 上に配置されている。上部電極 240AA は絶縁層 230AA 上に配置されており、平面視において下部電極 220AA から離隔して配置されている。絶縁層 250AA は上部電極 240AA 上及び絶縁層 230AA 上に配置されている。酸化物半導体層 260AA は、下部電極 220AA と上部電極 240AA との間の領域において、絶縁層 250AA 上に配置されている。また、酸化物半導体層 260AA は開口部 239AA を介して下部電極 220AA に接続され、開口部 236AA を介して上部電極 240AA に接続されている。また、酸化物半導体層 260AA は開口部 236AA を介してコンタクトパッド 224AA にも接続されている。

【0376】

バックゲート 222AA は絶縁層 230AA、250AA を介して酸化物半導体層 260AA と対向している。換言すると、バックゲート 222AA は酸化物半導体層 260AA とゲート電極 280AA とが対向する領域の少なくとも一部の領域において、酸化物半導体層 260AA に対してゲート電極 280AA とは反対側に配置されている。また、絶縁層 230AA、250AA は酸化物半導体層 260AA とバックゲート 222AA との間に配置されている。なお、バックゲート 222AA は省略されてもよい。

【0377】

ゲート電極 280AA は、下部電極 220AA と上部電極 240AA との間の領域において、酸化物半導体層 260AA に対向して配置されている。ゲート絶縁層 270AA は酸化物半導体層 260AA とゲート電極 280AA との間に配置されている。第 2 トランジスタ 30AA において、下部電極 220AA と上部電極 240AA との間の領域の酸化物半導体層 260AA がチャンネルとして機能する。

【0378】

ソース配線 290AA は開口部 235AA を介して下部電極 220AA に接続されている。ドレイン配線 292AA は開口部 257AA を介して上部電極 240AA に接続されている。なお、ソース配線 290AA 及びドレイン配線 292AA は機能が逆であってもよい。つまり、配線 290AA がドレイン配線として機能し、配線 292AA がソース配線として機能してもよい。

【0379】

ここで、第 1 トランジスタ 20AA 及び第 2 トランジスタ 30AA の各層の関係について説明する。下部電極 220AA、バックゲート 222AA、及びコンタクトパッド 224AA は下部電極 120AA と同一層であり、いずれも下地絶縁層 110AA と接して配置されている。絶縁層 230AA は絶縁層 130AA と同一層であり、絶縁層 230AA は絶縁層 130AA と連続している。同様に、上部電極 140AA 及び上部電極 240AA、絶縁層 150AA 及び絶縁層 250AA、酸化物半導体層 160AA 及び酸化物半導体層 260AA、ゲート絶縁層 170AA 及びゲート絶縁層 270AA、ゲート電極 180AA 及びゲート電極 280AA、ソース配線 190AA 及びソース配線 290AA、並びにドレイン配線 192AA 及びドレイン配線 292AA はそれぞれ同一層である。

【0380】

[第 2 トランジスタ 30AA の動作]

図 247 及び図 248 に示す第 2 トランジスタ 30AA の動作は、図 27 及び図 28 に

10

20

30

40

50

示す第2トランジスタ30Cの動作と同様なので、詳細な説明は省略する。第2トランジスタ30A Aにおいても、ゲート電極280 A Aにゲート電圧が印加され、下部電極220 A Aに接続されたソース配線290 A Aにソース電圧が印加され、上部電極240 A Aに接続されたドレイン配線292 A Aにドレイン電圧が印加される。ただし、ソース電圧とドレイン電圧とが逆に印加されてもよい。換言すると、下部電極220 A Aは酸化物半導体層260 A Aをチャンネルとするトランジスタのソース電極及びドレイン電極の一方であり、上部電極240 A Aは酸化物半導体層260 A Aをチャンネルとするトランジスタのソース電極及びドレイン電極の他方である。なお、バックゲート222 A Aには上記のゲート電圧とは独立した補助ゲート電圧が印加され、第2トランジスタ30 A Aのしきい値(V_{th})を制御する。

10

【0381】

[第2トランジスタ30 A Aの製造方法]

図249～図258を用いて、本発明の実施形態24に係る半導体装置10 A Aの第2トランジスタ30 A Aの製造方法について、平面図及び断面図を参照しながら説明する。なお、第1トランジスタ20 A Aの製造方法は実施形態22の半導体装置10 Yの製造方法と同様なので、ここでは説明を省略する。

【0382】

図249及び図250は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、及びコンタクトパッドを形成する工程を示す平面図及び断面図である。図250に示すように、基板100 A A上に下地絶縁層110 A Aを形成し、その上に下部電極220 A A、バックゲート222 A A、及びコンタクトパッド224 A Aとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図249に示す下部電極220 A A、バックゲート222 A A、及びコンタクトパッド224 A Aのパターンを形成する。そして、パターニングされた下部電極220 A A上、バックゲート222 A A上、及びコンタクトパッド224 A A上に絶縁層230 A Aを形成する。ここで、下部電極220 A A、バックゲート222 A A、及びコンタクトパッド224 A Aのエッチングは、下部電極120 A Aと同様の条件で処理する。

20

【0383】

図251及び図252は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図252に示すように、図250に示す基板の全面に上部電極240 A Aとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図251に示す上部電極240 A Aのパターンを形成する。ここで、上部電極240 A Aのエッチングは、上部電極140 A Aと同様の条件で処理する。そして、パターニングされた上部電極140 A A上に絶縁層150 A Aを形成する。

30

【0384】

図253及び図254は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図及び断面図である。図254に示すように、図252に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層230 A A、250 A A及び下部電極220 A Aを開口し、さらに下地絶縁層110 A Aに凹部を形成する開口部239 A Aと、絶縁層230 A A、250 A A、上部電極240 A A、及び下部電極220 A Aを開口し、さらに下地絶縁層110 A Aに凹部を形成する開口部236 A Aを形成することで、図253に示す開口部236 A A、239 A Aのパターンを形成する。ここで、開口部236 A A、239 A Aのエッチングは、開口部139 A Aと同様の条件で処理する。

40

【0385】

図255及び図256は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図256に示すように、図254に示す基板の全面に酸化物半導体層260 A Aを成膜し、フォトリソグラフィ及びエッチングによって図255に示す酸化物半導体層260 A Aのパターンを形成する。酸化物半導体層260 A Aの成膜及びエッチングは実施形態1と同様の方法で処理するこ

50

とができる。

【0386】

図257及び図258は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図258に示すように、図256に示す基板の全面にゲート絶縁層270AAを形成し、フォトリソグラフィ及びエッチングによって、図257に示す開口部235AA、238AA、257AAのパターンを形成する。ここで、開口部235AA、238AA、257AAのエッチングは、開口部135AA、157AAのエッチングと同様の条件で処理する。

【0387】

そして、図258に示す基板の全面にゲート電極280AA、ソース配線290AA、及びドレイン配線292AAとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図247及び図248に示すようにゲート電極280AA、ソース配線290AA、及びドレイン配線292AAのパターンを形成する。上記に示す製造方法によって、本発明の実施形態16に係る第2トランジスタ30AAを形成することができる。

【0388】

以上のように、本発明の実施形態24に係る半導体装置10AAの製造方法によると、チャンネル長がナノメートルオーダーの第1トランジスタ20AA及びチャンネル長がマイクロメートルオーダーの第2トランジスタ30AAを同一の製造方法で形成することができる。

【0389】

〈実施形態25〉

図259～図268を用いて、本発明の実施形態25に係る半導体装置10ABの概要について説明する。半導体装置10ABは、短チャンネル長の第1トランジスタ20AB及び長チャンネル長の第2トランジスタ30ABを有する。なお、短チャンネル長の第1トランジスタ20ABは実施形態23の半導体装置10Zと同様の構造である。したがって、以下の説明では、第1トランジスタ20ABの特徴の説明は省略し、長チャンネル長の第2トランジスタ30ABについて説明する。なお、以下の説明において、半導体装置10Zと同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0390】

第2トランジスタ30ABは、図247及び図248に示す第2トランジスタ30AAと類似しているが、開口部235AB、237ABの形状において第2トランジスタ30AAとは相違する。以下の説明では、第2トランジスタ30AAと共通する第2トランジスタ30ABの特徴の説明は省略し、上記の相違点について説明する。

【0391】

〔第2トランジスタ30ABの構造〕

図259及び図260は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図259及び図260に示すように、第2トランジスタ30ABの開口部235AB、237ABの各々は下地絶縁層110ABの内部まで達している。

【0392】

また、開口部235AB、237ABは、開口部側壁の断面形状が階段状である。具体的には、開口部235AB、237ABにおいて、それぞれゲート絶縁層270ABの開口径は絶縁層250ABの開口径に比べて大きい。換言すると、開口部235AB、237ABにおけるゲート絶縁層270ABの側壁275AB、277ABは、それぞれ絶縁層250ABの上面に位置しており、絶縁層250ABの上面から上方に向かって延びている。開口部235AB、237ABの形状は第2トランジスタ30ABの製造方法によるものである。具体的には、絶縁層250ABの開口工程とゲート絶縁層270ABの開口工程とを異なるタイミングで行うため、開口部235AB、237ABのような形状になる。

【0393】

[第2トランジスタ30ABの製造方法]

図261～図268を用いて、本発明の実施形態25に係る半導体装置10ABの第2トランジスタ30ABの製造方法について、平面図及び断面図を参照しながら説明する。

【0394】

図261及び図262は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、バックゲート、コンタクトパッド、及び上部電極を形成する工程を示す平面図及び断面図である。図262に示すように、基板100AB上に下地絶縁層110ABを形成し、その上に下部電極220AB、バックゲート222AB、及びコンタクトパッド224ABとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図261に示す下部電極220AB、バックゲート222AB、及びコンタクトパッド224ABのパターンを形成する。ここで、下部電極220AB、バックゲート222AB、及びコンタクトパッド224ABのエッチングは、下部電極120AB及びコンタクトパッド122ABと同様の条件で処理する。

【0395】

パターニングされた下部電極220AB上、バックゲート222AB上、及びコンタクトパッド224AB上に絶縁層230ABを形成し、その上に上部電極240ABとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図261に示す上部電極240ABのパターンを形成する。ここで、上部電極240ABのエッチングは、上部電極140ABと同様の条件で処理する。

【0396】

図263及び図264は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極、上部電極、絶縁層、及び下地絶縁層に開口部を形成する工程を示す平面図及び断面図である。図264に示すように、図262に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層230AB、250AB及び下部電極220ABを開口し、下地絶縁層110ABに凹部を形成する開口部235AB、239ABと、上部電極240AB、絶縁層230AB、250AB、及びコンタクトパッド224ABを開口し、下地絶縁層110ABに凹部を形成する開口部236ABと、上部電極240AB及び絶縁層230AB、250ABを開口し、下地絶縁層110ABに凹部を形成する開口部237ABと、を形成する。このエッチングによって、図263に示す開口部235AB、236AB、237AB、238AB、239ABのパターンを形成する。ここで、開口部235AB、236AB、237AB、238AB、239ABのエッチングは、開口部135AB、137AB、139ABと同様の条件で処理する。

【0397】

図265及び図266は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図266に示すように、図264に示す基板の全面に酸化物半導体層260ABを成膜し、フォトリソグラフィ及びエッチングによって図265に示す酸化物半導体層260ABのパターンを形成する。ここで、酸化物半導体層260ABは開口部236AB、239ABの内部に配置され、開口部235AB、237AB、238ABの酸化物半導体層260ABはエッチングされる。酸化物半導体層260ABの成膜及びエッチングは実施形態1と同様の方法で処理することができる。

【0398】

図267及び図268は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図268に示すように、図266に示す基板の全面にゲート絶縁層270ABを形成し、フォトリソグラフィ及びエッチングによって、図267に示すように、開口部235AB、237AB、238ABに対応する領域のゲート絶縁層270ABを開口する。このエッチングによって、開口部235ABにおいて下部電極220ABの側壁を露出させ、開口部237ABにおいて上部電極240ABの側壁を露出させる。ここで、開口部2

3 5 A B、2 3 7 A B、2 3 8 A Bに対応する領域のゲート絶縁層 2 7 0 A Bのエッチングは、開口部 1 3 5 A B、1 3 7 A Bに対応する領域のゲート絶縁層 1 7 0 A Bのエッチングと同様の条件で処理する。

【0 3 9 9】

そして、図 2 6 8 に示す基板の全面にゲート電極 2 8 0 A B、ソース配線 2 9 0 A B、及びドレイン配線 2 9 2 A Bとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 2 5 9 及び図 2 6 0 に示すようにゲート電極 2 8 0 A B、ソース配線 2 9 0 A B、及びドレイン配線 2 9 2 A Bのパターンを形成する。上記に示す製造方法によって、本発明の実施形態 2 5 に係る半導体装置 1 0 A Bを形成することができる。

【0 4 0 0】

以上のように、本発明の実施形態 2 5 に係る半導体装置 1 0 A Bの製造方法によると、チャンネル長がナノメートルオーダーの第 1 トランジスタ 2 0 A B 及びチャンネル長がマイクロメートルオーダーの第 2 トランジスタ 3 0 A Bを同一の製造方法で形成することができる。

【0 4 0 1】

＜実施形態 2 6＞

図 2 6 9～図 2 8 0 を用いて、本発明の実施形態 2 6 に係る半導体装置 1 0 A Cの概要について説明する。半導体装置 1 0 A Cは、図 2 2 3 及び図 2 2 4 に示す半導体装置 1 0 Yと類似しているが、開口部 1 3 9 A Cの形状が 1 3 9 Yとは異なる点において半導体装置 1 0 Yとは相違する。以下の説明では、半導体装置 1 0 Yと共通する半導体装置 1 0 A Cの特徴の説明は省略し、上記の相違点について説明する。なお、以下の説明において、半導体装置 1 0 Yと同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0 4 0 2】

〔半導体装置 1 0 A Cの構造〕

図 2 6 9 及び図 2 7 0 は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図 2 6 9 及び図 2 7 0 に示すように、半導体装置 1 0 A Cの下部電極 1 2 0 A C、絶縁層 1 3 0 A C、1 5 0 A C、及び上部電極 1 4 0 A Cに設けられた開口部 1 3 9 A Cは、開口部側壁の断面形状が階段状である。具体的には、開口部 1 3 9 A Cにおいて、絶縁層 1 3 0 A Cの開口径は下部電極 1 2 0 A Cの開口径に比べて大きい。換言すると、開口部 1 3 9 A Cに接する領域において、下部電極 1 2 0 A Cの上面の一部は絶縁層 1 3 0 A Cから露出されている。さらに換言すると、絶縁層 1 3 0 A Cの側壁 1 3 2 A Cは、下部電極 1 2 0 A Cの上面に位置しており、下部電極 1 2 0 A Cの上面から上方に向かって延びている。また、開口部 1 3 9 A Cにおいて、絶縁層 1 5 0 A Cの開口径は上部電極 1 4 0 A Cの開口径に比べて大きい。換言すると、開口部 1 3 9 A Cに接する領域において、上部電極 1 4 0 A Cの上面の一部は絶縁層 1 5 0 A Cから露出されている。さらに換言すると、絶縁層 1 5 0 A Cの側壁 1 5 2 A Cは、上部電極 1 4 0 A Cの上面に位置しており、上部電極 1 4 0 A Cの上面から上方に向かって延びている。開口部 1 3 9 A Cの形状は半導体装置 1 0 A Cの製造方法によるものである。具体的には、下部電極 1 2 0 A C及び上部電極 1 4 0 A Cの開口工程と絶縁層 1 3 0 A C、1 5 0 A Cの開口工程とを異なるタイミングで行うため、開口部 1 3 9 A Cのような形状になる。

【0 4 0 3】

以上のように、本発明の実施形態 2 6 に係る半導体装置 1 0 A Cによると、半導体装置 1 0 A Cのオン電流を向上させることができ、半導体装置のチャンネル長の基板面内ばらつきを抑制することができる。また、酸化物半導体層 1 6 0 A Cが下部電極 1 2 0 A C及び上部電極 1 4 0 A Cに接触する面積を制限することができるため、酸化物半導体層 1 6 0 A Cと下部電極 1 2 0 A C及び上部電極 1 4 0 A Cとが接触する領域における酸化物半導体層 1 6 0 A Cの広範囲の物性変化を抑制することができる。また、上部電極 1 4 0 A Cと同一層の配線とゲート電極 1 8 0 A Cと同一層の配線とが交差する領域における寄生容量を小さくすることができる。

10

20

30

40

50

【0404】

[半導体装置10ACの製造方法]

図271～図280を用いて、本発明の実施形態26に係る半導体装置10ACの製造方法について、平面図及び断面図を参照しながら説明する。

【0405】

図271及び図272は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極を形成する工程を示す平面図及び断面図である。図272に示すように、基板100AC上に下地絶縁層110AC及び下部電極120ACとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図271に示す電極側壁322ACによって囲まれた開口部が設けられた下部電極120ACのパターンを形成する。そして、パターニングされた下部電極120AC上に絶縁層130ACを形成する。

10

【0406】

図273及び図274は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図274に示すように、図272に示す基板の全面に上部電極140ACとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図273に示すように、電極側壁142ACによって囲まれた開口部が設けられた上部電極140ACのパターンを形成する。ここで、電極側壁142ACが電極側壁322ACを囲むように下部電極120ACに対する上部電極140ACの位置が調整される。

20

【0407】

図275及び図276は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層及び下地絶縁層に開口部を形成する工程を示す平面図及び断面図である。図276に示すように、図274に示す基板に対するフォトリソグラフィ及びエッチングによって、レジストから露出された絶縁層150ACを開口し、上部電極140ACをマスクとして絶縁層130ACを開口し、下部電極120ACをマスクとして下地絶縁層110ACに凹部を形成する。この工程によって、図275に示す開口部139ACのパターンを形成する。具体的には、絶縁層側壁152ACによって囲まれた領域が開口されたレジストをマスクとして絶縁層150ACをエッチングする。このエッチングによって、電極側壁142ACによって囲まれた領域の絶縁層130AC、及び電極側壁322ACによって囲まれた領域の下地絶縁層110ACがエッチングされる。このようにして、開口部139ACを形成する。

30

【0408】

この工程では絶縁層だけをエッチングすればよいので、絶縁層130AC、150AC及び下地絶縁層110ACを同一のエッチング条件を用いて一括エッチングすることができる。なお、この工程におけるエッチング条件は、絶縁層130AC、150AC及び下地絶縁層110ACのエッチングレートと、上部電極140AC及び下部電極120ACのエッチングレートとの選択比が大きいエッチング条件を用いることができる。この工程では、上部電極140AC及び下部電極120ACが露出されればよいので、エッチング中のプラズマをモニタし、当該プラズマ中において検出される上部電極140AC及び下部電極120ACに起因する信号に基づいてエッチングのエンドポイントを設定してもよい。

40

【0409】

図277及び図278は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図278に示すように、図276に示す基板の全面に酸化物半導体層160ACを成膜し、フォトリソグラフィ及びエッチングによって図277に示す酸化物半導体層160ACのパターンを形成する。ここで、酸化物半導体層160ACは開口部139ACの内部に配置される。酸化物半導体層160ACの成膜及びエッチングは実施形態1と同様の方法で処理することができる。

【0410】

50

図 279 及び図 280 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図 280 に示すように、図 278 に示す基板の全面にゲート絶縁層 170 AC を形成し、フォトリソグラフィ及びエッチングによって図 279 に示す開口部 135 AC、157 AC のパターンを形成する。

【0411】

そして、図 280 に示す基板の全面にゲート電極 180 AC、ソース配線 190 AC、及びドレイン配線 192 AC となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 269 及び図 270 に示すようにゲート電極 180 AC、ソース配線 190 AC、及びドレイン配線 192 AC のパターンを形成する。上記に示す製造方法によって、本発明の実施形態 26 に係る半導体装置 10 AC を形成することができる。

10

【0412】

以上のように、本発明の実施形態 26 に係る半導体装置 10 AC の製造方法によると、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

【0413】

〈実施形態 27〉

図 281～図 288 を用いて、本発明の実施形態 27 に係る半導体装置 10 AD の概要について説明する。半導体装置 10 AD は、図 269 及び図 270 に示す半導体装置 10 AC と類似しているが、開口部 135 AD、157 AD の形状において半導体装置 10 AC とは相違する。以下の説明では、半導体装置 10 AC と共通する半導体装置 10 AD の特徴の説明は省略し、上記の相違点について説明する。なお、以下の説明において、半導体装置 10 AC と同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

20

【0414】

〔半導体装置 10 AD の構造〕

図 281 及び図 282 は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図 281 及び図 282 に示すように、半導体装置 10 AD の絶縁層 130 AD、150 AD 及びゲート絶縁層 170 AD に設けられた開口部 135 AD と、絶縁層 150 AD 及びゲート絶縁層 170 AD に設けられた開口部 157 AD とは、開口部側壁の断面形状が階段状である。具体的には、開口部 135 AD、157 AD において、それぞれゲート絶縁層 170 AD の開口径は絶縁層 150 AD の開口径に比べて大きい。換言すると、開口部 135 AD、157 AD におけるゲート絶縁層 170 AD の側壁 175 AD、177 AD は、それぞれ絶縁層 150 AD の上面に位置しており、絶縁層 150 AD の上面から上方に向かって延びている。開口部 135 AD、157 AD の形状は半導体装置 10 AD の製造方法によるものである。具体的には、絶縁層 150 AD の開口工程とゲート絶縁層 170 AD の開口工程とを異なるタイミングで行うため、開口部 135 AD、157 AD のような形状になる。

30

【0415】

以上のように、本発明の実施形態 27 に係る半導体装置 10 AD によると、半導体装置 10 AD のオン電流を向上させることができ、半導体装置のチャネル長の基板面内ばらつきを抑制することができる。また、酸化半導体層 160 AD の物性変化を抑制することができる。また、上部電極 140 AD と同一層の配線とゲート電極 180 AD と同一層の配線とが交差する領域における寄生容量を小さくすることができる。

40

【0416】

〔半導体装置 10 AD の製造方法〕

図 283～図 288 を用いて、本発明の実施形態 27 に係る半導体装置 10 AD の製造方法について、平面図及び断面図を参照しながら説明する。

【0417】

図 283 及び図 284 は、本発明の一実施形態に係る半導体装置の製造方法において、

50

絶縁層に開口部を形成する工程を示す平面図及び断面図である。実施形態 26 の図 271 ～図 274 に示した製造方法と同様の方法で電極側壁 142AD を有する上部電極 140AD 及び電極側壁 322AD を有する下部電極 120AD を形成し、その基板に対するフォトリソグラフィ及びエッチングによって、開口部 135AD、139AD、157AD を形成する。

【0418】

図 285 及び図 286 は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図 286 に示すように、図 284 に示す基板の全面に酸化物半導体層 160AD を成膜し、フォトリソグラフィ及びエッチングによって図 285 に示す酸化物半導体層 160AD のパターンを形成する。ここで、酸化物半導体層 160AD は開口部 139AD の内部に配置され、開口部 135AD、157AD の酸化物半導体層 160AD はエッチングされる。酸化物半導体層 160AD の成膜及びエッチングは実施形態 1 と同様の方法で処理することができる。

【0419】

図 287 及び図 288 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図 288 に示すように、図 286 に示す基板の全面にゲート絶縁層 170AD を形成し、フォトリソグラフィ及びエッチングによって、図 287 に示すように、開口部 135AD、157AD に対応する領域のゲート絶縁層 170AD を開口する。このエッチングによって、開口部 135AD において下部電極 120AD を露出させ、開口部 157AD において上部電極 140AD を露出させる。

【0420】

そして、図 288 に示す基板の全面にゲート電極 180AD、ソース配線 190AD、及びドレイン配線 192AD となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 281 及び図 282 に示すようにゲート電極 180AD、ソース配線 190AD、及びドレイン配線 192AD のパターンを形成する。上記に示す製造方法によって、本発明の実施形態 27 に係る半導体装置 10AD を形成することができる。

【0421】

以上のように、本発明の実施形態 27 に係る半導体装置 10AD の製造方法によると、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

【0422】

＜実施形態 28＞

図 289 ～図 300 を用いて、本発明の実施形態 28 に係る半導体装置 10AE の概要について説明する。半導体装置 10AE は、短チャネル長の第 1 トランジスタ 20AE 及び長チャネル長の第 2 トランジスタ 30AE を有する。なお、短チャネル長の第 1 トランジスタ 20AE は、図 269 及び図 270 に示す実施形態 26 の半導体装置 10AC と同様の構造である。したがって、以下の説明では、第 1 トランジスタ 20AE の特徴の説明は省略し、長チャネル長の第 2 トランジスタ 30AE について説明する。

【0423】

第 2 トランジスタ 30AE は、図 247 及び図 248 に示す第 2 トランジスタ 30AA と類似しているが、開口部 239AE、256AE の形状が異なる点、及び第 2 トランジスタ 30AA におけるコンタクトパッド 224AA が設けられていない点において第 2 トランジスタ 30AA とは相違する。以下の説明では、半導体装置 10AA と共通する半導体装置 10AE の特徴の説明は省略し、上記の相違点について説明する。なお、以下の説明において、半導体装置 10AA と同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

【0424】

[第 2 トランジスタ 30AE の構造]

図 289 及び図 290 は、本発明の一実施形態に係る半導体装置の概要を示す平面図及

び断面図である。図 289 及び図 290 に示すように、第 2 トランジスタ 30AE の開口部 239AE は、第 1 トランジスタ 20AE の開口部 139AE と同様に、開口部側壁の断面形状が階段状である。また、開口部 256AE は上部電極 240AE を貫通しておらず、絶縁層 250AE から上部電極 240AE を露出するように設けられている。酸化半導体層 260AE は開口部 256AE を介して上部電極 240AE に接続されている。また、第 2 トランジスタ 30AE では、図 248 に示す第 2 トランジスタ 30AA のコンタクトパッド 224AA が設けられていない。

【0425】

[第 2 トランジスタ 30AE の製造方法]

図 291～図 300 を用いて、本発明の実施形態 28 に係る半導体装置 10AE の第 2 トランジスタ 30AE の製造方法について、平面図及び断面図を参照しながら説明する。なお、第 1 トランジスタ 20AE の製造方法は実施形態 26 の半導体装置 10AC の製造方法と同様なので、ここでは説明を省略する。

10

【0426】

図 291 及び図 292 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及びバックゲートを形成する工程を示す平面図及び断面図である。図 292 に示すように、基板 100AE 上に下地絶縁層 110AE を形成し、その上に下部電極 220AE 及びバックゲート 222AE となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 291 に示す開口部 229AE が設けられた下部電極 220AE 及びバックゲート 222AE のパターンを形成する。そして、パターニングされた下部電極 220AE 上及びバックゲート 222AE 上に絶縁層 230AE を形成する。ここで、下部電極 220AE 及びバックゲート 222AE のエッチングは、下部電極 120AE と同様の条件で処理する。

20

【0427】

図 293 及び図 294 は、本発明の一実施形態に係る半導体装置の製造方法において、上部電極を形成する工程を示す平面図及び断面図である。図 294 に示すように、図 292 に示す基板の全面に上部電極 240AE となる導電層を成膜し、フォトリソグラフィ及びエッチングによって図 293 に示す上部電極 240AE のパターンを形成する。そして、パターニングされた上部電極 240AE 上に絶縁層 250AE を形成する。

【0428】

図 295 及び図 296 は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図及び断面図である。図 296 に示すように、図 294 に示す基板に対するフォトリソグラフィ及びエッチングによって、絶縁層 230AE、250AE を開口し、さらに下地絶縁層 110AE に凹部を形成する開口部 239AE と、絶縁層 250AE を開口し上部電極 240AE を露出する開口部 256AE とを形成する。このエッチングによって図 295 に示す開口部 239AE、256AE のパターンを形成する。なお、図 295 及び図 296 では、絶縁層 230AE、250AE に設けられた開口部と下部電極 220AE に設けられた開口部とを併せて開口部 239AE として表示している。ここで、開口部 239AE のエッチングは、開口部 139AE と同様の条件で処理する。

30

40

【0429】

図 297 及び図 298 は、本発明の一実施形態に係る半導体装置の製造方法において、酸化半導体層を形成する工程を示す平面図及び断面図である。図 298 に示すように、図 296 に示す基板の全面に酸化半導体層 260AE を成膜し、フォトリソグラフィ及びエッチングによって図 297 に示す酸化半導体層 260AE のパターンを形成する。酸化半導体層 260AE の成膜及びエッチングは実施形態 1 と同様の方法で処理することができる。

【0430】

図 299 及び図 300 は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図であ

50

る。図300に示すように、図298に示す基板の全面にゲート絶縁層270AEを形成し、フォトリソグラフィ及びエッチングによって、図299に示す開口部235AE、238AE、257AEのパターンを形成する。ここで、開口部235AE、238AE、257AEのエッチングは、開口部135AE、157AEのエッチングと同様の条件で処理する。

【0431】

そして、図300に示す基板の全面にゲート電極280AE、ソース配線290AE、及びドレイン配線292AEとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図289及び図290に示すようにゲート電極280AE、ソース配線290AE、及びドレイン配線292AEのパターンを形成する。上記に示す製造方法によって、本発明の実施形態28に係る第2トランジスタ30AEを形成することができる。

10

【0432】

以上のように、本発明の実施形態28に係る半導体装置10AEの製造方法によると、チャンネル長がナノメートルオーダーの第1トランジスタ20AE及びチャンネル長がマイクロメートルオーダーの第2トランジスタ30AEを同一の製造方法で形成することができる。また、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

【0433】

〈実施形態29〉

図301～図308を用いて、本発明の実施形態29に係る半導体装置10AFの概要について説明する。半導体装置10AFは、短チャンネル長の第1トランジスタ20AF及び長チャンネル長の第2トランジスタ30AFを有する。なお、短チャンネル長の第1トランジスタ20AFは、図281及び図282に示す実施形態27の半導体装置10ADと同様の構造である。したがって、以下の説明では、第1トランジスタ20AFの特徴の説明は省略し、長チャンネル長の第2トランジスタ30AFについて説明する。なお、以下の説明において、半導体装置10ADと同じ構造及び機能を有する要素には同一の符号（数字）の後のアルファベットを変更し、詳細な説明は省略する。

20

【0434】

第2トランジスタ30AFは、図289及び図290に示す第2トランジスタ30AEと類似しているが、開口部235AF、257AFの形状において第2トランジスタ30AEとは相違する。以下の説明では、第2トランジスタ30AEと共通する第2トランジスタ30AFの特徴の説明は省略し、上記の相違点について説明する。

30

【0435】

〔第2トランジスタ30AFの構造〕

図301及び図302は、本発明の一実施形態に係る半導体装置の概要を示す平面図及び断面図である。図301及び図302に示すように、第2トランジスタ30AFの絶縁層230AF、250AF及びゲート絶縁層270AFに設けられた開口部235AFと、絶縁層250AF及びゲート絶縁層270AFに設けられた開口部257AFとは、開口部側壁の断面形状が階段状である。具体的には、開口部235AF、257AFにおいて、それぞれゲート絶縁層270AFの開口径は絶縁層250AFの開口径に比べて大きい。換言すると、開口部235AF、257AFにおけるゲート絶縁層270AFの側壁275AF、277AFは、それぞれ絶縁層250AFの上面に位置しており、絶縁層250AFの上面から上方に向かって延びている。開口部235AF、257AFの形状は第2トランジスタ30AFの製造方法によるものである。具体的には、絶縁層250AFの開口工程とゲート絶縁層270AFの開口工程とを異なるタイミングで行うため、開口部235AF、257AFのような形状になる。

40

【0436】

〔第2トランジスタ30AFの製造方法〕

図303～図308を用いて、本発明の実施形態29に係る半導体装置10AFの第2トランジスタ30AFの製造方法について、平面図及び断面図を参照しながら説明する。

50

【0437】

図303及び図304は、本発明の一実施形態に係る半導体装置の製造方法において、絶縁層に開口部を形成する工程を示す平面図及び断面図である。実施形態28の図291～図294に示した製造方法と同様の方法で下部電極220AF、バックゲート222AF、及び上部電極240AFを形成し、その基板に対するフォトリソグラフィ及びエッチングによって、開口部235AF、238AF、239AF、256AF、257AFを形成する。

【0438】

図305及び図306は、本発明の一実施形態に係る半導体装置の製造方法において、酸化物半導体層を形成する工程を示す平面図及び断面図である。図306に示すように、図304に示す基板の全面に酸化物半導体層260AFを成膜し、フォトリソグラフィ及びエッチングによって図305に示す酸化物半導体層260AFのパターンを形成する。ここで、酸化物半導体層260AFは開口部239AF、256AFの内部に配置され、開口部235AF、238AF、257AFの酸化物半導体層260AFはエッチングされる。酸化物半導体層260AFの成膜及びエッチングは実施形態1と同様の方法で処理することができる。

【0439】

図307及び図308は、本発明の一実施形態に係る半導体装置の製造方法において、下部電極及び上部電極の各々に達する開口部を形成する工程を示す平面図及び断面図である。図308に示すように、図306に示す基板の全面にゲート絶縁層270AFを形成し、フォトリソグラフィ及びエッチングによって、図307に示すように、開口部235AF、238AF、257AFに対応する領域のゲート絶縁層270AFを開口する。このエッチングによって、開口部235AFにおいて下部電極220AFを露出させ、開口部257AFにおいて上部電極240AFを露出させる。

【0440】

そして、図308に示す基板の全面にゲート電極280AF、ソース配線290AF、及びドレイン配線292AFとなる導電層を成膜し、フォトリソグラフィ及びエッチングによって図301及び図302に示すようにゲート電極280AF、ソース配線290AF、及びドレイン配線292AFのパターンを形成する。上記に示す製造方法によって、本発明の実施形態29に係る半導体装置10AFを形成することができる。

【0441】

以上のように、本発明の実施形態29に係る半導体装置10AFの製造方法によると、チャンネル長がナノメートルオーダーの第1トランジスタ20AF及びチャンネル長がマイクロメートルオーダーの第2トランジスタ30AFを同一の製造方法で形成することができる。また、導電層のエッチングと絶縁層のエッチングとをそれぞれ別の工程で処理することができる。したがって、エッチング装置にかかる負担を軽減することができる。

【0442】

〈実施形態30〉

図309～図317を用いて、本発明の実施形態30に係る表示装置40の概要について説明する。表示装置40は、複数のサブ画素を有するメイン画素がマトリクス状に配置されている。表示装置40に配置された各サブ画素の選択トランジスタとして、実施形態1～実施形態29で説明した半導体装置10～10AFを用いることができる。ここでは、選択トランジスタとして図50に示す実施形態6の半導体装置10Eを用いた例について説明する。なお、実施形態30では、表示装置40として横電界方式で液晶分子を制御する液晶表示装置について説明する。

【0443】

〔表示装置40のレイアウト〕

図309は、本発明の一実施形態に係る表示装置の概要を示す平面図である。図309に示すように、表示装置40は、第1サブ画素410、第2サブ画素420、及び第3サブ画素430を有する。第1サブ画素410における第1画素電極560はパッド520

に接続されており、第1選択トランジスタ470を介して第1データ線440に接続されている。第2サブ画素420における第2画素電極562はパッド522に接続されており、第2選択トランジスタ472を介して第2データ線450に接続されている。第3サブ画素430における第3画素電極564はパッド524に接続されており、第3選択トランジスタ474を介して第3データ線452に接続されている。なお、第1選択トランジスタ470、第2選択トランジスタ472、及び第3選択トランジスタ474のそれぞれのゲート電極はいずれもゲート線460に接続されている。

【0444】

第1サブ画素410、第2サブ画素420、及び第3サブ画素430にはそれぞれ異なる色の画素が配置されている。例えば、第1サブ画素410が緑色の画素に対応し、第2サブ画素420が赤色の画素に対応し、第3サブ画素430が青色の画素に対応してもよい。また、サブ画素の数は4つ以上でもよい。なお、後述するように、第1データ線440と第3データ線452とは異なる層に設けられているため、図309に示すメイン画素の第3データ線452と、当該メイン画素に隣接するメイン画素の第1データ線446とが平面視において重畳するように配置することができる。

【0445】

上記の構成を換言すると、表示装置40は、第1色の画像データを伝達する第1データ線440、第1データ線440にソース電極及びドレイン電極の一方が接続された第1選択トランジスタ470、及び第1選択トランジスタ470のソース電極及びドレイン電極の他方に接続された第1画素電極560を有する第1サブ画素410と、第2色の画像データを伝達する第2データ線450、第2データ線450にソース電極及びドレイン電極の一方が接続された第2選択トランジスタ472、及び第2選択トランジスタ472のソース電極及びドレイン電極の他方に接続された第2画素電極562を有する第2サブ画素420と、第3色の画像データを伝達する第3データ線452、第3データ線452にソース電極及びドレイン電極の一方が接続された第3選択トランジスタ474、及び第3選択トランジスタ474のソース電極及びドレイン電極の他方に接続された第3画素電極564を有する第3サブ画素430と、を有する。なお、第1データ線440は、第2データ線450及び第3データ線452とは異なる層である。

【0446】

〔第1選択トランジスタ470の構造〕

図310は、図309のAG-AG'断面図である。図310に示す第1選択トランジスタ470の構造と、図50に示す半導体装置10Eの構造との対比を以下に説明する。第1選択トランジスタ470の第1データ線440は半導体装置10Eの下部電極120Eに対応する。第1選択トランジスタ470の配線454は半導体装置10Eの上部電極140Eに対応する。第1選択トランジスタ470のゲート線460は半導体装置10Eのゲート電極180Eに対応する。第1選択トランジスタ470のパッド520は半導体装置10Eのドレイン配線192Eに対応する。つまり、第1選択トランジスタ470のソース電極及びドレイン電極は、それぞれ異なる層である。

【0447】

図310に示すように、第1選択トランジスタ470は半導体装置10Eの構造に加えて、さらに第1層間膜530、コモン電極540、第2層間膜550、及び第1画素電極560を有する。第1層間膜530はゲート線460を覆っている。第1層間膜530にはパッド520に達する開口部が設けられている。コモン電極540は第1層間膜530上において、複数の画素に共通して設けられている。第2層間膜550はコモン電極540を覆っている。第2層間膜550にはパッド520に達する開口部が設けられている。第1画素電極560は第2層間膜550上に設けられており、第2層間膜550に設けられた開口部を介してパッド520に接続されている。

【0448】

〔第3選択トランジスタ474の構造〕

図311は、図309のAG'-AG'断面図である。図311に示す第3選択

トランジスタ４７４の構造と、図５０に示す半導体装置１０Ｅの構造との対比を以下に説明する。第３選択トランジスタ４７４の配線４４４は半導体装置１０Ｅの下部電極１２０Ｅに対応する。第１選択トランジスタ４７０の第３データ線４５２は半導体装置１０Ｅの上部電極１４０Ｅに対応する。第１選択トランジスタ４７０のゲート線４６０は半導体装置１０Ｅのゲート電極１８０Ｅに対応する。第１選択トランジスタ４７０のパッド５２４は半導体装置１０Ｅのドレイン配線１９２Ｅに対応する。つまり、第３選択トランジスタ４７４のソース電極及びドレイン電極は、それぞれ異なる層である。

【０４４９】

第３選択トランジスタ４７４は、第１選択トランジスタ４７０に類似しているが、第１選択トランジスタ４７０では下部電極がデータ線として用いられているのに対して第３選択トランジスタ４７４では上部電極がデータ線として用いられている点において、第１選択トランジスタ４７０とは相違する。つまり、第１選択トランジスタ４７０に接続された第１データ線４４０と、第３選択トランジスタ４７４に接続された第３データ線４５２とは異なる層に設けられている。なお、説明は省略するが、第２選択トランジスタ４７２の構造は第３選択トランジスタ４７４の構造と同様である。

【０４５０】

ここで、図５０及び図３０９～図３１１を参照すると、図３０９～図３１１において平面視において重畳する第３データ線４５２と隣接するメイン画素の第１データ線４４６とを絶縁する絶縁層は、図５０において絶縁層側壁１３２Ｅが設けられた絶縁層１３０Ｅに相当する。

【０４５１】

表示装置４０において、楕形状の第１画素電極５６０、第２画素電極５６２、及び第３画素電極５６４と、コモン電極５４０との間に形成される横電界によって液晶分子が制御される。

【０４５２】

〔表示装置４０の製造方法〕

図３１２～図３１７を用いて、本発明の実施形態３０に係る表示装置４０の製造方法について、平面図を参照しながら説明する。なお、表示装置４０の製造方法は実施形態６の半導体装置１０Ｅの製造方法と同様であるので、断面図を用いた説明は省略する。

【０４５３】

図３１２は、本発明の一実施形態に係る表示装置の製造方法において、データ線及び配線を形成する工程を示す平面図である。図３１２に示すように、半導体装置１０Ｅの下部電極１２０Ｅに相当する層で第１データ線４４０、配線４４２、４４４、及び隣接するメイン画素の第１データ線４４６を形成する。

【０４５４】

図３１３は、本発明の一実施形態に係る表示装置の製造方法において、データ線及び配線を形成する工程を示す平面図である。図３１３に示すように、半導体装置１０Ｅの上部電極１４０Ｅに相当する層で第２データ線４５０、第３データ線４５２、及び配線４５４を形成する。

【０４５５】

図３１４は、本発明の一実施形態に係る表示装置の製造方法において、データ線及び配線を露出する開口部を形成する工程を示す平面図である。図３１４に示すように、各データ線及び配線が重畳する領域において、半導体装置１０Ｅの開口部１３９Ｅに相当する開口部４９０、４９２、４９４を形成する。開口部４９０は第１データ線４４０の上面、及び配線４５４の側壁を露出する。開口部４９２は配線４４２の上面、及び第２データ線４５０の側壁を露出する。開口部４９４は配線４４４の上面、及び第３データ線４５２の側壁を露出する。

【０４５６】

図３１５は、本発明の一実施形態に係る表示装置の製造方法において、開口部に酸化物半導体層を形成する工程を示す平面図である。図３１５に示すように、開口部４９０、４

10

20

30

40

50

92、494に対応する領域に酸化物半導体層500、502、504を形成する。酸化物半導体層500は第1データ線440の上面、及び配線454の側壁と接触する。酸化物半導体層502は配線442の上面、及び第2データ線450の側壁と接触する。酸化物半導体層504は配線444の上面、及び第3データ線452の側壁と接触する。

【0457】

図316は、本発明の一実施形態に係る表示装置の製造方法において、配線を露出する開口部を形成する工程を示す平面図である。図316に示すように、配線454、442、444をそれぞれ露出する開口部510、512、514を形成する。

【0458】

図317は、本発明の一実施形態に係る表示装置の製造方法において、パッドを形成する工程を示す平面図である。図317に示すように、平面視において開口部490、492、494と重畳する領域にゲート線460を形成し、開口部510、512、514と重畳する領域にパッド520、522、524を形成する。

【0459】

そして、パッド520、522、524のそれぞれを開口する第1層間膜530を形成し、コモン電極540、第2層間膜550、並びに第1画素電極560、第2画素電極562、及び第3画素電極564を形成することで、図309～図311に示す表示装置40を形成することができる。

【0460】

以上のように、本発明の実施形態30に係る表示装置40によると、データ線とゲート線との交差領域に選択トランジスタを配置することができる。また、当該選択トランジスタのソース電極とドレイン電極とが異なる層で形成されているため、当該選択トランジスタを介して異なる層の配線同士を接続することができる。したがって、配線レイアウトの自由度が向上し、配線や選択トランジスタなどの占有率を低くすることができる。その結果、画素の開口率を向上させることができる。さらに、第3データ線452と隣接するメイン画素の第1データ線446とが平面視において重畳することで、1つのメイン画素単位に配置されるデータ線の数減らすことができる。これにより、画素の開口率を向上させることができる。

【0461】

ここでは、表示装置40として、横電界方式の液晶表示装置を例示したが、本発明はその他の表示装置に適用することもできる。例えば、本発明をEL表示装置に適用することができる。本発明をEL表示装置に適用する場合は、例えば図310における第1層間膜530及びコモン電極540を省略し、発光領域の画素電極上に発光層及びカソード電極を配置すればよい。

【0462】

なお、本発明は上記の実施形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。

【符号の説明】

【0463】

10：半導体装置
20：第1トランジスタ
30：第2トランジスタ
40：表示装置
100：基板
110：下地絶縁層
120、220：下部電極
122、224、226：コンタクトパッド
124、228：ソース領域
128、129、147：A1層
130、150、230、250：絶縁層

10

20

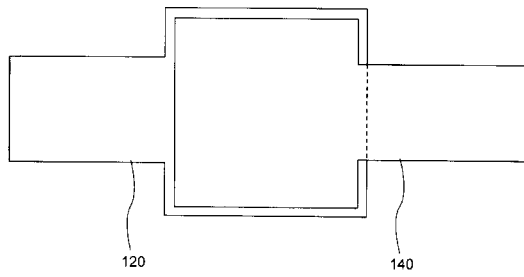
30

40

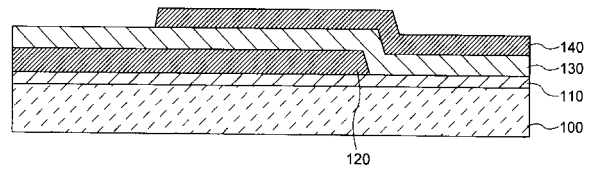
50

1 3 2、1 5 2：絶縁層側壁	
1 3 5、1 3 7、1 3 9、1 5 7、1 7 7、2 2 9、2 3 5、2 3 6、2 3 7、2 3 8、 2 3 9、2 5 6、2 5 7、2 7 7、4 9 0、4 9 2、4 9 4、5 1 0、5 1 2、5 1 4：	
開口部	
1 4 0、2 4 0：上部電極	
1 4 2、3 2 2：電極側壁	
1 4 4、2 4 4：ドレイン領域	
1 4 5：パッド	
1 4 6、1 4 8：T i 層	
1 4 9：A l O _x 層	10
1 6 0、2 6 0：酸化物半導体層	
1 6 9、2 6 9：チャネル領域	
1 7 0、2 7 0：ゲート絶縁層	
1 7 5、2 7 5、2 7 7：側壁	
1 8 0、2 8 0：ゲート電極	
1 9 0、2 9 0：ソース配線	
1 9 2、2 9 2：ドレイン配線	
2 2 2：バックゲート	
3 1 5：周縁部	
3 2 5：界面	20
3 7 5：上面	
4 1 0：第 1 サブ画素	
4 2 0：第 2 サブ画素	
4 3 0：第 3 サブ画素	
4 4 0：第 1 データ線	
4 4 2、4 4 4、4 5 4：配線	
4 4 6：第 1 データ線	
4 5 0：第 2 データ線	
4 5 2：第 3 データ線	
4 6 0：ゲート線	30
4 7 0：第 1 選択トランジスタ	
4 7 2：第 2 選択トランジスタ	
4 7 4：第 3 選択トランジスタ	
5 0 0、5 0 2、5 0 4：酸化物半導体層	
5 2 0、5 2 2、5 2 4：パッド	
5 3 0：第 1 層間膜	
5 4 0：コモン電極	
5 5 0：第 2 層間膜	
5 6 0：第 1 画素電極	
5 6 2：第 2 画素電極	40
5 6 4：第 3 画素電極	

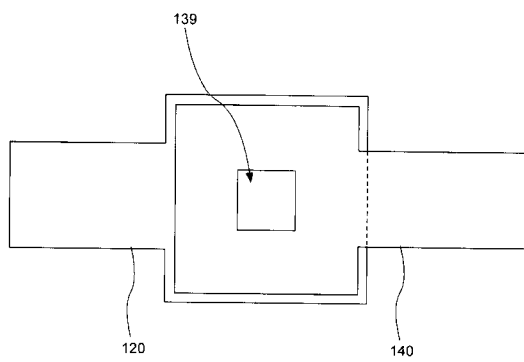
【図 5】

10

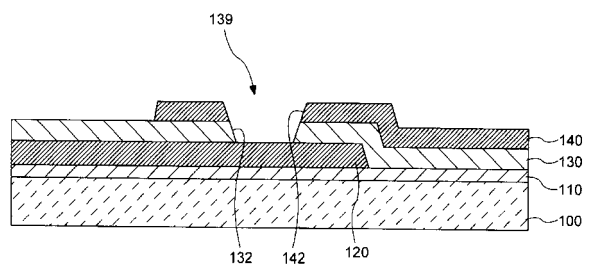
【図 6】

10

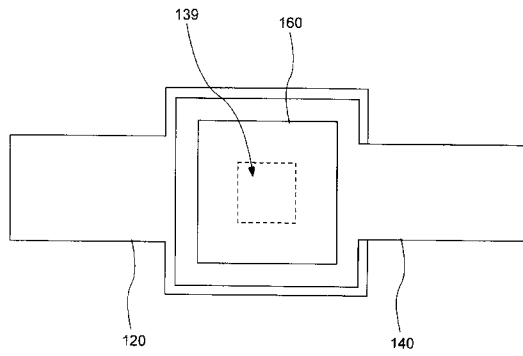
【図 7】

10

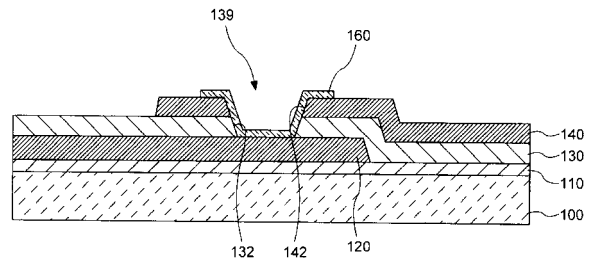
【図 8】

10

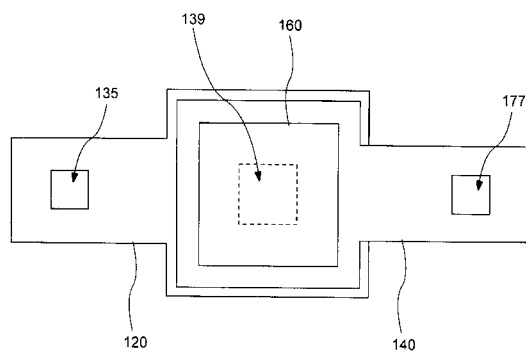
【図 9】

10

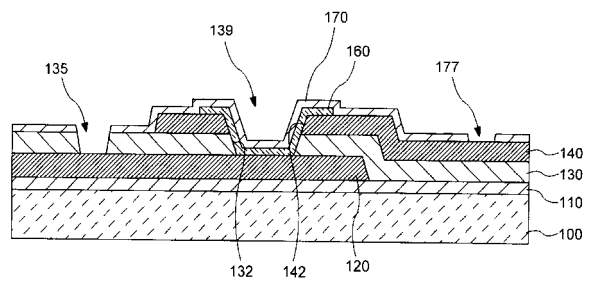
【図 10】

10

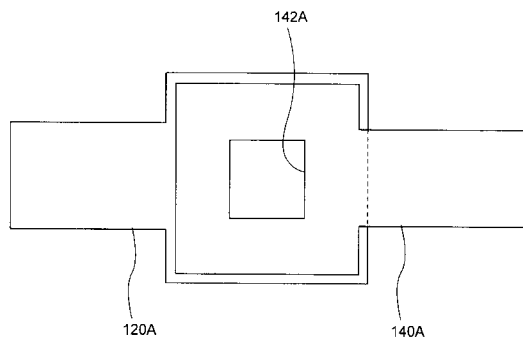
【図 11】

10

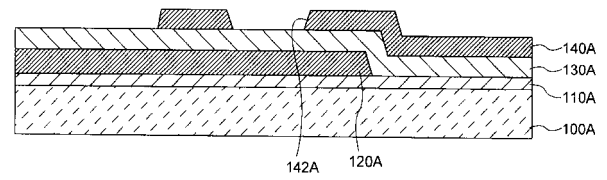
【図 12】

10

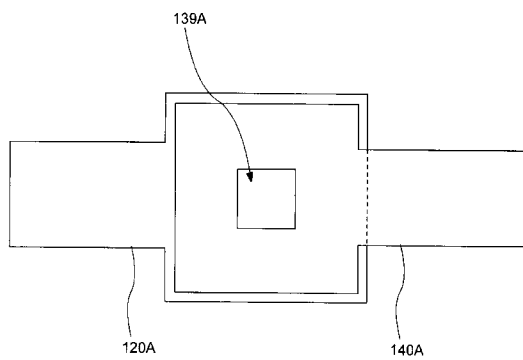
【図 1 3】

10A

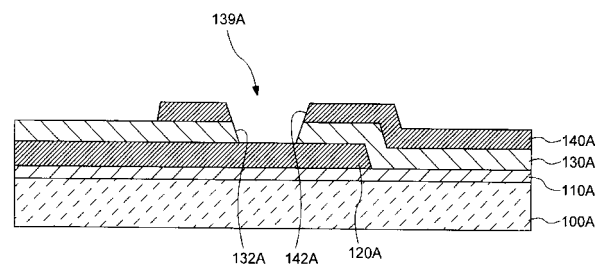
【図 1 4】

10A

【図 1 5】

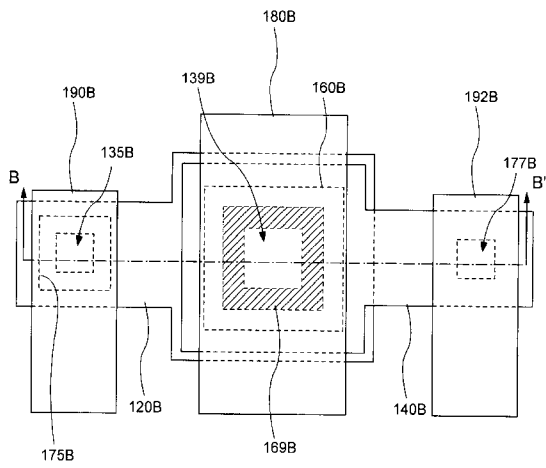
10A

【図 1 6】

10A

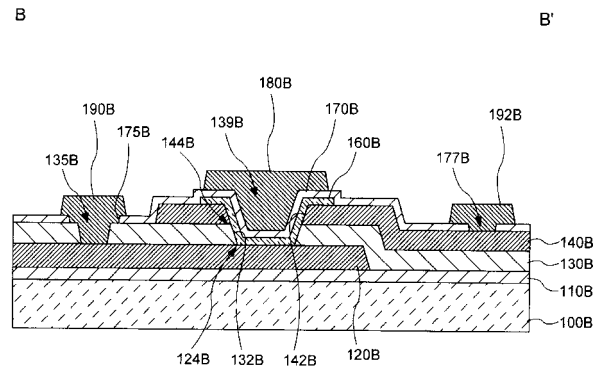
【図 17】

10B



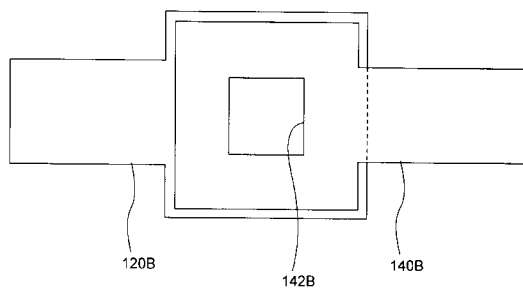
【図 18】

10B



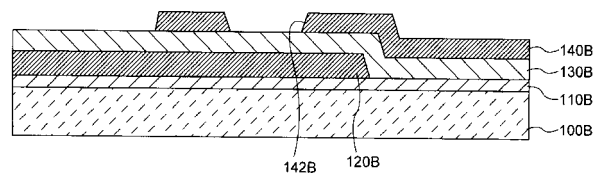
【図 19】

10B

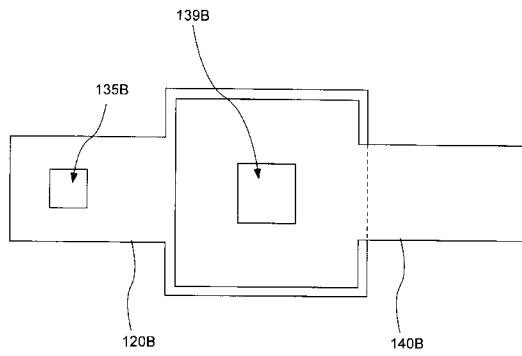


【図 20】

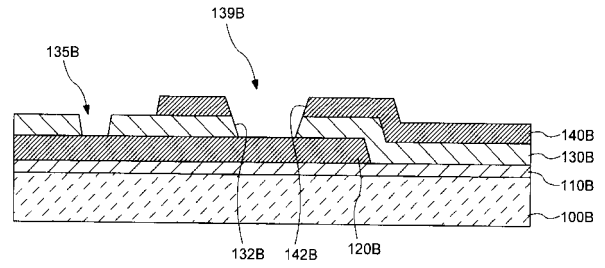
10B



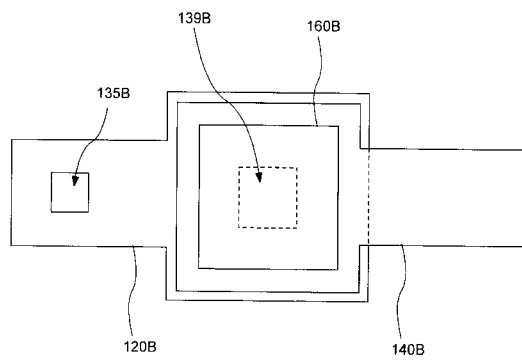
【図 2 1】

10B

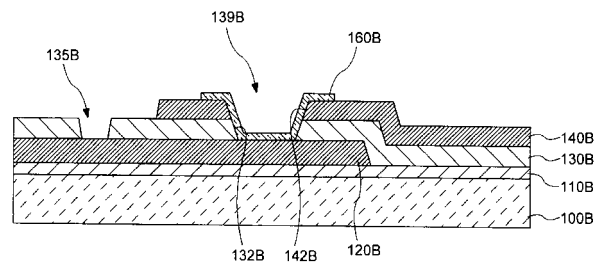
【図 2 2】

10B

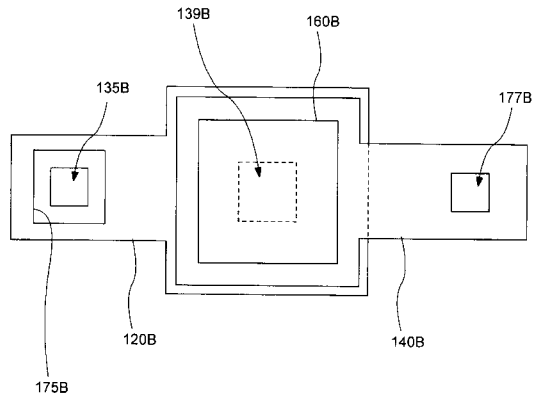
【図 2 3】

10B

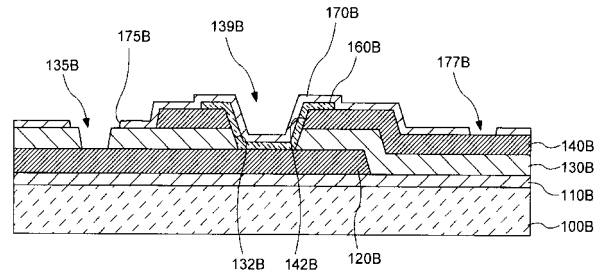
【図 2 4】

10B

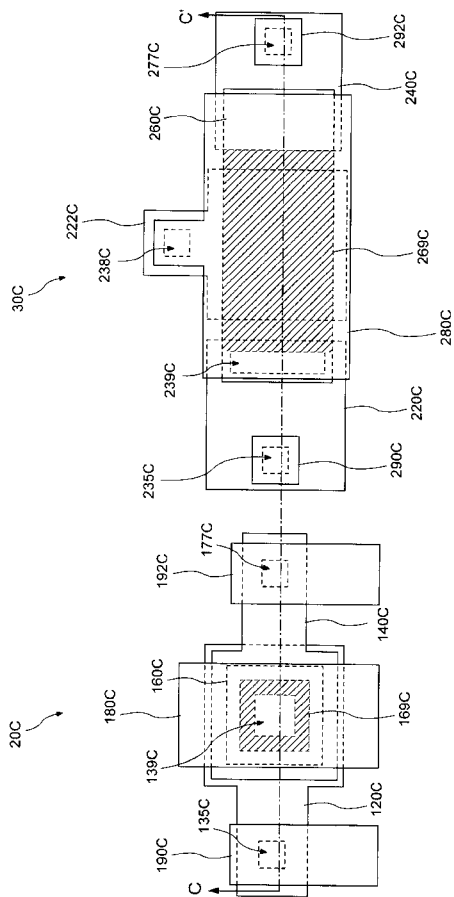
【図 25】

10B

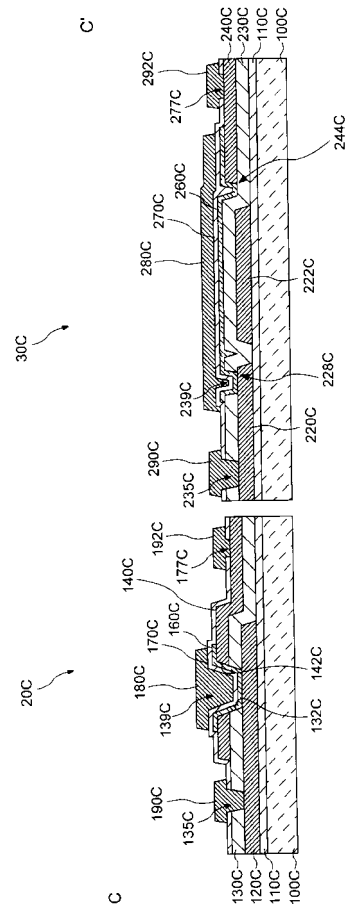
【図 26】

10B

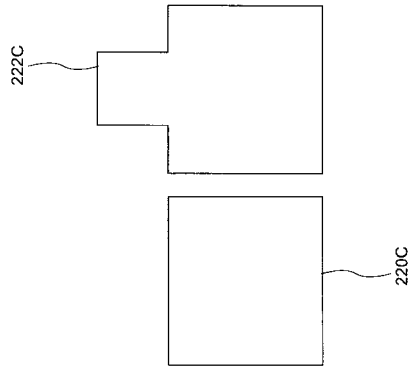
【図 27】

10C

【図 28】

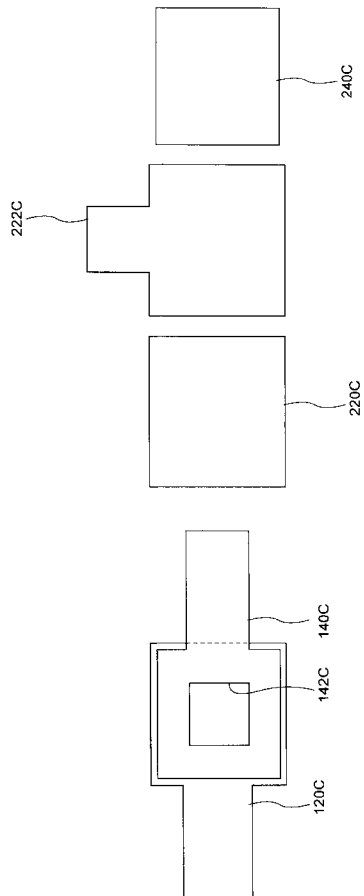
10C

【図 29】



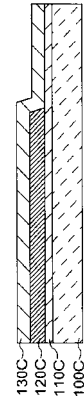
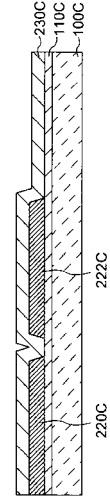
10C

【図 31】



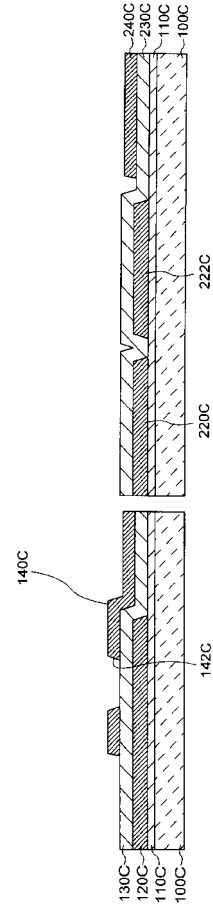
10C

【図 30】



10C

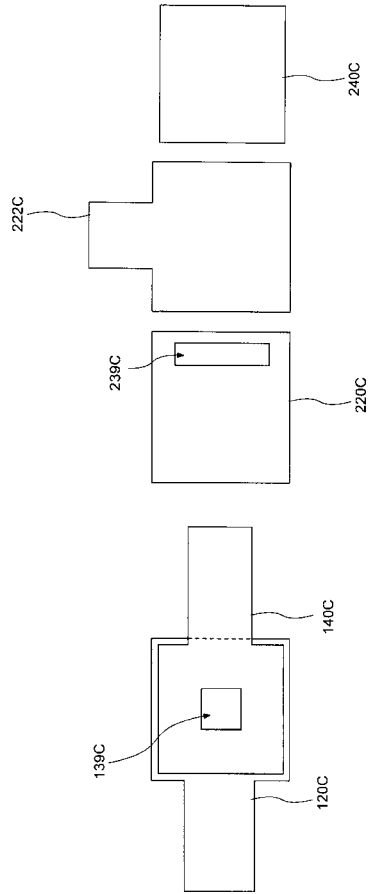
【図 32】



10C

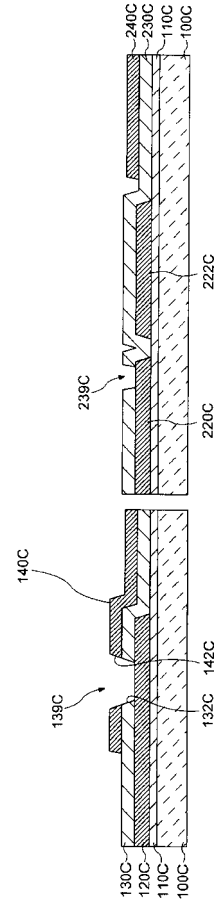
【図 3 3】

10C



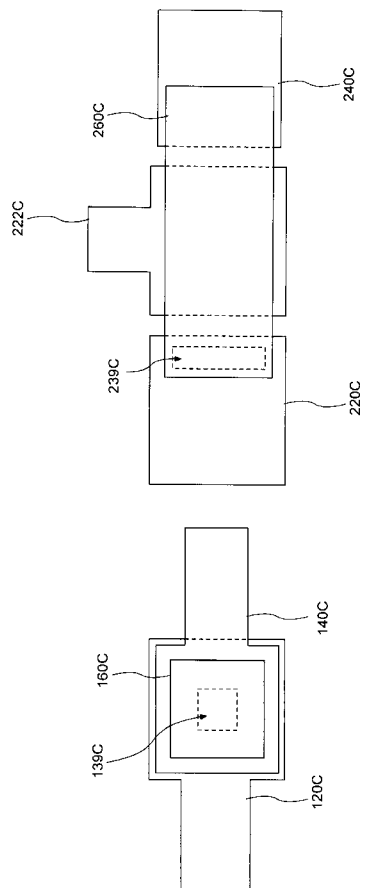
【図 3 4】

10C



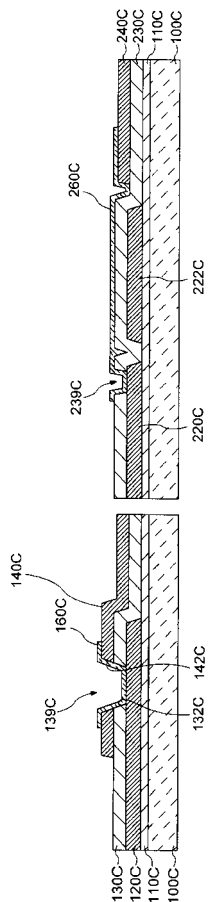
【図 3 5】

10C

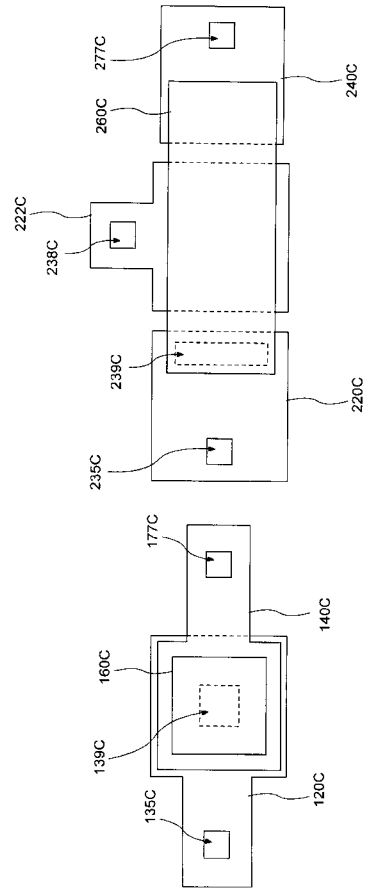


【図 3 6】

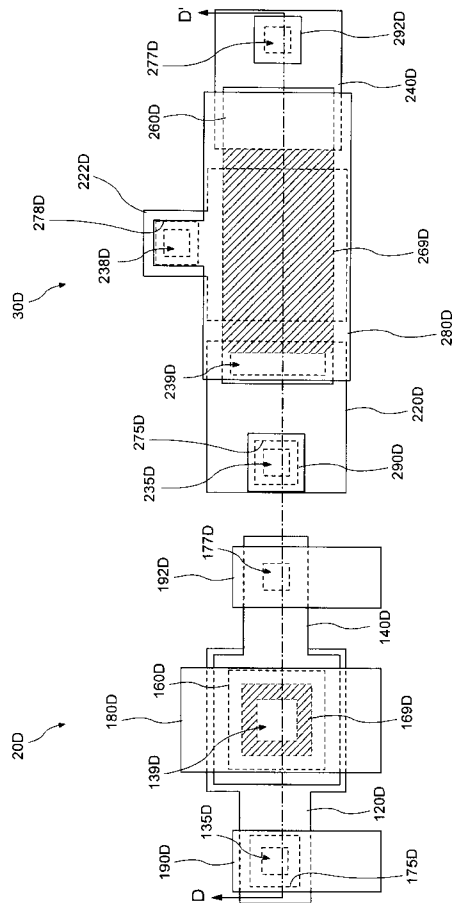
10C



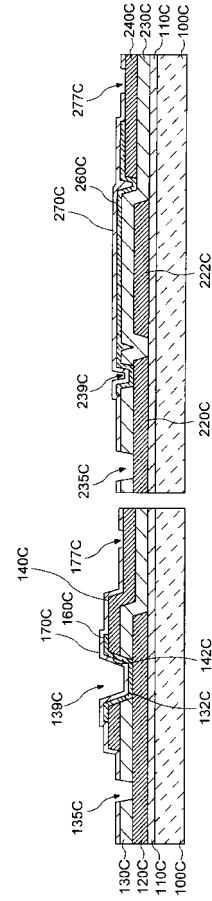
【図 37】

10C

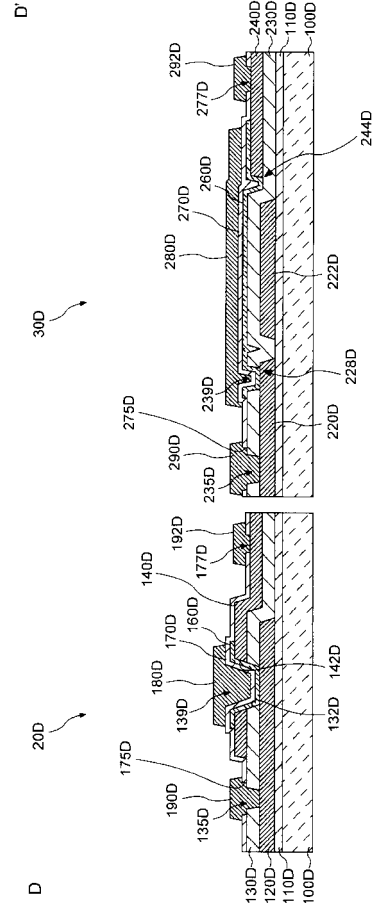
【図 39】

10D

【図 38】

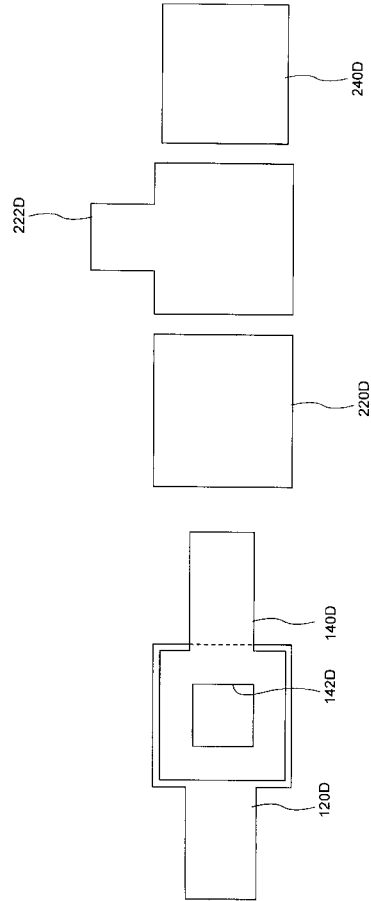
10C

【図 40】

10D

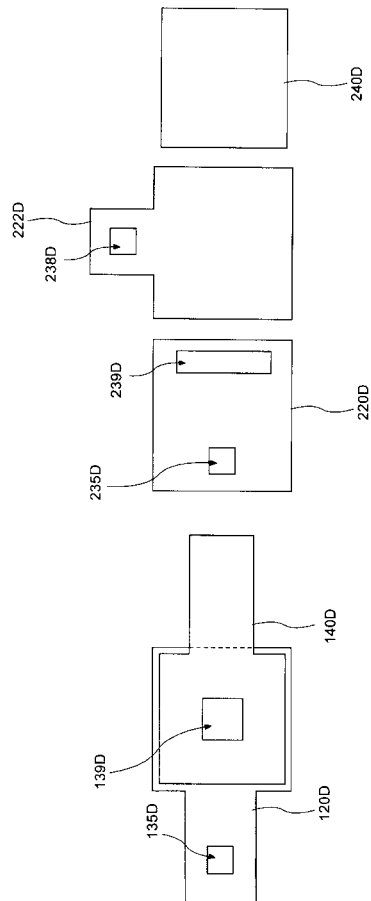
【図 4 1】

10D



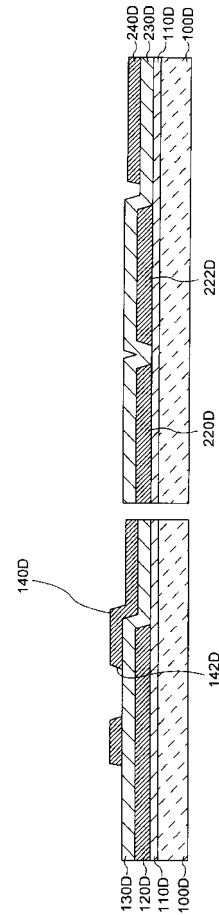
【図 4 3】

10D



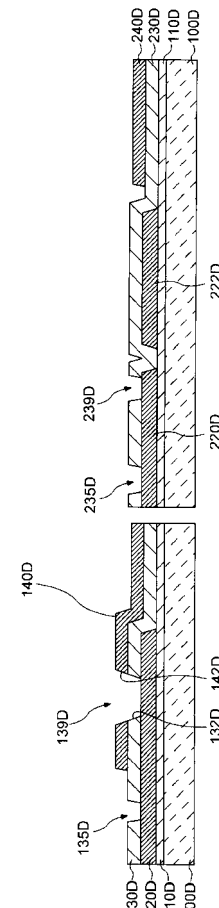
【図 4 2】

10D



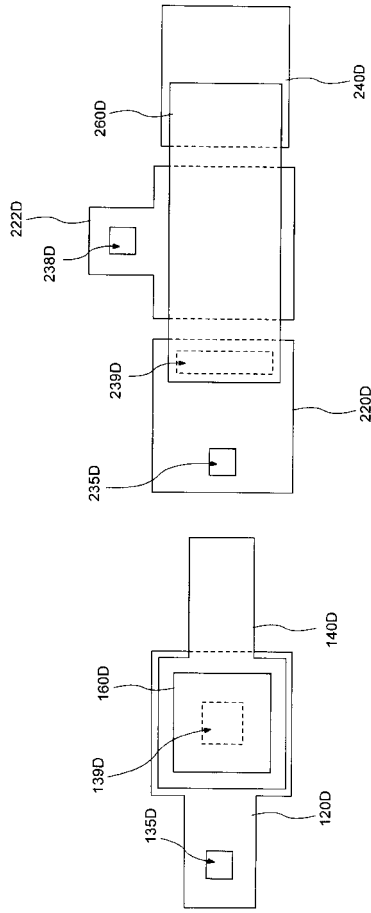
【図 4 4】

10D



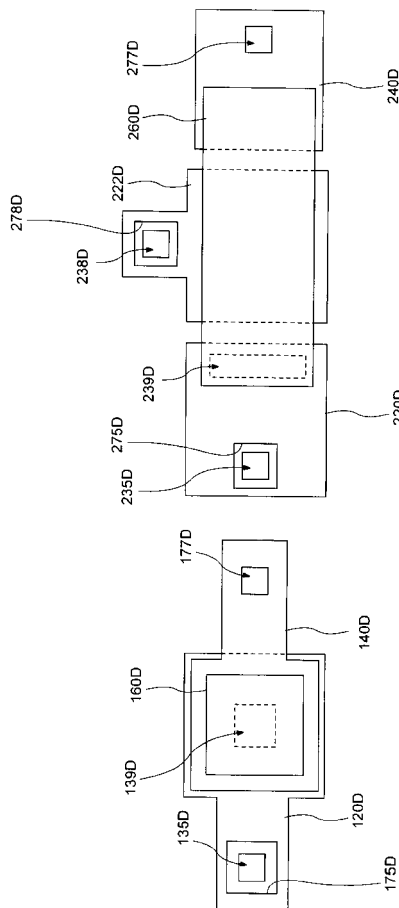
【図 4 5】

10D



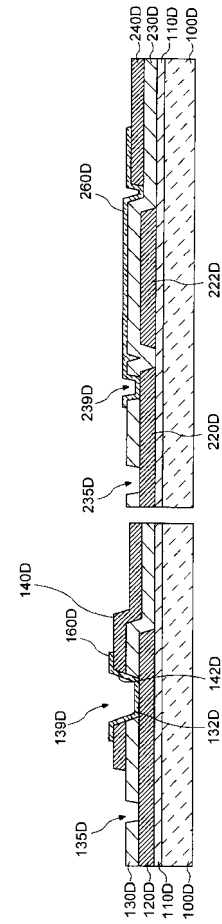
【図 4 7】

10D



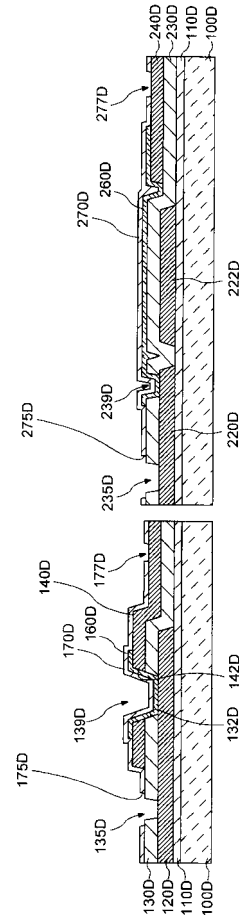
【図 4 6】

10D



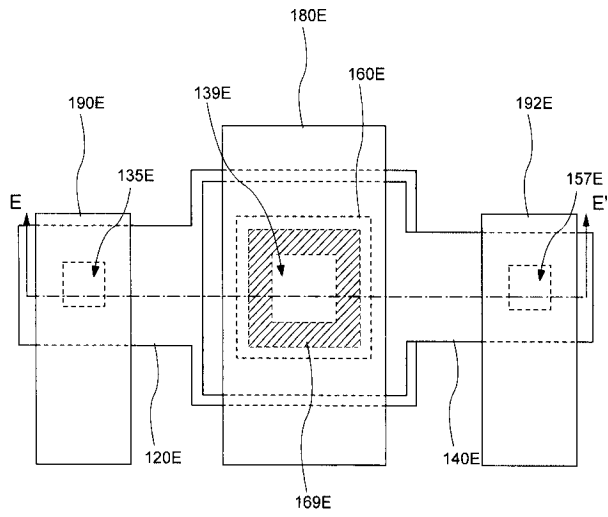
【図 4 8】

10D



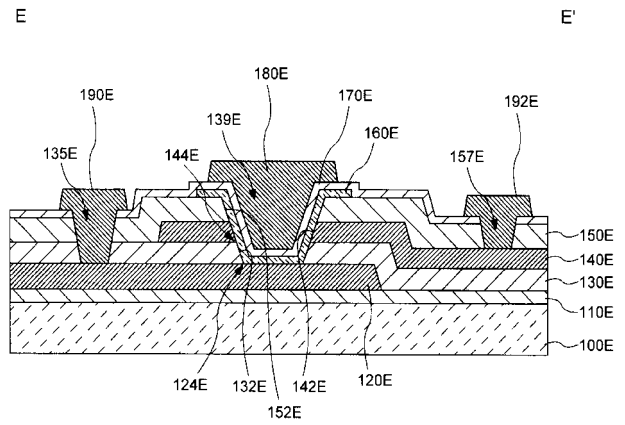
【図 4 9】

10E



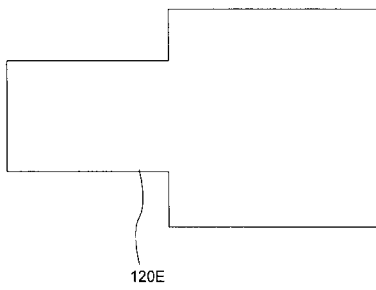
【図 5 0】

10E



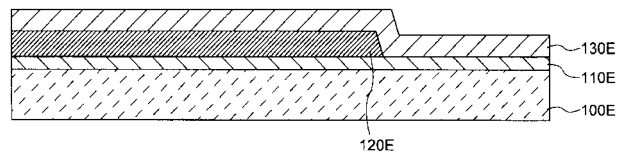
【図 5 1】

10E

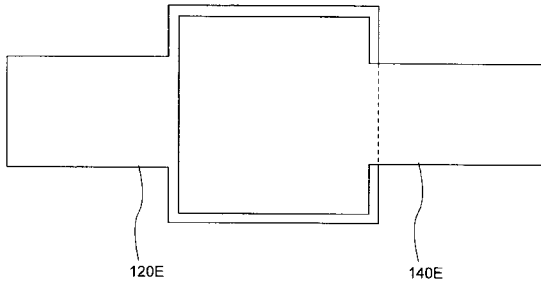


【図 5 2】

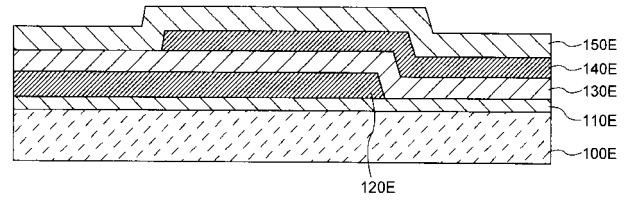
10E



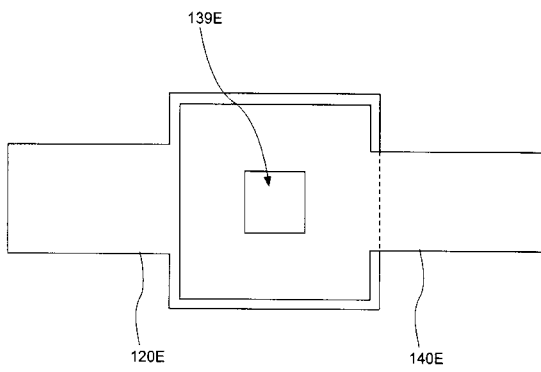
【図 5 3】

10E

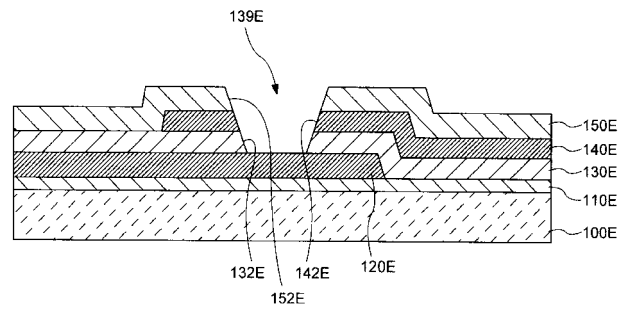
【図 5 4】

10E

【図 5 5】

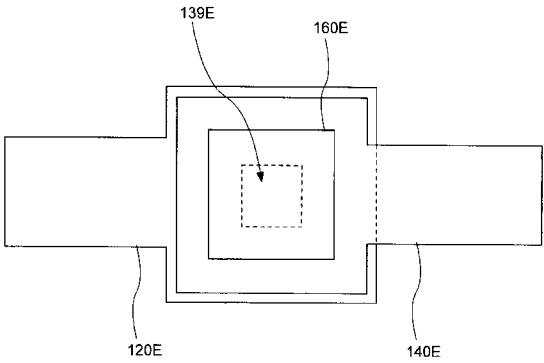
10E

【図 5 6】

10E

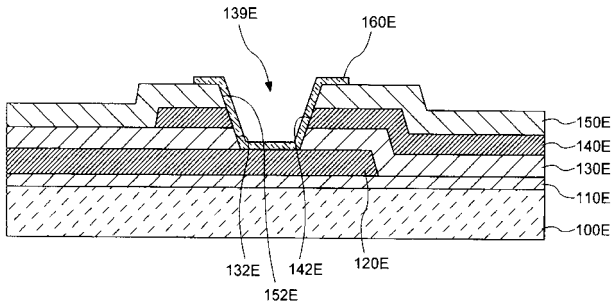
【図 5 7】

10E



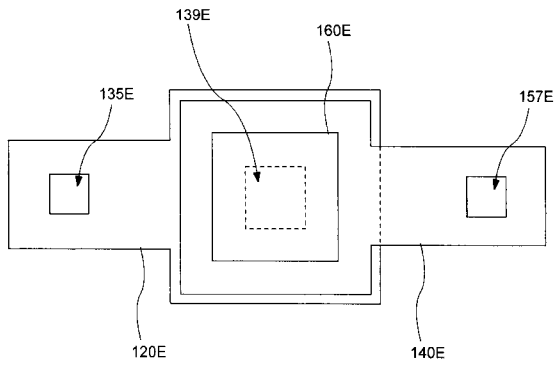
【図 5 8】

10E



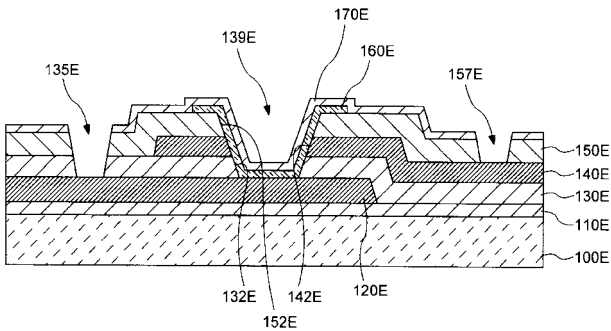
【図 5 9】

10E



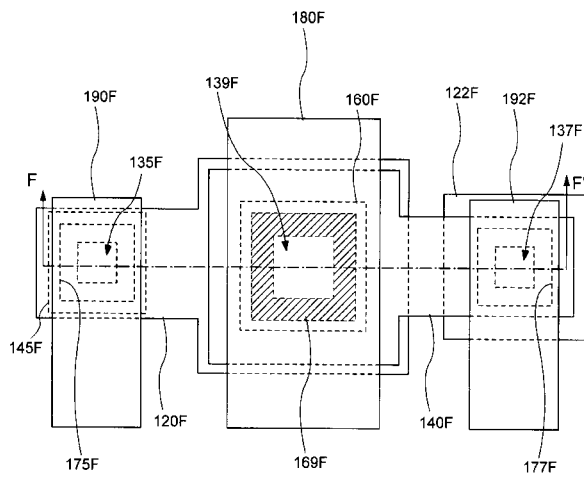
【図 6 0】

10E



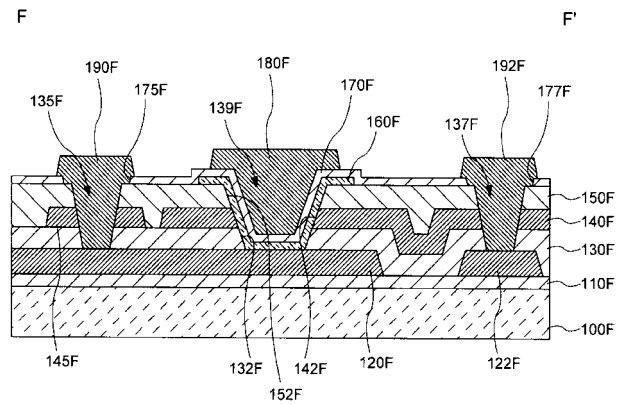
【図 6 1】

10F



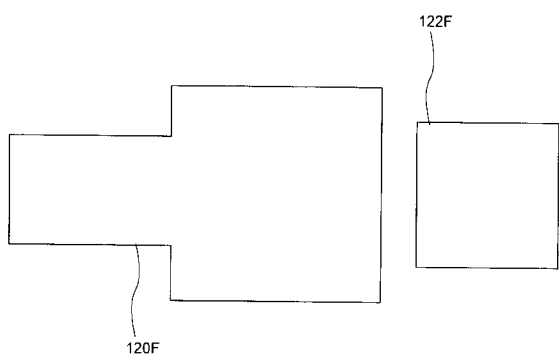
【図 6 2】

10F



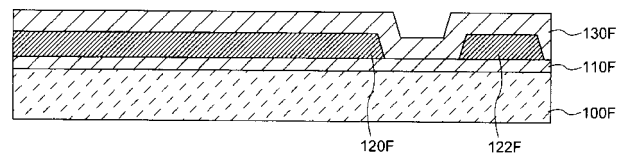
【図 6 3】

10F



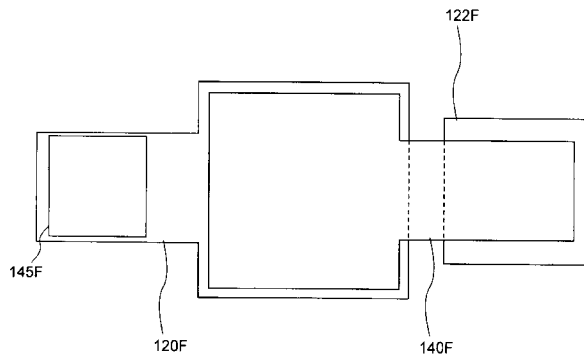
【図 6 4】

10F



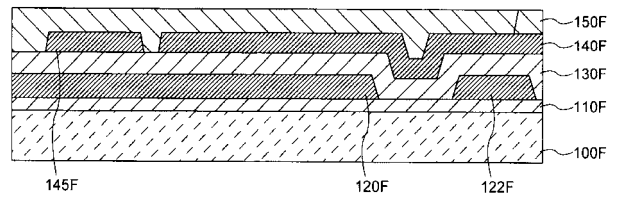
【図 6 5】

10F



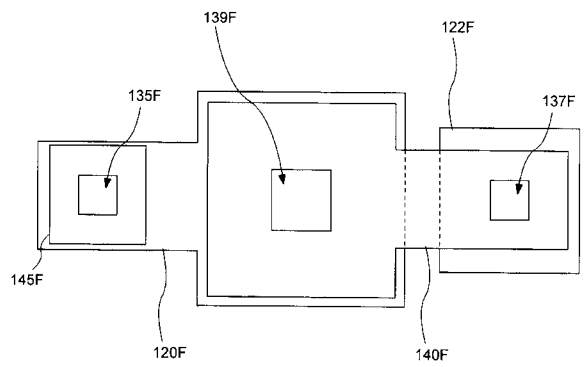
【図 6 6】

10F



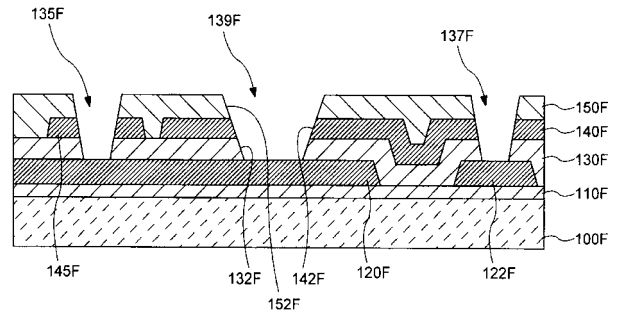
【図 6 7】

10F

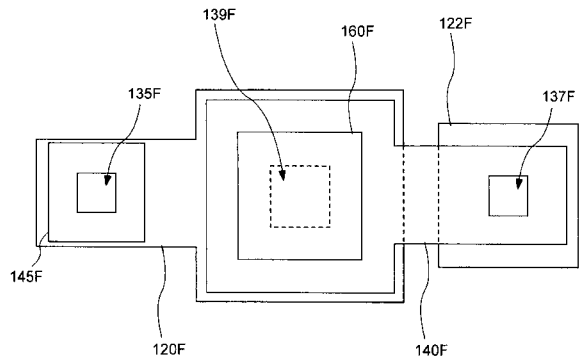


【図 6 8】

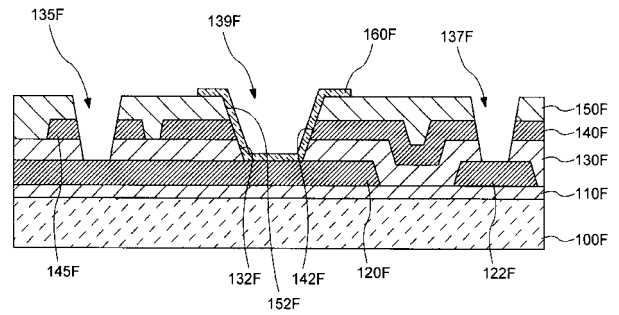
10F



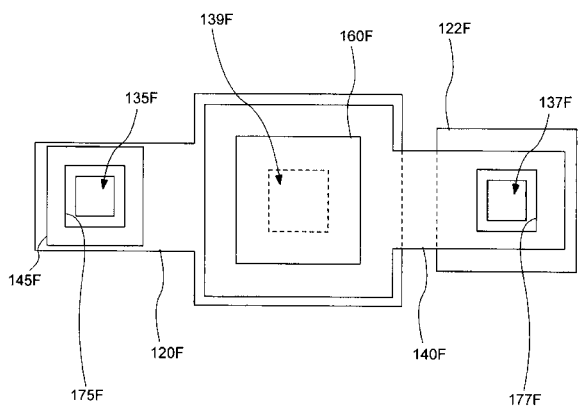
【図 69】

10F

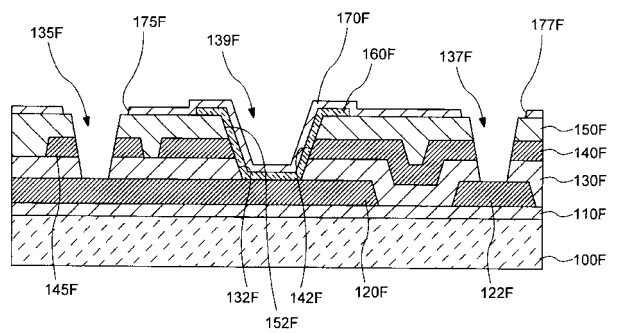
【図 70】

10F

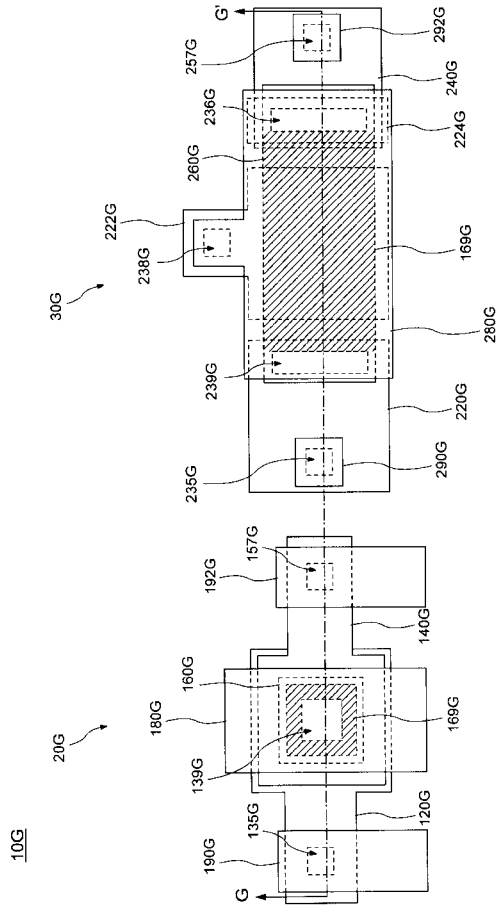
【図 71】

10F

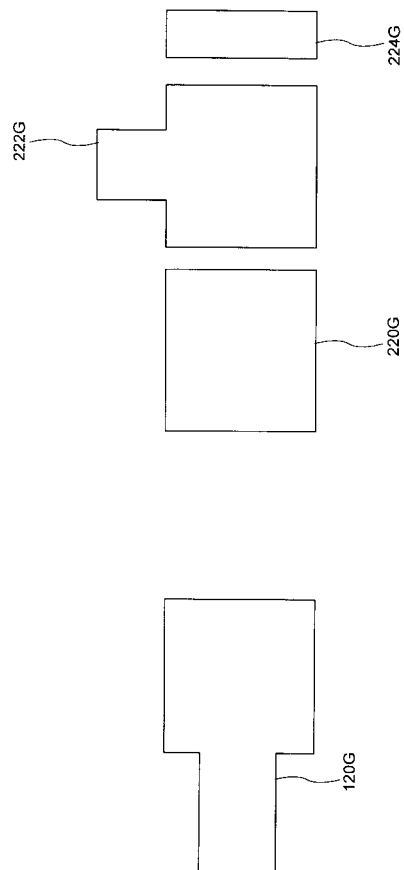
【図 72】

10F

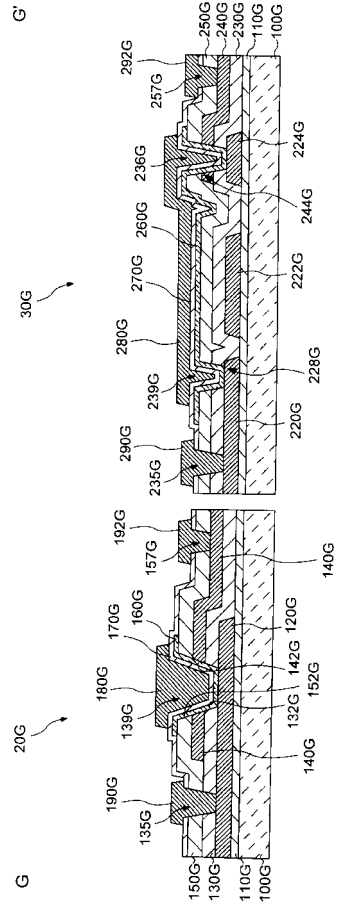
【図 7 3】



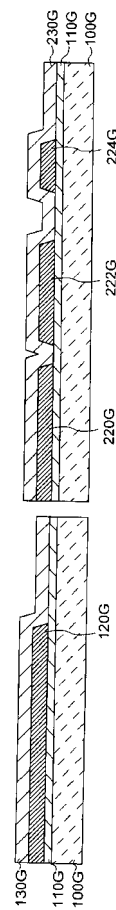
【图 7 5】



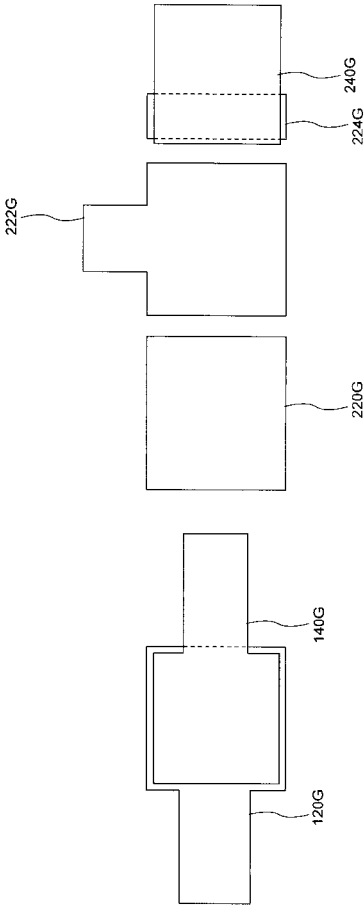
【图 7-4】



【図 7 6】

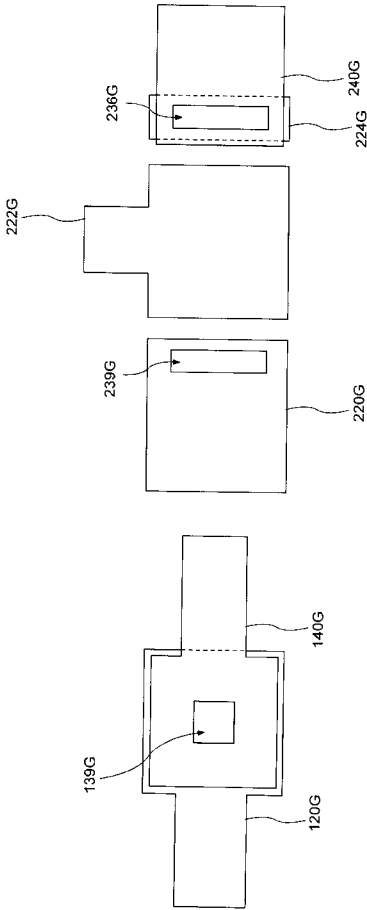


【図 77】



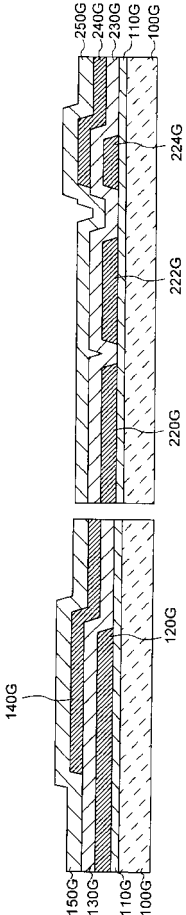
10G

【図 79】



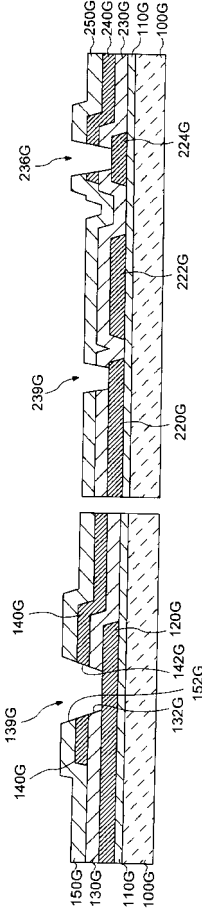
10G

【図 78】



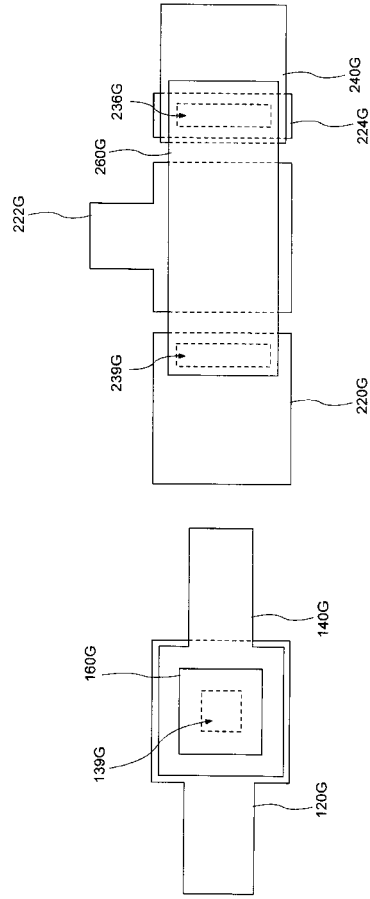
10G

【図 80】



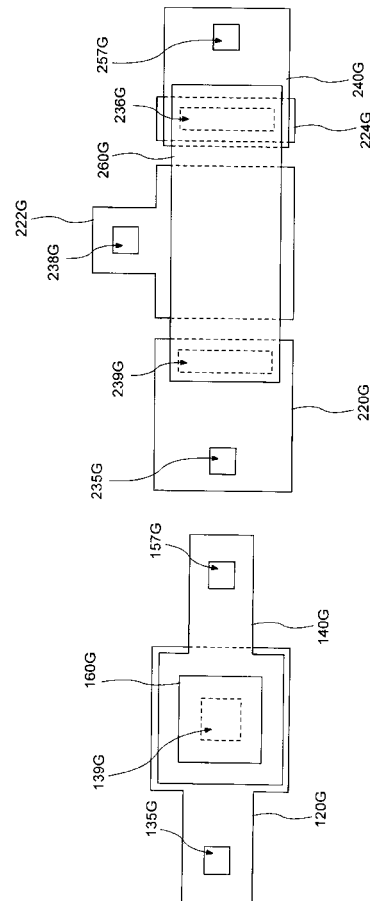
10G

【図 8 1】



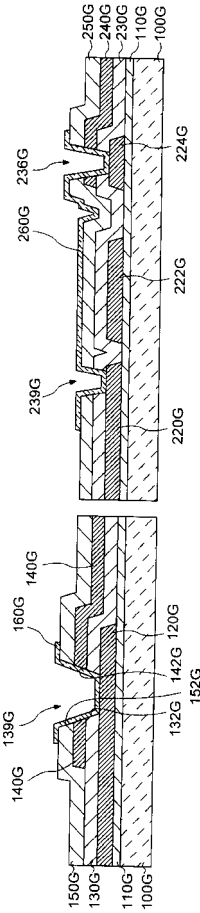
10G

【図 8 3】



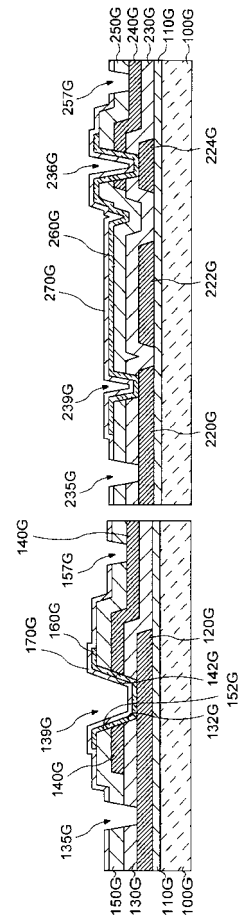
10G

【図 8 2】



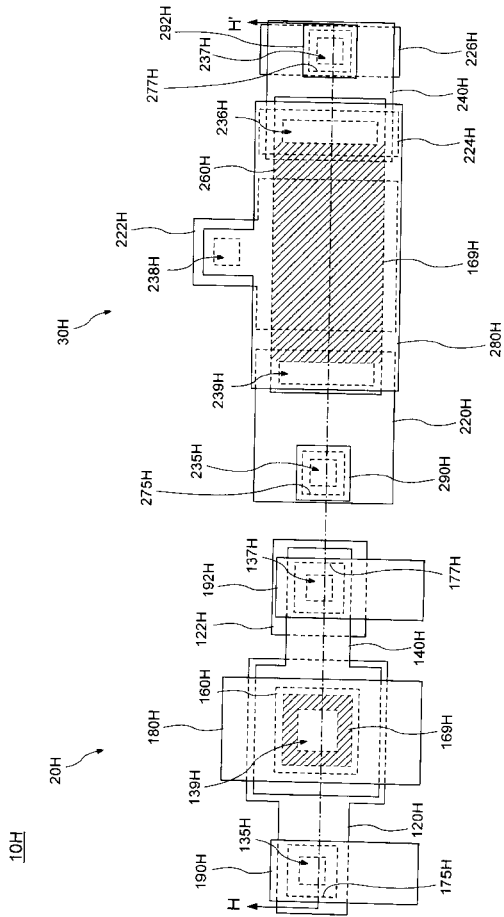
10G

【図 8 4】

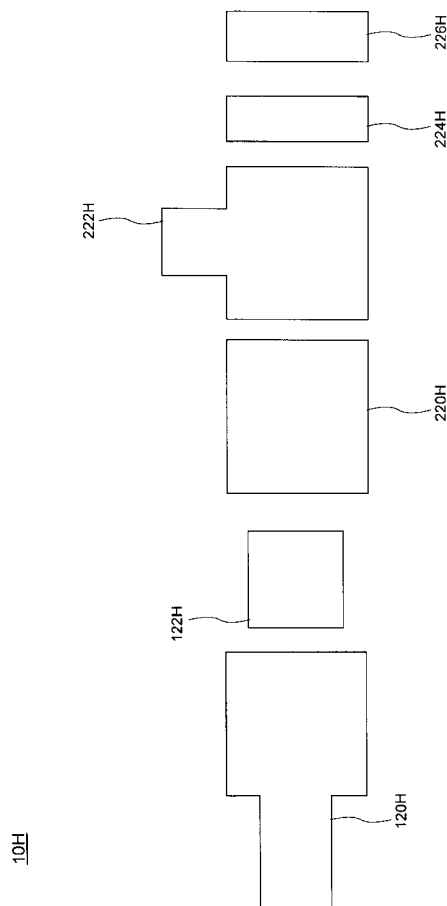


10G

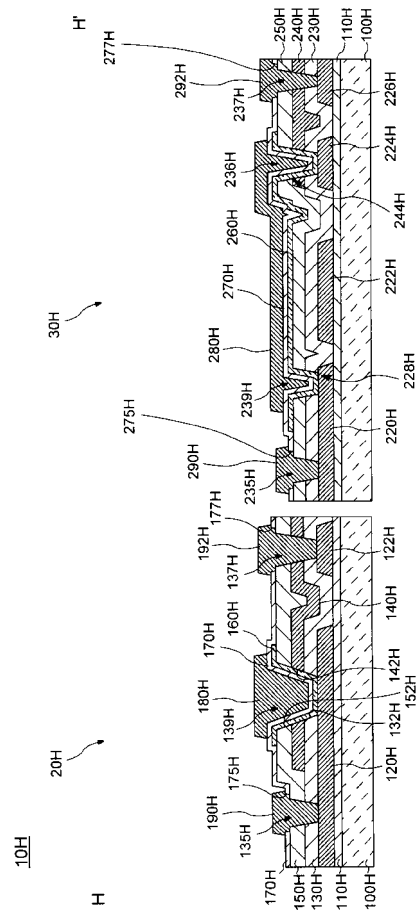
【図 8 5】



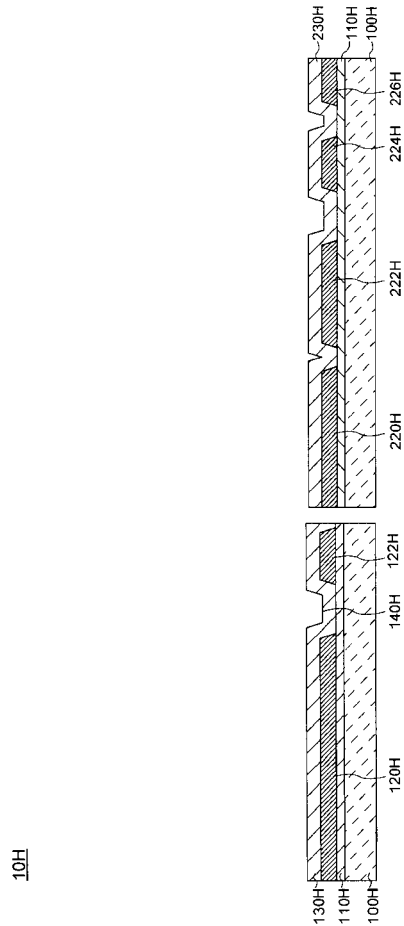
【図 8 7】



【図 8 6】

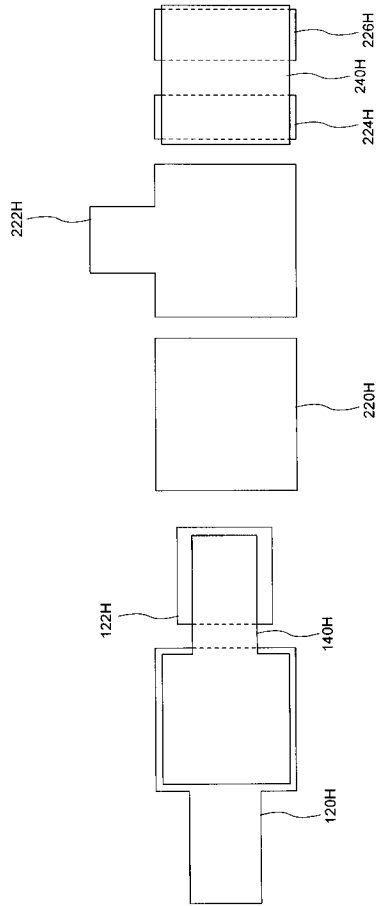


【図 8 8】



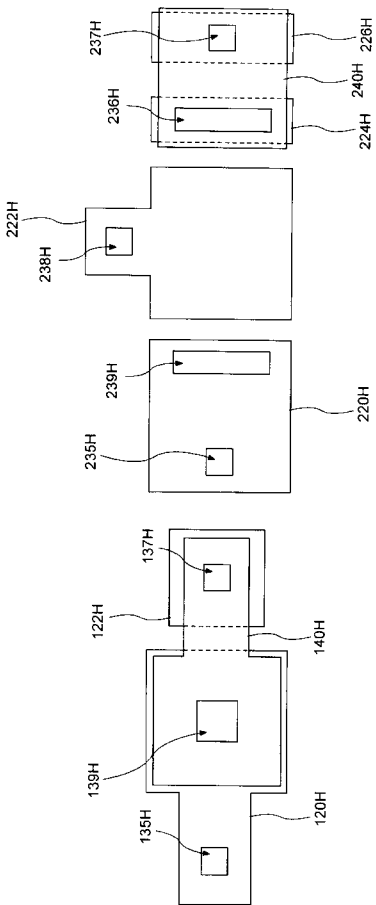
【図 89】

10H



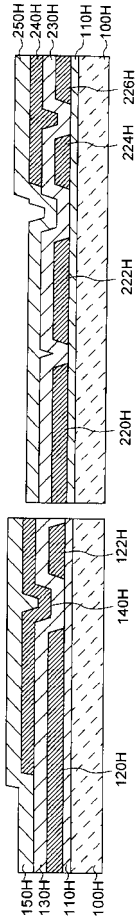
【図 91】

10H



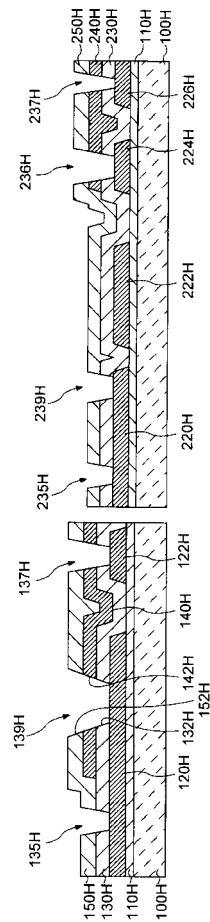
【図 90】

10H

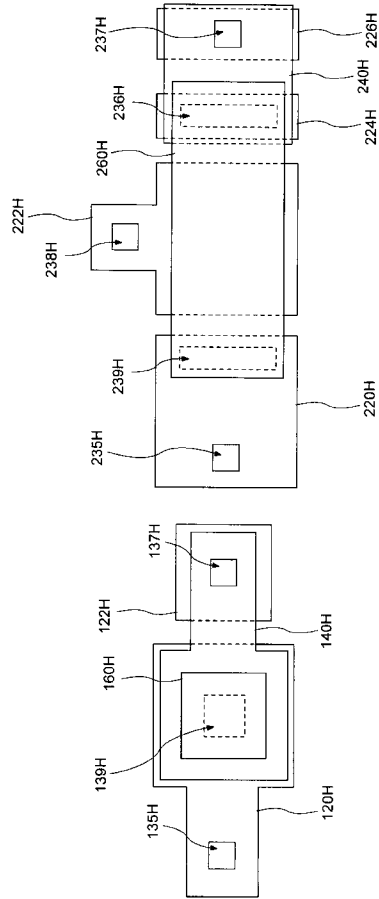


【図 92】

10H

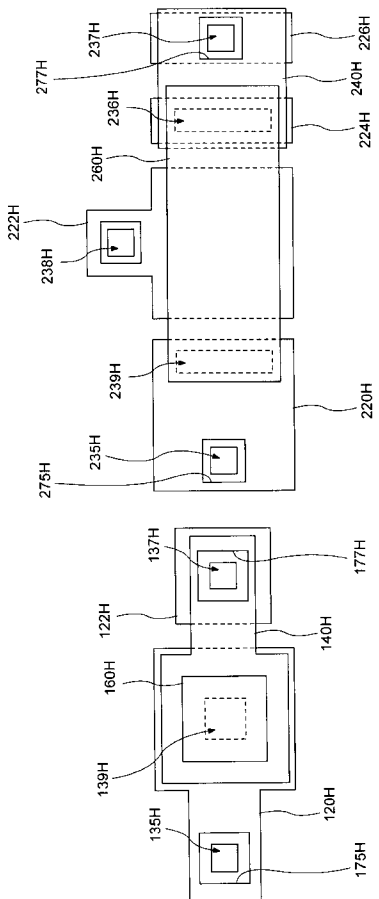


【図 9 3】



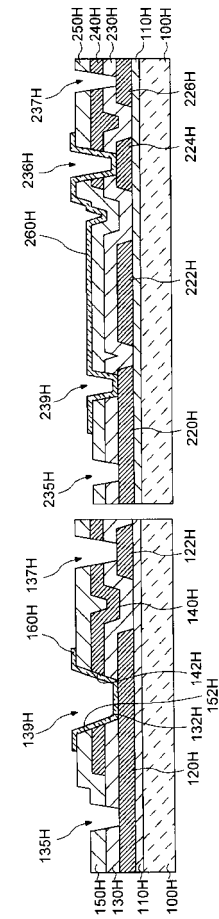
10H

【図 9 5】



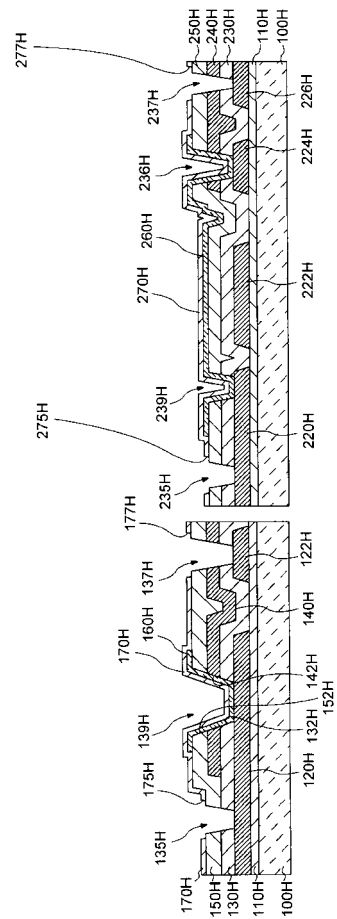
10H

【図 9 4】



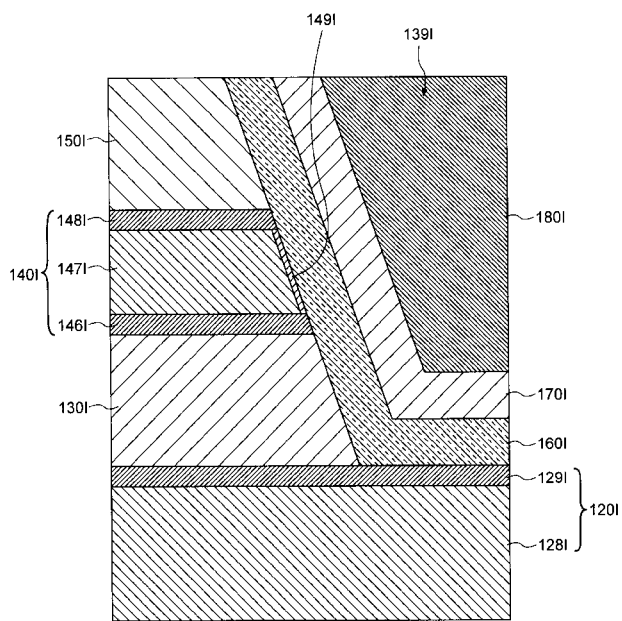
10H

【図 9 6】

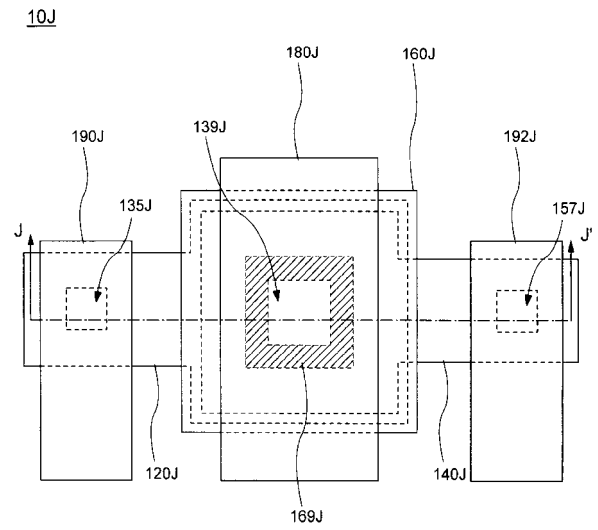


10H

【図 9 7】



【図 9 8】

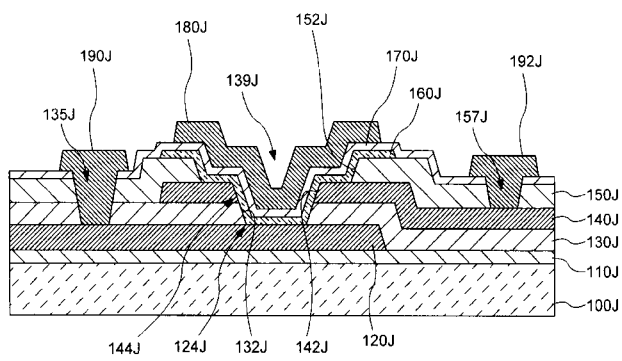


【図 9 9】

10J

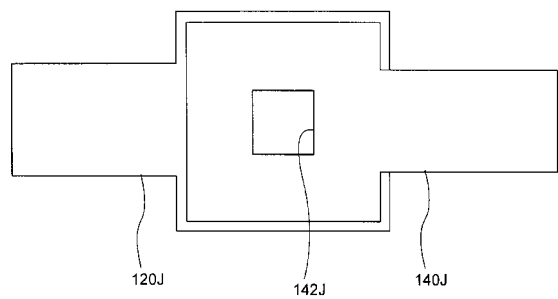
J

J'



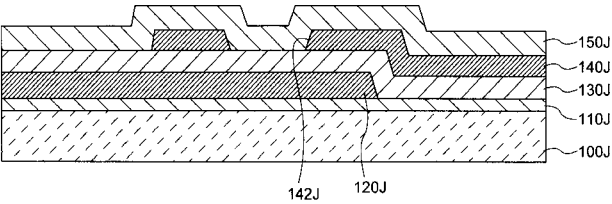
【図 1 0 0】

10J



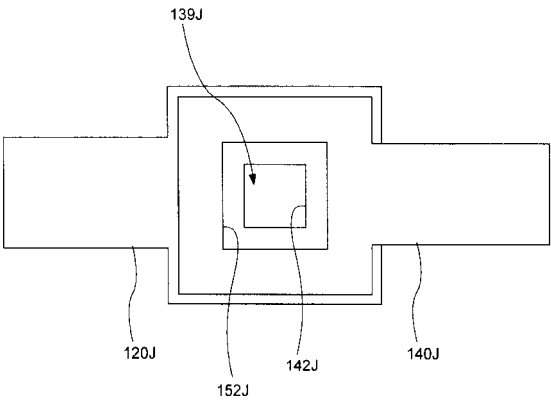
【図 1 0 1】

10J



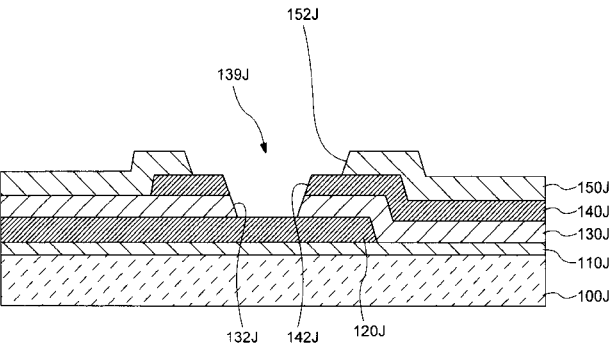
【図 1 0 2】

10J



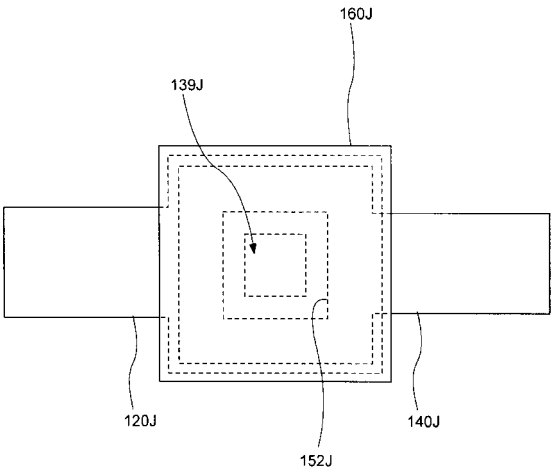
【図 1 0 3】

10J



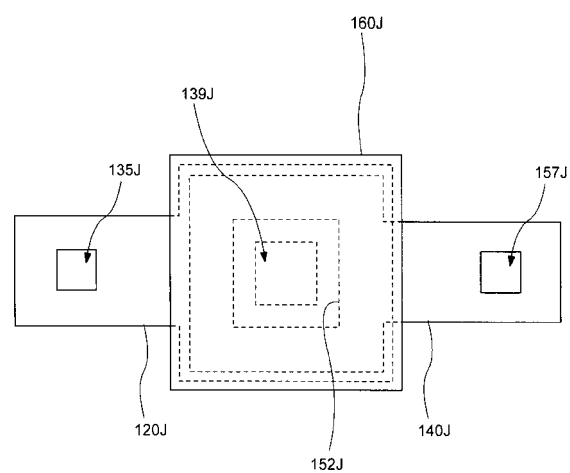
【図 1 0 4】

10J



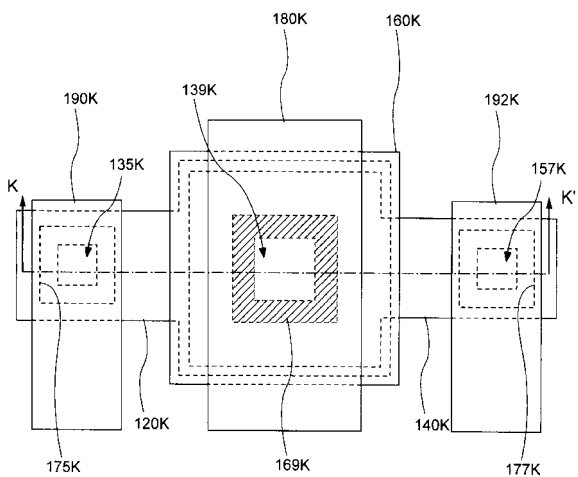
【図 106】

10J



【図 108】

10K

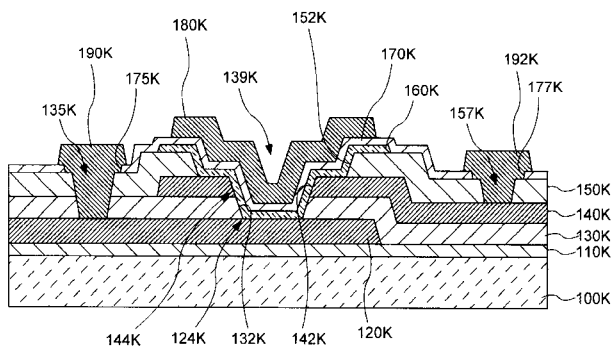


【図 109】

10K

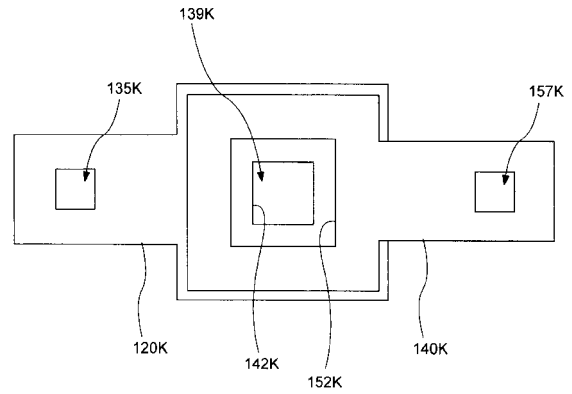
K

K'



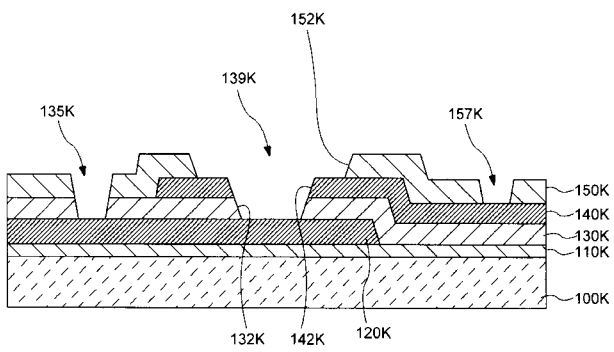
【図 110】

10K



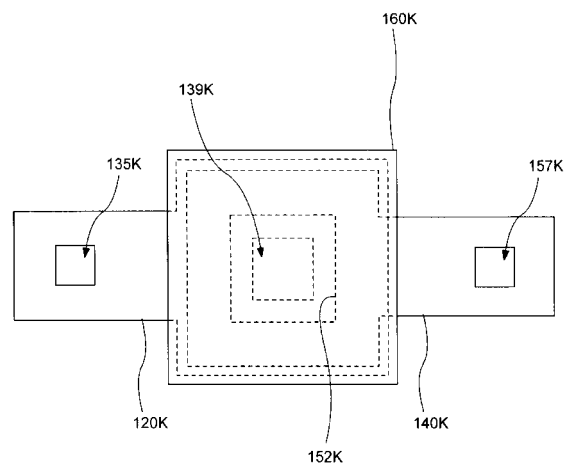
【図 111】

10K



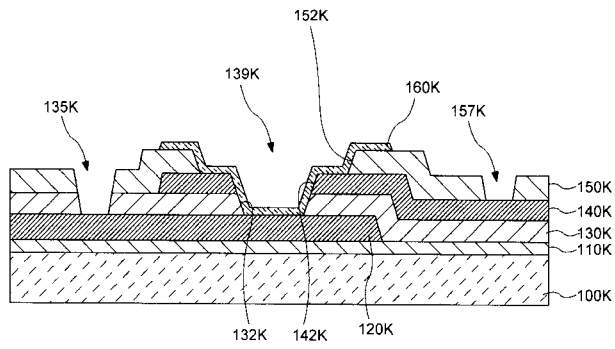
【図 112】

10K



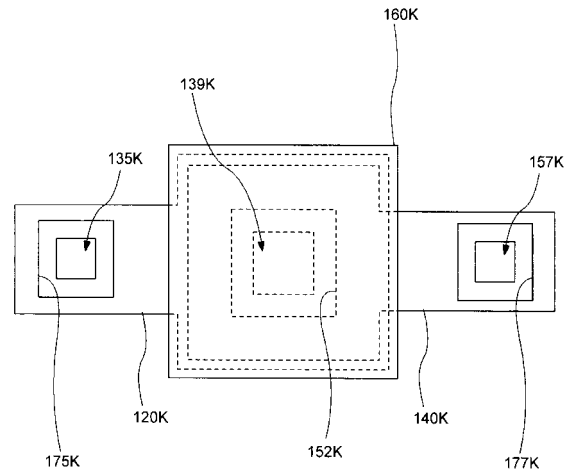
【図 1 1 3】

10K



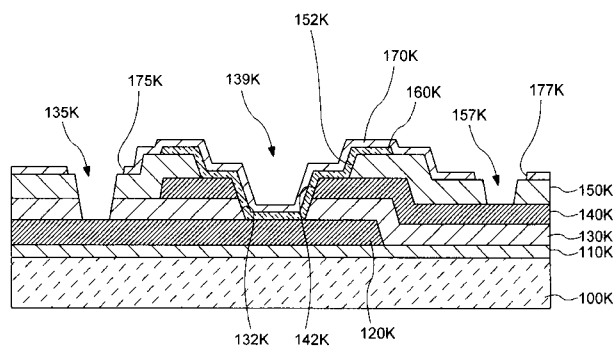
【図 1 1 4】

10K



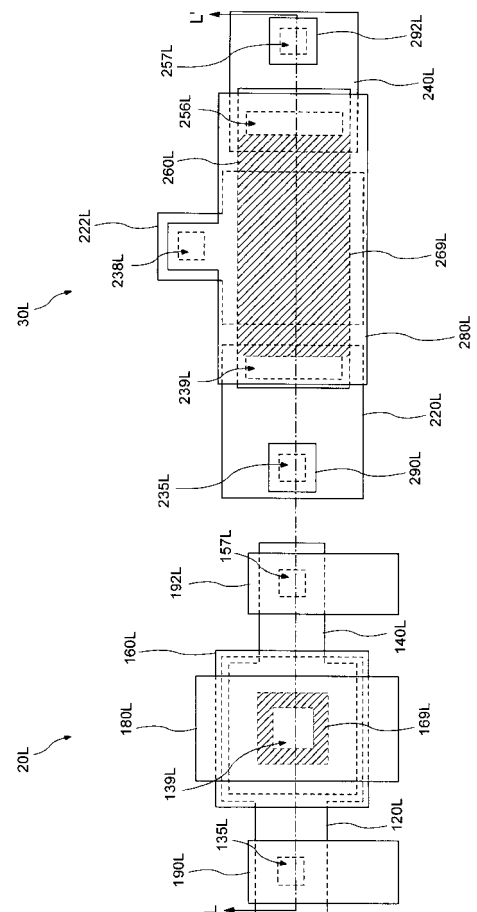
【図 1 1 5】

10K

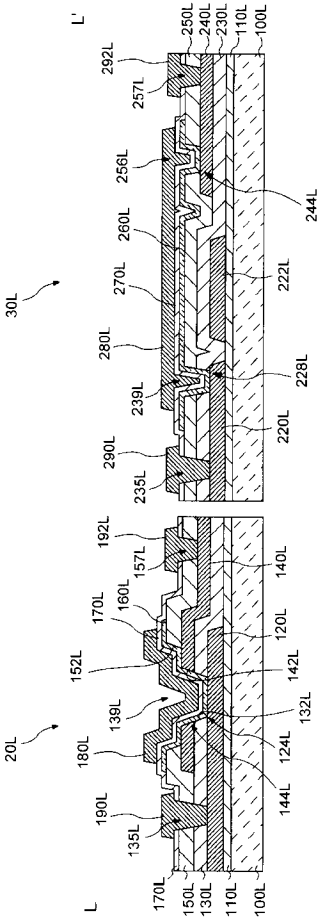


【図 1 1 6】

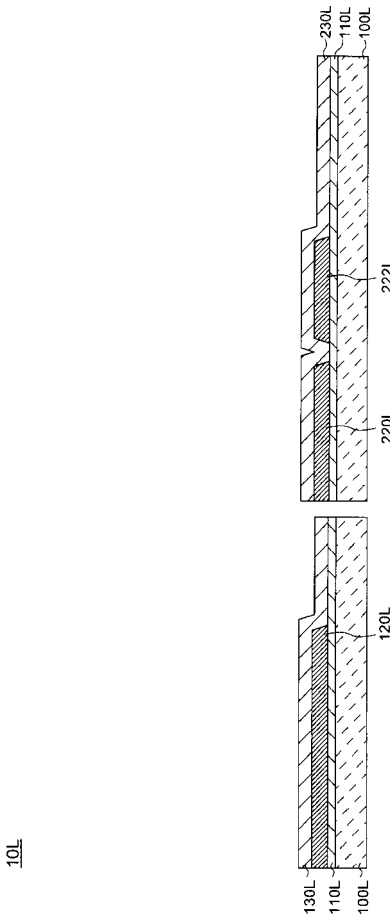
10L



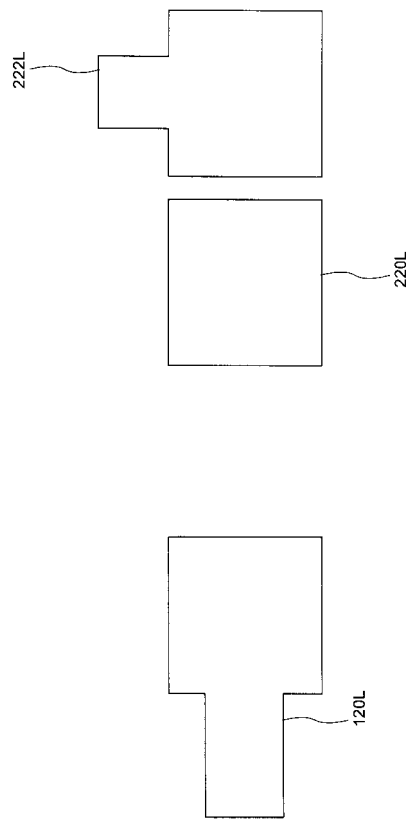
【図 1 1 7】



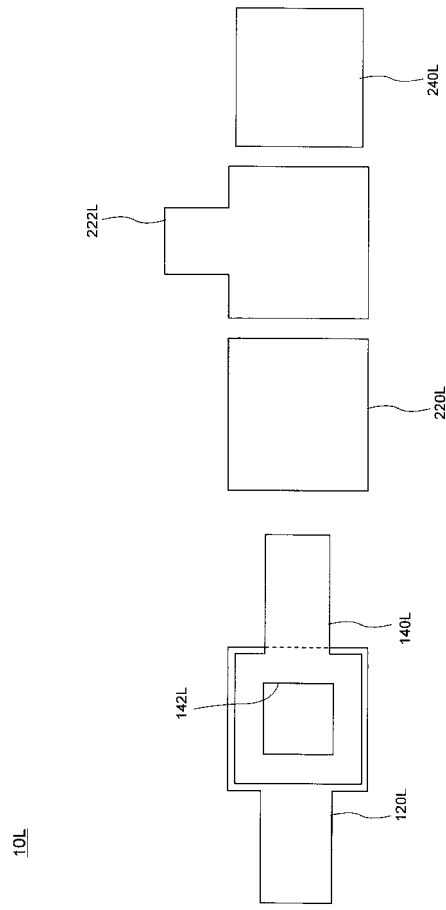
【図 1 1 9】



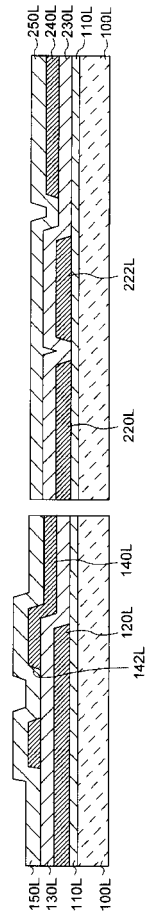
【図 1 1 8】



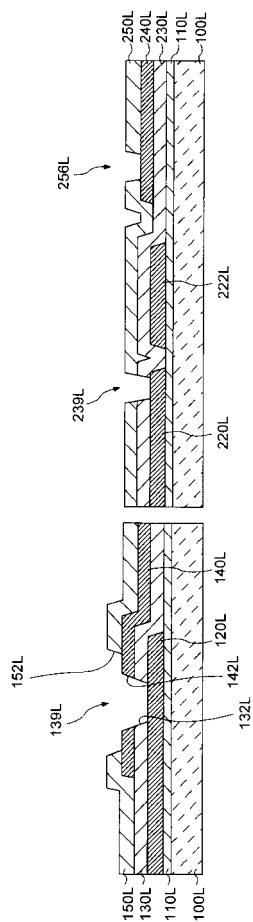
【図 1 2 0】



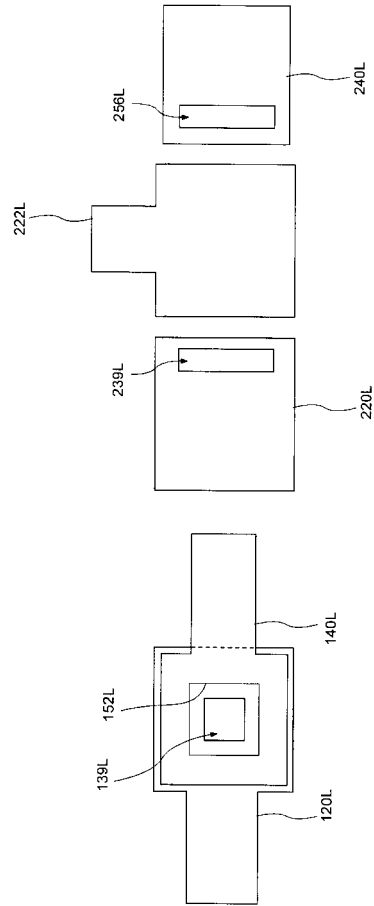
【図 1 2 1】

10L

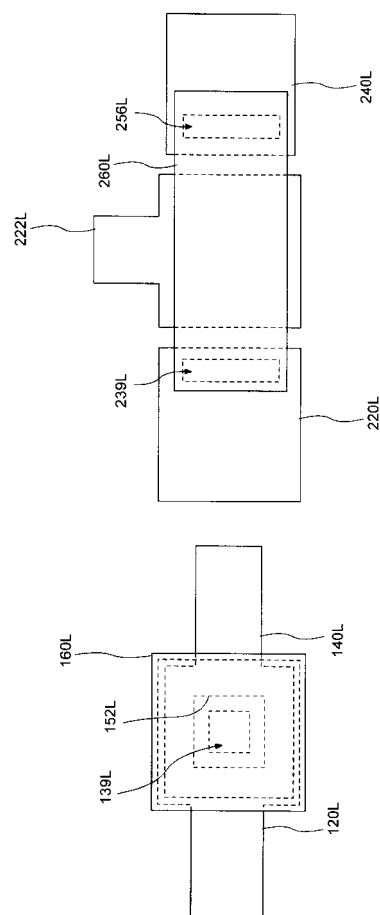
【図 1 2 3】

10L

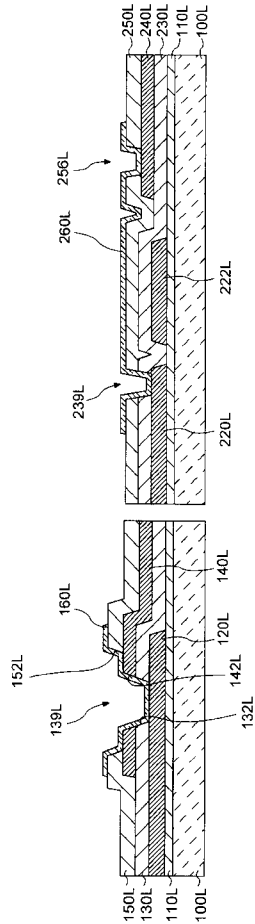
【図 1 2 2】

10L

【図 1 2 4】

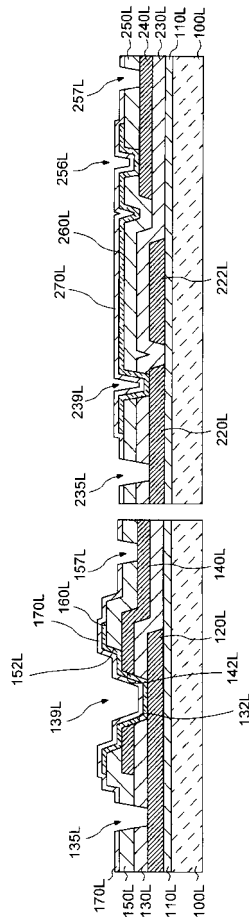
10L

【図 125】



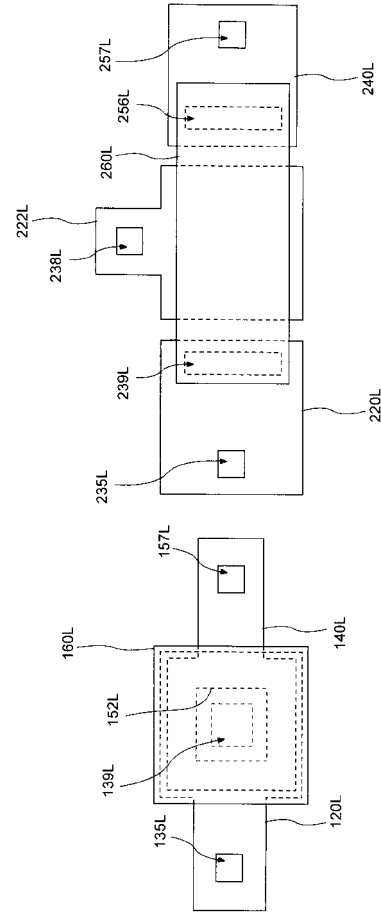
10L

【図 127】



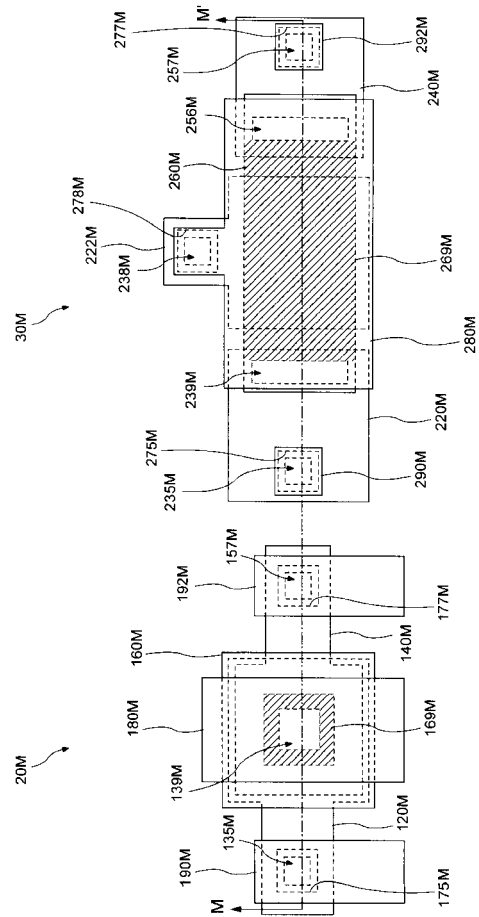
10L

【図 126】



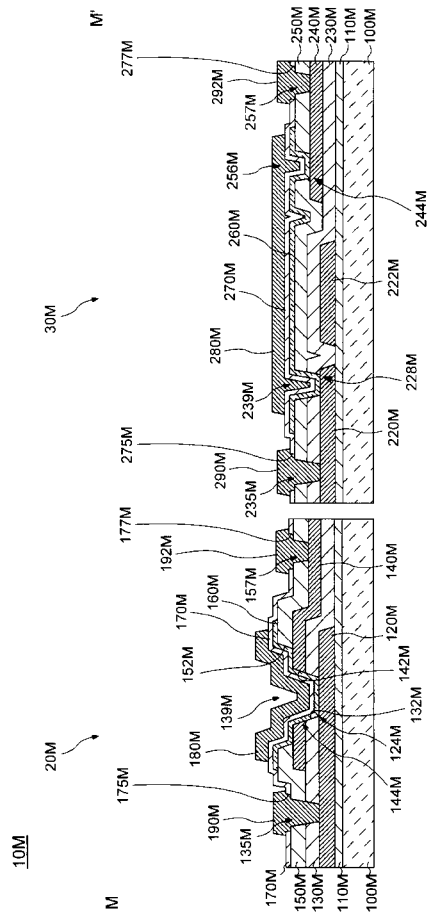
10L

【図 128】

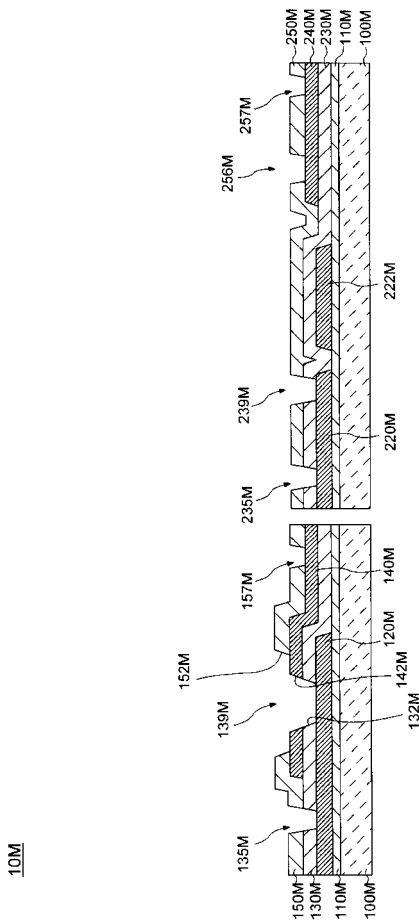


10M

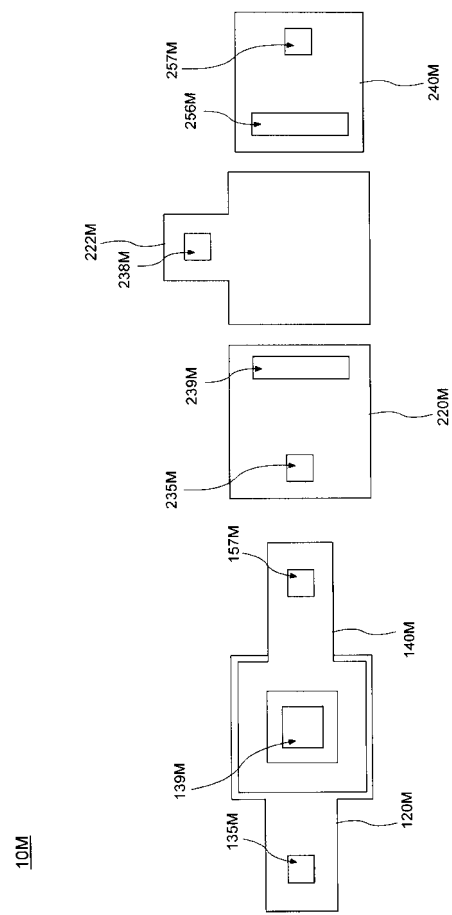
【図 129】



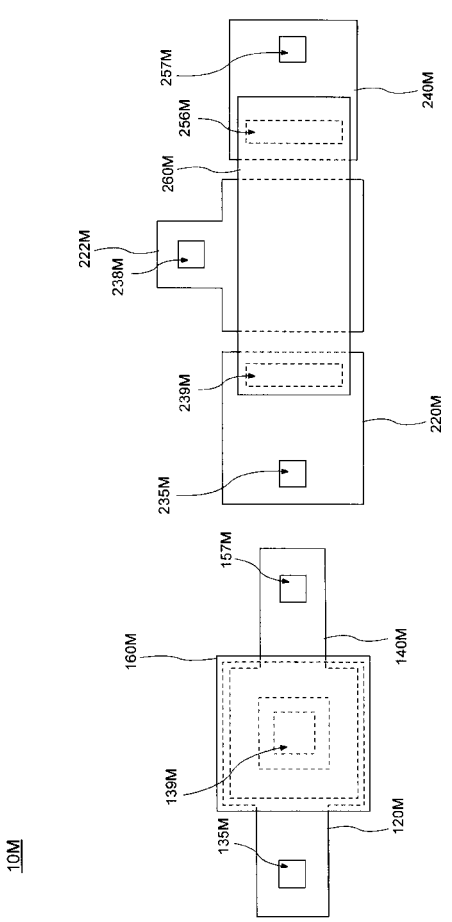
【図 131】



【図 130】



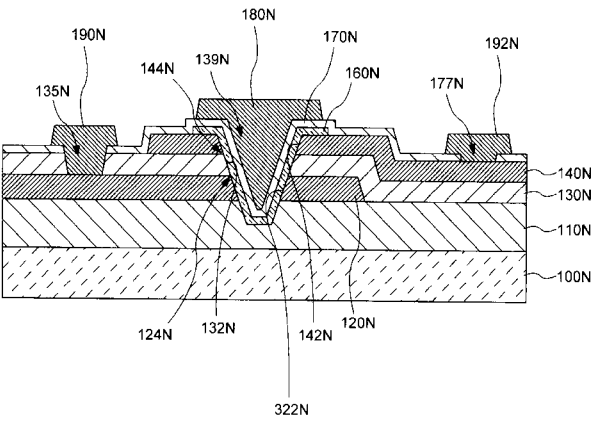
【図 132】



【図 1 3 7】

10N

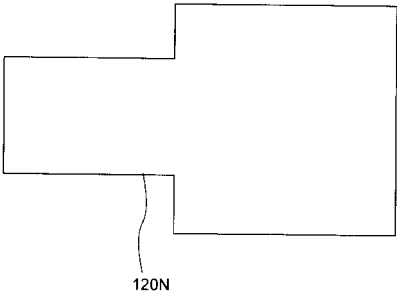
N



【図 1 3 8】

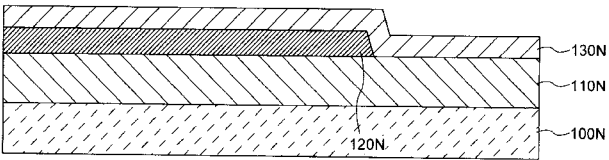
10N

N'



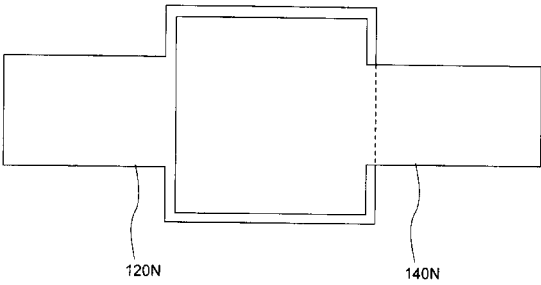
【図 1 3 9】

10N



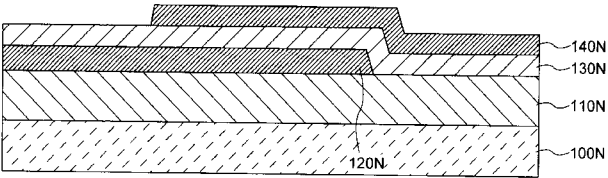
【図 1 4 0】

10N



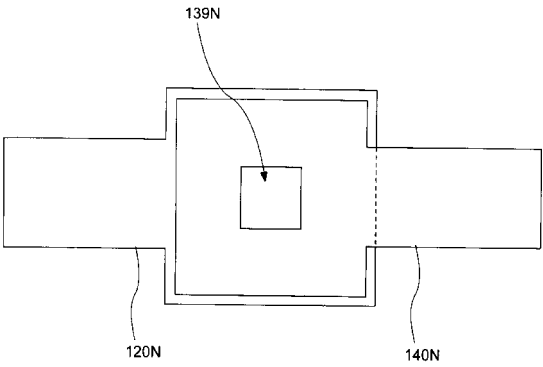
【図 1 4 1】

10N



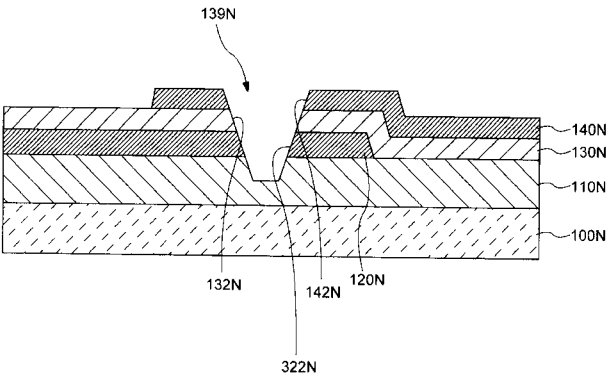
【図 1 4 2】

10N



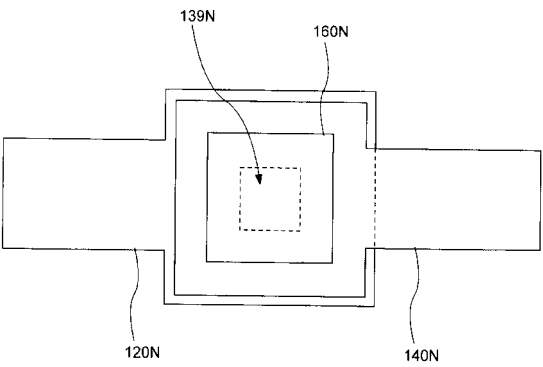
【図 1 4 3】

10N

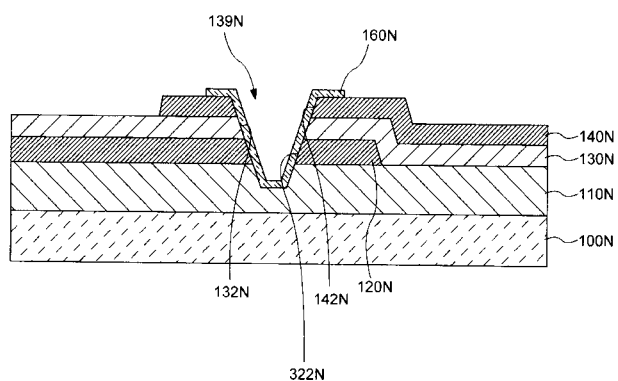


【図 1 4 4】

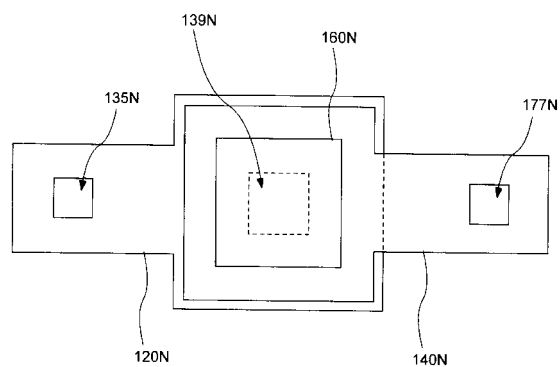
10N



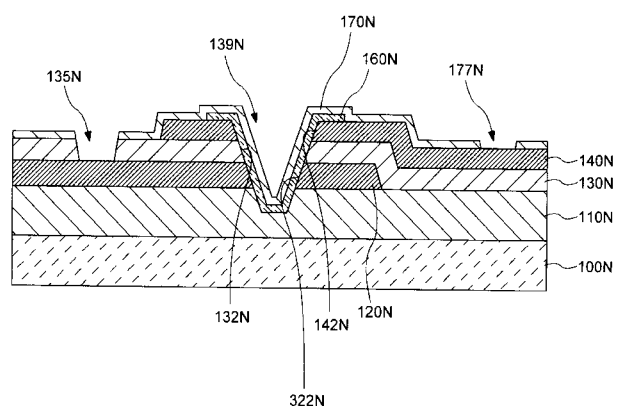
10N



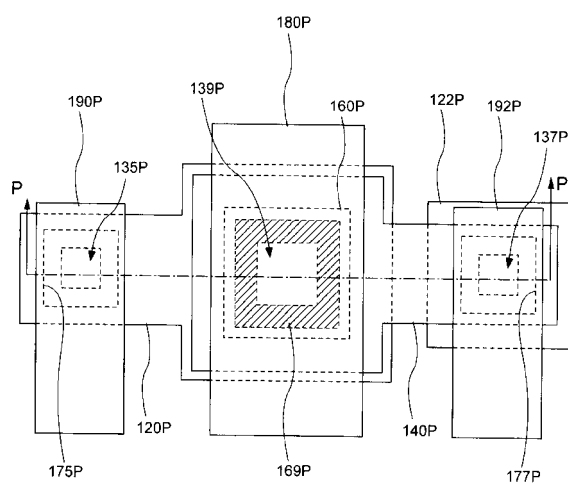
10N



10N

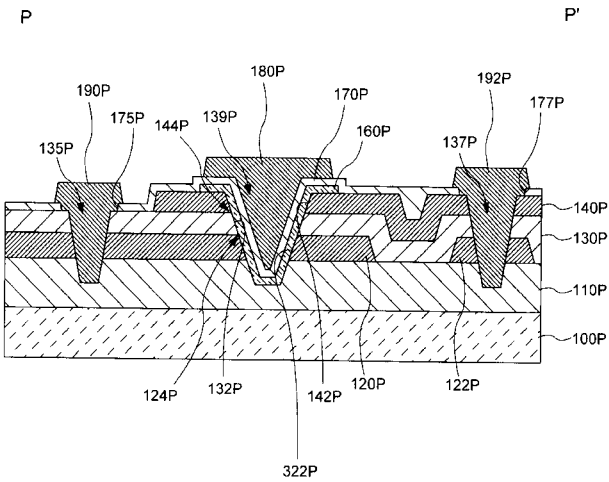


10P



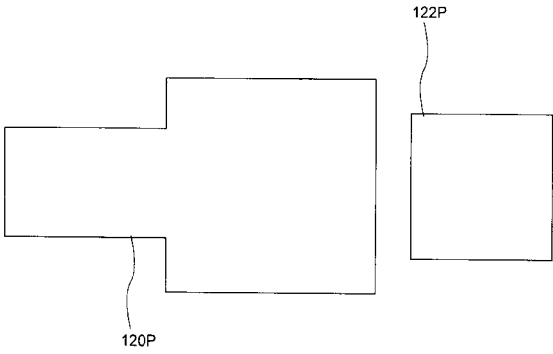
【図 1 4 9】

10P



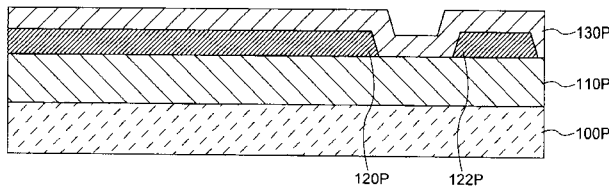
【図 1 5 0】

10P



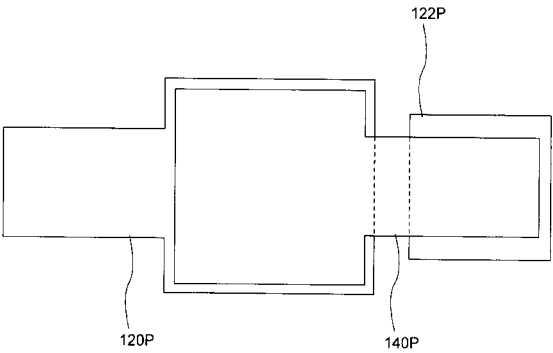
【図 1 5 1】

10P



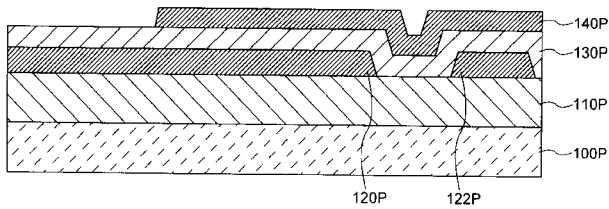
【図 1 5 2】

10P



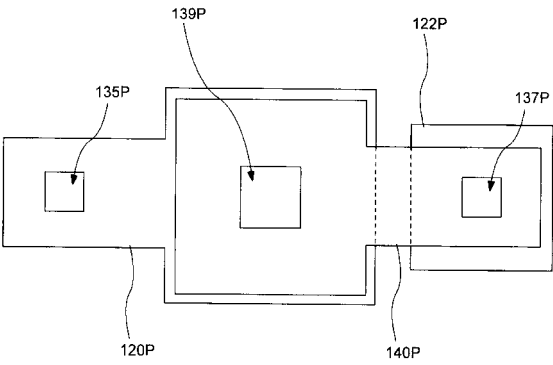
【図 1 5 3】

10P



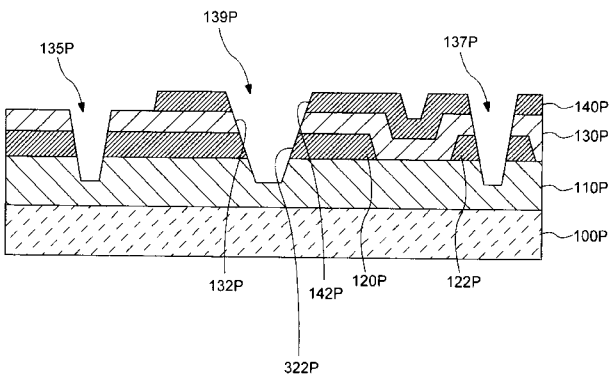
【図 1 5 4】

10P



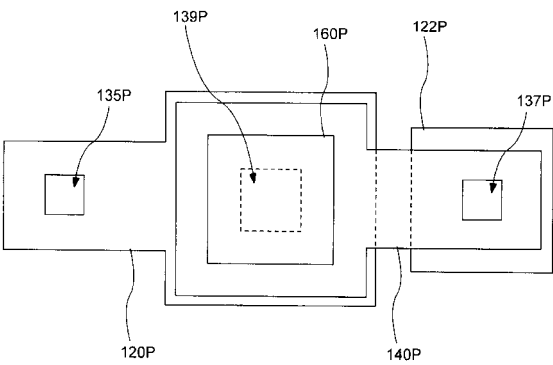
【図 1 5 5】

10P



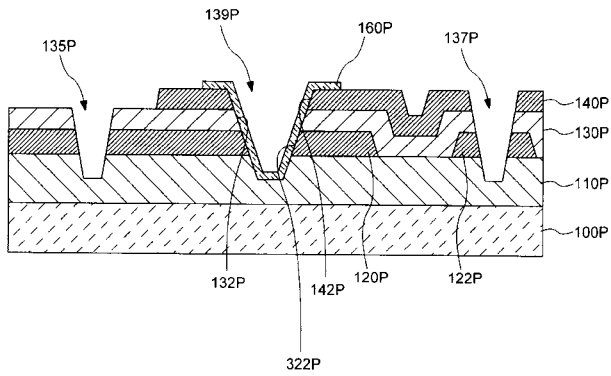
【図 1 5 6】

10P



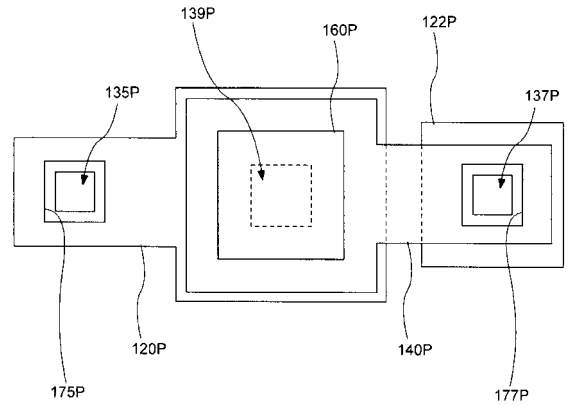
【図 157】

10P



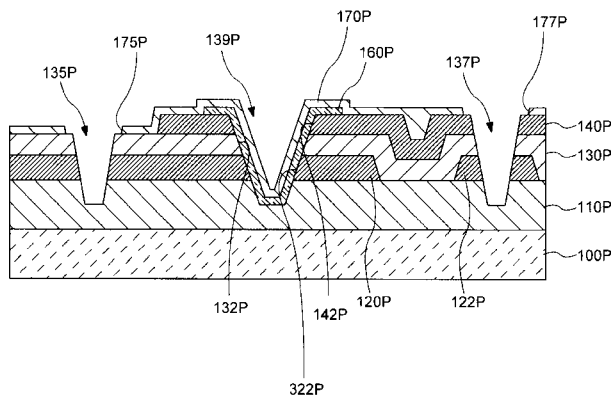
【図 158】

10P



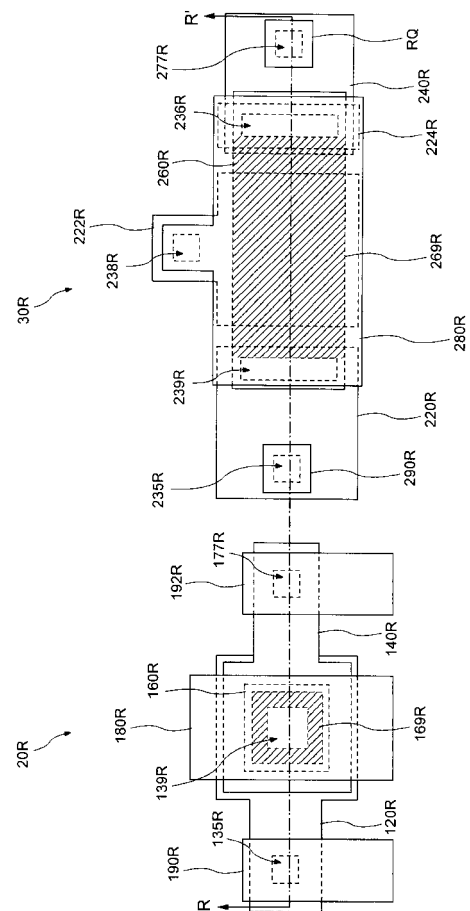
【図 159】

10P



【図 160】

10R

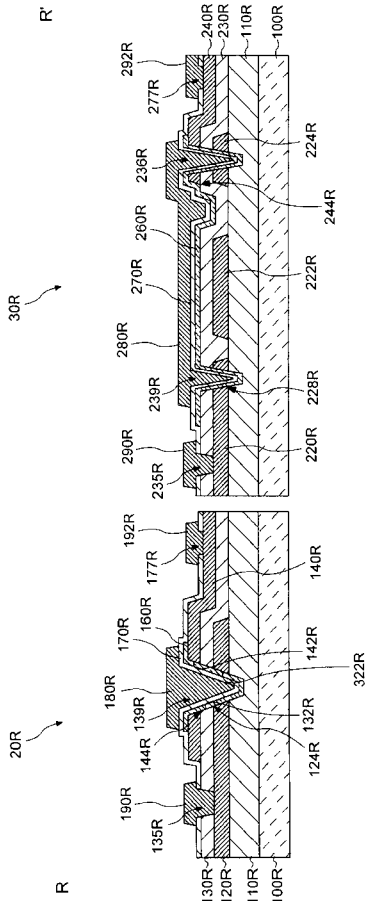


【図 1 6 1】

10R

【図 1 6 3】

10R

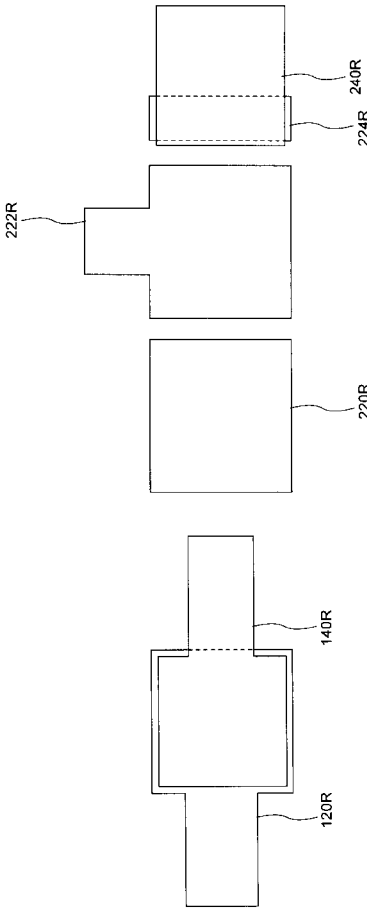
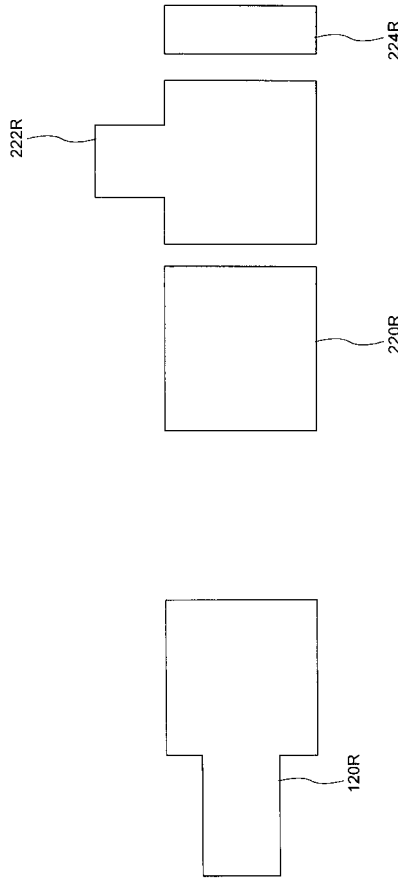


【図 1 6 2】

10R

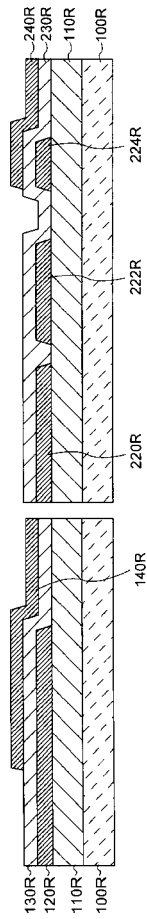
【図 1 6 4】

10R



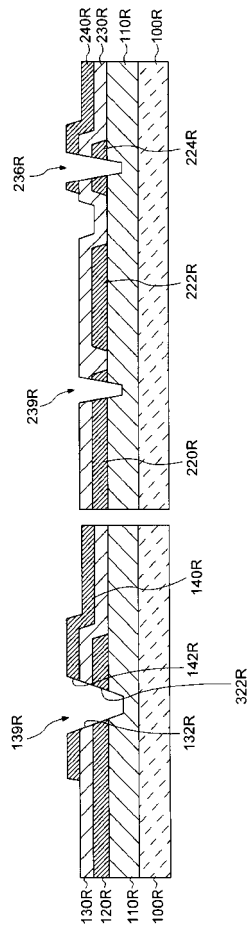
【図 165】

10R



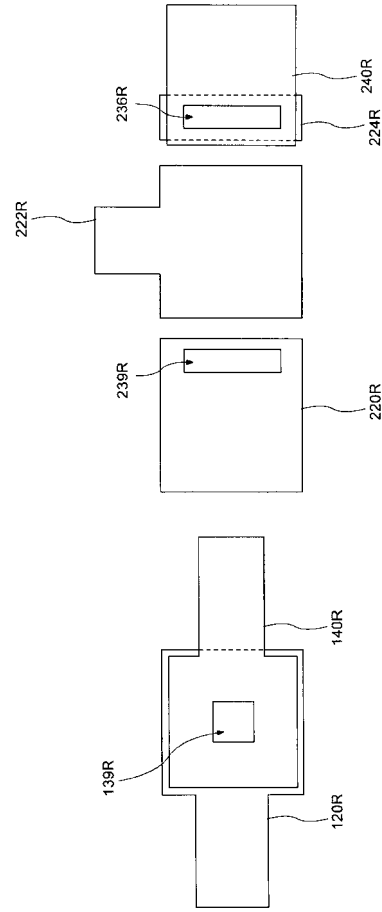
【図 167】

10R



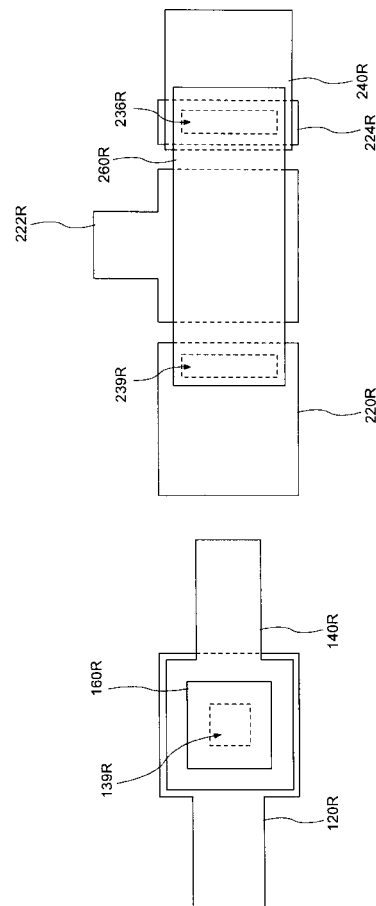
【図 166】

10R

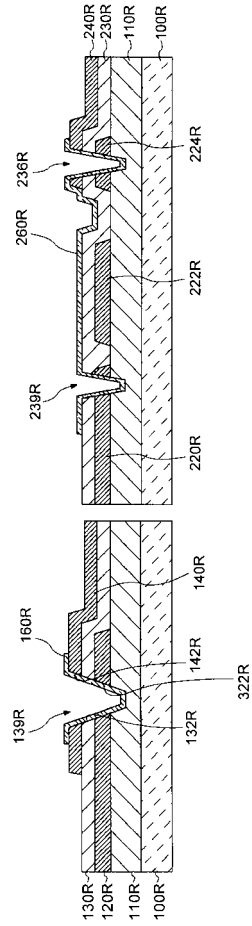


【図 168】

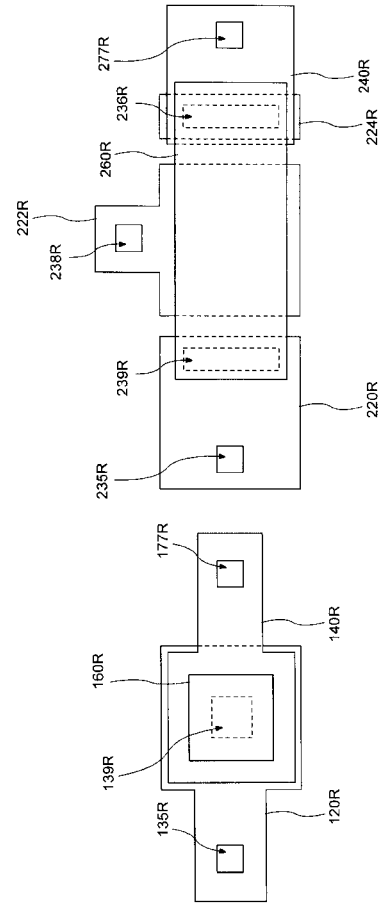
10R



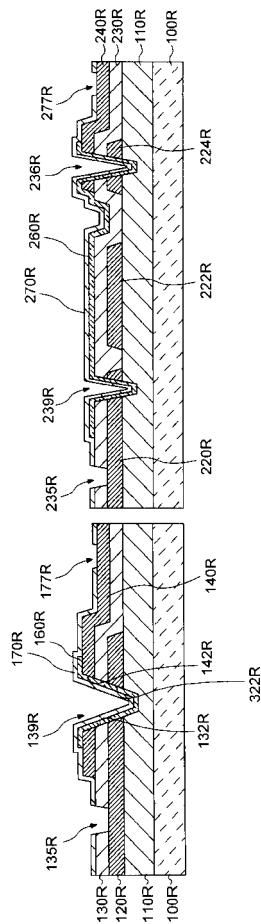
【 図 1 6 9 】



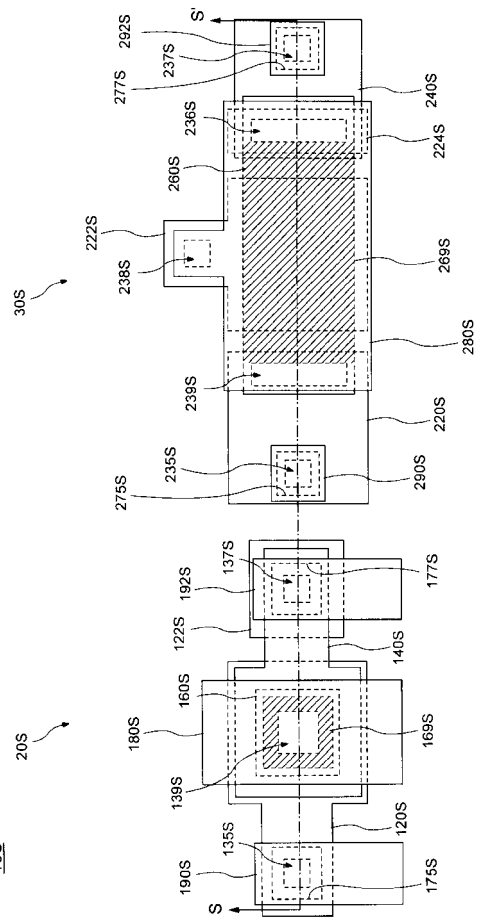
【图 1 7 0】



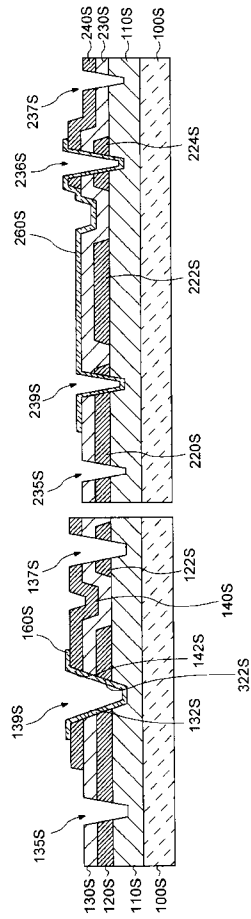
【 図 1 7 1 】



【图 1 7 2】

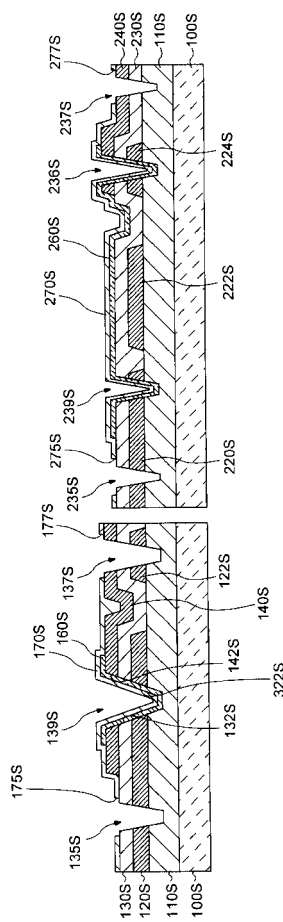


【図 181】



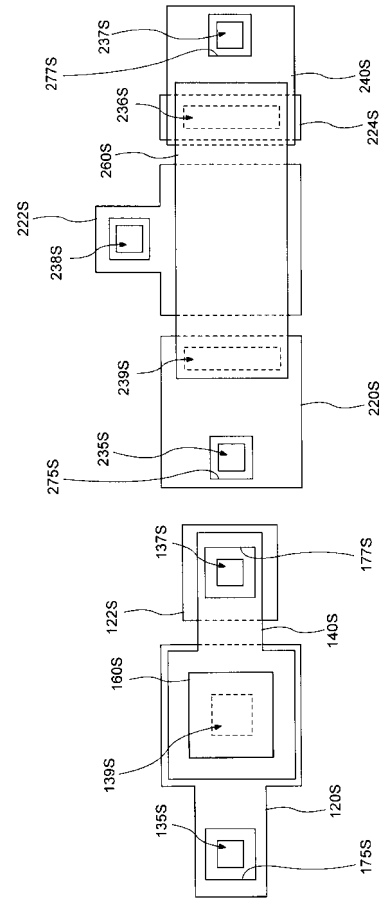
10S

【図 183】



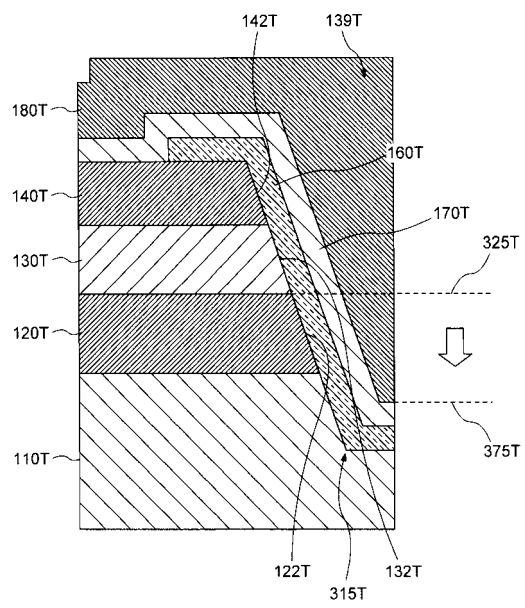
10S

【図 182】

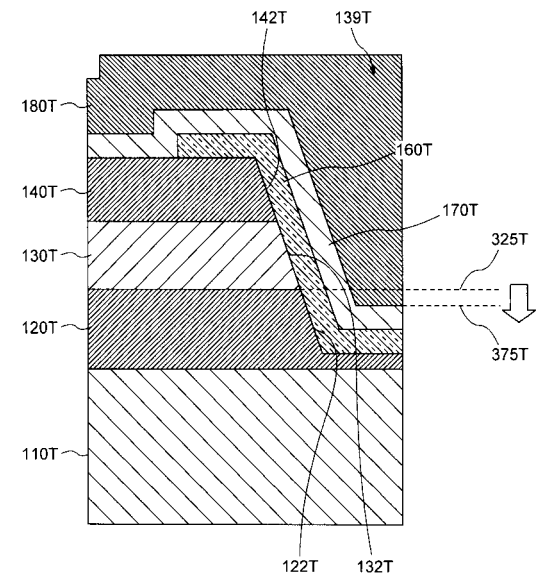


10S

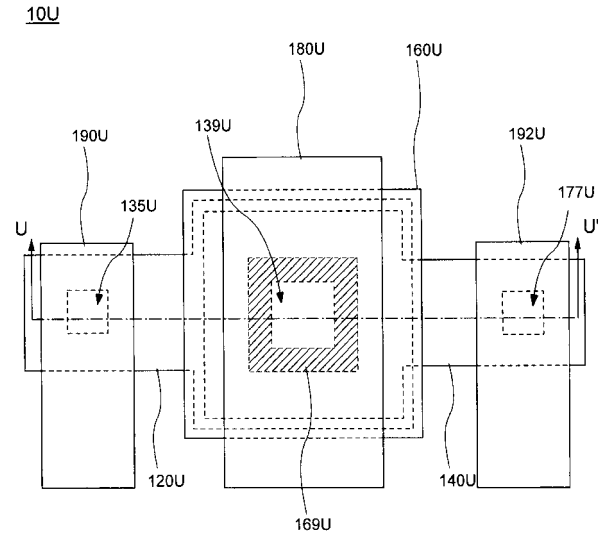
【図 184 A】



【図 1 8 4 B】

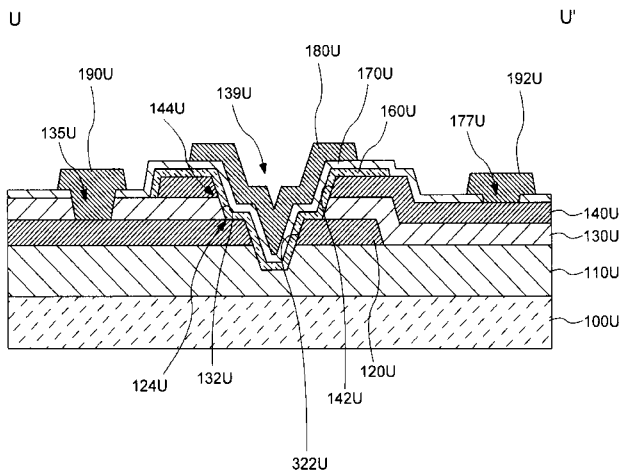


【図 1 8 5 A】



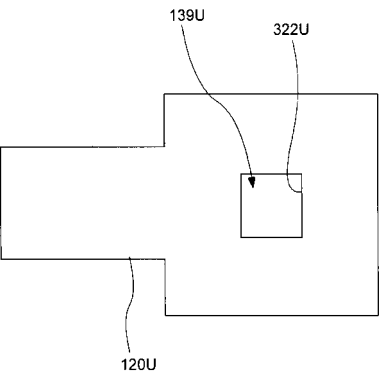
【図 1 8 5 B】

10U



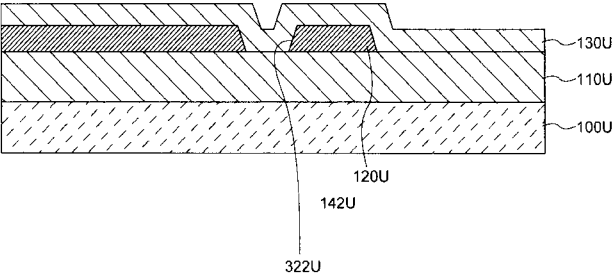
【図 1 8 6 A】

10U



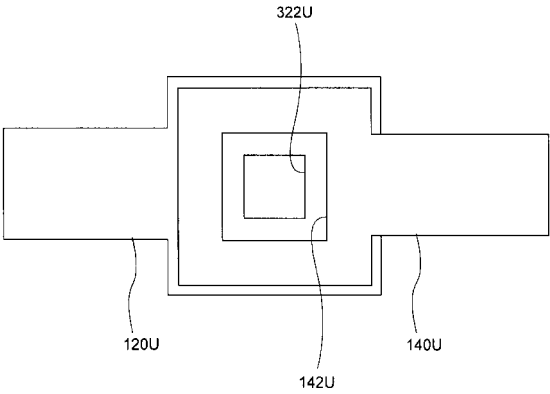
【図 1 8 6 B】

10U



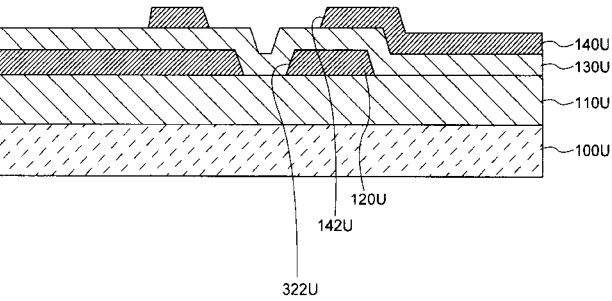
【図 1 8 7】

10U



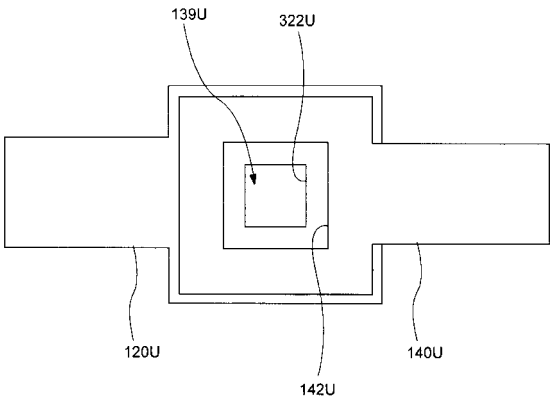
【図 1 8 8】

10U

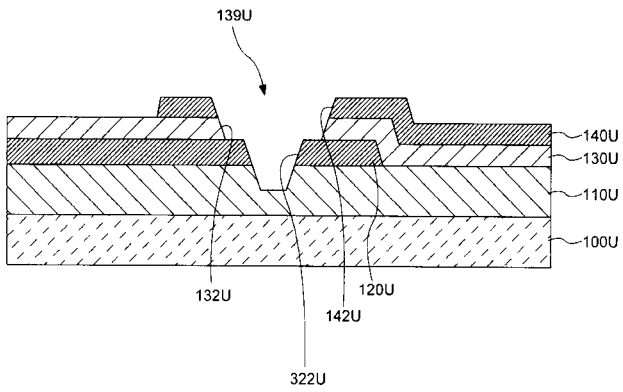


【図 1 8 9】

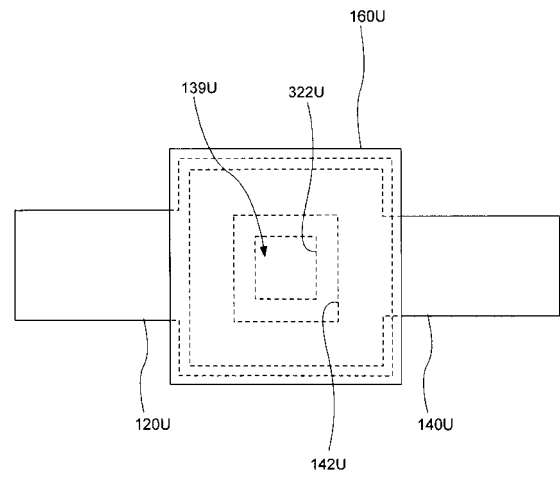
10U



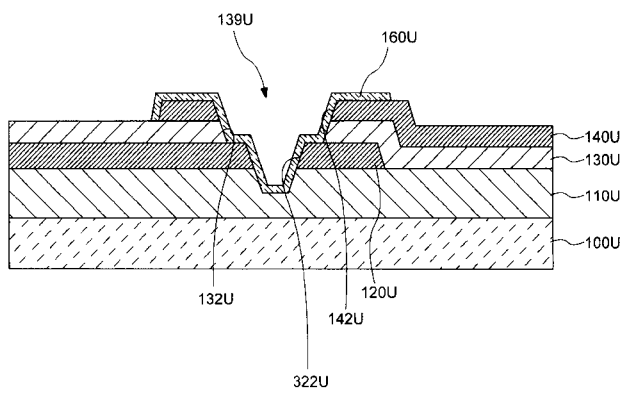
【図 190】

10U

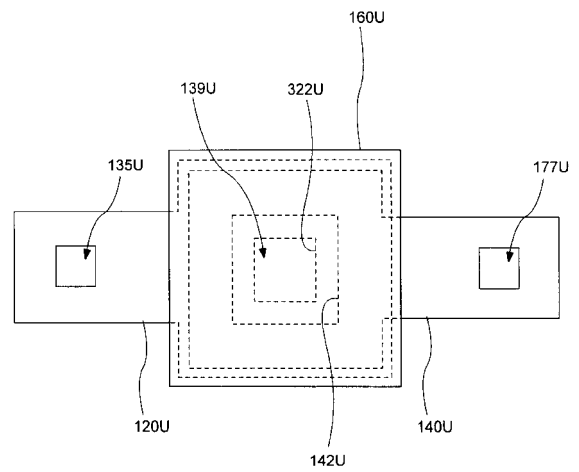
【図 191】

10U

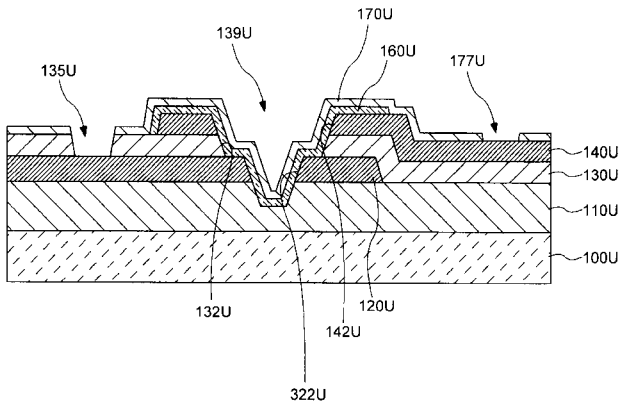
【図 192】

10U

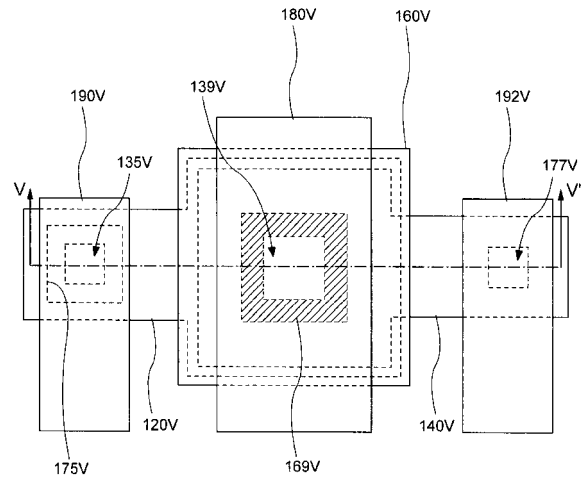
【図 193】

10U

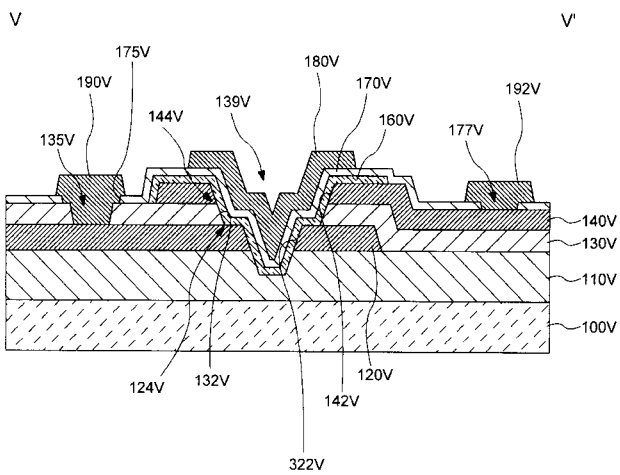
【図 194】

10U

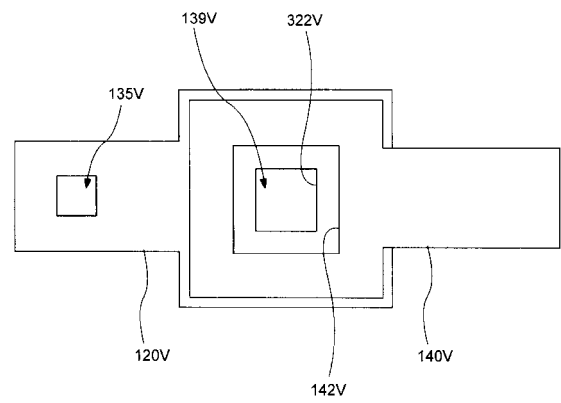
【図 195】

10V

【図 196】

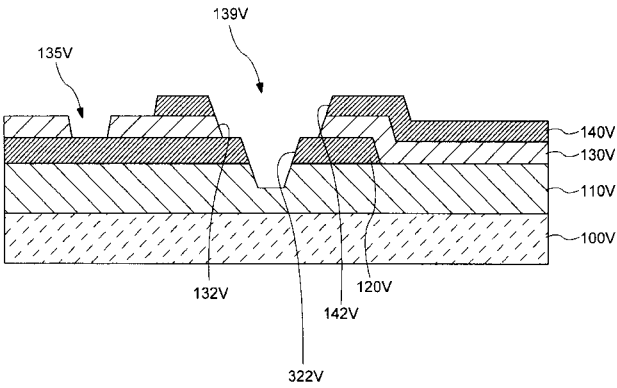
10V

【図 197】

10V

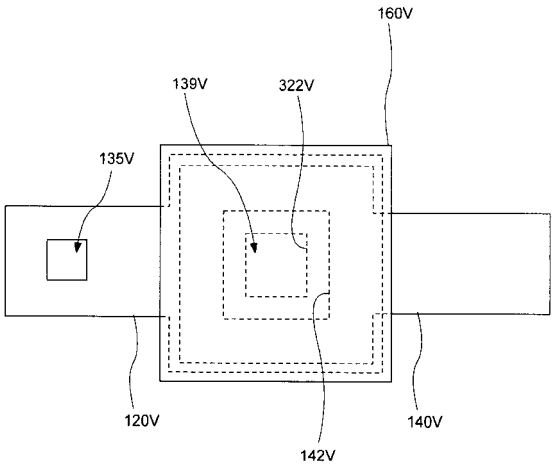
【図 198】

10V



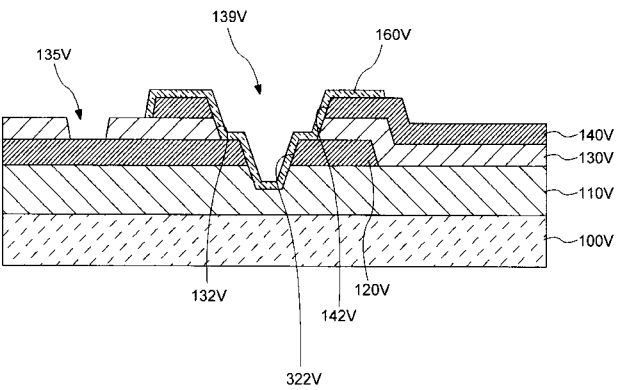
【図 199】

10V



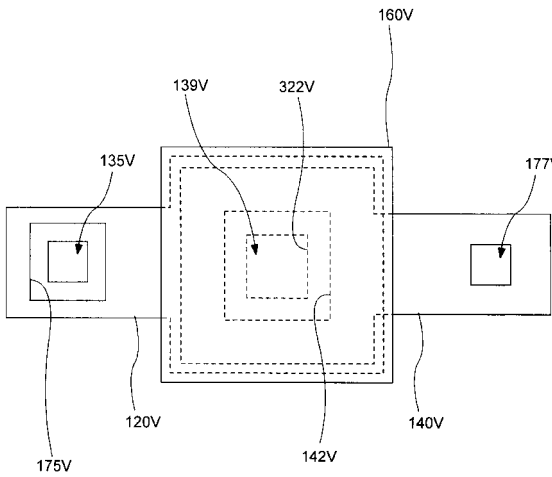
【図 200】

10V



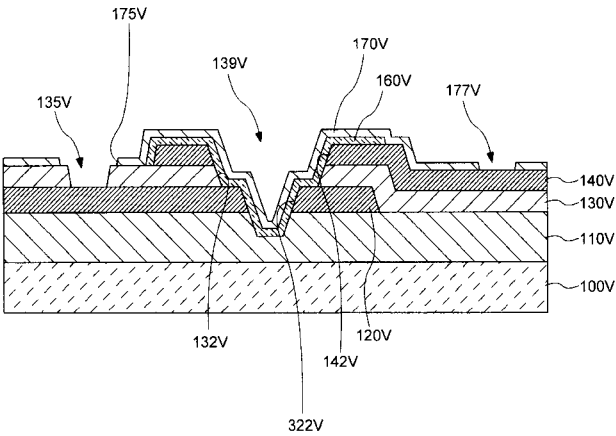
【図 201】

10V



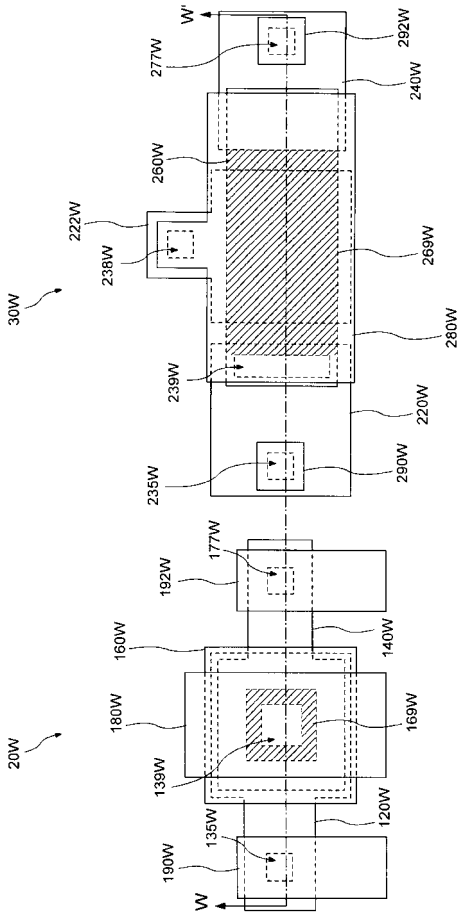
【図 202】

10V



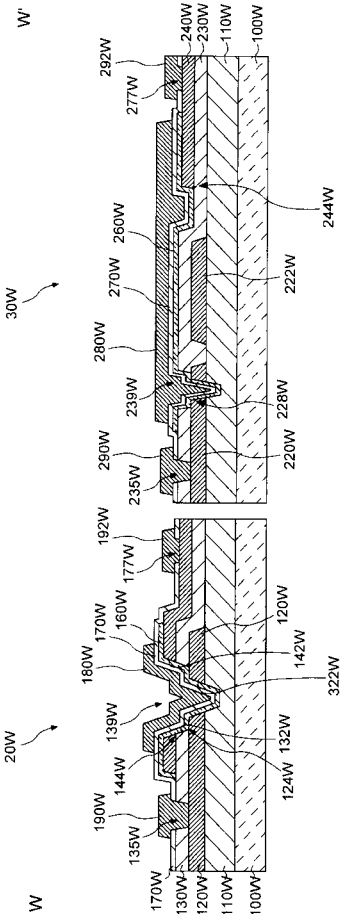
【図 203】

10W



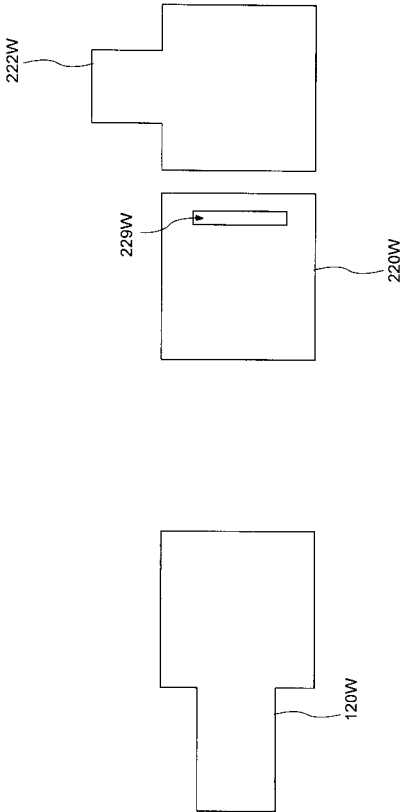
【図 204】

10W

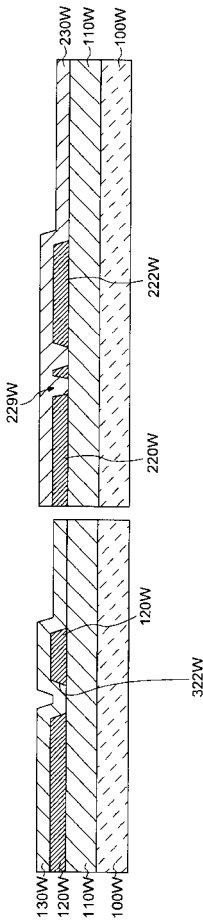


【図 205】

10W

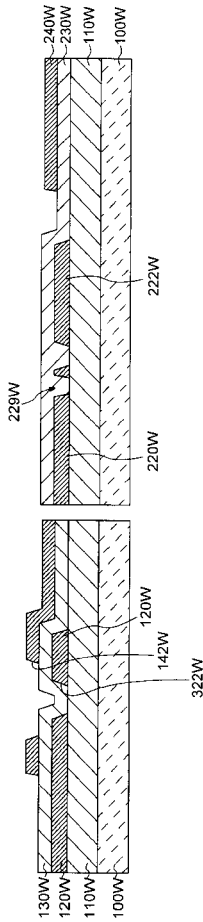


【図 206】



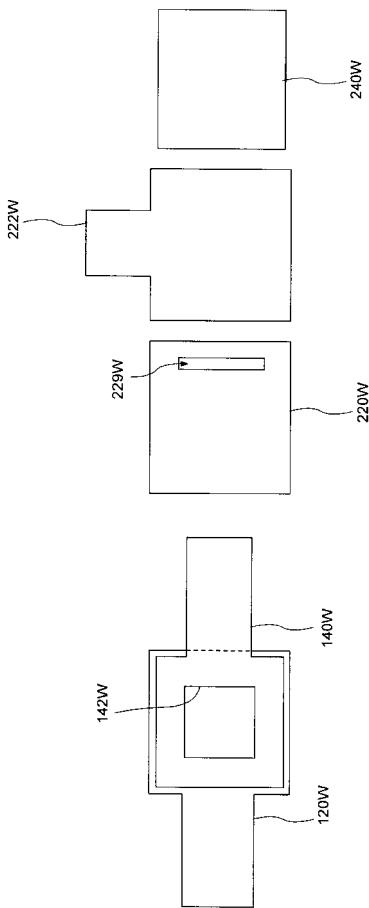
10W

【図 208】



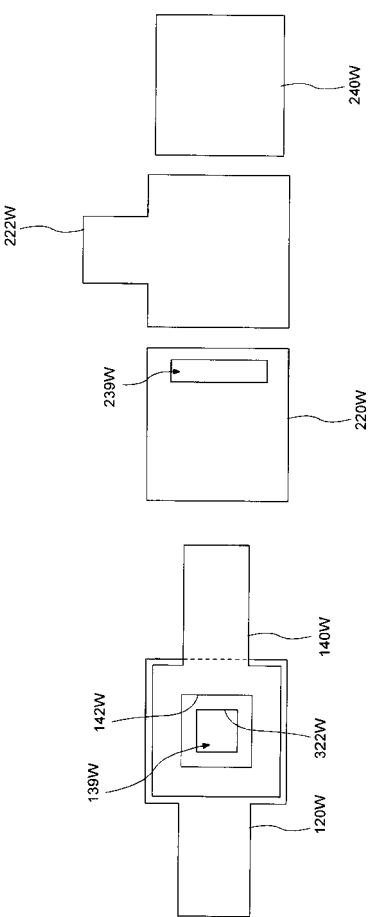
10W

【図 207】



10W

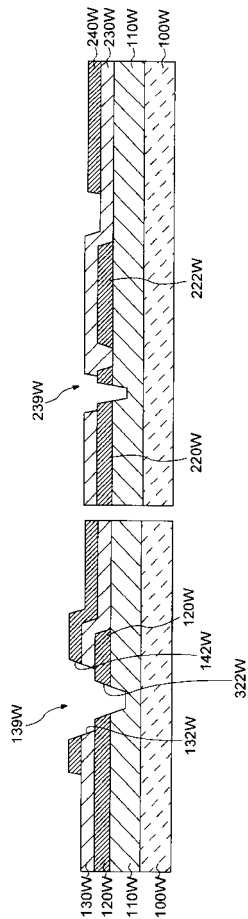
【図 209】



10W

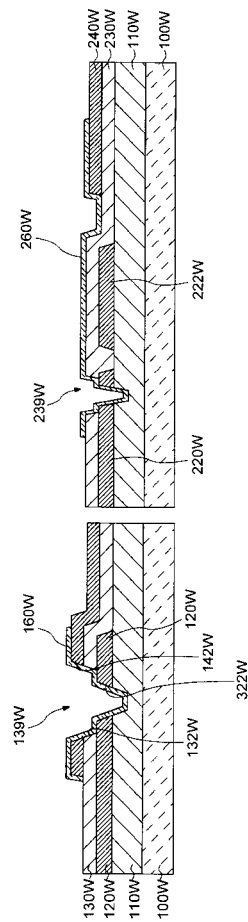
【図 2 1 0】

10W



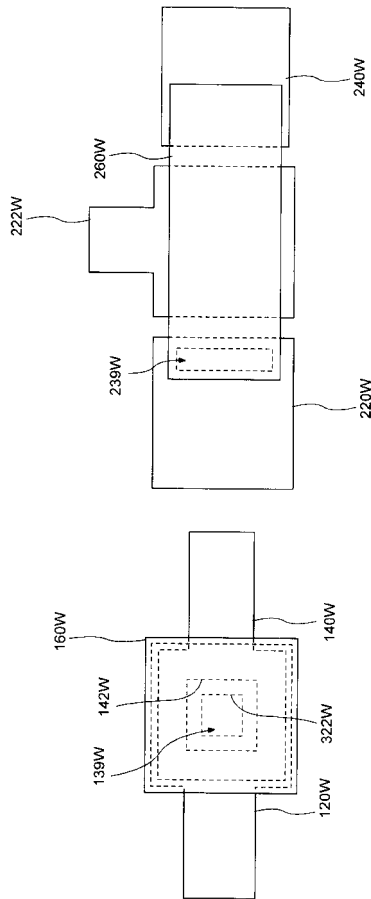
【図 2 1 2】

10W



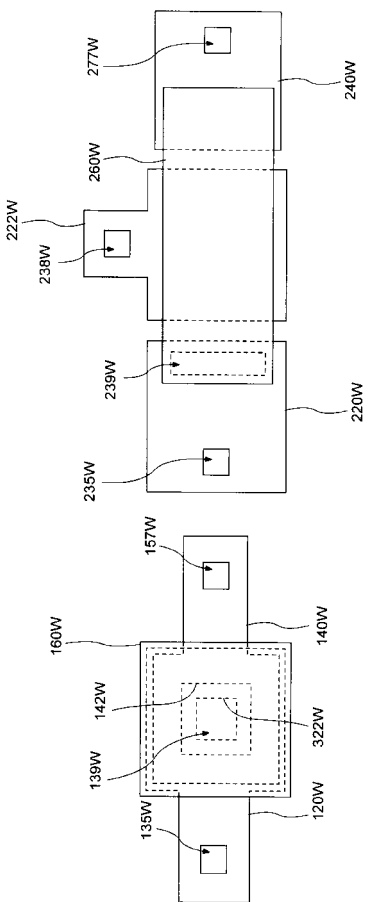
【図 2 1 1】

10W

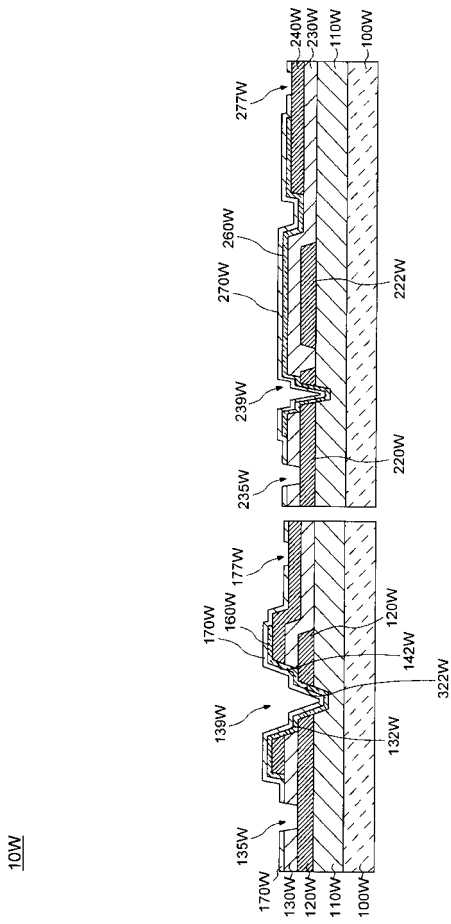


【図 2 1 3】

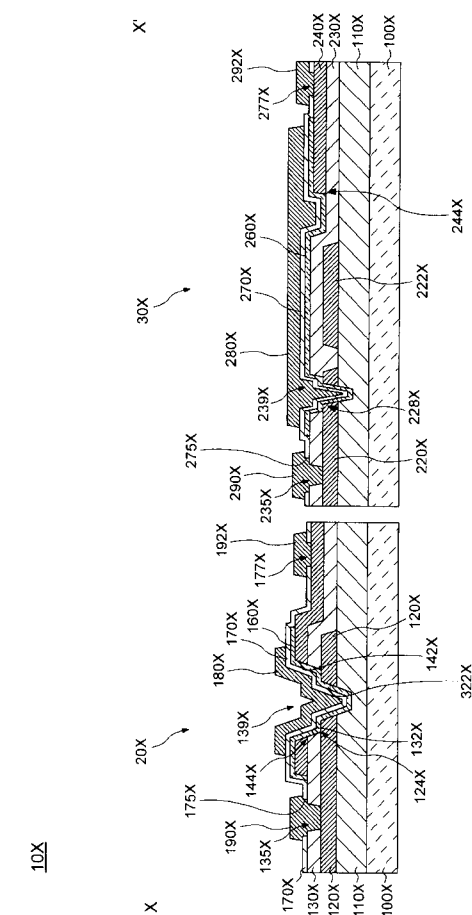
10W



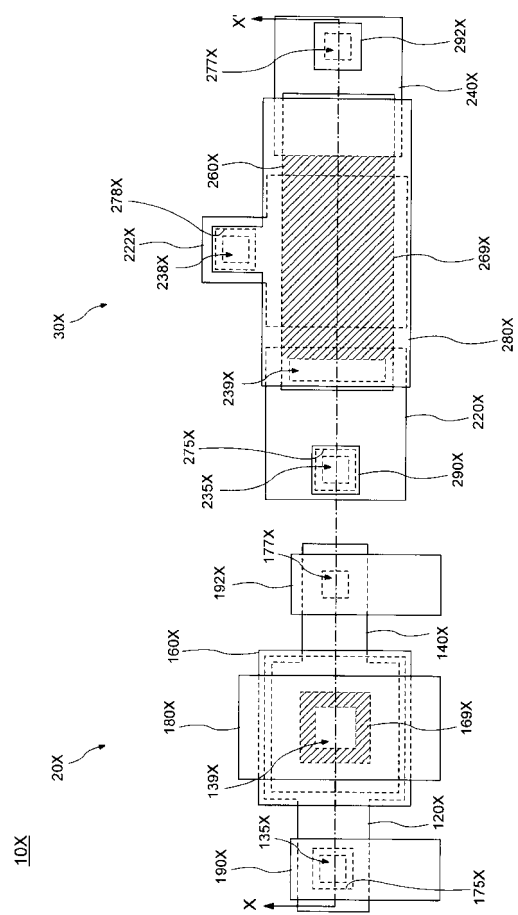
【図 2 1 4】



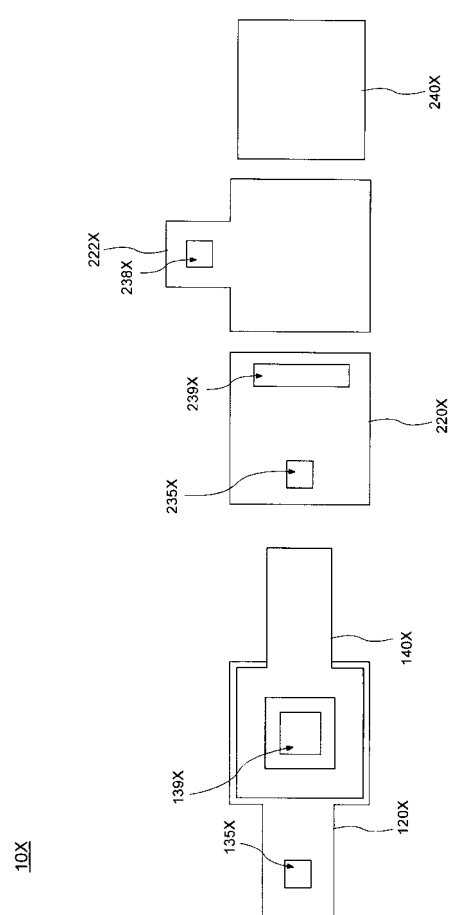
【図 2 1 6】



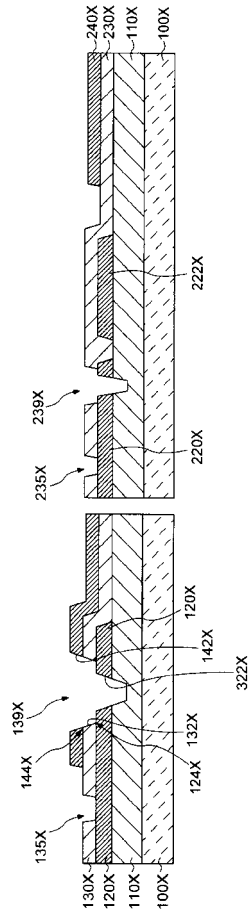
【図 2 1 5】



【図 2 1 7】

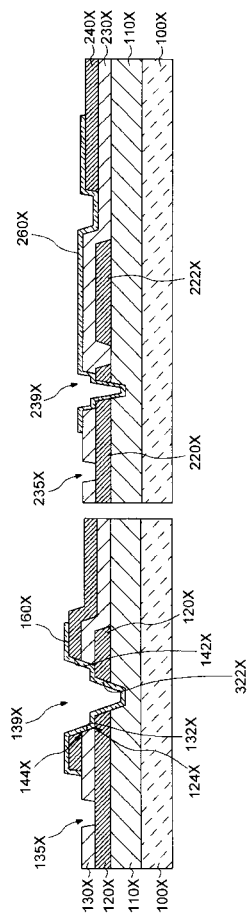


【図 218】



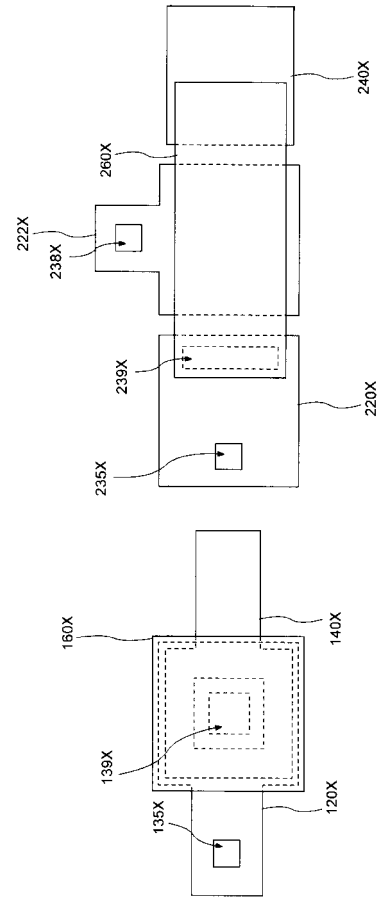
10X

【図 220】



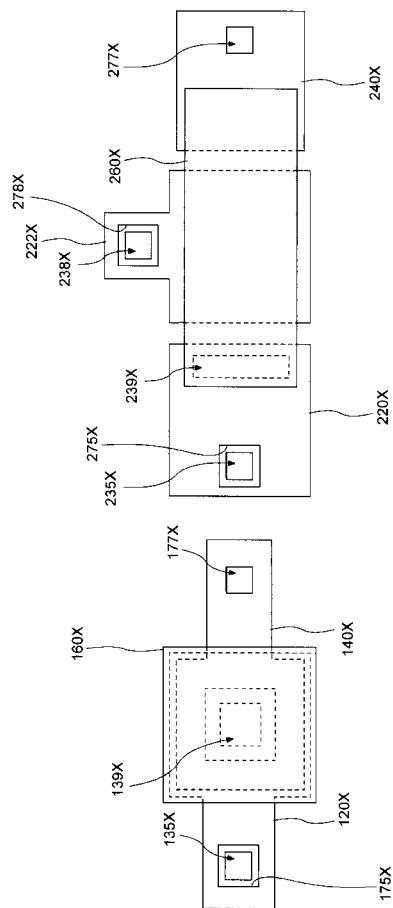
10X

【図 219】



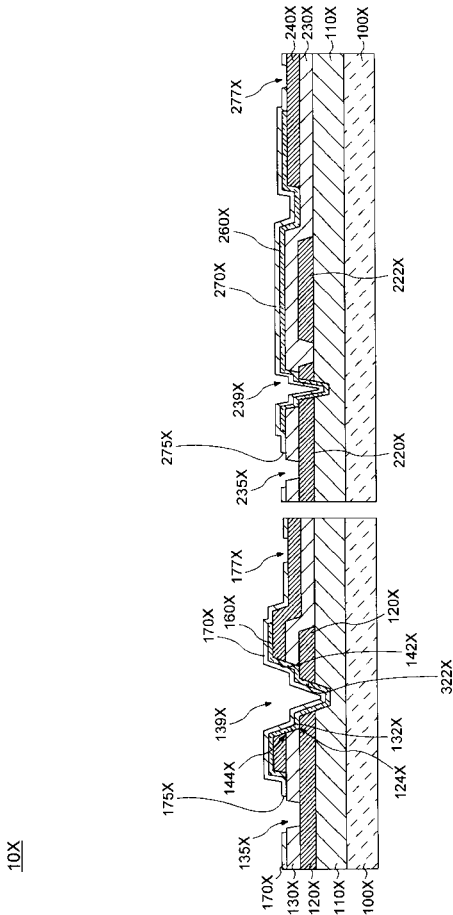
10X

【図 221】

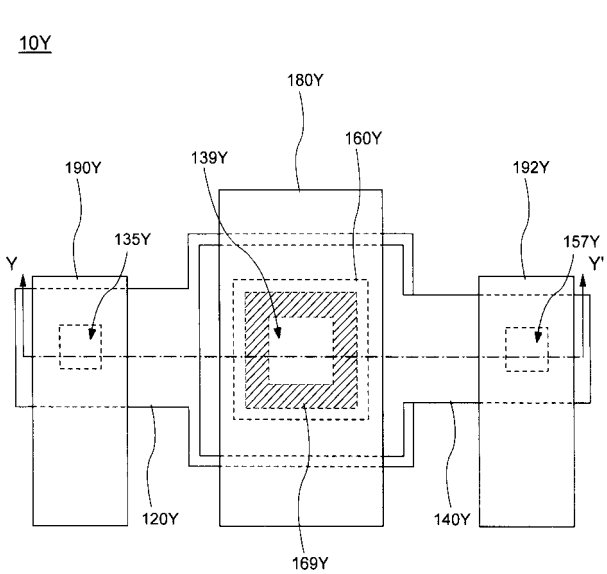


10X

【図 2 2 2】

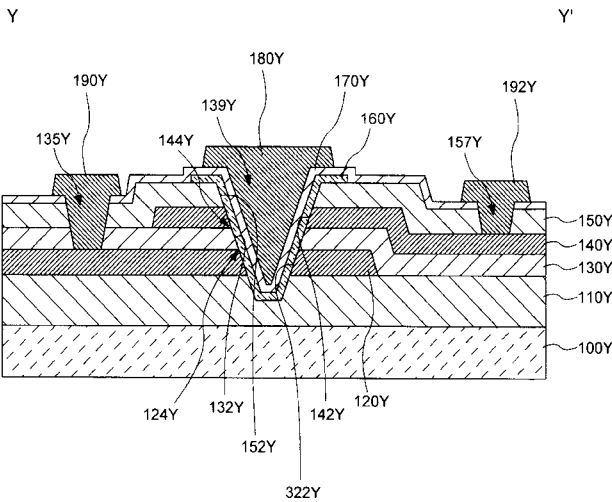


【図 2 2 3】



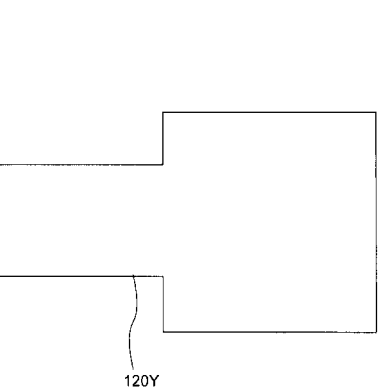
【図 2 2 4】

10Y



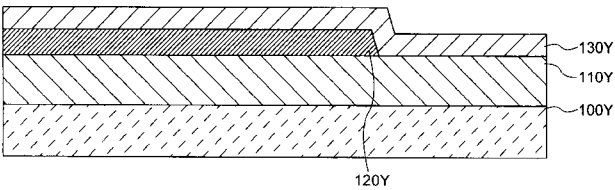
【図 2 2 5】

10Y



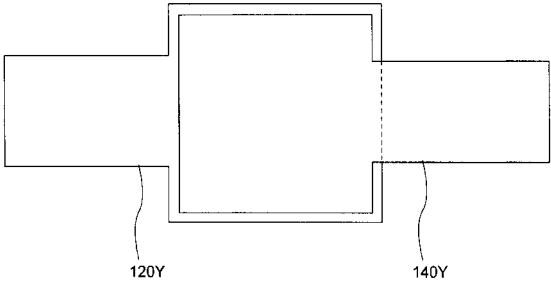
【図 2 2 6】

10Y



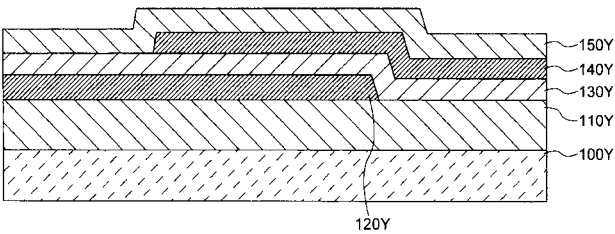
【図 2 2 7】

10Y



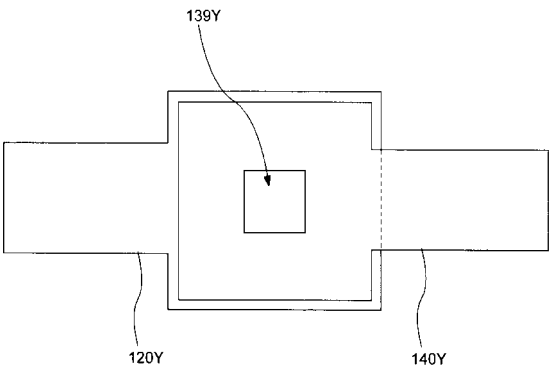
【図 2 2 8】

10Y



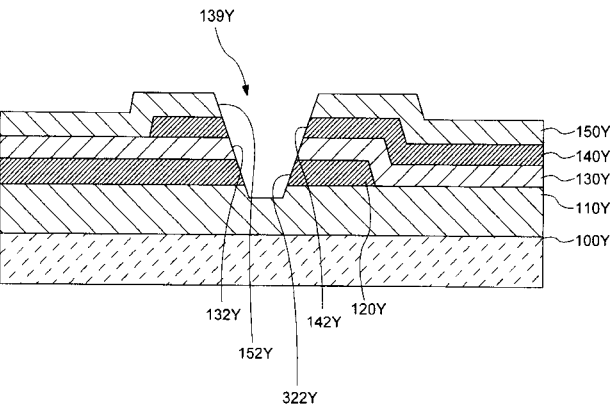
【図 2 2 9】

10Y



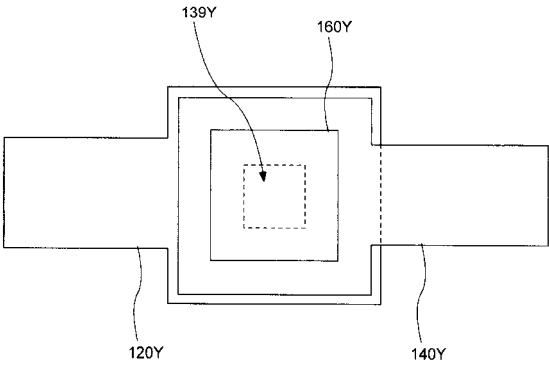
【図 2 3 0】

10Y



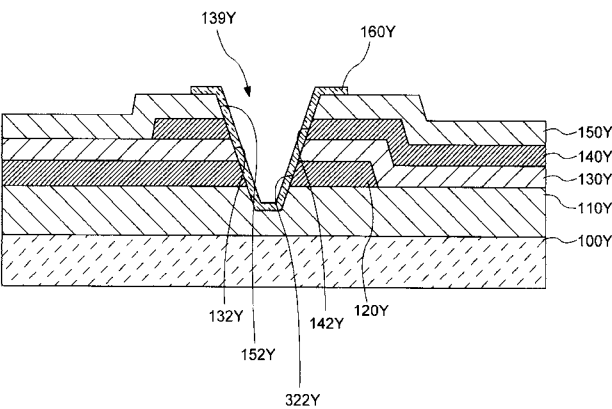
【図 2 3 1】

10Y



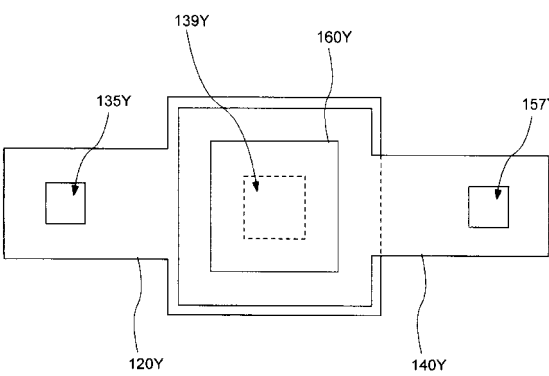
【図 2 3 2】

10Y



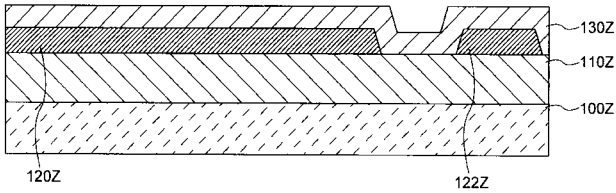
【図 2 3 3】

10Y



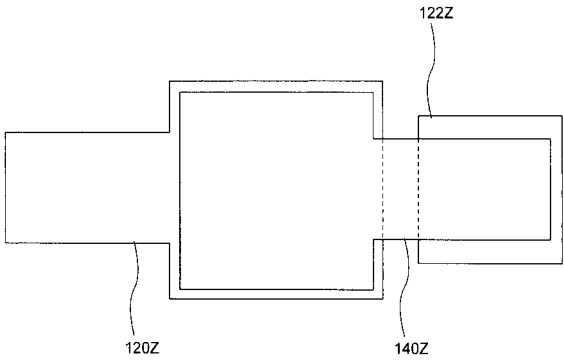
【図 2 3 8】

10Z



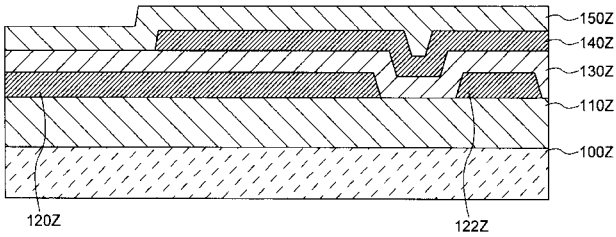
【図 2 3 9】

10Z



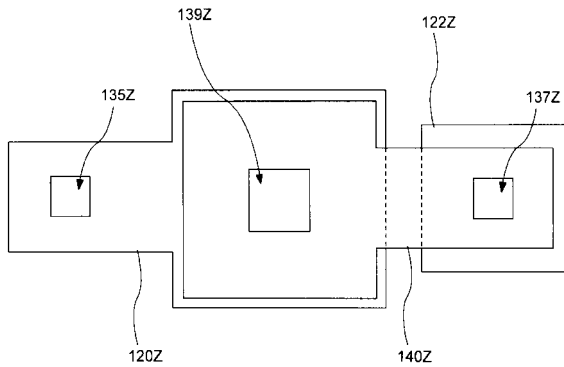
【図 2 4 0】

10Z

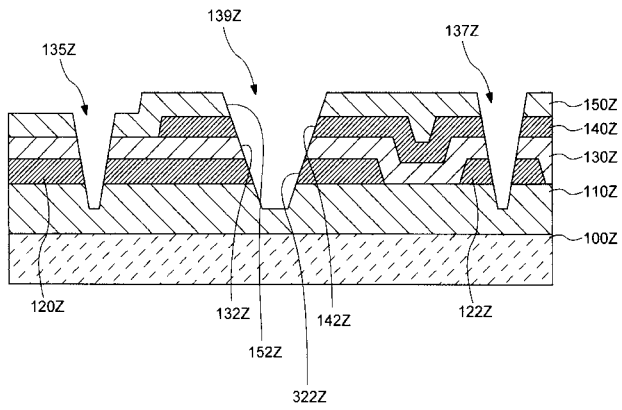


【図 2 4 1】

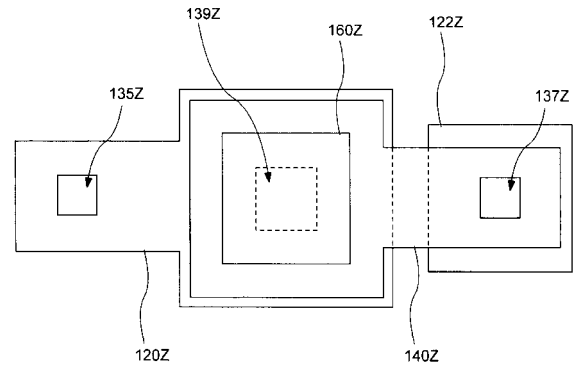
10Z



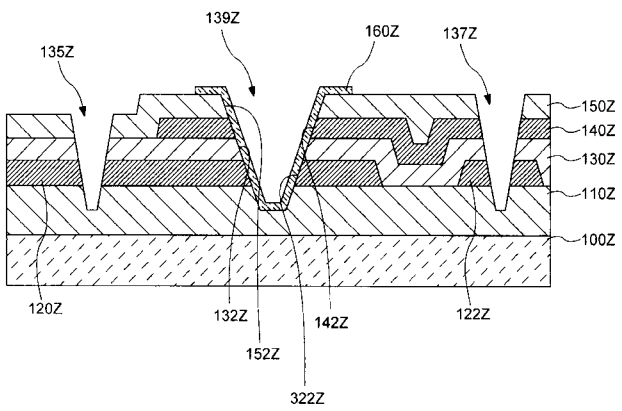
【図 2 4 2】

10Z

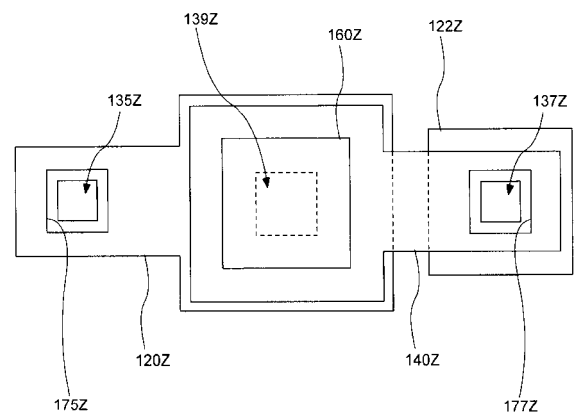
【図 2 4 3】

10Z

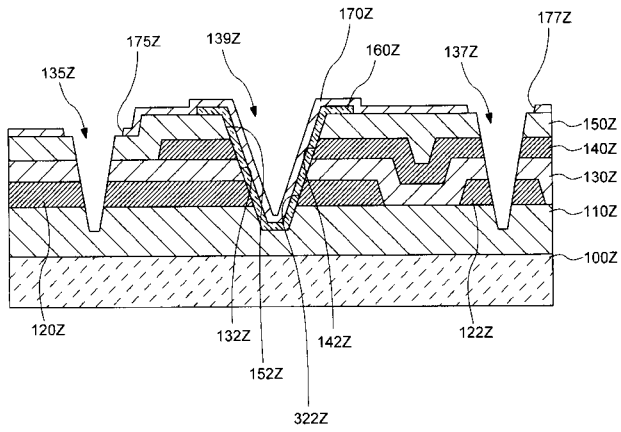
【図 2 4 4】

10Z

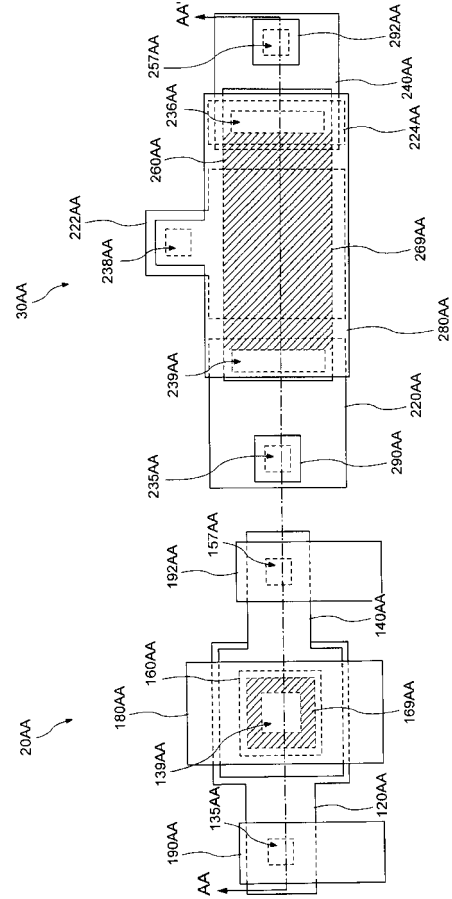
【図 2 4 5】

10Z

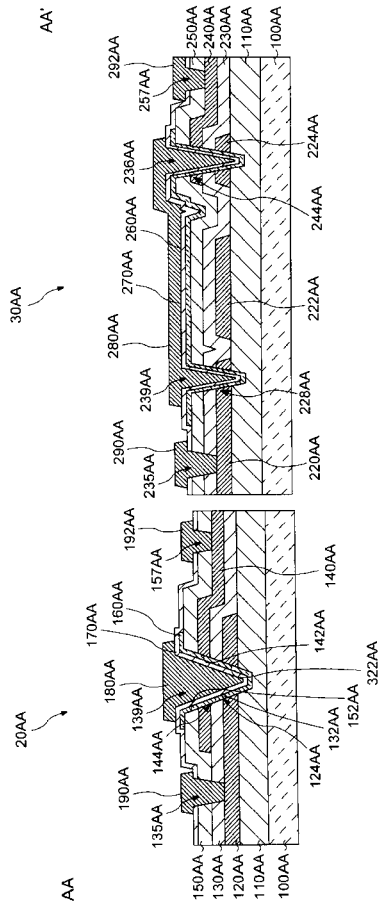
【図 2 4 6】

10Z

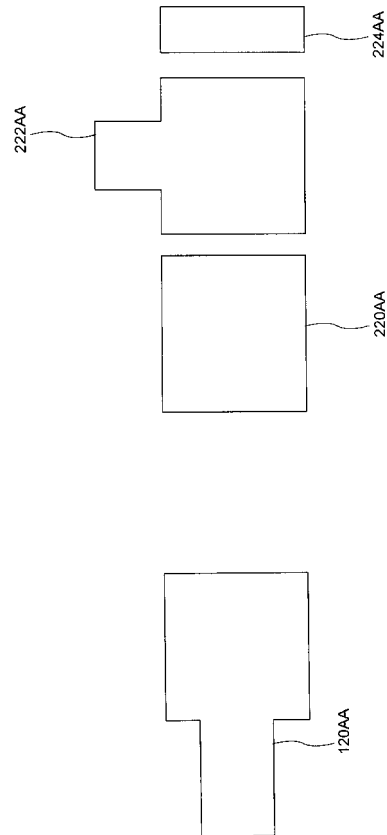
【図 2 4 7】

10AA

【図 2 4 8】

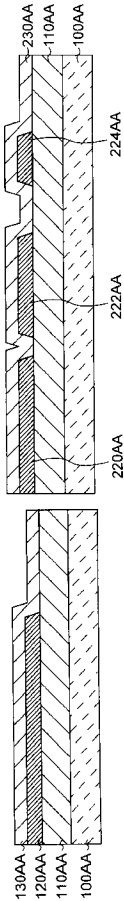
10AA

【図 2 4 9】

10AA

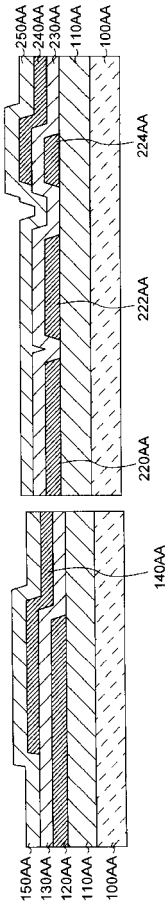
【図 2 5 0】

10AA



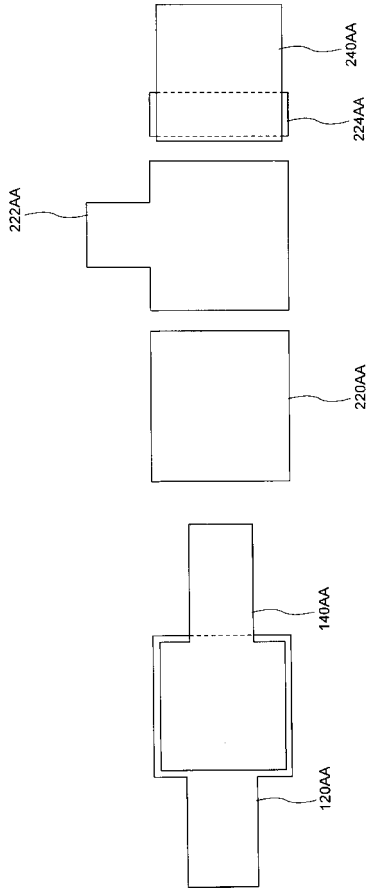
【図 2 5 2】

10AA



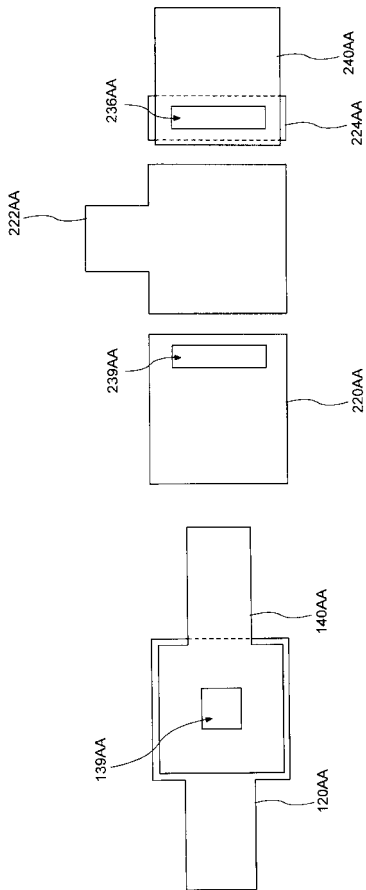
【図 2 5 1】

10AA

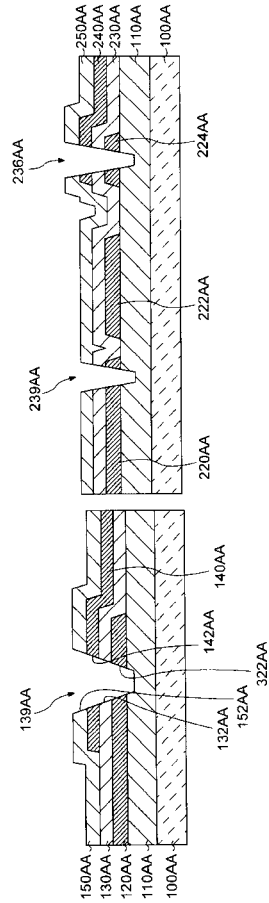


【図 2 5 3】

10AA

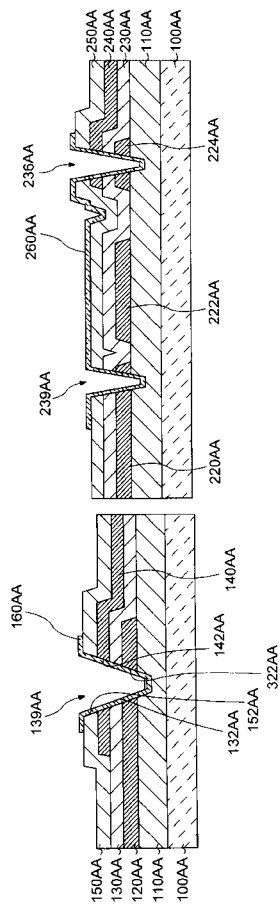


【図 254】



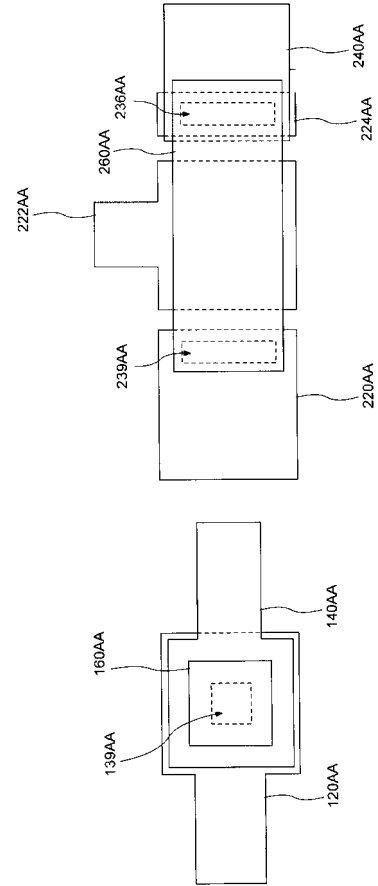
10AA

【図 256】



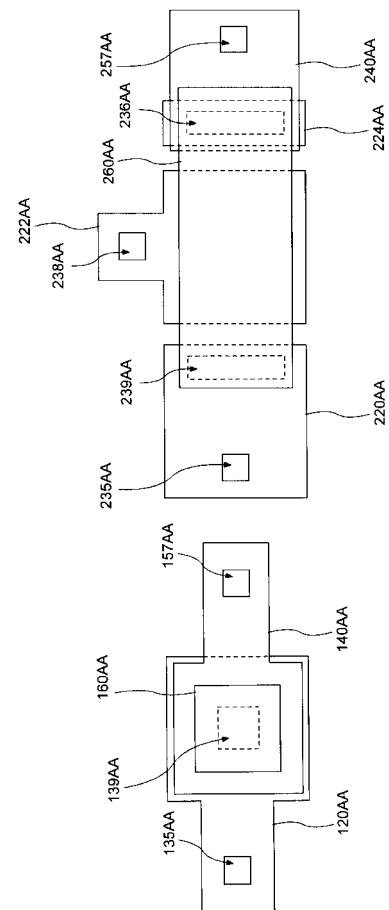
10AA

【図 255】



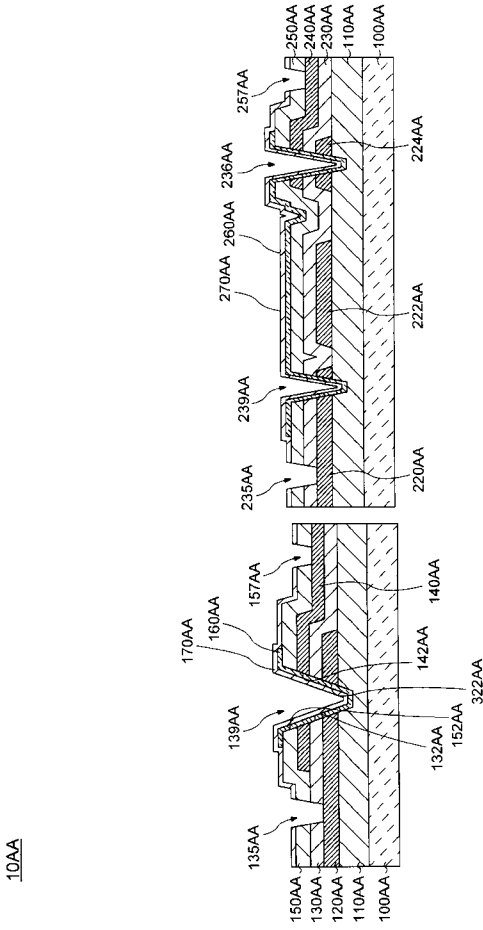
10AA

【図 257】

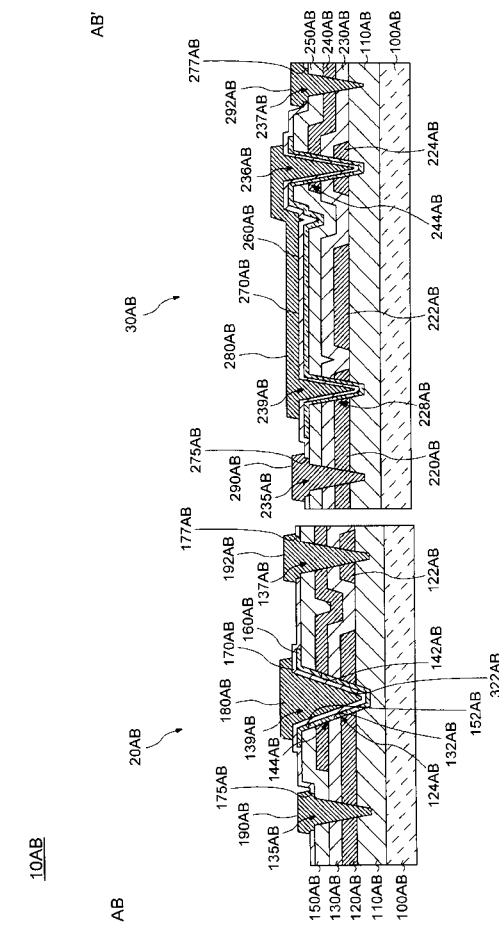


10AA

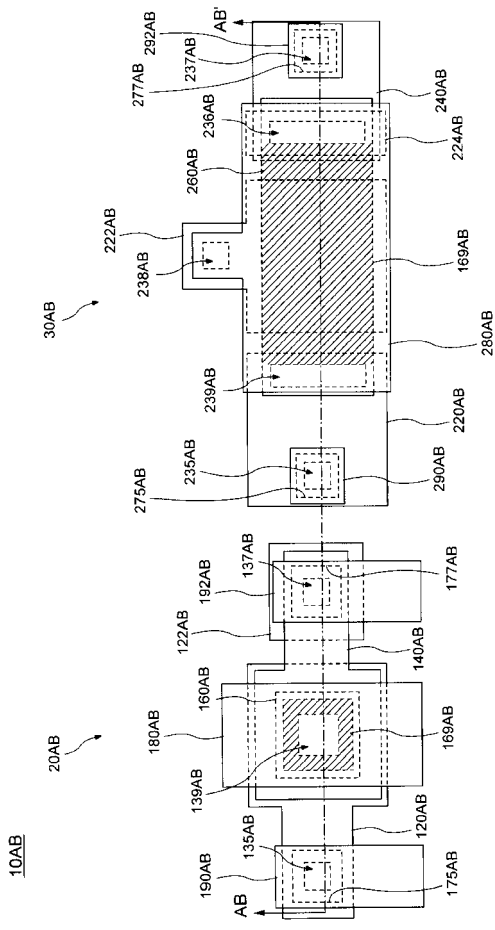
【図 258】



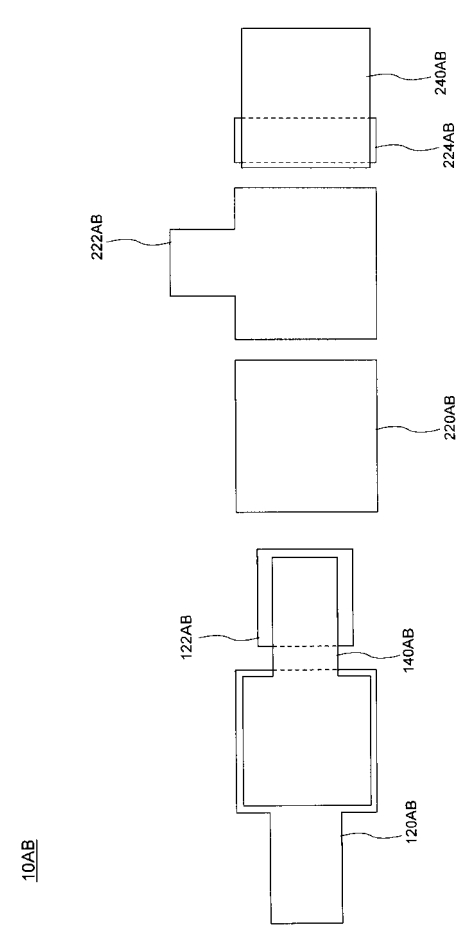
【図 260】



【図 259】



【図 261】

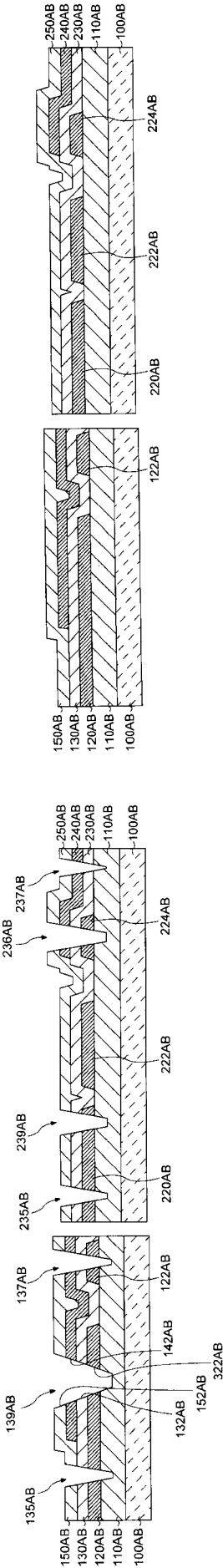


【図 262】

10AB

【図 264】

10AB

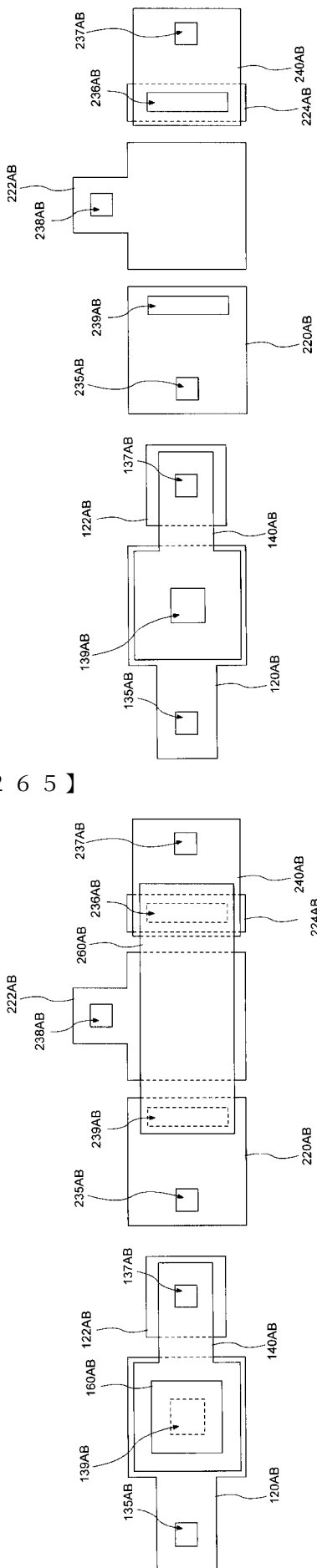


【図 263】

10AB

【図 265】

10AB

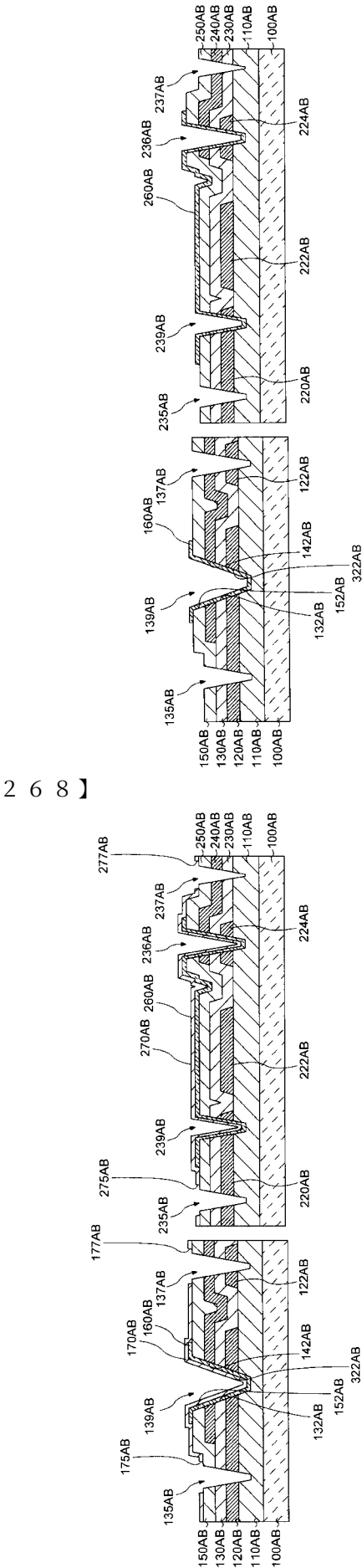


【図 266】

10AB

【図 268】

10AB

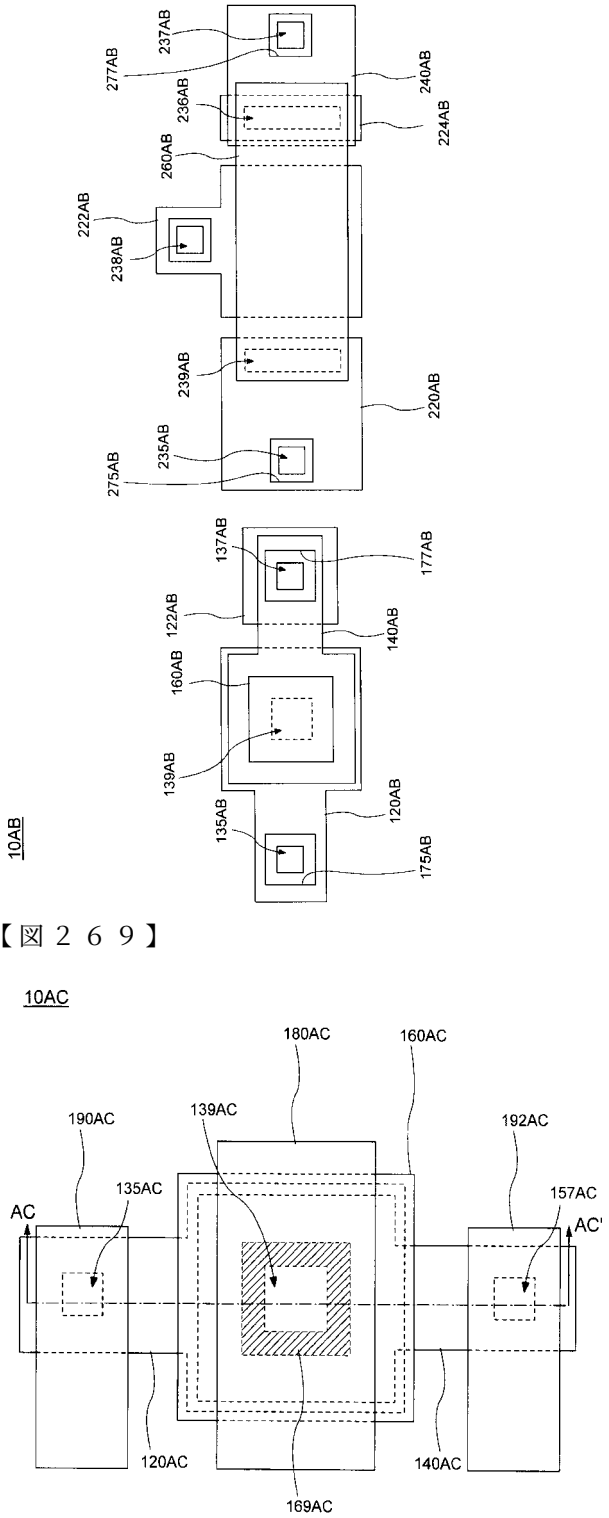


【図 267】

10AB

【図 269】

10AC

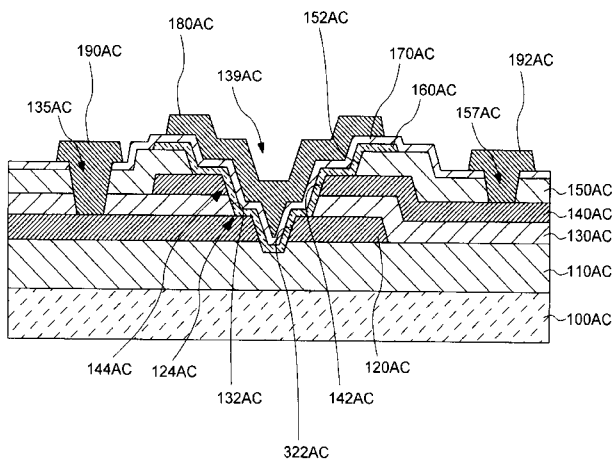


【図 270】

10AC

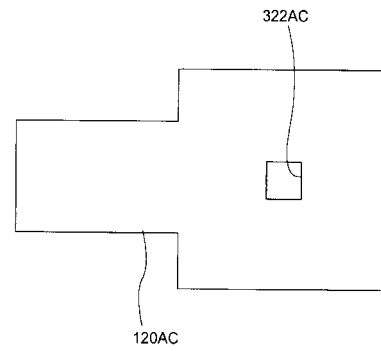
AC

AC'



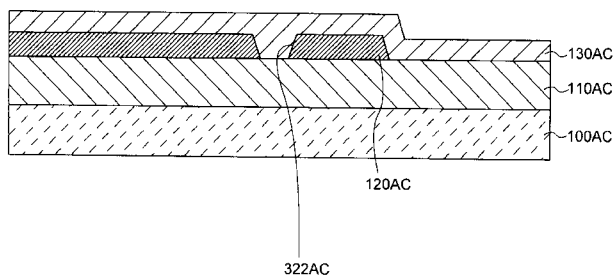
【図 271】

10AC



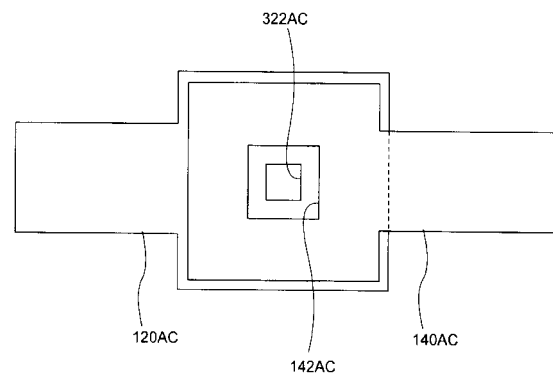
【図 272】

10AC

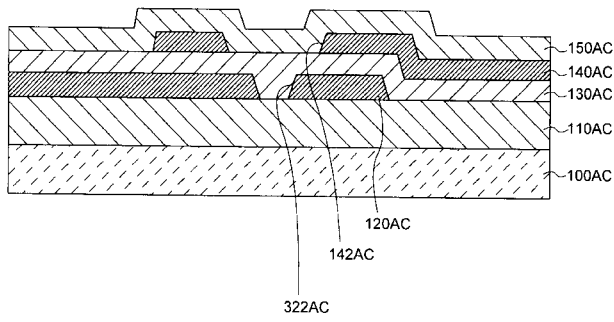


【図 273】

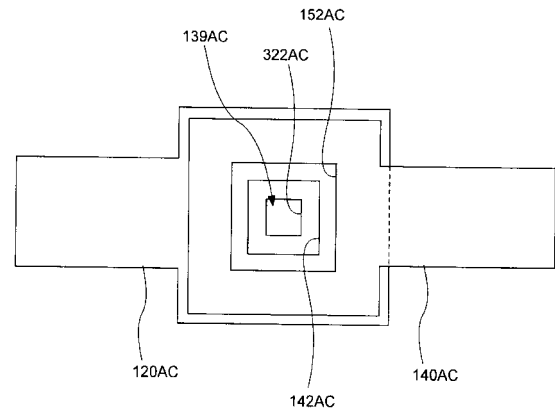
10AC



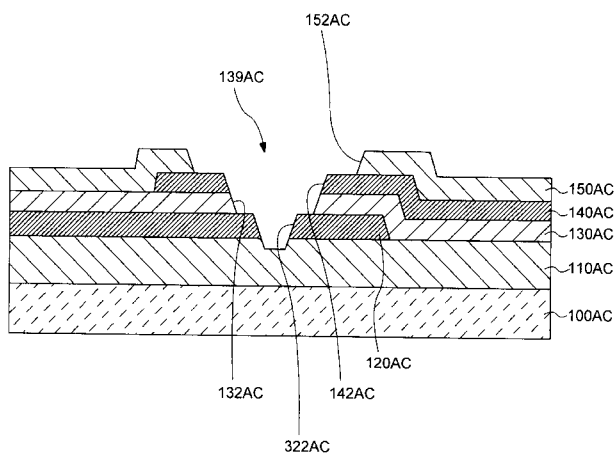
【図 274】

10AC

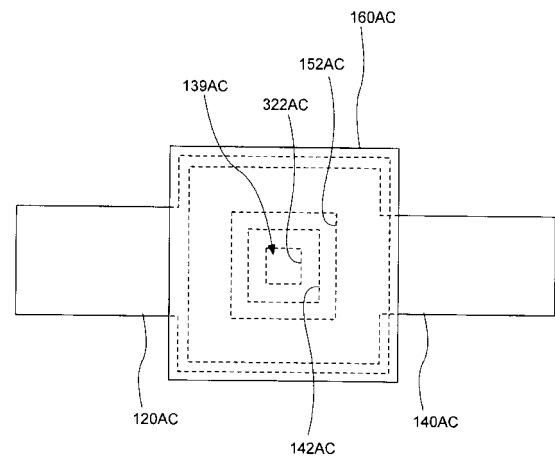
【図 275】

10AC

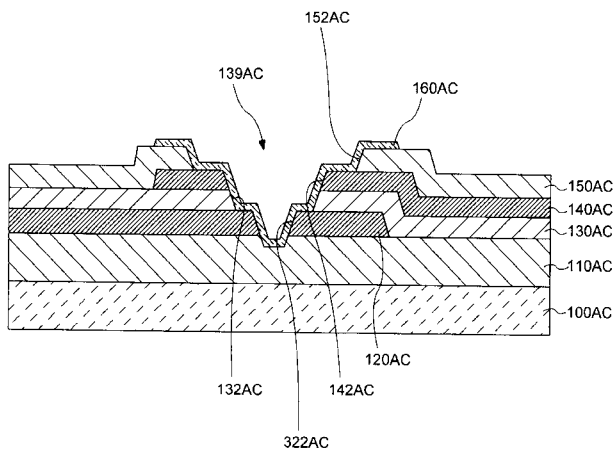
【図 276】

10AC

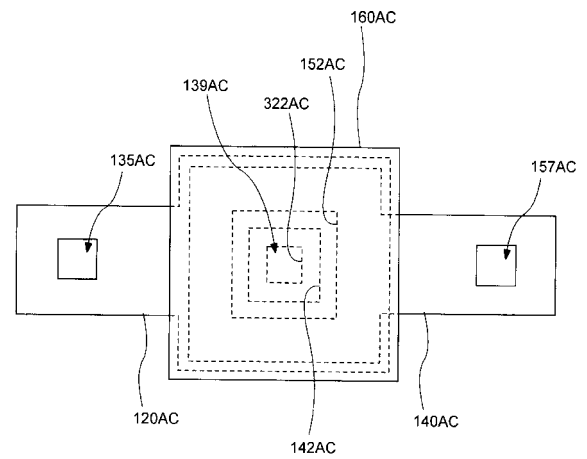
【図 277】

10AC

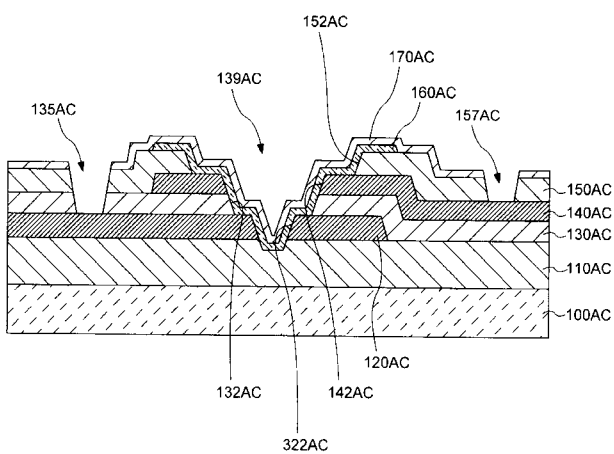
【図 278】

10AC

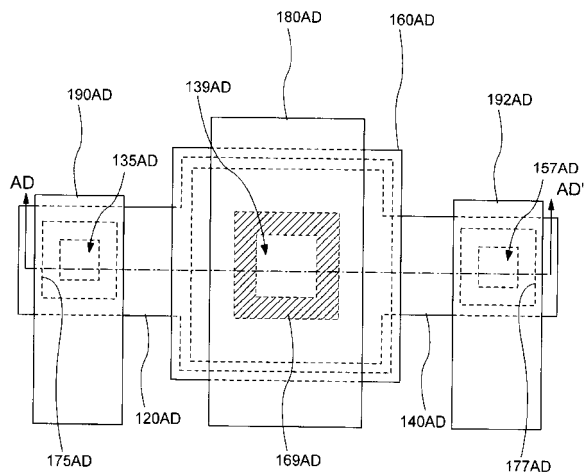
【図 279】

10AC

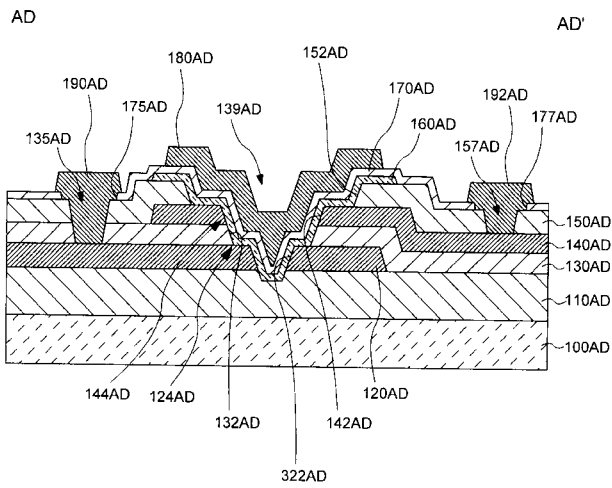
【図 280】

10AC

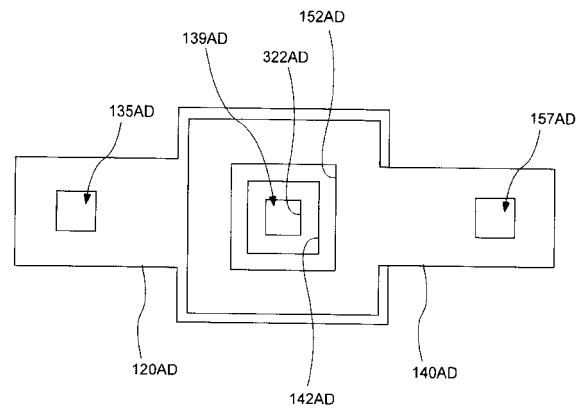
【図 281】

10AD

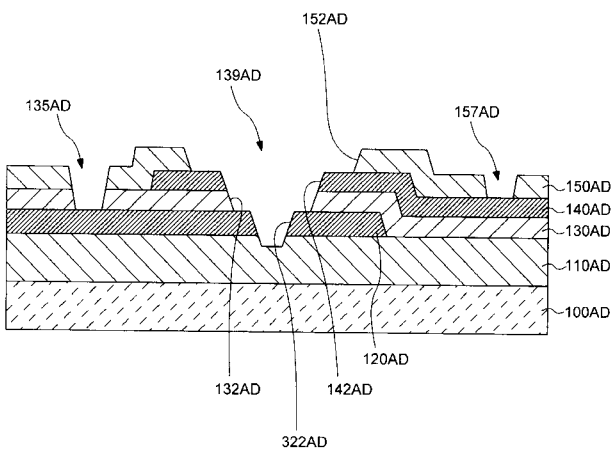
【図 282】

10AD

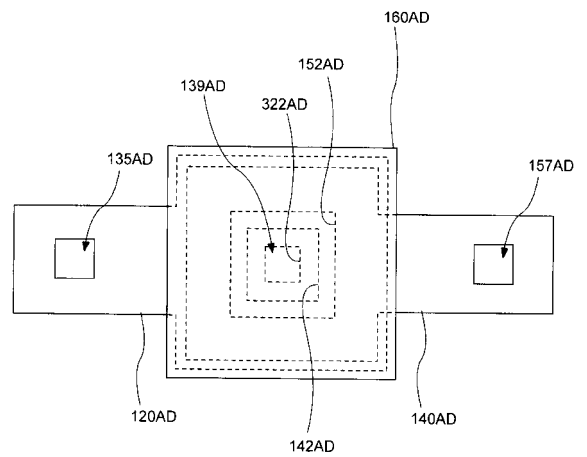
【図 283】

10AD

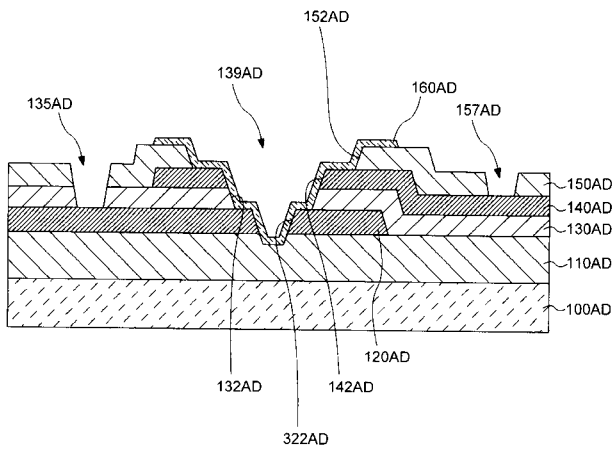
【図 284】

10AD

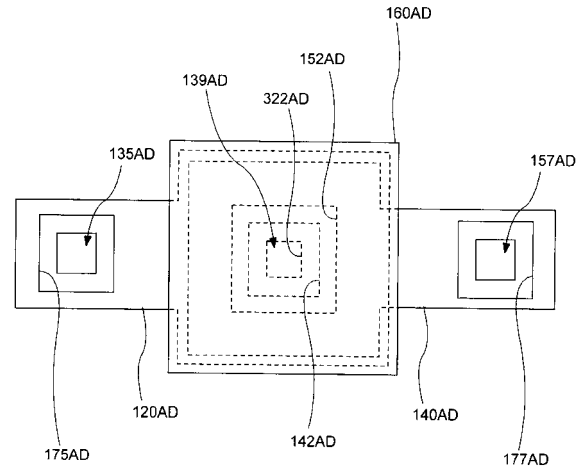
【図 285】

10AD

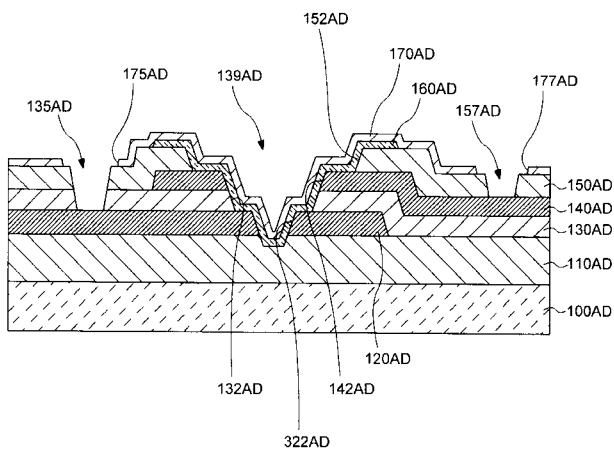
【図 286】

10AD

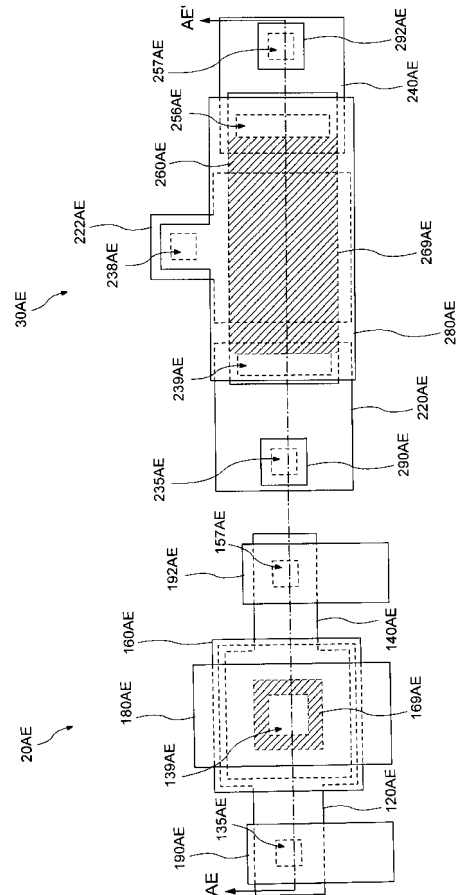
【図 287】

10AD

【図 288】

10AD

【図 289】

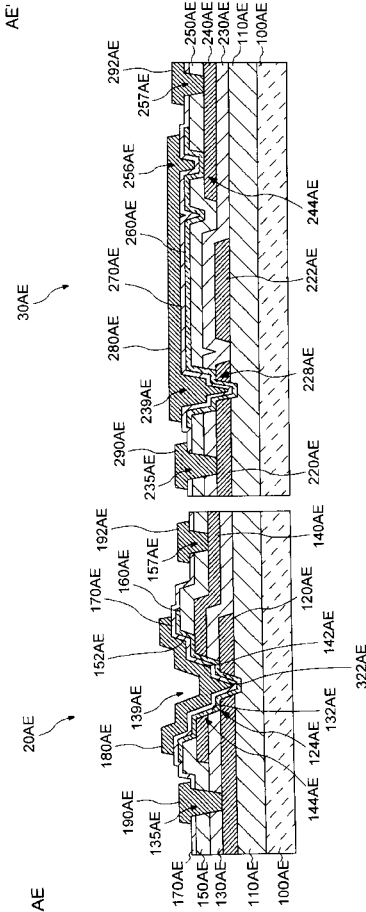
10AE

10AE

【図 292】

10AE

【図 290】

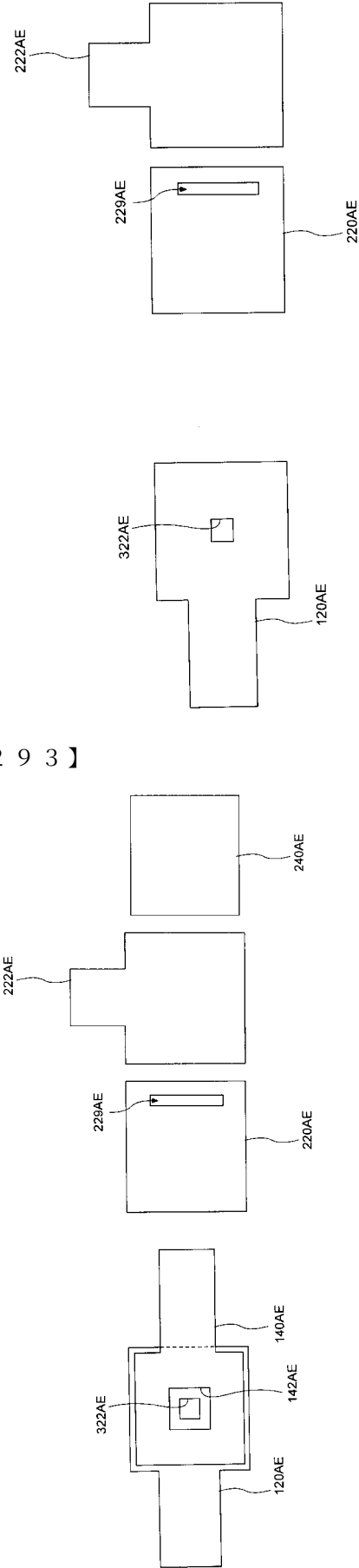


10AE

【図 293】

10AE

【図 291】

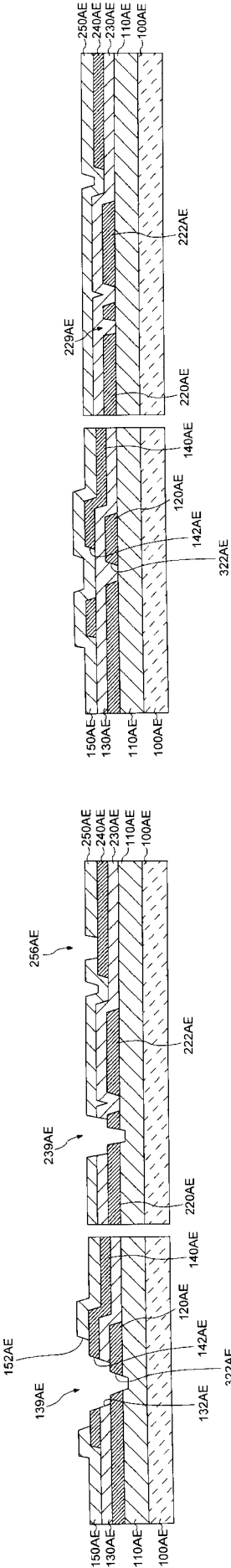


【図 294】

10A

【図 296】

10A

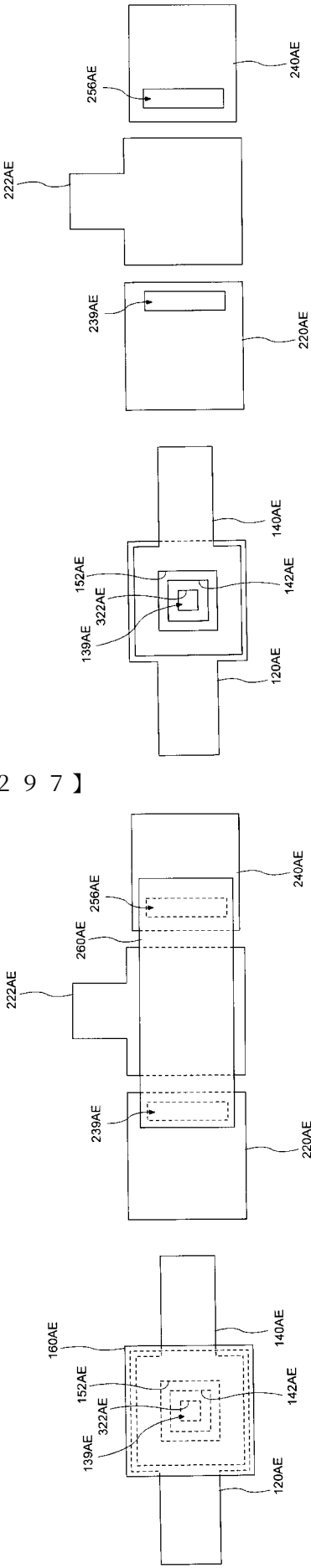


【図 295】

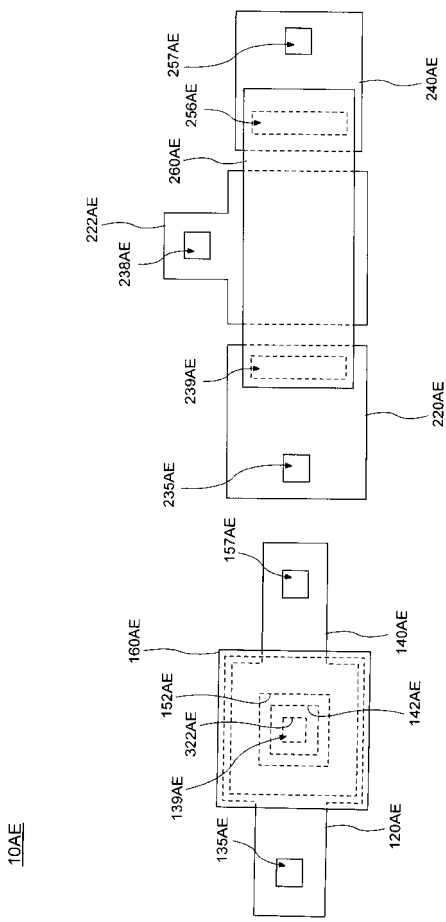
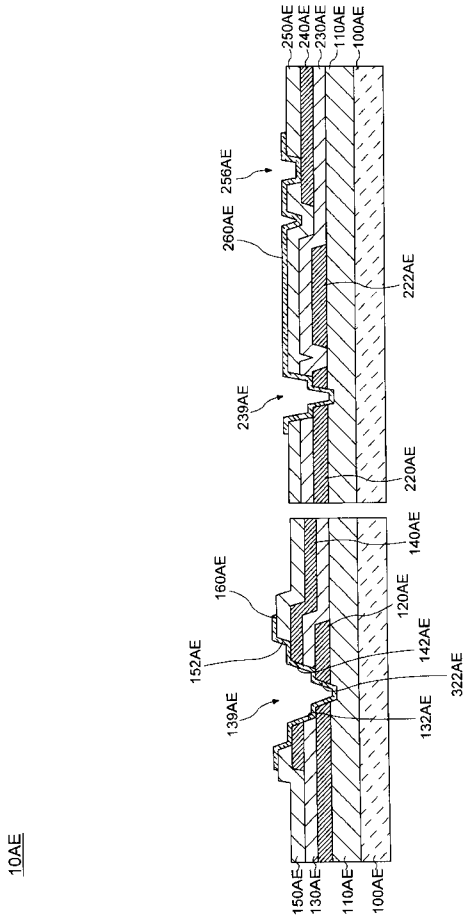
10A

【図 297】

10A

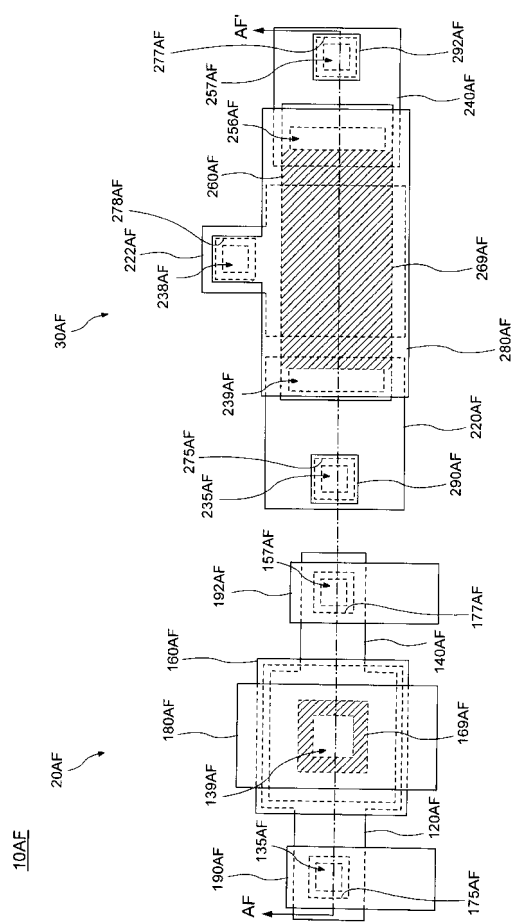
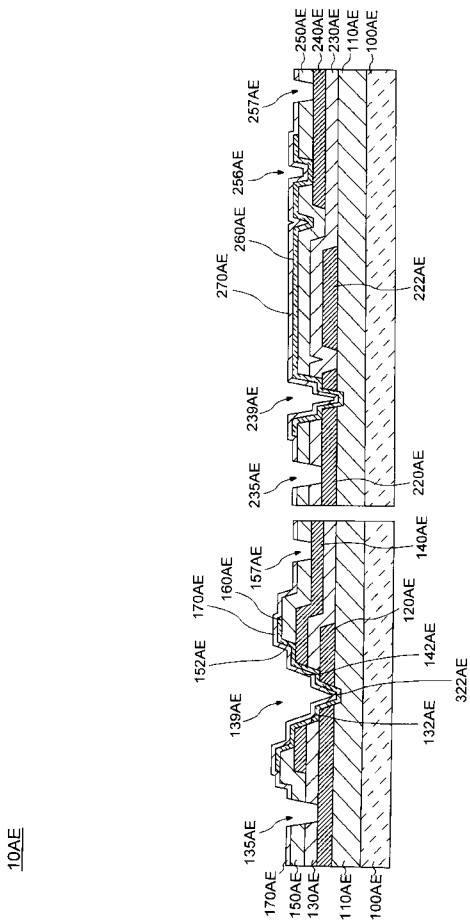


【图 2 9 9】

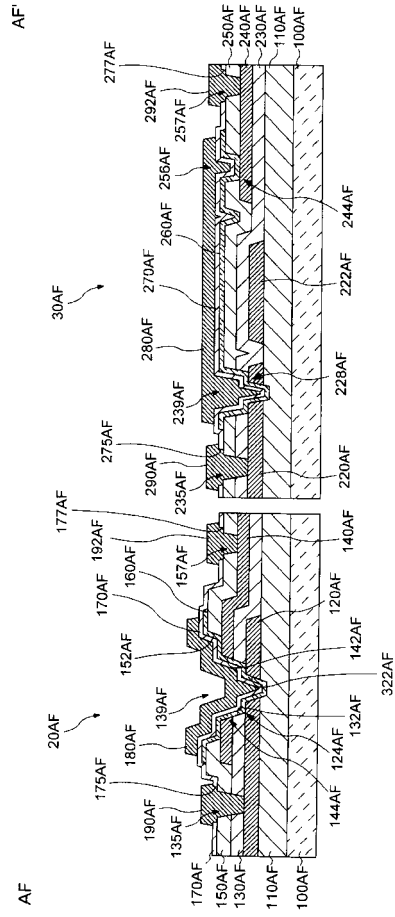


【 図 3 0 0 】

【 図 3 0 1 】

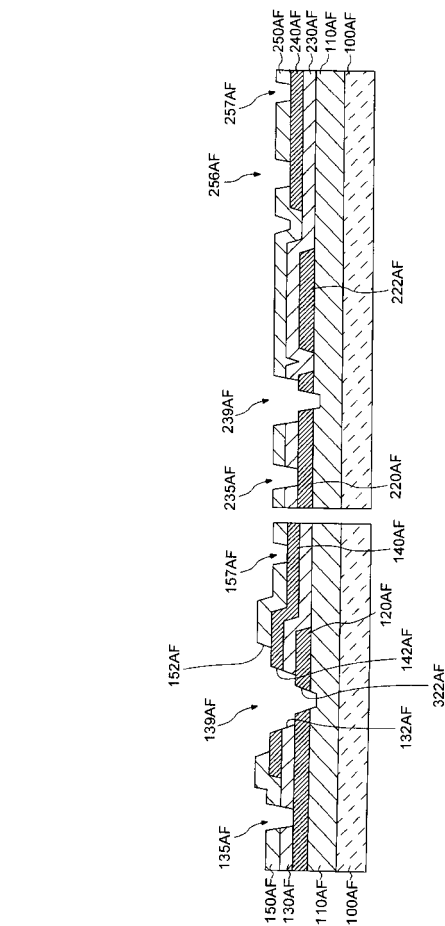


【図 302】



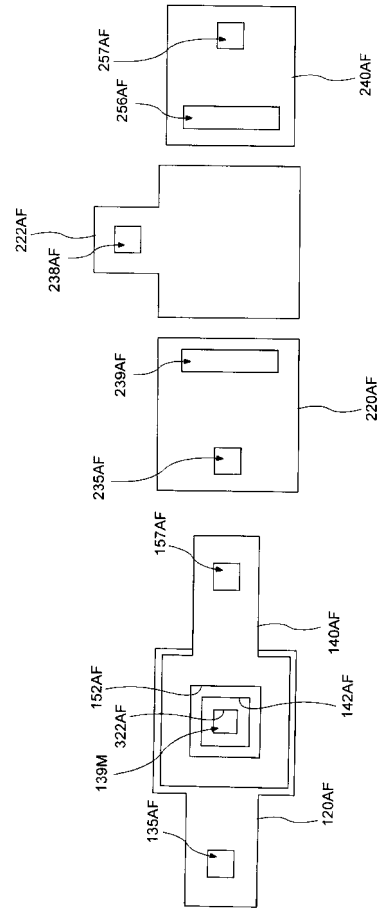
【図 304】

10AF



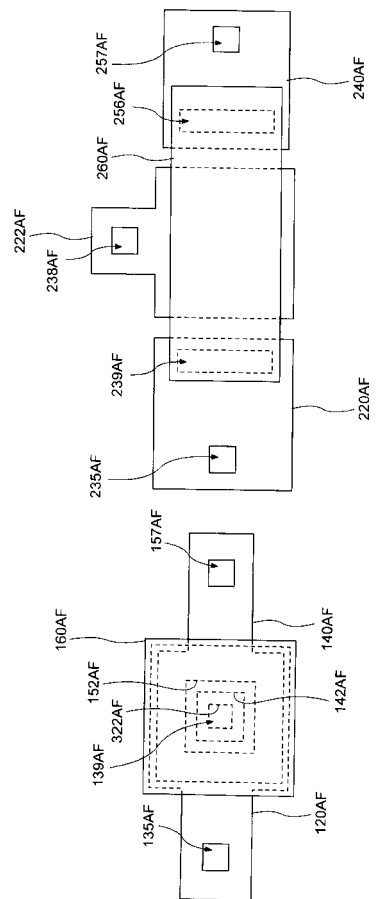
【図 303】

10AF

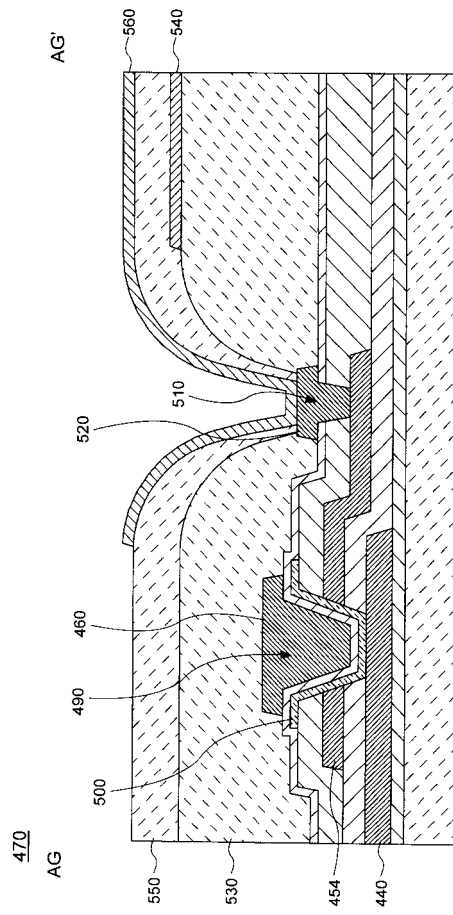


【図 305】

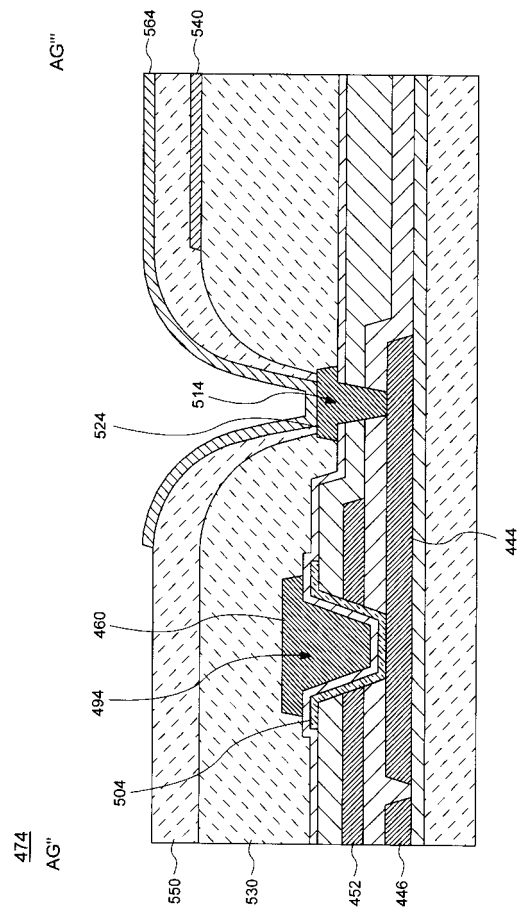
10AF



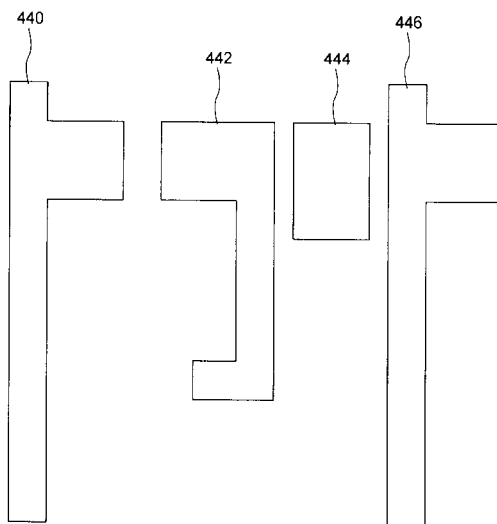
【図 3 1 0】



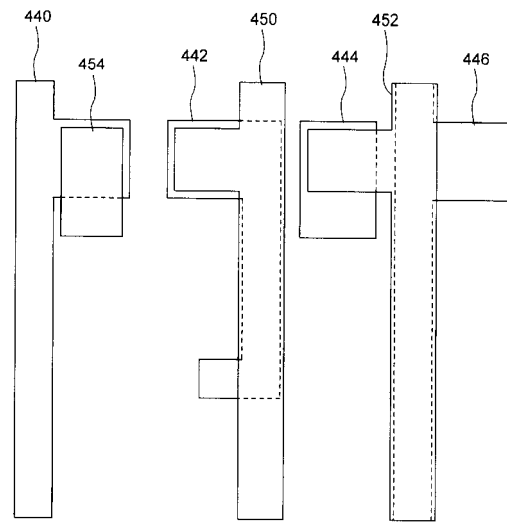
【図 3 1 1】



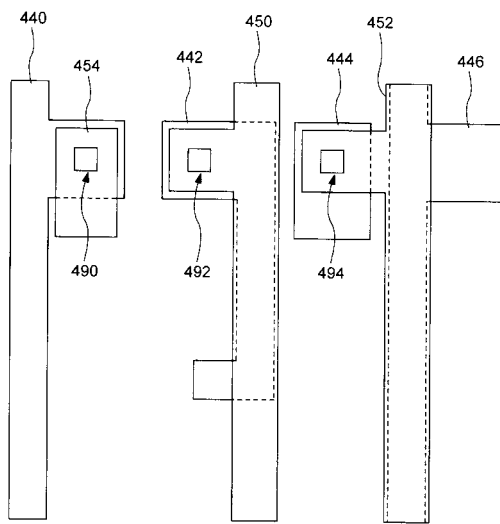
【図 3 1 2】



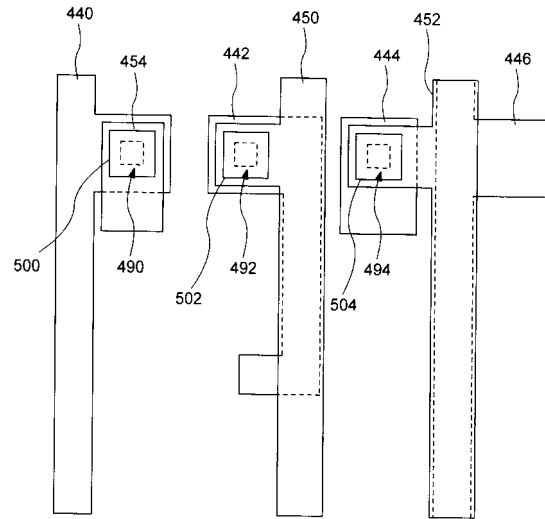
【図 3 1 3】



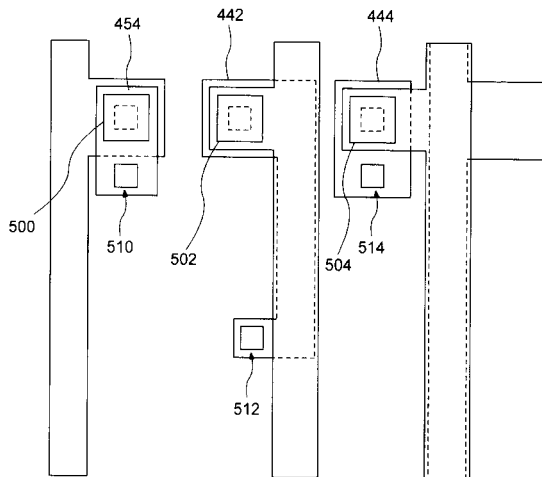
【図 3 1 4】



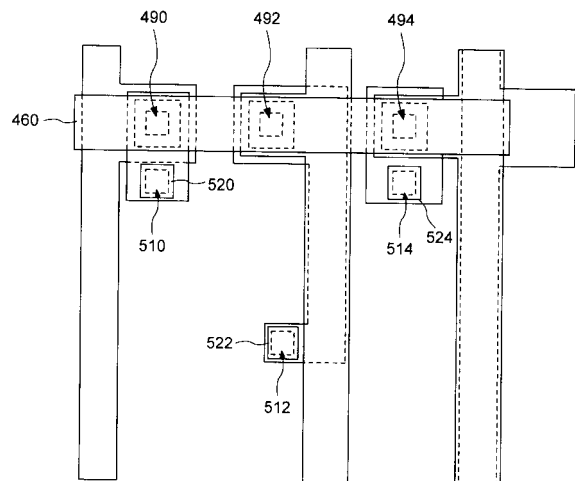
【図 3 1 5】



【図 3 1 6】



【図 3 1 7】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)

H 0 1 L 27/088 (2006.01)

H 0 1 L 29/78 6 1 6 T
 H 0 1 L 27/06 1 0 2 C
 H 0 1 L 27/06 1 0 2 A
 H 0 1 L 27/08 1 0 2 E
 H 0 1 L 27/08 1 0 2 C
 H 0 1 L 27/08 1 0 2 A

F ターム (参考) 5F048 AA08 AC01 BA14 BA15 BA16 BB02 BB03 BB11 BC03 BC11
 BC12 BC15 BD07 BF16 CB07 CB08
 5F110 AA02 AA06 AA07 AA30 BB01 BB03 CC09 CC10 DD01 DD02
 DD03 DD04 DD05 DD12 DD13 DD14 DD15 DD17 EE01 EE02
 EE03 EE04 EE06 EE07 EE14 EE22 EE30 EE37 FF01 FF02
 FF03 FF04 FF27 FF28 FF29 FF30 GG01 GG02 GG04 GG05
 GG13 GG14 GG15 GG22 GG23 GG28 GG43 GG44 HK01 HK02
 HK03 HK04 HK06 HK07 HK21 HK22 HL01 HL02 HL03 HL04
 HL06 HL07 HL11 HM02 HM12 HM18 HM19 NN03 NN05 NN06
 NN22 NN23 NN24 NN27 NN33 NN35 NN78 QQ03 QQ08