(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5127088号
(P5127088)

(45)発行日　平成25年1月23日(2013.1.23)　(24)登録日　平成24年11月9日(2012.11.9)

(51)Int.Cl.			F I		
G08C	19/00	(2006.01)	G08C	19/00	301A
H04Q	9/00	(2006.01)	H04Q	9/00	311W
G05B	15/02	(2006.01)	H04Q	9/00	311P
			G05B	15/02	A

請求項の数 6　(全 19 頁)

(21)出願番号　特願2000-46410(P2000-46410)
(22)出願日　平成12年2月23日(2000.2.23)
(65)公開番号　特開2001-202588(P2001-202588A)
(43)公開日　平成13年7月27日(2001.7.27)
審査請求日　平成18年11月1日(2006.11.1)
(31)優先権主張番号　特願平11-85991
(32)優先日　平成11年3月29日(1999.3.29)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願平11-250513
(32)優先日　平成11年9月3日(1999.9.3)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願平11-318816
(32)優先日　平成11年11月9日(1999.11.9)
(33)優先権主張国　日本国(JP)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100070437
弁理士　河井　将次

最終頁に続く

(54)【発明の名称】制御システム

(57)【特許請求の範囲】
【請求項１】
主制御部と、複数のセンサが接続され、ユニットの機構を直接制御する前記主制御部とは異なる１つ又は複数のユニット制御部からなる制御システムにおいて、
前記ユニット制御部に設けられ、前記各センサの信号レベルを順次選択する選択手段と、
前記ユニット制御部に設けられ、前記各センサの信号レベルと予め保持されているスレッショルドレベルとを比較し、比較結果として、各センサのオン／オフ信号を保持する比較制御手段と、
前記ユニット制御部に設けられ、前記比較制御手段に保持されている比較結果をシリアル信号に変換して前記主制御部に伝送する制御手段と、
前記主制御部に設けられ、前記ユニット制御部から伝送される比較結果を認識する認識手段と、
前記主制御部に設けられ、前記ユニット制御部に保持されているスレッショルドレベルを変更するコマンドをシリアル信号に変換して前記ユニット制御部に伝送するコマンド伝送手段と、
前記ユニット制御部に設けられ、前記主制御部から伝送されたコマンドに基づいて動作し、前記ユニット制御部の比較制御手段で保持されているスレッショルドレベルを変更するスライスレベル変更手段と、
を具備したことを特徴とする制御システム。

【請求項２】
前記コマンド伝送手段は、
前記主制御部に設けられ、ユニット制御部の前記各センサの信号レベルの伝送を要求するためのコマンドを定め、それをシリアル信号に変換してユニット制御部に対し伝送する手段を有する第１制御手段と、
前記主制御部に設けられ、前記ユニット制御部から伝送される各センサの信号レベルに応じて前記各センサに対するスレッショルドレベルを設定し、そのスレッショルドレベルをユニット制御部に保持させるためのコマンドを定め、そのコマンドをシリアル信号に変換してユニット制御部に伝送する第２制御手段と、
を具備し、
前記スライスレベル変更手段は、
前記ユニット制御部に設けられ、前記第１制御手段により伝送されるコマンドに応じて、前記各センサの信号レベルをシリアル信号に変換し前記主制御部に伝送する第１コマンド実行手段と、
前記ユニット制御部に設けられ、前記第２制御手段により伝送されるコマンドに応じたスレッショルドレベルを前記比較制御手段に保持させる第２コマンド実行手段と、
を有することを特徴とする請求項１記載の制御システム。
【請求項３】
前記ユニット制御部のそれぞれに設けられ、前記主制御部からのコマンドを受信し、同じコマンドを前記主制御部に送り返す、第３制御手段と、
前記主制御部に設けられ、エコーバックチェックを行うために、前記ユニット制御部から送り返された前記コマンドに応答する、第４の制御手段と、
を更に備えることを特徴とする請求項２に記載の制御システム。
【請求項４】
主制御部と、それぞれに複数のセンサが接続され、ユニットの機構を直接制御する前記主制御部とは異なる１つ又は複数のユニット制御部からなる制御システムにおいて、
前記ユニット制御部に設けられ、前記各センサの信号を順次選択する選択手段と、
前記ユニット制御部に設けられ、前記選択手段で選択された各センサ信号のレベルをデジタルデータに変換するＡ／Ｄ変換手段と、
前記ユニット制御部に設けられ、前記Ａ／Ｄ変換手段の出力データと予め保持されている各センサに対応するそれぞれの複数のスレッショルドレベルとを比較し、比較結果として、各センサのオン／オフ信号を保持する比較制御手段と、
前記主制御部に設けられ、前記ユニット制御部を順次に指定する指定手段と、
前記ユニット制御部に設けられ、前記指定手段により当該ユニット制御部が指定されているときに、前記比較制御手段に保持されている各比較結果をシリアル信号に変換して前記主制御部に伝送する制御手段と、
前記主制御部に設けられ、前記ユニット制御部から伝送される各比較結果をパラレル変換して保持し認識する認識手段と、
前記主制御部に設けられ、前記ユニット制御部に保持されているスレッショルドレベルを変更するコマンドをシリアル信号に変換して前記ユニット制御部に伝送するコマンド伝送手段と、
前記ユニット制御部に設けられ、前記主制御部から伝送されたコマンドに基づいて動作し、前記ユニット制御部の比較制御手段で保持されているスレッショルドレベルを変更するスライスレベル変更手段と、
を具備したことを特徴とする制御システム。
【請求項５】
前記コマンド伝送手段は、
前記主制御部に設けられ、前記指定手段によるユニット制御部の指定に伴い、指定先のユニット制御部の前記Ａ／Ｄ変換手段の出力データの伝送を要求するためのコマンドを定め、それをシリアル信号に変換して指定先のユニット制御部に対し伝送する手段を有する

第１制御手段と、
前記主制御部に設けられ、前記ユニット制御部から伝送される各データに応じて前記各センサに対するそれぞれのスレッショルドレベルを設定し、その各スレッショルドレベルを各ユニット制御部に保持させるためのコマンドを定め、そのコマンドをシリアル信号に変換して各ユニット制御部に伝送する第２制御手段と、
を具備し、
前記スライスレベル変更手段は、
前記ユニット制御部に設けられ、前記Ａ／Ｄ変換手段の出力データを保持する信号レベル保持手段と、
前記ユニット制御部に設けられ、前記第１制御手段により伝送されるコマンドに応じて、前記信号レベル保持手段内の各データをシリアル信号に変換し前記主制御部に伝送する第１コマンド実行手段と、
前記ユニット制御部に設けられ、前記第２制御手段により伝送されるコマンドに応じたスレッショルドレベルを前記比較制御手段に保持させる第２コマンド実行手段と、
を有することを特徴とする請求項４記載の制御システム。
【請求項６】
前記ユニット制御部に設けられ、前記主制御部から伝送されるコマンドを受信したときに同じコマンドを主制御部に返送する第３の制御手段と、
前記主制御部に設けられ、前記ユニット制御部からのコマンド返送に基づくエコーバックチェックを実行する第４の制御手段と、
を更に具備したことを特徴とする請求項５に記載の制御システム。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、主制御部、およびそれぞれにセンサ、アクチュエータが接続された複数のユニット制御部からなる制御システムに関する。
【０００２】
【従来の技術】
従来、媒体、たとえば紙葉類を搬送する媒体搬送装置は、媒体の位置や状態等を検知するために多数のセンサ（例えば、光学センサ等）や、媒体の分離、移動等のための多数のアクチュエータが装備されている。従って、上記アクチュエータ類やセンサの信号をＣＰＵにいかに伝達するかが重要な問題となる。
【０００３】
最も簡単な方法として、全てのセンサ、アクチュエータの信号線を単純に主制御部の基板に接続する例がある。また、特公昭６２－３１３９３号公報や特公平４－５３３５９号公報に見られるように、信号集線を行う例がある。
【０００４】
より詳細に説明すると、上記特公昭６２－３１３９３号公報の例では、各センサの信号レベルを閾値いわゆるスレッショルドレベルとの比較により２値化して明／暗を表わす信号を得、それを伝送するようにしている。特公平４－５３３５９号公報の例では、各センサの信号レベルをデジタル値（多値データ）に変換し、それをシリアル伝送するようにしている。
【０００５】
また、上記アクチュエータは、連続してＯＮすると、コイルの焼損や機械の破壊に到る場合が有る。故に、一定時間以上ＯＮし続けないように制御することが必要である。かかる点に鑑みて、ＣＰＵのプログラムによって時間を計測し、所定の時間が経過すると出力をＯＦＦするといった制御が行われている。
【０００６】
また、機構部は、一般的に、停止状態から動作を開始する際には、定常動作中よりも大きな力を要する。そこで、動作開始時のみ大電流を流して力を強め、動作完了後の保持状態

では、電流を少なく消費電力及びアクチュエータの発熱を抑制するといった制御も行われている。

【０００７】

【発明が解決しようとする課題】

しかしながら、全てのセンサの信号線を主制御部の基板に接続する方法では、各センサから基板までの信号線の引き回し距離が長くなり、コストの上昇を招いたり、信号線数によっては実装が困難な場合がある。また、アナログ信号の伝送部分が長くなるため、ノイズの影響を受け易いという問題がある。

【０００８】

特公昭６２－３１３９３号公報のように２値化信号を伝送するものでは、部品の寿命、周囲温度の影響、埃の付着、部品取付け精度のばらつきなどにより、センサの信号レベルが徐々に低下して適正な２値化処理ができなくなるという問題がある。この経時的なレベル低下を補償するために、従来、係員が定期的に各センサの信号レベルを測定してその測定結果に合せてライスレベルを調整することが行われているが、これは係員にとって大きな負担である。

【０００９】

特公平４－５３３５９号公報のように、各センサの信号レベルをデジタル値（多値データ）に変換してシリアル伝送するものでは、センサごとのデータ伝送量が多くなり、ひいてはセンサごとの伝送間隔が長くなって結果的に各センサによる監視精度が低下してしまう。センサ接続数が制限されてしまうこともある。

【００１０】

一方、上記従来技術は、センサの信号線のみを集積した例であり、アクチュエータ類の制御には別の線を必要とする為、シリアル回線が多くなり、不経済であるという問題点が有った。

【００１１】

以下、この問題点について詳述する。

【００１２】

第１に、全ての信号線を主制御部に接続する場合には、信号線の平均長が非常に長くなり、不経済であり、実装も困難となる（ワイヤ量過多）。さらに、センサの信号線はアナログ部分が長いため、ノイズの影響を受け易い。

【００１３】

第２に、センサの信号線のみを集線する場合には、以下の問題が生じる。

【００１４】

即ち、センサレベルをそのまま伝送する場合には、その通信量が多くなってしまう。さらに、２値化（ＯＮ／ＯＦＦ）して伝送する場合、又はセンサ出力が２値である場合には、ＣＰＵはセンサの出力レベルを知ることが出来ないため、明／暗の閾値設定が自動化できず、更には明状態でのセンサ出力低下に対する許容度合いが小さいといった問題が発生する。また、センサ回路の制御用ラインと別にアクチュエータ制御用ラインが必要となり、不経済である。

【００１５】

つまり、上記特公昭６２－３１３９３号公報により開示された技術では、ＯＮ／ＯＦＦ状態のみを検出し、伝送するため、ＯＮ状態でのアナログレベルをＣＰＵが知ることが不可能であり、従って、ＯＮ／ＯＦＦの閾値は変更不可能か、又は変更可能であっても、センサレベルの測定を全く別系の測定器等で行い、結果の処理から導かれた閾値を手動で設定する必要があった。

【００１６】

また、上記特公平４－５３３５９号公報により開示された技術は、アナログレベルのデジタル変換値をそのまま伝送するというもので、データ回線上のデータ量が多くなり、同じデータ伝送速度では接続可能なセンサ数を少なくするか、又は伝送間隔を長くする、つまり監視の時間精度を落とす必要があるといった問題があった。また、集積されているのは

センサ情報の伝送ラインのみであり、制御装置は通常モータやソレノイドの制御も行なうため、アクチュエータ類の動作を指示するためのコマンドをＣＰＵから伝送するライン、及び制御結果や状態をＣＰＵに伝送するラインを別途設ける必要があり、不経済であるといった問題もあった。

【００１７】

一方、上記従来技術のように、コイルの焼損や機械の破壊を、ＣＰＵのプログラムで保護する方法では、当該ＣＰＵの処理負荷が大きいばかりでなく、プログラムの不具合等によってＣＰＵが暴走した場合には、保護機能が働かず、その結果、焼損や破壊が起きるといった問題が生じていた。

【００１８】

本発明は、上記問題に鑑みてなされたもので、その目的とするところは、以下の通りである。

【００１９】

即ち、第１に、センサの信号線の引き回し距離を長くする必要なく、センサによる監視精度の低下やセンサ接続数の制限を生じることもなく、センサで捕らえた情報を主制御部に的確に伝えることができ、しかもセンサ信号の経時的なレベル低下を自動的に補償することができる信頼性に優れた制御システムを提供することにある。

【００２０】

第２に、ＣＰＵを有する主制御部と、ユニットの機構を直接制御するユニット制御部をシリアル回線で接続したシステムにおいて、センサ監視機能とアクチュエータ制御機能とでシリアル回線を共有することで、シリアル回線を削減する制御システムを提供することにある。

【００２１】

第３に、出力ポートの出力をＯＮした後、一定時間の後に自動的にＯＦＦすることで、ＣＰＵの負荷の軽減し、ＣＰＵ動作異常時の安全性向上を実現する制御システムを提供することにある。

【００２２】

【課題を解決するための手段】

上記目的を達成するために、本発明の第１の態様では、主制御部と、複数のセンサが接続され、ユニットの機構を直接制御する前記主制御部とは異なる１つ又は複数のユニット制御部からなる制御システムにおいて、前記ユニット制御部に設けられ、前記各センサの信号レベルを順次選択する選択手段と、前記ユニット制御部に設けられ、前記各センサの信号レベルと予め保持されているスレッショルドレベルとを比較し、比較結果として、各センサのオン／オフ信号を保持する比較制御手段と、前記ユニット制御部に設けられ、前記比較制御手段に保持されている比較結果をシリアル信号に変換して前記主制御部に伝送する制御手段と、前記主制御部に設けられ、前記ユニット制御部から伝送される比較結果を認識する認識手段と、前記主制御部に設けられ、前記ユニット制御部に保持されているスレッショルドレベルを変更するコマンドをシリアル信号に変換して前記ユニット制御部に伝送するコマンド伝送手段と、前記ユニット制御部に設けられ、前記主制御部から伝送されたコマンドに基づいて動作し、前記ユニット制御部の比較制御手段で保持されているスレッショルドレベルを変更するスライスレベル変更手段と、を具備したことを特徴とする制御システムが提供される。

本発明の第２の態様では、主制御部と、それぞれに複数のセンサが接続され、ユニットの機構を直接制御する前記主制御部とは異なる１つ又は複数のユニット制御部からなる制御システムにおいて、前記ユニット制御部に設けられ、前記各センサの信号を順次選択する選択手段と、前記ユニット制御部に設けられ、前記選択手段で選択された各センサ信号のレベルをデジタルデータに変換するＡ／Ｄ変換手段と、前記ユニット制御部に設けられ、前記Ａ／Ｄ変換手段の出力データと予め保持されている各センサに対応するそれぞれの複数のスレッショルドレベルとを比較し、比較結果として、各センサのオン／オフ信号を保持する比較制御手段と、前記主制御部に設けられ、前記ユニット制御部を順次に指定す

る指定手段と、前記ユニット制御部に設けられ、前記指定手段により当該ユニット制御部が指定されているときに、前記比較制御手段に保持されている各比較結果をシリアル信号に変換して前記主制御部に伝送する制御手段と、前記主制御部に設けられ、前記ユニット制御部から伝送される各比較結果をパラレル変換して保持し認識する認識手段と、前記主制御部に設けられ、前記ユニット制御部に保持されているスレッショルドレベルを変更するコマンドをシリアル信号に変換して前記ユニット制御部に伝送するコマンド伝送手段と、前記ユニット制御部に設けられ、前記主制御部から伝送されたコマンドに基づいて動作し、前記ユニット制御部の比較制御手段で保持されているスレッショルドレベルを変更するスライスレベル変更手段と、を具備したことを特徴とする制御システムが提供される。

【００２６】

【発明の実施の形態】

以下、この発明の実施例について図面を参照して説明する。

【００２７】

先ず、本発明の第１の実施の形態について説明する。

【００２８】

図１は、媒体、たとえば紙葉類を搬送する媒体搬送制御システムの構成を示す図である。同図に示されるように、主制御部１に、搬送部、取込部、集積部のそれぞれのユニット制御部２０がシリアル回線を介して接続されている。各ユニット制御部２０には、紙葉類の状態や位置を検知するための１つまたは複数のセンサＳが接続されると共に、搬送系駆動用のモータＭが接続されている。

【００２９】

図２は、主制御部１と各ユニット制御部２０との間のシリアル回線を介しての接続、即ち６本のシリアル回線を介しての並列接続の様子を示している。

【００３０】

図３は、図２の主制御部１及びユニット制御部２０の主要な構成を、より詳細に示す図である。

【００３１】

同図に示されるように、主制御部１はＣＰＵ２を備えている。そのＣＰＵ２には、センサオン／オフメモリ３、レスポンスメモリ５、コマンドメモリ７が接続されている。センサオン／オフメモリ３は、シリアル－パラレル変換器４を介してシリアル回線５２に接続されている。レスポンスメモリ５は、シリアル－パラレル変換器６を介してシリアル回線５３に接続されている。コマンドメモリ７は、パラレル－シリアル変換器８を介してシリアル回線５４に接続されている。

【００３２】

また、主制御部１は、アドレス同期信号発生部９を備えている。このアドレス同期信号発生部９は、シリアル回線５１に接続されている。

【００３３】

ユニット制御部２０は選択手段としてスイッチ２１を備えており、そのスイッチ２１には複数のセンサＳａ，Ｓｂ，…Ｓｎが接続されている。さらに、このスイッチ２１は、センサ切換タイミング生成部４０から供給されるタイミング信号に基づいて、時分割のスキャンを繰り返し、各センサの信号（以下、センサ信号と称す）を順次に選択して出力する。

【００３４】

上記スイッチ２１で選択される各センサ信号のレベルは、Ａ／Ｄコンバータ（Ａ／Ｄ変換手段）２２でデジタルデータに変換される。そして、このデジタルデータは、センサレベルデータとしてセンサレベルメモリ（信号レベル保持手段）２３に保持されると共に、比較器２４にも供給される。

【００３５】

比較器２４は、Ａ／Ｄコンバータ２２からの各センサレベルデータとスライスレベルメモリ２５に予め保持されている複数のスレッショルドレベルとを比較する。そして、この各比較結果は、比較結果メモリ２６に保持される。スレッショルドレベルメモリ２５は、セ

ンサ切換タイミング生成部４０から供給されるタイミング信号に基づき、スイッチ２１のスキャンと同じタイミングで、各センサに対応するスレッショルドレベルを順次に出力する。これら比較器２４、スライスレベルメモリ２５、および比較結果メモリ２６により、比較制御手段が構成される。

【００３６】

比較結果メモリ２６内の各比較結果は、センサスキャンとは独立した図示しないタイミング信号に応じて順次に出力され、パラレル－シリアル変換器３１でシリアル信号に変換される。こうして変換されたシリアル信号は、上記シリアル回線５２を介して、主制御部１のシリアル－パラレル変換器４に伝送される。

【００３７】

センサレベルメモリ２３内の各センサレベルデータは、センサスキャンとは独立した図示しないタイミング信号に応じて順次に読出される。尚且つ、後述するコマンド解析部３６からの指示に応動するセレクタ３２により選択された後、パラレル－シリアル変換器３３でシリアル信号に変換される。こうして変換されたシリアル信号は、上記シリアル回線５３を介して、主制御部１のシリアル－パラレル変換器６に伝送されることになる。

【００３８】

シリアル－パラレル変換器３４は、主制御部１のパラレル－シリアル変換器８からシリアル回線５４を介して伝送されるコマンドをパラレル変換する。こうしてパラレル変換されたコマンドは、コマンドメモリ３５に保持され、その保持内容がコマンド解析部３６によって解析される。

【００３９】

また、コマンド解析部３６は、コマンドメモリ３５内の所定のコマンドを解析することにより、センサレベルメモリ２３内のセンサレベルデータを主制御部１に伝送させるべく、セレクタ３２に指示を与える。これら、シリアル－パラレル変換器３４、コマンドメモリ３５、コマンド解析部３６、およびセレクタ３２により、第１コマンド実行手段が構成される。

【００４０】

さらに、コマンド解析部３６は、コマンドメモリ３５内の所定のコマンドから複数のスレッショルドレベルを解析して、解析結果をスライスレベルメモリ２５に保持させる。これらシリアル－パラレル変換器３４、コマンドメモリ３５、およびコマンド解析部３６により、第２コマンド実行手段が構成される。

【００４１】

また、コマンド解析部３６は、主制御部１から伝送されるコマンドを受信したときに、受信したのと同じコマンドをセレクタ３２およびパラレル－シリアル変換器３３を介して主制御部１に即時に返送（即ち、エコーバックチェック用の返送コマンド）する制御手段を備える。

【００４２】

符号３０は同期信号受信部である。この同期信号受信部３０は、、シリアル回線５１を介して主制御部１のアドレス同期信号発生部９に接続されており、アドレス同期信号発生部９から供給される同期信号を受信する。

【００４３】

図４はユニット制御部２０の要部を抜き出して示した図である。

【００４４】

同図に示されるように、センサレベルメモリ２３、スライスレベルメモリ２５、比較結果メモリ２６のいずれも、センサＳａ，Ｓｂ，…Ｓｎの数に対応する個数のデータを保持（記憶）する構成となっている。

【００４５】

一方、主制御部１のＣＰＵ２は、スライスレベル変更手段として、次の［１］～［５］の機能を備える。

【００４６】

［１］各ユニット制御部２０を順次に指定する指定手段。
【００４７】
［２］各ユニット制御部２０から伝送されシリアル－パラレル変換器４でパラレル変換される各比較結果を各センサのそれぞれオン／オフ信号としてセンサオン／オフメモリ３に保持し、各センサの検知結果として認識する認識手段。
【００４８】
［３］上記指定手段による各ユニット制御部２０の指定に伴い、指定先のユニット制御部２０のセンサレベルメモリ２３に保持されている各センサレベルデータの伝送を要求するためのコマンドを定め、それをコマンドメモリ７に一旦保持し、そのコマンドメモリ７内のコマンドをパラレル－シリアル変換器８でシリアル信号に変換して指定先のユニット制御部２０に対し伝送する制御手段。
【００４９】
［４］各ユニット制御部２０から伝送される各センサレベルデータに応じてセンサＳａ，Ｓｂ，…Ｓｎに対する複数のスレッショルドレベルを設定し、その各スレッショルドレベルをユニット制御部２０に保持させるためのコマンドを定め、それをコマンドメモリ７に一旦保持し、そのコマンドメモリ７内のコマンドをパラレル－シリアル変換器８でシリアル信号に変換して対応するユニット制御部２０に伝送する制御手段。
【００５０】
［５］各ユニット制御部２０からのコマンド返送に基づくエコーバックチェックを実行する制御手段。
【００５１】
図５及び図６を参照して、上記構成の作用を説明する。
【００５２】
各ユニット制御部２０（図５において２０ａ，２０ｂ，…２０ｎとしている）において、センサＳａ，Ｓｂ，…Ｓｎの信号が、所定期間、たとえば８０μｓ毎にスキャンされる。センサの個数が１６個であれば、全てのセンサ信号をスキャンするのにかかる時間は１２８０μｓとなる。
【００５３】
また、主制御部１のＳＹＮＣ信号により、各ユニット制御部２０が所定期間ずつ、たとえば８０μｓずつアドレス指定される。この指定期間８０μｓのうち、初めの低レベル期間１６μｓにアドレスデータが割り当てられ、次の高レベル期間６４μｓがセンサ情報伝送タイミングとなる。詳細については、第２の実施の形態にて後述する。
【００５４】
このセンサ情報伝送タイミング６４μｓをセンサの個数１６個で分割した４μｓが、センサ毎に割り当てられた伝送期間となる。
【００５５】
上記スキャンされた各センサ信号は、Ａ／Ｄコンバータ２２でデジタルデータに変換され、センサレベルデータとして比較器２４に供給されると共に、センサレベルメモリ２３に保持される。
【００５６】
比較器２４では、Ａ／Ｄコンバータ２２からの各センサレベルデータとスライスレベルメモリ２５からの各スレッショルドレベルとが比較される。センサレベルデータの内容（信号レベル）がスレッショルドレベル以上であれば、比較器２４から明信号（論理“１”信号）が出力される。センサレベルデータの内容（信号レベル）がスレッショルドレベル未満であれば、比較器２４から暗信号（論理“０”信号）が出力される。これら明信号および暗信号は比較結果メモリ２６に保持される。
【００５７】
ユニット制御部２０では、ＳＹＮＣ信号が低レベル期間においてアドレスデータの判定がなされ、アドレスデータが当該ユニット制御部２０のアドレスと一致した場合に比較結果メモリ２６内の各比較結果がパラレル－シリアル変換され、主制御部１に伝送される。

【００５８】
主制御部１では、ユニット制御部２０から伝送される各比較結果がシリアル－パラレル変換され、それが各センサのそれぞれオン／オフ信号としてセンサオン／オフメモリ３に保持される。このセンサオン／オフメモリ３内の各オン／オフ信号が各センサの検知結果として認識される。
【００５９】
また、主制御部１では、指定先のユニット制御部２０のセンサレベルメモリ２３に保持されている各センサレベルデータの伝送を要求するためのコマンドが定められ、それが指定先のユニット制御部２０に伝送される。
【００６０】
指定先のユニット制御部２０では、主制御部１から供給されるコマンドに基づき、センサレベルメモリ２３に保持されている各センサレベルデータ（センサ状態データ）が読み出されて主制御部１に伝送される。
【００６１】
主制御部１では、ユニット制御部２０から伝送される各センサレベルデータ（センサ状態データ）センサＳａ，Ｓｂ，…Ｓｎに対する複数のスレッショルドレベルが設定され、その各スレッショルドレベルをユニット制御部２０のスライスレベルメモリ２５に保持させるためのコマンドが定められ、そのコマンドが対応するユニット制御部２０に伝送される。
【００６２】
ユニット制御部２０では、主制御部１から供給されるコマンドが解析されることにより、センサＳａ，Ｓｂ，…Ｓｎに対する複数のスレッショルドレベルが求められ、それがスライスレベルメモリ２５に保持される。
【００６３】
なお、主制御部１から伝送された各コマンドはシリアル回線５４により伝送されてユニット制御部２０で受信されるが、その受信がなされたことの証として、同じコマンドがシリアル回線５３により即時に主制御部１に伝送される。
【００６４】
このとき、主制御部１では、コマンド返送に基づくエコーバックチェックが実行される。このエコーバックチェックは、専用の伝送回線を使用することなく、既存のシリアル回線を有効利用するものであり、コストの上昇を押さえることができる。
【００６５】
以上説明したように、第１の実施の形態では、ユニット制御部２０に複数のセンサＳａ，Ｓｂ，…Ｓｎが接続されている場合でも、その各センサの信号レベルとスレッショルドレベルとの比較結果をシリアル信号に変換して主制御部１に伝送する構成としたので、従来のように各センサの信号線の引き回し距離が長くなる不都合がなく、センサで捕らえた情報を主制御部に的確に伝えることができる。
【００６６】
各センサの信号線の引き回し距離が長くならないことにより、コストの上昇やセンサ数による実装上の制限を回避することができ、しかもアナログ信号の伝送部分が長くならないためノイズの影響を受け難いという効果が得られる。
【００６７】
各センサの信号レベルをＡ／Ｄ変換した状態で伝送するのではなく、スレッショルドレベルとの比較結果として伝送する構成であるから、従来のようにデジタル値（多値データ）をそのまま伝送する場合のような、センサによる監視精度が低下したり、センサ接続数が制限されるといった不具合は生じない。
【００６８】
また、各センサの信号レベルを監視し、その都度、最適なスレッショルドレベルを設定するので、センサ信号の経時的なレベル低下を自動的に補償することができ、係員の負担を軽減できるとともに、センサ検知の信頼性が向上する。

【００６９】
なお、上記実施の形態では、紙葉類等の媒体搬送制御システムを例に説明したが、他の制御システムについても同様に実施可能である。
【００７０】
次に、本発明の第２の実施の形態について説明する。
【００７１】
図７には、第２の実施の形態に係る制御システムの、主制御部１、ユニット制御部２０の主要構成を示し説明する。
【００７２】
尚、以下では、図３と同一構成については、同一符号を付して重複する説明を省略し、第２の実施の形態の特徴点を中心に説明する。
【００７３】
同図に示されるように、ＣＰＵ２には、上述の他に、ポートＯＮ／ＯＦＦメモリ６０が接続されている。このポートＯＮ／ＯＦＦメモリ６０は、パラレル－シリアル変換器６１を介してシリアル回線６２に接続されている。更に、シリアル回線６２は、ユニット制御部２０内のシリアル－パラレル変換器６３を介して、出力ポート回路６４に接続されている。この出力ポート６４には、ソレノイドＰａ、ＤＣモータＰｂ、表示器Ｐｎに接続されている。
【００７４】
アドレス・同期信号発生器９の出力信号はシリアル回線５１に接続されるとともに、パラレル－シリアル変換器６１にも接続されている。そして、図６のタイミングチャートに示されるように同期信号ＳＹＮＣが低レベルのときにパラレル－シリアル変換器６１はアドレス・同期信号発生器９から出力されるアドレス信号（Ａ０～Ａ３）をシリアル回線６２にＳＤＡ信号として出力する。
【００７５】
一方、ユニット制御部２０のシリアル－パラレル変換器６３は、シリアル回線６２からＲＤＡ信号を受信し、アドレス解析部９９と出力ポート回路６４とに出力する。アドレス解析部９９は同期信号受信部３０からのＳＹＮＣ信号に同期してＳＹＮＣ信号が低レベルのとき、ＲＤＡ信号のアドレス（Ａ０～Ａ３）が自己のユニット制御部に対するアドレス信号であるか否かを解析する。
【００７６】
また、出力ポート回路６４はアドレス解析部９９が自己のアドレスであると解析したとき、同期信号ＳＹＮＣの高レベルに同期して、ＲＤＡ信号を出力ポートデータとして取り込むようになっている。
【００７７】
ユニット制御部２０内には、モータ制御回路６５も配設されており、該モータ制御回路６５には、ステッピングモータＭａ乃至Ｍｎが接続されている。
【００７８】
尚、上記シリアル回線５２は、請求項記載の第１のシリアル回線に相当し、上記シリアル回線５３は、請求項記載の第４のシリアル回線に相当し、上記シリアル回線５４は、請求項記載の第３のシリアル回線に相当し、上記シリアル回線６２は、請求項記載の第２のシリアル回線に相当する。また、コマンドメモリ７及びパラレル－シリアル変換器８は、請求項記載のコマンド送信手段に相当し、ポートＯＮ／ＯＦＦメモリ６０とパラレル－シリアル変換器６１は、請求項記載のポート情報伝送手段に相当するものである。
【００７９】
以下、モータ制御回路６５の動作について更に詳細に説明する。
【００８０】
このモータ制御回路６５は、主制御部１側から、シリアル回線５４を介して、モータの初期速度、最高速度、加速レート、減速レート、動作量等のパラメータを与え、動作開始、動作停止等のコマンドを与えることで制御される。

【００８１】
そこで、ＣＰＵ２は、先ずモータ制御回路６５に送信したいパラメータやコマンドをコマンドメモリ７に書き込む。パラレル－シリアル変換器８は、このコマンドメモリ７に書き込まれた各種パラメータやコマンドを含む情報を読み出し、シリアル信号に変換して、シリアル回線５４を介して、シリアル－パラレル変換器３４に伝送する。このシリアル信号は、このシリアル－パラレル変換器３４でパラレル信号に変換された後、コマンドメモリ３５に書き込まれる。その内容はコマンド解析部３６がセンサ回路制御コマンド（センサレベルリード、スライスレベル設定コマンド）と同様に解析される。そして、パラメータ及びコマンドがモータ制御回路６５に送られるべきものである場合には、当該パラメータ及びコマンドがモータ制御回路６５へと送信される。モータ制御回路６５では、こうして送られてきたパラメータ及びコマンドに従った動作が行われる。
【００８２】
また、上記パラメータ及びコマンドが動作結果の返信を必要とするものである場合には、モータ制御回路６５により、その動作結果がセレクタ３２へと送信される。上記コマンド解析部３６は、同時にセレクタ３２を制御して、モータ制御回路６５からの動作結果をパラレル－シリアル変換器３３に送り、当該パラレル－シリアル変換器３３にてシリアル信号に変換する。このシリアル信号はシリアル回線５３を介して主制御部１側のシリアル－パラレル変換器６に送られ、パラレル信号に変換された後、レスポンスメモリ５に保存される。これにより、ＣＰＵ２は、モータ制御回路６５のレスポンスの読み取りが可能となる。
【００８３】
次に、出力ポート回路６４の動作について詳細に説明する。
【００８４】
ＣＰＵ２は、ポートＯＮ／ＯＦＦメモリ６０のＯＮ、又はＯＦＦしたい出力ポートに対応するアドレスに、ＯＮする場合は「１」、ＯＦＦする場合は「０」を書き込む。パラレル－シリアル変換器６１は、ポートＯＮ／ＯＦＦメモリ６０の内容をシリアル化し、シリアル回線６２を介してシリアル－パラレル変換器６３に伝送する。こうして、当該シリアル－パラレル変換器６３でパラレル化された出力ポートＯＮ／ＯＦＦ情報は、出力ポート回路６４によって読取られる。そして、当該出力ポート回路６４は、この出力ポートＯＮ／ＯＦＦ情報に従って、所定のポートの出力を設定することになる。
【００８５】
そして、上述したモータ制御回路６５の場合と同様に、動作結果の返信が必要な場合は、出力ポート回路６４により、その動作結果がセレクタ３２へと送信される。上記コマンド解析部３６は、同時にセレクタ３２を制御して、上記動作結果をパラレル－シリアル変換器３３に送り、当該パラレル－シリアル変換器３３にてシリアル信号に変換する。このシリアル信号は、シリアル回線５３を介して主制御部１側のシリアル－パラレル変換器６に送られ、パラレル信号に変換された後、レスポンスメモリ５に保存される。これにより、ＣＰＵ２は、出力ポート回路８４のレスポンスの読み取りが可能となる。
【００８６】
ここで、第２の実施の形態を総括すると、本制御システムでは、センサＳａ～Ｓｎに対するコマンド、出力ポート回路６４対するコマンド、モータ制御回路６５に対するコマンドのいずれもが、主制御部１から、同一のシリアル回線５４を介して、ユニット制御部２０側に送信される。
【００８７】
即ち、いずれも主制御部１のＣＰＵ２の制御の下、各コマンドは、コマンドメモリ７に記憶され、パラレル－シリアル変換器８でシリアル信号に変換された後、シリアル回線５４を介して、ユニット制御部２０側のシリアル－パラレル変換器３４に送信される。そして、当該シリアル－パラレル変換器３４にてパラレル信号に変換され、コマンドメモリ３５に記憶される。さらに、後段のコマンド解析部３６にて、当該制御コマンドが何れの目的に関するものかが判別され、該当する各部に送られることになる。そして、コマンドを受

けた各部では、当該コマンドに基づいた所定の動作が行われることになる。

【００８８】

また、上記各部に送られたパラメータ及びコマンドが、動作結果の返信を必要とする内容を含むものである場合には、セレクタ３２、パラレル－シリアル変換器３３、シリアル回線５３、シリアル－パラレル変換器６を介して、レスポンスメモリ５に各部のレスポンスが保存される。これにより、ＣＰＵ２は、各部のレスポンスの読み取りが可能となる。

【００８９】

このように、同一のシリアル回線５４を介して、センサＳａ～Ｓｎの動作状態を制御するためのコマンド、出力ポート回路６４の動作状態を制御するためのコマンド、モータ制御回路６５に対するモータの回転開始、停止等を制御するためのコマンドを送信することが可能となっている。また、レスポンスについても、同一のシリアル回線５３を介して、センサＳａ～Ｓｎからのレスポンス、出力ポート回路６４からのレスポンス、モータ制御回路６５からのレスポンスを送信することが可能となっている。

【００９０】

また、本制御システムでは、センサＳａ～Ｓｎからの出力信号を、スイッチ２１を介して順次選択出力し、これを受けたＡ／Ｄコンバータ２２にて当該出力信号をディジタル信号に変換する。そして、比較器２４にて、当該ディジタル信号とセンサレベルメモリ２３に予め記憶されたスレッショルドレベルとを比較する。そして、この比較結果を比較結果メモり２６に記憶した後、パラレル－シリアル変換器３１にてシリアル信号に変換し、シリアル回線５２を介して、主制御部１側のシリアル－パラレル変換器４に送信する。そして、当該シリアル－パラレル変換器４にて、パラレル信号に変換し、センサオン／オフメモリ３に記憶する。かかる構成、作用により、伝送効率を高めている点も特徴的である。

【００９１】

以上説明したように、第２の実施の形態に係る制御システムでは、主制御部１とユニット制御部２０との間は、信号をシリアル・多重化し、更にアナログレベルをそのまま伝送するのではなく、スレッショルドレベルとの比較結果のみを伝送することで、ワイヤ及び伝送容量を削減し、ひいてはコスト削減を実現している。

【００９２】

さらに、センサ信号をアナログレベルで（０／１の結果のみではなく）取り込み、それをＡ／Ｄ変換した結果を保存し、主制御部からのコマンドによって主制御部にセンサ信号のレベル値を伝送できる様にすることで、必要時にはＣＰＵがセンサ信号のレベル値を認識可能としている。

【００９３】

更に、スレッショルドレベルを主制御部側から設定することを可能とすることで、センサ素子のばらつき、経時変化等に対応したスレッショルドレベルの調整を自動化することを可能としている。また、センサレベルが規定値を下回ったことをＣＰＵが検知し、操作者や保守員に通知することが可能である。

【００９４】

そして、ＣＰＵ側とアクチュエータ側に制御装置を分割し、ＣＰＵ側とアクチュエータ側との間は多重化して動作制御情報を伝送することを可能とし、ワイヤーを削減することとしている。

【００９５】

また、センサ情報及びセンサ回路制御情報の伝送とアクチュエータ制御情報の伝送でシリアル回線を共有することで、シリアル回線を削減している。

【００９６】

次に本発明の第３の実施の形態について説明する。

【００９７】

この第３の実施の形態に係る制御システムの基本構成は、図７と同様であるが、以下、同一構成について同一符号を付して説明を省略し、本実施の形態の特徴となる部分を中心に説明する。

【００９８】
図８には出力ポート回路６４の内部構成を示し説明する。
【００９９】
図８（ａ）に示される構成は、１個の出力ポートに対応する構成である。先に示した図３の構成では、ｎ個の出力ポートを有しているので、本発明の制御システムでは、同種の出力ポート回路６４がｎ個実装されることになる。
【０１００】
シリアルーパラレル変換器６３から送られたポートＯＮ／ＯＦＦ情報は、ＯＮ／ＯＦＦ情報メモリ１０１に保存される。そして、このＯＮ／ＯＦＦ情報メモリ１０１の内容に応じた出力が、ＯＮ／ＯＦＦ情報メモリ１０１よりスイッチ１０３を介して出力ポートに出力される。
【０１０１】
コマンド解析部３６から出力ポート制御コマンドが送られてきた場合、設定情報記憶部１０４に当該コマンドの設定情報が書き込まれる。
【０１０２】
そして、この設定情報記憶部１０４の内容に応じて、クロックセレクタ１０６へのセレクト信号、カウンタ１０５へのカウンタセレクト信号、強制ＯＦＦ機能イネーブル（ＥＮ）、ディセーブル（ＤＩＳ）信号が順次出力され、各部において当該信号の状態に応じた動作が行われることになる。
【０１０３】
即ち、クロックセレクタ１０６は、上記セレクト信号の状態に応じて、例えば、１０ｍｓｅｃ，１００ｍｓｅｃ，１ｓｅｃの中から１つのクロックを選択する。カウンタ１０５は、上記カウンタセレクト信号に応じて、クロックカウント回数を例えば、１，４，８のいずれかに設定する。
【０１０４】
強制ＯＦＦ機能イネーブル（ＥＮ）がＯＮの時に、立ち上がりエッジ検出回路１０２からのスタート信号を受けると、カウンタ１０５はクロックのカウントを開始し、設定したカウント回数に到ると、強制ＯＦＦ信号をＯＮし、スイッチ１０３を接地側に倒してポート出力をＯＦＦする。尚、タイムアウト前にポート出力がＯＦＦされると、カウンタ１０５は０にクリアされる。
【０１０５】
強制ＯＦＦ機能ディセーブル（ＤＩＳ）がＯＮの時は、強制ＯＦＦ信号はＯＦＦとなる。カウンタ１０５は、一旦強制ＯＦＦ信号をＯＮすると、ＤＩＳがＯＮするまで強制ＯＦＦ状態を保持することになる。
【０１０６】
コマンド解析部３６に、ユニット制御部ステータス取得コマンドが送られてくると、セレクタ３２はカウンタ１０５が出力している強制ＯＦＦ信号の状態をシリアル回線を介してＣＰＵ２に送信する。
【０１０７】
これにより、ＣＰＵ２は、各出力ポートの強制ＯＦＦ機能が動作したかどうかを知ることができる。
【０１０８】
尚、図８（ｂ）は、分周器１０７の構成例を示している。
【０１０９】
同図に示されるように、１０ｍｓの基本クロックを分周して、１０ｍ，１００ｍ，１ｓのクロックを生成し、クロックセレクタ１０６に供給する。
【０１１０】
以下、図９のフローチャートを参照して、強制ＯＦＦ機能を用いる場合の出力ポート制御シーケンスの一例を説明する。
本シーケンスに入ると、先ず、基本クロック及びカウント数の選択によって、強制ＯＦＦ

機能の動作時間を設定する（ステップＳ１）。
【０１１１】
続いて、強制ＯＦＦ機能をイネーブルーシにした上で（ステップＳ２）、出力ポートをＯＮする（ステップＳ３）。さらに、出力ポートをＯＮを継続すべき時間待機した後や、他の処理を実行する時間の経過後に（ステップＳ４）、出力ポートをＯＦＦする（ステップＳ５）。そして、強制ＯＦＦ機能が動作したか否か（保護機能が働いてしまったかどうか等）を知る必要が有る場合には、ユニット制御部ステータス取得コマンドを発行し（ステップＳ６）、その結果、強制ＯＦＦ動作が実行された場合には異常処理等の強制ＯＦＦ動作が実行された場合に必要となる処理を行う（ステップＳ７，Ｓ８）。こうして、強制ＯＦＦ機能をディセーブルにした後に処理を完了する（ステップＳ９）。
【０１１２】
以上、本発明の実施の形態について説明したが、請求項記載のクロック発生手段は、分周器１０７，クロックセレクタ１０６に相当する。カウンタ手段は、カウンタ１０５に相当する。ＯＮ／ＯＦＦ情報保持手段は、ＯＮ／ＯＦＦ情報メモリ１０１に相当する。エッジ検出手段は、立上りエッジ検出回路１０２に相当する。制御手段は、設定情報記憶部１０４に相当する。
【０１１３】
さらに、指定手段は、ＣＰＵ２に相当する。伝送制御手段は、ポートＯＮ／ＯＦＦメモリ６０，パラレルーシリアル変換器６１に相当する。コマンド保持送信手段は、コマンドメモリ７，パラレルーシリアル変換器８に相当する。
【０１１４】
以上説明したように、第３の実施の形態によれば以下の効果が奏される。
【０１１５】
即ち、ハードウェア処理により、ＣＰＵ処理の負荷を軽減できる。
【０１１６】
さらに、主制御部のＣＰＵの暴走時においても確実に保護機能を動作させ、安全性を向上させている。また、保護回路が集積回路に内蔵されているため、基板面積を取らず、コストも削減することができる。さらに、同一の回路で、焼損保護の強制ＯＦＦと、起動時のみ大電流を流す機能の双方を実現できる。
【０１１７】
さらに、ＣＰＵ側とセンサ側に監視装置を分割し、ＣＰＵ側とセンサ側間は多重化してセンサ情報を伝送することで、ワイヤーを削減できる。
【０１１８】
そして、センサ側ではセンサのアナログレベルを入力することで、ＣＰＵはセンサのアナログレベルを必要時に認識することが可能となる。また、アナログレベルを知ることで、センサ素子のばらつき、経時変化等に対応することが可能となる。さらに、センサ側でアナログレベルをスレッショルドレベルと比較して、ＯＮ／ＯＦＦ結果のみ伝送することで、伝送量を削減することができる。
【０１１９】
また、センサ情報及びセンサ回路制御情報の伝送とアクチュエータ制御情報の伝送で、シリアル回線を共有することでシリアル回線を削減できる。さらに、ユニット制御部側のハードウェアでポートの強制ＯＦＦを行うことを実現する。また、強制ＯＦＦ機能の設定、動作指示をシリアル回線経由で行うことを可能とする。さらに、強制ＯＦＦ機能が動作したかどうかを、シリアル回線経由でＣＰＵからユニット制御部に問い合わせることが可能となる。
【０１２０】
その他、この発明は上記実施の形態に限定されるものではなく、要旨を変えない範囲で種々変形実施可能である。
【０１２１】
【発明の効果】

以上述べたようにこの発明によれば、以下の効果が奏される。

【０１２２】

即ち、第１に、ユニット制御部に接続されているセンサの信号レベルとスレッショルドレベルとを比較し、その比較結果をシリアル信号に変換して主制御部に伝送するとともに、各センサの信号レベルを監視し、その都度、最適なスレッショルドレベルを設定する構成としたので、センサ信号線の引き回し距離が長くなることなく、センサによる監視精度の低下やセンサ接続数の制限を生じることもなく、センサで捕らえた情報を主制御部に的確に伝えることができ、しかもセンサ信号の経時的なレベル低下を自動的に補償することができる信頼性に優れた制御システムを提供することができる。

【０１２３】

第２に、ＣＰＵを有する主制御部と、ユニットの機構を直接制御するユニット制御部をシリアル回線で接続したシステムにおいて、センサ監視機能とアクチュエータ制御機能とでシリアル回線を共有することで、シリアル回線を削減する制御システムを提供することができる。

【０１２４】

第３に、出力ポートの出力をＯＮした後、一定時間の後に自動的にＯＦＦすることで、ＣＰＵの負荷を軽減し、ＣＰＵ動作異常時の安全性向上を実現した制御システムを提供することができる。

【図面の簡単な説明】

【図１】本発明の第１の実施の形態に係る制御システムの全体的な構成を示すブロック図である。

【図２】第１の実施の形態に係る制御システムにおける主制御部と各ユニット制御部とのシリアル回線による接続構成を示す図である。

【図３】第１の実施の形態に係る制御システムにおける、主制御部および各ユニット制御部の主要な構成を示すブロック図である。

【図４】図３における要部の構成を抜き出して示す図。

【図５】第１の実施の形態に係る制御システムの作用を説明するためのタイムチャート。

【図６】第１の実施の形態に係る制御システムの作用を説明するためのタイムチャート。

【図７】第２及び第３の実施の形態に係る制御システムの主制御部１、ユニット制御部２０の主要構成を示す図である。

【図８】（ａ）は出力ポート回路６４の内部構成を示す図であり、（ｂ）は分周器１０７の構成例を示す図である。

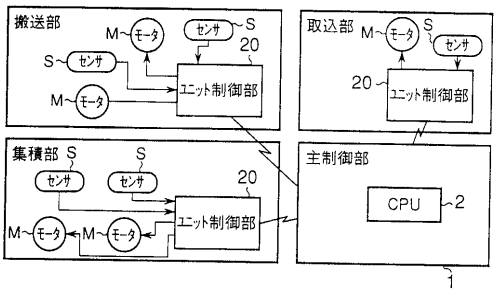
【図９】強制ＯＦＦ機能を用いる場合の出力ポート制御シーケンスの一例を説明するフローチャートである。

【符号の説明】

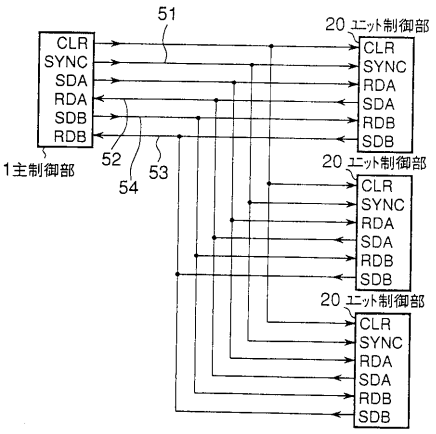
１　主制御部
２　ＣＰＵ
２０　ユニット制御部
２２　Ａ／Ｄコンバータ
２３　センサレベルメモリ
２４　比較手段
２５　スライスレベルメモリ
２６　比較結果メモリ
３６　コマンド解析部
６０　ポートＯＮ／ＯＦＦメモリ
６１　パラレル－シリアル変換器
６２　シリアル回線
６３　シリアル－パラレル変換器
６４　出力ポート回路
６５　モータ制御回路

１０１　ＯＮ／ＯＦＦ情報メモリ
１０２　立上りエッジ検出回路
１０３　スイッチ
１０４　設定情報記憶部
１０５　カウンタ
１０６　クロックセレクタ
１０７　分周器
Ｓａ，Ｓｂ，…Ｓｎ　センサ
Ｐａ　ソレノイド
Ｐｂ　ＤＣモータ
Ｐｃ　表示器

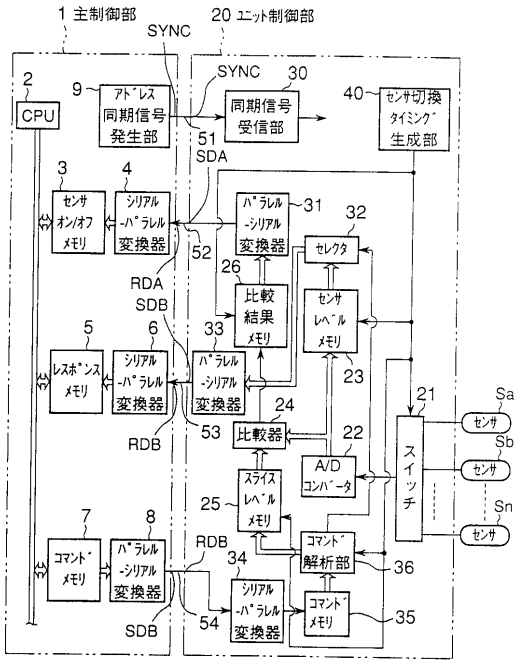
【図１】



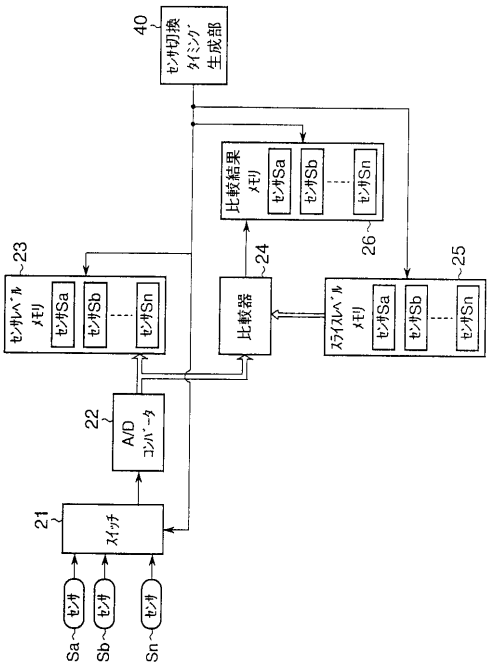
【図２】



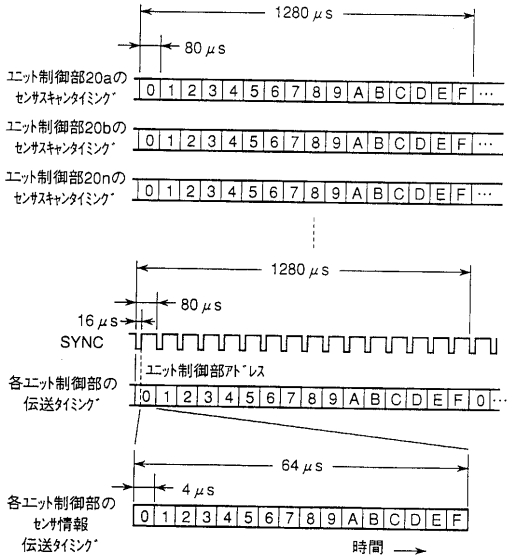
【図３】



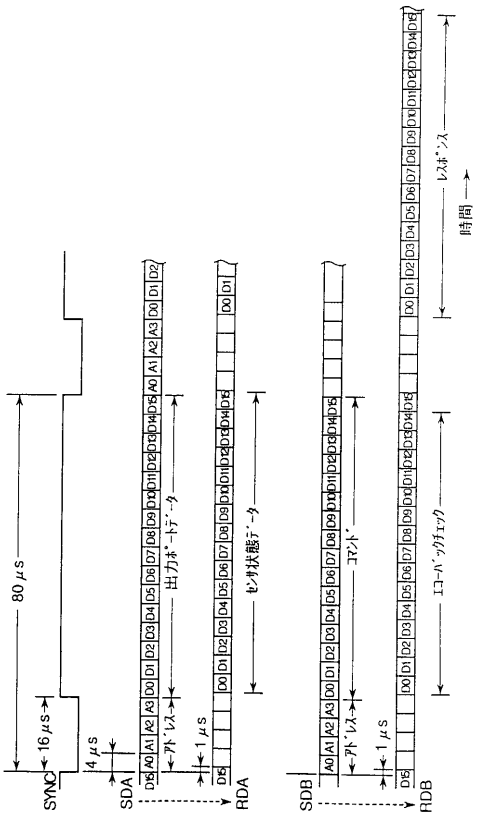
【図４】


40
センサ切換
タイミング
生成部
比較結果
メモリ
センサSa
センサSb
センサSn
26
23
センサレベル
メモリ
24
比較器
25
スライスレベル
メモリ
22
A/D
コンバータ
21
スイッチ
センサ
Sa
Sb
Sn

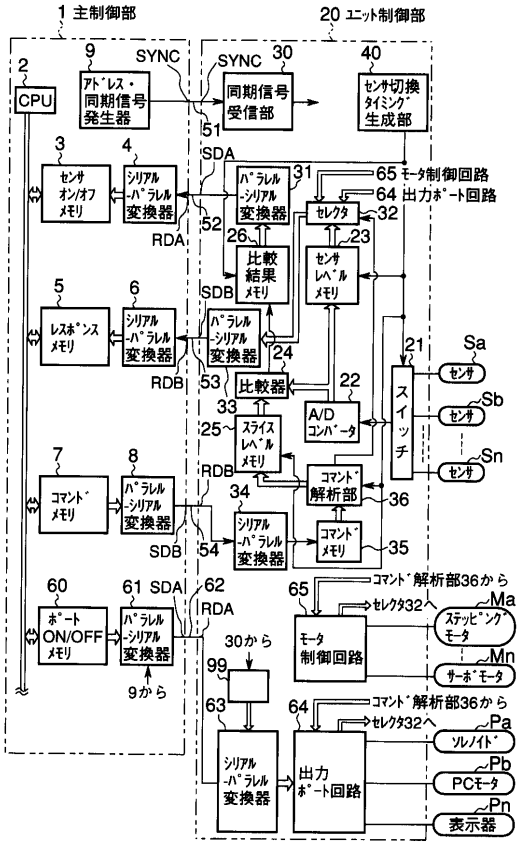
【図５】


1280μs
80μs
ユニット制御部20aの
センササキャンタイミング
ユニット制御部20bの
センササキャンタイミング
ユニット制御部20nの
センササキャンタイミング
0 1 2 3 4 5 6 7 8 9 A B C D E F …
16μs
SYNC
ユニット制御部アドレス
各ユニット制御部の
伝送タイミング
64μs
4μs
各ユニット制御部の
センサ情報
伝送タイミング
時間

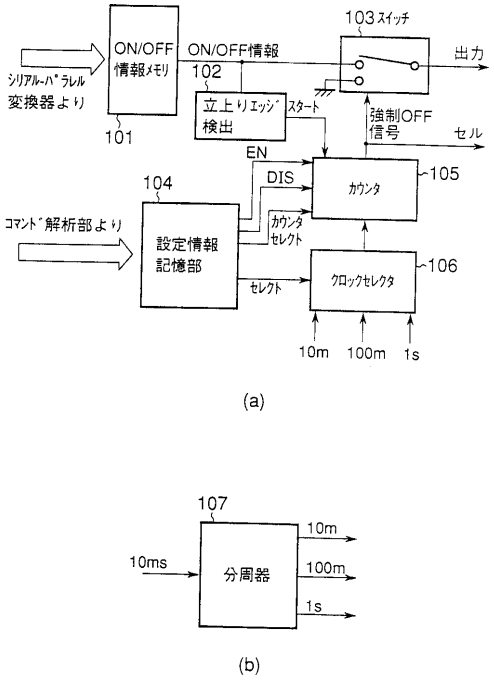
【図６】


80μs
16μs
SYNC
4μs
SDA
アドレス
出力ポートデータ
1μs
RDA
センサ状態データ
SDB
コマンド
レスポンス
エラーバックチェック
RDB
時間

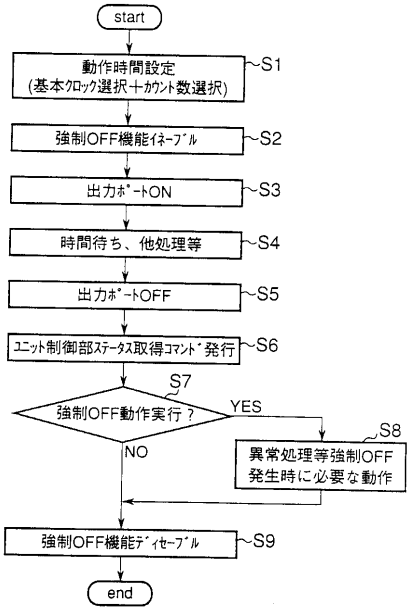
【図７】


1 主制御部
20 ユニット制御部
CPU
2
アドレス・
同期信号
発生器
9
SYNC
同期信号
受信部
30
センサ切換
タイミング
生成部
40
センサ
オン/オフ
メモリ
3
シリアル
-パラレル
変換器
4
パラレル
-シリアル
変換器
31
モータ制御回路
65
出力ポート回路
64
セレクタ
32
比較
結果
メモリ
26
センサ
レベル
メモリ
23
レスポンス
メモリ
5
6
24
比較器
22
A/D
コンバータ
33
スライス
レベル
メモリ
25
スイッチ
21
Sa
Sb
Sn
センサ
コマンド
メモリ
7
8
コマンド
解析部
36
34
35
51
52
53
54
SDA
SDB
RDA
RDB
60
ポート
ON/OFF
メモリ
61
62
30から
9から
99
63
64
65
モータ
制御回路
コマンド解析部36から
セレクタ32へ
Ma
Mn
ステッピング
モータ
サーボモータ
Pa
Pb
Pn
ソレノイド
PCモータ
表示器
出力
ポート回路

【図８】


103 スイッチ
ON/OFF
情報メモリ
101
ON/OFF情報
102
出力
シリアル-パラレル
変換器より
立上りエッジ
検出
スタート
強制OFF
信号
セル
EN
DIS
104
105
カウンタ
コマンド解析部より
設定情報
記憶部
カウンタ
セレクト
セレクト
クロックセレクタ
106
10m
100m
1s
(a)
107
10ms
分周器
10m
100m
1s
(b)

【図９】


start
動作時間設定
(基本クロック選択＋カウント数選択)
S1
強制OFF機能イネーブル
S2
出力ポートON
S3
時間待ち、他処理等
S4
出力ポートOFF
S5
ユニット制御部ステータス取得コマンド発行
S6
S7
強制OFF動作実行？
YES
NO
S8
異常処理等強制OFF
発生時に必要な動作
強制OFF機能ディセーブル
S9
end

フロントページの続き

(72)発明者　大塚　徹
神奈川県川崎市幸区柳町７０番地　株式会社東芝柳町工場内
(72)発明者　橋本　▲丈▼夫
神奈川県川崎市幸区柳町７０番地　株式会社東芝柳町工場内
(72)発明者　渡辺　啓
神奈川県川崎市幸区柳町７０番地　株式会社東芝柳町工場内

審査官　石井　哲

(56)参考文献　特開平０５－２６６３９１（ＪＰ，Ａ）
特開平０５－０８０８４８（ＪＰ，Ａ）
特開平１１－０６４３６４（ＪＰ，Ａ）
特開平１１－０７５２６９（ＪＰ，Ａ）
特開平０６－２３６４９５（ＪＰ，Ａ）
特開平０８－０８３３８７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G08C 15/00-25/04
H04L 12/28
H04Q 9/00