

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4025165号

(P4025165)

(45) 発行日 平成19年12月19日(2007.12.19)

(24) 登録日 平成19年10月12日(2007.10.12)

(51) Int. Cl.		F I		
	HO 1 L 21/60	(2006.01)	HO 1 L 21/60	3 1 1 S
	HO 1 L 23/12	(2006.01)	HO 1 L 23/12	5 0 1 P

請求項の数 5 (全 19 頁)

(21) 出願番号	特願2002-289642 (P2002-289642)	(73) 特許権者	503121103
(22) 出願日	平成14年10月2日(2002.10.2)		株式会社ルネサステクノロジ
(65) 公開番号	特開2004-128183 (P2004-128183A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成16年4月22日(2004.4.22)	(74) 代理人	100080001
審査請求日	平成17年8月22日(2005.8.22)		弁理士 筒井 大和
		(72) 発明者	伴 和弘
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体グループ内
		審査官	市川 篤
		(56) 参考文献	特開平11-031698 (JP, A)
			特開昭54-047476 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

回路素子が形成された半導体チップと、
前記半導体チップの主面に形成され、前記回路素子と電氣的に接続された配線層と、
前記半導体チップの主面上に前記配線層を覆うように形成され、前記配線層の上部に開口を有する絶縁膜と、

前記絶縁膜上に形成され、前記絶縁膜の前記開口を介して前記配線層に電氣的に接続されたバンプ電極下地金属層と、

前記バンプ電極下地金属層上に形成され、前記バンプ電極下地金属層と平面的に同一パターンを有し、前記バンプ電極下地金属層より厚さの厚い金属層で構成されたバンプ電極とを有し、

前記バンプ電極下地金属層及び前記バンプ電極の各々は、平面的に前記配線層とオーバーラップする第1部分と、前記絶縁膜の前記開口から離間した位置に引き出され、かつ、平面的に前記配線層とオーバーラップしない第2部分とを有し、

前記バンプ電極の前記第2部分が、異方性導電膜中の導電性粒子を介して前記実装基板の電極と電氣的接続を行うための電極部分であり、

前記バンプ電極下地金属層の下部には、前記バンプ電極の前記第2部分の平坦度を向上させるために平坦化处理がされた絶縁層が形成され、

前記開口を有する絶縁膜は、前記バンプ電極下地金属層の下面に接触するように形成さ

10

20

れ、

前記平坦化処理がされた絶縁層は、前記開口を有する絶縁膜と異なる工程で形成された絶縁膜であって、かつ、前記開口を有する絶縁膜より下側に形成された絶縁膜であることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 2 部分の面積は、前記第 1 部分より大きいことを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記平坦化処理がされた絶縁層は、Chemical Mechanical Polishingによってその上面側が平坦化された絶縁膜であることを特徴とする半導体装置。 10

【請求項 4】

請求項 3 記載の半導体装置において、

前記配線層は、前記半導体チップの主面に形成された多層配線構造において、最上層の配線で形成されたパッド配線層であることを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置において、

前記パンプ電極下地金属層は、前記パンプ電極を電解メッキで形成するための下地金属膜であることを特徴とする半導体装置。

【発明の詳細な説明】 20

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、パンプ電極を用いたフリップチップ方式で実装される半導体装置に適用して有効な技術である。

【0002】

【従来の技術】

以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】

半導体チップ等の半導体装置では、その小型化、高密度実装化等が強く求められている。かかる技術的要請に対して、パンプ電極を設けた半導体チップを、フェイスダウンの状態で実装基板側に位置合わせし、パンプ電極と実装基板側電極とを接続する、いわゆるフリップチップ方式による実装技術が広く採用されている。 30

【0004】

かかるフリップチップ方式による実装としては、例えば、チップ・オン・ガラス(COG)方式、チップ・オン・フィルム(COF)方式、チップ・オン・ボード(COB)方式等の種々の実装方式が知られている。

【0005】

近年、高精細化、画素数の増大化が求められている液晶技術の分野でも、例えば、液晶表示に係る電圧切替えを制御するLCDドライバの実装方式として、上記方法が積極的に採用されている。 40

【0006】

【発明が解決しようとする課題】

ところが、上記技術においては、以下の課題があることを本発明者は見出した。

【0007】

上記フリップチップ方式の実装は、一般的には、半導体装置側のパンプ電極と、実装基板側電極との間に、異方性導電樹脂等で構成される異方性導電膜を介在させて、パンプ電極を実装基板側電極に加熱圧着することにより行われている。

【0008】

かかる実装に際してのパンプ電極と実装基板側電極との電氣的接続は、異方性導電膜に含 50

まれる導電性粒子が、パンプ電極と実装基板側電極との間に介在させられることにより確保される。

【0009】

すなわち、加熱圧着により、異方性導電膜内に含まれていた導電性粒子が、パンプ電極と実装基板側電極との間に挟まれて、両電極間を電氣的に接続できるように介在させられることにより、パンプ電極 - 導電性粒子 - 実装基板側電極なるルートで電氣的接続が確保されるのである。

【0010】

かかる介在させた導電性粒子を仲立ちとして両電極間の電氣的接続を確保するためには、両電極間における導電性粒子の高密度化が求められる。

10

【0011】

しかし、実装に際して、パンプ電極の実装基板側電極への圧着に不均一が発生すると、その加圧不足部分では、両電極間に介在する導電粒子の密度は正常加圧部分に比べて相対的に粗になりがちである。

【0012】

かかる加圧不足部分では、両電極間に介在する導電性粒子が、正常加圧部分に比べて、両電極間で圧縮される割合が少なく、導電性粒子同士、あるいは電極と導電性粒子との接触度合いが比較的弱かったり、あるいは非接触状態となる場合もある。かかる場合には、その部分における電気抵抗が高くなり、両電極間の十分な導通性が確保されないこととなる。

20

【0013】

例えば、両電極間に電位差をかければ確かに電流は流れるものの、十分な電流は当初から流れず、十分に電圧が上がるまでに時間がかかる等の異常が発生する。電圧の切替えを円滑に行うことで、液晶状態を変化させてその表示を行う液晶表示のLCDドライバにおいては、液晶表示の鮮明性が確保できなくなる重大な障害となる。

【0014】

また、かかる異常は、完成したLCDドライバ等の半導体装置の完成品検査においても、所定位置に検査用のプローブを当てて、その導通を検査するに際して、反応が遅かったり、あるいは全く導通が示されず、プローブを多少動かして接触位置を変えると導通が俄に確認される等の検査時の問題現象の原因の一つともなる。

30

【0015】

かかる導通異常が発生する大きな原因の一つは、パンプ電極の表面形状によるものである。パンプ電極は、半導体装置に設けられた配線電極上のパッシベーション膜をエッチング等で除去し、その上にメッキ等の手段で電極形成を行って作成される。

【0016】

そのため、このようにして形成されたパンプ電極では、電極表面に、パッシベーション膜をエッチングして配線電極を露出させた際のパッシベーション膜面と配線電極面との段差を反映した窪みが形成されることとなる。

【0017】

かかる構成のパンプ電極を有する半導体装置をフリップチップ方式でフェイスダウン実装すると、窪みを有した電極表面が、実装基板側電極に対面されることとなり、両電極間に介在させる異方性導電膜中の導電性粒子への押圧力が、窪み部と、窪んでいないその周辺部とでは微妙に異なることとなる。すなわち、実装時に加圧不均一が発生し、接触不良の原因となる。

40

【0018】

また段差部の存在は、導電性粒子の接触面積を少なくすることともなり、これも接触不良の原因となる。

【0019】

そこで、かかる対策として、パッシベーション膜を薄膜化することで、パッシベーション膜面と配線電極面との段差を小さく抑える手段が提案されている。しかし、パッシベーシ

50

オン膜を薄くすることは、逆に、その絶縁性を低下させることにも繋がり、かかるパッシベーション膜の薄膜化を行わずにパンプ電極と実装基板側の電極との導通性を確保する技術の開発が望まれている。

【0020】

その対策の一つとして、電極表面の前記窪みが形成される範囲に、一つの大きな窪みを形成するのではなく、その窪み形成範囲に、配線電極上に電氣的に接続する多数の小さな凹部を形成して、すなわち細かな凹凸部を多数形成して、多数の凸部の頂面により擬似的に平面とする構成が提案されている。

【0021】

かかる擬似的平面化もそれまでの構成に比べれば導通性の確保には有効で、接触不良の低減にそれなりの効果が認められるが、擬似的平面を形成するためには、パッシベーション膜のエッチング等において多少とも手間をかける必要があり、より簡単な製造方法でより平坦化を実現できる技術の開発が求められている。また特開平5-299420号公報にはパッド電極上に開口部を設けその上に接続するパンプ電極面積をパッド電極面積より広くパッド電極の外側に形成する開示があり、特開平5-82523号公報にはパッド電極上に第1のパンプで接続部を形成し第1のパンプより長く表面の平坦な第2パンプを第1のパンプに接続する開示があり、特開平5-129305号公報にはパッド電極上に試験用パンプと試験用パンプより高い接続用パンプを2回に分けて形成する開示があり、特開平11-31698号公報には電極パッドに接続する絶縁膜の開口部の面積をパンプ表面積の1/9以下とすることにより平坦なパンプ表面による異方性導電膜を用いた接続性を向上する開示があり、特開平11-258620号公報には接続パッド上に形成された開口部の幅をパンプの高さよりも短くすることによりパンプ表面を平坦化して外部との接続抵抗を小さくする開示がある。

【0022】

本発明の目的は、LCDドライバなどの半導体装置側のパンプ電極と、パンプ電極と相対して接続される実装基板側電極等の相手側電極との導通性を十分に確保できるように、実装に供されるパンプ電極の表面の平坦化を向上させることにある。

【0023】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0024】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0025】

すなわち、本発明では、パンプ電極を実装基板側の電極との電氣的接続を図るパンプ電極実装用部と、半導体装置内の配線電極との電氣的接続を図るパンプ電極配線用部とに意識的に機能を分化させ、パンプ電極の形成範囲とA1等の配線電極の設置範囲をずらすことにより、両範囲のオーバーラップ範囲を小さく設定し、かかるオーバーラップ範囲に対応させた側をパンプ電極配線用部とした。

【0026】

配線電極に基づくパンプ電極表面に生ずる段差部を小範囲のパンプ電極配線用部側に形成させて、配線電極の設置範囲とオーバーラップしない広い非オーバーラップ範囲に対応した側をパンプ電極実装用部とすれば、パンプ電極実装用部を段差部のない平坦な電極表面とすることができ、実装基板側電極と、パンプ電極実装用部との間に、異方性導電膜を介して接続する際の導電性粒子の介在密度を大きくし、導電粒子を平均的に押し潰しやすくして、接触不良の発生を下げるができる。

【0027】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明す

10

20

30

40

50

るための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明を省略する。

【0028】

図1(a)は本発明の一実施の形態の半導体装置におけるパンプ電極の構成を模式的に示す要部断面図であり、(b)は(a)の構成を模式的に示す平面図であり、(c)はパンプ電極の平面構成の変形例を模式的に示す平面図であり、(d)は(a)に示す半導体装置の実装時の様子を模式的に示す要部断面説明図である。

【0029】

図1(a)に示すように、LCDドライバ10aに構成した半導体装置10の表面には、Al等から形成された配線電極11が設けられている。配線電極11は、半導体装置10内に複数設けられた配線層の内、最上層に位置する電極を示している。かかる配線電極11上には、一部を残して、パッシベーション膜12が設けられている。

10

【0030】

パッシベーション膜12が設けられていない配線電極11の一部は、パンプ下地金属層13を介して、Au等で形成されたパンプ電極14と電気的接続がなされている。

【0031】

パンプ電極14は、例えば、図2に示すこれまでのパンプ電極14の構成とは異なり、図1(a)に明確に示すように、配線電極11とパンプ電極14との両設置範囲がわざとずらして設けられている。すなわち、配線電極11の設置範囲と、パンプ電極14の形成範囲とが、配線層の積層方向に沿って、オーバーラップ範囲が非オーバーラップ範囲より小さくなるようにずらして設定されているのである。

20

【0032】

パンプ電極14の非オーバーラップ範囲に対応する部分は、パンプ電極実装用部14aとして、実装時に実装側電極との間に異方性導電膜15などを介して実装に供される部分である。パンプ電極14のオーバーラップ範囲に対応する部分は、配線電極11との電気的接続を図るためのパンプ電極配線用部14bである。

【0033】

かかるパンプ電極実装用部14aとパンプ電極配線用部14bとは、電極形成時に一体に形成されて、パンプ電極14を構成している。かかる構成のパンプ電極14は、図1(b)に示すように、パンプ電極配線用部14bは、略四角に形成されたパンプ電極実装用部14aから矩形状に突出させた形に形成され、パンプ電極配線用部14bは、パンプ電極実装用部14aに比べて小さく形成されている。

30

【0034】

なお、図1(b)では、パンプ電極実装用部14a、パンプ電極配線用部14bをそれぞれ四角形状に形成した場合を示しているが、各々の機能が発揮できる範囲でどのような形状を採用しても構わない。

【0035】

また、図1(b)に示す場合とは異なり、パンプ電極配線用部14bをパンプ電極実装用部14aから突出させることなく、図1(c)に示すように、パンプ電極実装用部14aの一部で対応させるようにしても一向に構わない。但し、かかる構成であっても、パンプ電極配線用部14bの範囲は、パンプ電極実装用部14aの範囲より小さく形成しておくことが好ましい。

40

【0036】

これは、パンプ電極実装用部14a側と、パンプ電極配線用部14b側とは、配線層の積層方向に沿った縦構造が異なるため、かかる縦構造の違いに基づく段差部14cを小範囲に抑えるためである。

【0037】

パンプ電極配線用部14bは、図1に示すように、パンプ下地金属層13を介して、配線電極11側に接続されている。配線電極11も、パンプ電極14のパンプ電極配線用部14bと電気的接続を取るために、パンプ電極14の突出部として形成したパンプ電極配線

50

用部 1 4 b に合わせた突出部に形成し、両者の電氣的接続ができるようになっている。

【 0 0 3 8 】

図 2 に示すように、これまで知られていた構成では、パンプ電極 1 4 と配線電極 1 1 との電氣的接続構造では、配線層の積層方向に沿って、パンプ電極 1 4 の形成範囲に合わせて、配線電極 1 1 が設けられており、パンプ電極 1 4 と配線電極 1 1 の設置範囲を殆どオーバーラップさせていた。

【 0 0 3 9 】

すなわち、例えば、配線電極 1 1 としての A 1 パッド配線層の上に、パンプ電極 1 4 を設ける構成が採用され、配線電極 1 1 の設置範囲上にパンプ電極 1 4 の形成範囲が含まれるようになっていた。

10

【 0 0 4 0 】

半導体装置 1 0 として L C D ドライバ 1 0 a を想定すると、これまで、例えば、テープをキャリアとして使用する T C P (Tape Carrier Package) 実装方式が広く採用されていた。

【 0 0 4 1 】

かかる場合には、パンプ電極 1 4 の設置範囲下方に、かかる設置範囲に重ねて A 1 等の配線電極 1 1 を設けておくことにより、間に異方性導電膜 1 5 を介在させた状態で加熱圧着する時の応力緩和を図っていた。そのため、T C P 方式では、配線電極 1 1 とパンプ電極 1 4 との設置範囲の重複は、技術的に必須の事項であった。

【 0 0 4 2 】

かかる T C P 方式における応力緩和の役割に配慮した構成は、その後、キャリアテープとは異なり十分に強度のあるガラス基板等を用いた C O G (Chip On Glass) 等の実装方式に発展するに至っても特段の見直しがなされることもなく踏襲されてきたのが現状である。

20

【 0 0 4 3 】

しかし、本発明者は、T C P であれば確かに、かかるパンプ電極 1 4 と配線電極 1 1 との設置範囲のオーバーラップは必須の要件と考えられるが、組み立て時の応力緩和に対する特段の配慮が必要ない構成では、最早パンプ電極 1 4 と配線電極 1 1 との設置範囲をオーバーラップさせる構成には積極的な技術的意味は見出せず、両範囲をずらして設置しても構わないのではないかと考えた。かかる発想を展開することにより本発明の構成に至った

30

【 0 0 4 4 】

本発明の構成では、前述のように、配線電極 1 1 の設置範囲を、パンプ電極 1 4 の設置範囲から敢えてずらし、配線電極 1 1 とパンプ電極 1 4 との電氣的接続面積を電氣的接続が良好に行える範囲で極力小さくするように設定している。

【 0 0 4 5 】

すなわち、図 1 (a) に示すように、配線電極 1 1 の設置範囲と、パンプ電極 1 4 の形成範囲とが、配線層の積層方向に沿って、オーバーラップ範囲が非オーバーラップ範囲より小さくなるようにずらして設定され、非オーバーラップ範囲に対応する部分をパンプ電極実装用部 1 4 a とし、オーバーラップ範囲に対応する部分をパンプ電極配線用部 1 4 b と

40

【 0 0 4 6 】

このように構成することにより、パッシベーション膜 1 2 と配線電極 1 1 とに関わる段差部 1 1 a は、小さく形成されたパンプ電極配線用部 1 4 b の周囲に抑え込まれ、結果としてパンプ電極実装用部 1 4 a は、かかる段差部 1 1 を反映した段差部 1 4 c を境界としてパンプ電極 1 4 の大部分を占めることとなる。

【 0 0 4 7 】

パンプ電極実装用部 1 4 a は、図 1 (a) にも示すように、その下方には、配線電極 1 1 は設けられておらず、一様の層厚に設けられたパッシベーション膜 1 2 が形成されており

50

、かかるパッシベーション膜 1 2 の平坦度を反映した平坦さを有している。

【 0 0 4 8 】

すなわち、図 1 (a) に示す場合には、パッシベーション膜 1 2 と配線電極 1 1 とに関わる段差部 1 1 a を反映した電極表面の段差部 1 4 c は、パンプ電極配線用部 1 4 b と配線電極 1 1 との電気的接続をとる小範囲にのみ形成され、パンプ電極実装用部 1 4 a には段差部 1 1 a を反映した段差部 1 4 a は形成されないこととなる。

【 0 0 4 9 】

このように、パンプ電極実装用部 1 4 a は、図 1 (b) に示すように、パンプ電極配線用部 1 4 b より電極表面積を格段に大きく確保し、図 2 に示すパンプ電極 1 4 の構成に比べて、平らな電極表面部分を大きく確保することができる。

10

【 0 0 5 0 】

そのため、図 2 に示す構成とは異なり、段差部 1 4 c の影響を受けることなく、実装基板 1 6 側との導通性を十分に確保することができる。

【 0 0 5 1 】

かかる構成を有する L C D ドライバ 1 0 a (1 0) を、実装基板 1 6 側に異方性導電膜 1 5 を介して、フェイスダウン実装した様子を図 1 (d) に示す。かかる実装形式の適用例としては、例えば、実装基板 1 6 としてプリント基板などのボードを用いた C O B (Chip On Board)、あるいは実装基板 1 6 としてガラス基板を用いた C O G、あるいはフィルム基板を用いた C O F (Chip On Film) 等を例として挙げるることができる。

【 0 0 5 2 】

上記 C O B、C O G、C O F の構成では、異方性導電膜 1 5 を使用する場合には、上記の如くパンプ電極 1 4 のパンプ電極実装用部 1 4 a の平坦度を向上させることにより、実装時の導電性粒子の介在を平均化して、良好な導通性の確保が行える。

20

【 0 0 5 3 】

一方、C O F の場合には、異方性導電膜 1 5 を介在させず、ハンダを使用する構成もが考えられるが、かかる構成でも、ハンダ接触面積を広く確保することができるため、上記説明のパンプ電極実装用部 1 4 a の平坦度と面積を大きく確保できる本発明に関わる構成の適用が有効である。

【 0 0 5 4 】

図 1 (d) に示すように、半導体装置 1 0 のパンプ電極 1 4 側は、間に異方性導電膜 1 5 を介して、実装基板 1 6 の電極 1 6 a 側に加熱圧着してフェイスダウン実装されている。かかる実装では、パンプ電極実装用部 1 4 a が、実装基板 1 6 の電極 1 6 a に対面して、平らに形成されているため、図 2 (b) に示す場合とは異なり、導電性粒子 1 5 a の介在密度を高くして、より確実な電気的接合が確保されている。

30

【 0 0 5 5 】

そのため、電極表面を極力平らにすべく、絶縁性を脆弱化させるおそれのあるパッシベーション膜 1 2 の薄膜化を図らなくても済む。また、パッシベーション膜 1 2 のエッチング等に手間のかかる擬似的平面化を行わなくても済む。

【 0 0 5 6 】

図 1 (d) に示す場合には、パンプ電極配線用部 1 4 b は、パンプ電極実装用部 1 4 a とは段差部 1 4 c で区画されているが、パンプ電極実装用部 1 4 a とは連続面に形成されている。そのため、実装に際しては、配線電極 1 1 側との電気的接続と併せて、パンプ電極配線用部 1 4 b 側でも導電性粒子 1 5 a を介在させて実装基板 1 6 の電極 1 6 a 側との導通も図られている。

40

【 0 0 5 7 】

しかし、かかる構成では、実装基板 1 6 の電極 1 6 a 側との導通性は、パンプ電極実装用部 1 4 a が担うものであり、パンプ電極配線用部 1 4 b での電極 1 6 a 側との導通性が十分に確保されなくても実装時の導通性の確保には特段の支障は発生しない。

【 0 0 5 8 】

次に、上記説明の構造のパンプ電極 1 4 を有する半導体装置 1 0 の製造方法について、半

50

導体装置 10 を、図 3 に示すように、例えば、液晶表示装置の電圧切替え制御用として使用する LCD ドライバ 10 a に構成した場合を例に挙げて説明する。

【 0 0 5 9 】

図 3 は、液晶表示機構の互いに交差する方向に設けられるゲート線群と、ドレイン線群との電圧切替え制御を行う細長矩形形状に形成された LCD ドライバ 10 a (1 0) のパンプ電極 1 4 の配置状況を平面図で示している。

【 0 0 6 0 】

LCD ドライバ 10 a には、図 3 に示すように、液晶表示画面の画素数に対応したゲート線群、ドレイン線群を構成する多数の線数に対応したパンプ電極 1 4 が、LCD ドライバ 10 a の矩形面の長辺側、短辺側の周縁に沿って多数設けられている。

10

【 0 0 6 1 】

かかる構成の LCD ドライバ 10 a に構成される半導体装置 10 は、図 4 に示す各ステップを経ることにより製造される。なお、図 4 では、フローを構成する各ステップと、各ステップの様子を示す要部断面説明図 (a) ~ (g) とを併せて示した。

【 0 0 6 2 】

まず、ステップ S 1 1 0 の A 1 配線層形成ステップでは、ウエハ 2 1 上に既存の方法で液晶表示装置用の駆動回路素子と、パンプ電極 1 4 の形成範囲からずらした範囲に A 1 からなる最上層の配線電極 1 1 を形成し、その上にパッシベーション膜 1 2 を形成する。ステップ S 1 1 0 の状況を、図 4 (a) に示した。図中、簡単のために、配線電極 1 1 は最上層のもののみ図示した。

20

【 0 0 6 3 】

LCD ドライバ 10 a では電極、回路などが複数層積層されて全体としての駆動回路素子が形成されているが、かかる積層方向に沿って、配線電極 1 1 の形成範囲は、配線電極の形成範囲とのオーバーラップ範囲 (オーバーラップ範囲) が非オーバーラップ範囲 (非オーバーラップ範囲) より小さくなるような範囲に設定される。

【 0 0 6 4 】

図 4 (a) に示す構成において、そのパッシベーション膜 1 2 上にホトレジストを塗布し、パンプ電極 1 4 の形成範囲と重複する配線電極 1 1 の範囲に、ステップ露光によりホトレジストが断続的に残るようにマスクパターンを露光させ、現像する。現像により形成されたパターンをマスクとして等方性を強調したエッチングにより、パッシベーション膜 1 2 に配線電極 1 1 に通じる小孔 1 2 a を複数形成する。

30

【 0 0 6 5 】

因みに、小孔 1 2 a は、その上方開口面積が配線電極 1 1 側の開口面積より大きく形成されている。このように形成しておくことにより、かかる部分に対応して形成されるパンプ電極配線用部 1 4 b の電極表面を疑似平面化することができる。かかる疑似平面化を行っておけば、実装時における導通性の確保においてパンプ電極配線用部 1 4 b の寄与度を高めることができる。

【 0 0 6 6 】

尤も、かかるパンプ電極配線用部 1 4 b の実装時における導通性への寄与はなくても、パンプ電極実装用部 1 4 a での導通性が確保されるため、接触不良等の支障は発生しない。

40

【 0 0 6 7 】

かかる様子を、パッシベーション膜のエッチングとして、ステップ S 1 2 0 と、図 4 (b) で示した。なお、図 4 (b) ~ (g) では、図示を簡単にするため、図 4 (a) に示すウエハ 2 1 部分の図示を省略している。

【 0 0 6 8 】

なお、エッチングとしては、通常、等方性のドライエッチングでは、圧力を $0.1 \sim 1.0$ Torr ($1.33322 \times 10 \sim 1.33322 \times 10^2$ Pa) に設定し、ガス種として CF_4 に、8% の O_2 を加えたものを使用して行うのが一般的であるが、上記圧力下、 CF_4 に、 O_2 を 20% 加えることで等方性を強めたエッチングを採用すればよい。また、ガス種としては、 SF_6 を使用することもできる。

50

【 0 0 6 9 】

このようにパッシベーション膜 1 2 に配線電極 1 1 へ通じる小孔 1 2 a を複数形成した状態で、パンプ下地金属層 (U B M 層) 1 3 を形成する。かかる様子を、 U B M 層形成のステップ S 1 3 0 と、図 4 (c) とで示す。パンプ下地金属層 1 3 は、例えば、 C r 層、 C u 層、 A u 層を下層から順次スパッタリングにより堆積させて積層させることにより形成することができる。なお、 U B M 層の形成には、蒸着法を使用しても構わない。

【 0 0 7 0 】

このようにして、パンプ下地金属層 1 3 を形成した後は、ステップ S 1 4 0 に示すように、パンプ電極 1 4 の形成用にパンプホトレジスト 2 2 を形成する。パンプホトレジスト 2 2 は、パンプ電極形成範囲にホトレジストを塗布し、その後ホトレジストへの所定パターンの露光、現像により形成することができる。かかる様子を、図 4 (d) に示した。

10

【 0 0 7 1 】

パンプホトレジスト 2 2 を用いて、パンプ電極形成のステップ S 1 5 0 で、図 4 (e) に示すように、電解メッキによりパンプ電極 1 4 を形成する。その後、ステップ S 1 6 0 のパンプホトレジスト除去により、図 4 (f) に示すようにパンプホトレジスト 2 2 をエッチングにより除去する。

【 0 0 7 2 】

併せて、ステップ S 1 7 0 で、不要な U B M 層 1 3 をエッチングで除去し、さらに、ステップ S 1 8 0 でパンプ電極 1 4 のアニールを施す。

【 0 0 7 3 】

このようにして製造された L C D ドライバ 1 0 a のパンプ電極 1 4 では、その電極表面は、配線電極 1 1 端部の段差を反映した段差部 1 4 c と、小孔 1 2 a 部を反映した段差部 1 4 d とが形成されている。

20

【 0 0 7 4 】

段差部 1 4 c は、配線電極 1 1 の厚さに合わせてその高低が決められるが、配線電極 1 1 は T C P の場合とは異なり加熱圧着における応力緩和の役割を有していないため、これまでの場合とは異なり導通性が確保される範囲で十分に薄くすることができる。

【 0 0 7 5 】

このように配線電極 1 1 の厚みを十分に薄くすることができるため、段差部 1 4 c の高さを、かかる構成を採用する前と比べて、格段に低く抑えることができる。一方、段差部 1 4 d は、配線電極 1 1 上に設けるパッシベーション膜 1 2 の層厚により決められるが、パッシベーション膜 1 2 は絶縁破壊が発生しないように薄膜化を避けなければならない、一般的には、配線電極 1 1 に比して層厚が厚めに設定されるため、段差部 1 4 d の高さは、段差部 1 4 c より高くなっている。

30

【 0 0 7 6 】

以上のようにステップ S 1 1 0 ~ S 1 8 0 までの各ステップを経ることにより製造された L C D ドライバ 1 0 a では、パンプ電極 1 4 のパンプ電極実装用部 1 4 a は、パンプ電極配線用部 1 4 b より電極表面面積が大きく、且つ、平坦度が大きくなっている。パンプ電極実装用部 1 4 a とパンプ電極配線用部 1 4 b とは、配線電極 1 1 端部の厚みを反映した段差部 1 4 c で区画されている。併せて、パンプ電極配線用部 1 4 b では、電極表面の疑似平面化が図られている。

40

【 0 0 7 7 】

かかる構成のパンプ電極 1 4 を用いた実装は、前述の如く、例えば、図 1 (d) に示すようになる。

【 0 0 7 8 】

図 1 (d) に示す構成では、パンプ電極配線用部 1 4 b でも実装基板 1 6 の電極 1 6 a との間に、導電性粒子 1 5 a を介在させている様子を示しているが、パンプ電極配線用部 1 4 b では、必ずしも実装基板 1 6 側の電極 1 6 a との間に導電性粒子 1 5 a を介在させた導通が確保されていなくても構わない。あくまで、配線電極 1 1 との電氣的接続さえ確保されていれば、上記導通性の確保はなされていなくても構わない。

50

【0079】

実装基板16の電極16a側とのかかる導通性の確保は、パンプ電極配線用部14bよりも電極表面の平坦度が高く、面積の大きなパンプ電極実装用部14aで行われていればよい。

【0080】

(実施の形態2)

上記実施の形態1の構成では、パンプ電極14の電極表面では、表面が平らに形成されたパンプ電極実装用部14aとパンプ電極配線用部14bとは面一に形成されており、その境界部に段差部14cが設けられた構成となっている。

【0081】

本発明者は、実装側の電極と対面配置されて、両者の導通性を確保する部分の電極表面全体を、周囲等に段差部14cを設けることなく平らにすることができないかと考えた。

【0082】

上記実施の形態1を発展させた構成として、パンプ電極実装用部14aの電極表面を、パンプ電極配線用部14bの表面より高い位置に設定することにより、かかる問題の解決を図った。

【0083】

図5(a)には、本実施の形態のパンプ電極14を有するLCDドライバ10aに構成した半導体装置10の要部断面図を示し、図5(b)にはその平面図を示した。

【0084】

図5(a)に示す場合には、LCDドライバ10aには、A1等で形成した配線電極11と、その上に一部を残して設けられたパッシベーション膜12が形成されている。

【0085】

パッシベーション膜12が設けられていない配線電極11の一部は、下地金属層13を介して、パンプ電極14側に電氣的に接続している。パンプ電極14は、実装時に実装基板16の電極16aと対面配置されるパンプ電極実装用部14aと、専ら配線電極11との電氣的接続に使用されるパンプ電極配線用部14bとから構成されている。

【0086】

パンプ電極配線用部14bは、前記実施の形態1の場合とは異なり、図5(a)に示すように、パンプ電極実装用部14aの電極表面位置より低い位置に電極表面が形成されている。

【0087】

図5(b)に示すように、パンプ電極実装用部14aは、パンプ電極配線用部14bよりも大きく形成され、実装基板16の電極16aとの導通性が十分に確保できるようになっている。一方、パンプ電極配線用部14bは、配線電極11との接続が良好に維持される範囲内で、極力小さく形成されている。

【0088】

このようにして、実装時における実装基板16の電極16aとの導通性は、専らパンプ電極実装用部14aを介して行われ、パンプ電極14と配線電極11との電氣的接続は、専らパンプ電極配線用部14bを介して行われている。

【0089】

かかる構成のパンプ電極14を、実装基板16側に接続した様子を、図5(c)に示した。LCDドライバ10aに構成した半導体装置10のパンプ電極14は、そのパンプ電極実装用部14aが、実装基板16側の電極16aと対面配置させられ、その間に異方性導電膜15を介在させて加熱圧着させられている。

【0090】

その結果、微視的には、実装基板16側の電極16aとパンプ電極実装用部14aとの間では、図5(c)に模式的に示すように、導電性粒子15aが介在し、導電性粒子15aがパンプ電極実装用部14a、電極16aを仲立ちして双方の間の導通性が確保されている。

10

20

30

40

50

【0091】

一方、バンプ電極配線用部14bは、図5(c)に示すように、実装時には、実装側の電極16aとの間に大きな間隔があくため、バンプ電極配線用部14bと電極16aとの間の導電性粒子15aによる導通性の確保は必ずしも行えるとは限らない。

【0092】

かかる様子を、図5(c)に示した。すなわち、バンプ電極配線用部14bでは、導電性粒子15aは実装基板16側の電極16a上に配在されるものの、電極16aの間には密に充填されておらず、バンプ電極配線用部14b側では、バンプ電極配線用部14b - 導電性粒子15a - 電極16aからなるルートによる導通性は確保されていない。

【0093】

しかし、かかる構成であっても、バンプ電極実装用部14aで導通性が十分に確保されているため、何ら支障は発生しない。特に、バンプ電極実装用部14a側では、本実施の形態の発明の構成では、バンプ電極配線用部14b領域側に段差部14c等の発生を抑え込んでいるため、表面が平らな分、実装時の加圧不均一が解消され、バンプ電極実装用部14aと電極16aとの間の導電性粒子15aの介在密度が均一にされて十分な導通性が確保されている。

【0094】

あくまで、バンプ電極配線用部14bでは、配線電極11との電氣的接続が十分に確保できれば、その役割は十分に果たされている。

【0095】

次に、このようにバンプ電極実装用部14aと、これよりも電極表面が低く形成されているバンプ電極配線用部14bとを有するバンプ電極14を設けたLCDドライバ10aに構成される半導体装置10の製造方法について、図6により説明する。図6には、製造フローの各ステップと、併せて、そのステップの内容を示す要部断面説明図を示した。

【0096】

なお、前記実施の形態1で説明した製造方法における同様のステップは、その重複を避けるため省略している。すなわち、前記実施の形態1で説明した製造方法における図4(a)~(c)まで、すなわちステップS110~S130までは、本実施の形態2における製造方法でも踏襲する工程であるが、説明の重複を省くためかかるステップについての説明は省略する。

【0097】

図6(a)に示す工程は、前記実施の形態1の製造方法における説明のステップS130に次ぐ工程であり、ステップS1400として示す。

【0098】

ステップS1400では、前のステップS130(図示しない)で形成されたバンプ下地金属層13上に、バンプホトレジスト22を設ける工程である。かかる工程は、実質的には図4に示すステップS140と同様に行えばよいが、本実施の形態の製造方法では、かかるバンプホトレジスト22の形成を2回に分けて行う。最初のバンプホトレジスト22の形成を、第1ホトレジスト形成としてステップS1400で示す。

【0099】

ステップS1500では、第1ホトレジスト形成工程で形成されたバンプホトレジスト22に合わせて電解メッキによりバンプ電極14を中途高さまで形成する。このように、ステップS1500では、バンプ電極14を途中高さまで一次形成するが、かかる一次形成では、バンプ電極配線用部14bの電極厚さが、配線電極11との電氣的接続が良好に行える範囲で十分な強度が確保できる程度になるようにすればよい。

【0100】

かかるステップS1500では、図6(b)に示すように、配線電極11側にかかる範囲で形成された一次形成電極表面に凹凸が見られる。かかる凹凸部をバンプ電極14の電極表面に面一にならないよう低く抑える構成が本実施の形態の特徴的構成の一つである。

【0101】

10

20

30

40

50

ステップS 1 5 0 0で、パンプ電極1 4の一次形成が終了したら、ステップS 1 6 0 0で、第1ホットレジストを除去する。かかるステップS 1 6 0 0に対応する内容の図示は省略する。

【0 1 0 2】

その後、ステップS 1 7 0 0で第2パンプホットレジストを形成する。第2パンプホットレジスト2 2は、図6 (c) に示すように、パンプ電極配線用部1 4 bに相当する表面凹凸部を覆うように形成する。

【0 1 0 3】

この状態で、ステップS 1 8 0 0に示すように、パンプ電極の二次形成を行う。すなわち、ステップS 1 7 0 0で設けた第2パンプホットレジストを用いて、ステップS 1 5 0 0で一次形成されたパンプ電極1 4上に、再度電解メッキによって所定の電極厚さになるまで一次形成パンプ電極上にメッキ成長させて所望高さのパンプ電極1 4を形成する。

【0 1 0 4】

その後は、ステップS 1 9 0 0で第2パンプホットレジストを除去し、ステップS 2 0 0 0で不要なUBM層1 3を除去することで、本実施の形態2のパンプ電極1 4を有したLCDドライバ1 0 aが製造される。

【0 1 0 5】

本実施の形態では、パンプ電極配線用部1 4 bに相当する箇所では、当初より実装時の相手方電極との導通性確保を期待しない部分であるため、かかるパンプ電極配線用部1 4 bの形成に際しては、電極表面の平坦度を何ら気にかけることなく、疑似平面化を行わない構成でも一向に構わない。

【0 1 0 6】

近年の半導体装置の小型化の要請に対して、一つの半導体装置においては多数の回路が積層構造で設けられるため、基本的には、配線電極1 1の下地側は、平坦ではない。そのため、かかる下地をそのままの状態にして、その上の配線電極1 1にかかわる段差部1 1 aを解消して、電極表面の平坦化度の向上を図ろうとしても、限度がある。

【0 1 0 7】

そこで、本発明者は、前記実施の形態1、2で示す半導体装置1 0の製造に際して、一旦、上記配線電極1 1の下地側の平坦化工程を設けることを考えた。

【0 1 0 8】

すなわち、配線電極1 1を形成する前の工程で、それまでの多層積層に基づく表面の凹凸を一旦平らに研磨して、その上で、図4、6で説明する製造手順を採用することで、パンプ電極実装用部1 4 aのより一層の平坦度の向上を図ることができる。

【0 1 0 9】

かかる手順を、図7、8に、実施の形態1に示した構造のパンプ電極1 4を有するLCDドライバ1 0 aを例に挙げて示した。図7、8では、図4、6と同様に、フローを構成する各ステップに対応して、各ステップの様子を示す要部断面説明図を図7 (a) ~ (e)、図8 (a) ~ (d)で示した。

【0 1 1 0】

図7 (a)では、まず、配線電極1 1を形成する前に、それまで多層に積層されてきた絶縁層の表面を、ステップS 1 0 0の絶縁層の平坦化処理で、CMP装置を使用して平坦にする。図7 (a)は、平坦化する前の状況を示している。

【0 1 1 1】

絶縁層2 3は、それまで複数積層させた例えばゲート電極2 5等により表面は凸凹になっている。因みに、図7 (a)には、ゲート電極2 5と共に、層間絶縁膜2 4に設けたソースおよびドレイン用の半導体領域(拡散層とも云う)2 6と、ゲート絶縁膜2 7も示した。

【0 1 1 2】

このように下方に設けたゲート電極2 5等の凹凸状況を反映して表面が凸凹状の絶縁層2 3の表面を平坦化する。平坦化した状況を、図7 (b)に示した。平坦化に際しては、例

10

20

30

40

50

えば、CMP (Chemical Mechanical Polishing) 処理で行えばよい。なお、平坦化処理には、CMP 処理以外の方法を採用しても勿論構わない。

【 0 1 1 3 】

このようにして表面の平坦化を行った上で、ステップ S 1 1 0 の A 1 配線層形成ステップに移り、絶縁層 2 3 の表面に配線電極 1 1 を形成する。配線電極 1 1 は、図 7 (c) に示すように、例えば 3 層に形成しておけばよい。図中、中間層の配線電極の図示は省略している。なお、配線電極 1 1 は、かかる 3 層構造に限定する必要はなく、4 層以上に構成しても、あるいは、単層に構成してもよい。

【 0 1 1 4 】

図 7 (c) では、最上層のみ配線電極 1 1 を示している。このようにして配線電極 1 1 を形成し、その上にパッシベーション膜 1 2 を設けた後は、前記実施の形態 1 の図 4 で示した各ステップ S 1 2 0 ~ S 1 8 0 の各ステップを経ることにより、LCD ドライバ 1 0 a を製造することができる。

【 0 1 1 5 】

因みに、ステップ S 1 2 0 と図 7 (d) が、ステップ S 1 3 0 と図 7 (e) が、ステップ S 1 4 0 と図 8 (a) が、ステップ S 1 5 0 と図 8 (b) が、ステップ S 1 6 0 と図 8 (c) が、ステップ S 1 7 0 と図 8 (d) がそれぞれ対応している。なお、図 7 (d)、(e)、図 8 (a) ~ (d) では、ウエハ 2 1 の図示は省略している。

【 0 1 1 6 】

このようにして図 7、8 に示す各フローを経て製造された LCD ドライバ 1 0 a では、パンプ電極実装用部 1 4 a と、これより小さいパンプ電極配線用部 1 4 とからなるパンプ電極 1 4 が形成されているが、パンプ電極実装用部 1 4 a の平坦度は、ステップ S 1 0 0 に示す絶縁層の平坦化処理工程を設けない場合に比べて格段に平坦化度が向上している。

【 0 1 1 7 】

次に、前記実施の形態 1、2 で説明した構成のパンプ電極 1 4 を有する LCD ドライバ 1 0 a を LCD (Liquid Crystal Display : 液晶ディスプレイ) へ組み込む場合の接続構成を図 9 (a)、(b) に示した。

【 0 1 1 8 】

LCD には、種々の形式のものが開発されているが、以下、代表的な TFT 液晶ディスプレイを例に挙げて説明する。TFT (Thin Film Transistor) ディスプレイでは、図 9 (a)、(b) に示すように、内側に配向膜 (図示省略) を設けた 2 枚のガラス基板 3 1 a、3 1 b を、配向膜同士を相対させた状態で、その間に STN 液晶 3 2 を挟んで液晶パネル 3 0 が構成されている。

【 0 1 1 9 】

液晶パネル 3 0 の一方のガラス基板 3 1 b には、ガラス基板 3 1 b の板面方向沿って互いに交差する X 電極線、Y 電極線がそれぞれ複数本設けられ、一方の X 電極線がゲート線 (データ信号線とも云う) に、他方の Y 電極線がドレイン線 (アドレス線とも云う) に形成され、他方のガラス基板 3 1 a が共通電極に形成されている。

【 0 1 2 0 】

両複数本の X 電極線、Y 電極線の各々の交差位置に対応してアドレスが指定された画素が設定され、個々の画素に対応して TFT アクティブ素子が設けられている。そこで、モノクロディスプレイでは、画素数は、X 電極の本数と Y 電極の本数を掛け合わせた数となる。一方、カラーディスプレイでは、各々の画素が、赤、青、黄色の三原色表示用のサブ画素にさらに分かれ、併せて X 電極の数も 3 倍となるため、画素数はモノクロディスプレイの場合の 3 倍となる。

【 0 1 2 1 】

このように X 電極線群と、Y 電極線群との交差域で画素を決めるマトリックス表示方式では、Y 電極線により特定されたアドレスに X 電極線から送られた映像データを、TFT アクティブ素子を介して取り込み、各々の画素に映像データの書込を行う。TFT アクティブ素子で取り込まれた映像データは、各々の画素に設けた蓄積キャパシタに充放電電荷と

10

20

30

40

50

して蓄えられ、この電荷により映像表示を行う。

【0122】

かかる構成の液晶パネル30では、図9(a)に示すように、ガラス基板31bがガラス基板31aより大きく形成されており、ガラス基板31aの二方の周縁に沿って、マトリックス表示に必要な上記X電極線群、Y電極線群の線数に合わせて、X電極線用、すなわちゲート線用にLCDドライバ10aが、Y電極線、すなわちドレイン線用にLCDドライバ10bが、それぞれ必要な数COG実装形式で設けられている。

【0123】

図9(b)に示すように、ガラス基板31a、31bの間にシール部33により封止されたSTN液晶32が封入されている。かかる液晶ディスプレイ側からは、入力側基板配線34が延ばされて外部端子が形成され、かかる外部端子とLCDドライバ10aのポンプ電極14の一方がフリップチップ方式で、異方性導電膜15を介在させて実装されている。

10

【0124】

LCDドライバ10aの他方のポンプ電極14は、図9(b)に示すように、出力側基板配線35に、異方性導電膜15を介してフリップチップ方式で実装され、出力側基板配線35が異方性導電膜15を介在させてプリント基板などの外部回路36に接続されている。かかる構成は、LCDドライバ10bにおいても同様である。

【0125】

外部回路36から映像データが出力側基板配線35を通してLCDドライバ10a、入力側基板配線34を通して所定アドレスにX電極線を通して送られることとなる。同様に、LCDドライバ10bによりY電極線による画素の書込などのアドレス指定がなされる。このようにして、LCDドライバ10a、10bにより、X電極線を介しての所要アドレスの画素における電圧制御が行われる。

20

【0126】

図10には、フィルムなどフレキシブル素材上に液晶パネルに必要な周辺回路を設けて、かかるフィルム上に前記構成の電極表面の平坦度を向上させたポンプ電極14を有するLCDドライバ10aをフェイスダウン実装した構成を示す。

【0127】

フィルム37上には、周辺回路がプリントされ、これに通じる配線電極38、39が、それぞれ異方性導電膜15を介在させて、ガラス基板31b上の透明な入力側配線電極33、LCDドライバ10aのポンプ電極14に接続されている。このようにLCDにおける分野のCOF実装方式でも本発明は有効に適用することができる。

30

【0128】

かかるCOF実装においても、前述の如く、ポンプ電極14の平坦化により導電性粒子との接触面積の増加により、LCDモジュールの信頼性が向上する。

【0129】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

40

【0130】

例えば、上記説明では、LCDドライバを例に挙げて説明したが、本発明は、LCDドライバ以外でも、異方性導電膜を介在させてフェイスダウン実装によりポンプ電極を実装基板側電極等の相手側電極と電氣的に接続させる構成の半導体装置に適用することができることは言うまでもない。

【0131】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0132】

50

すなわち、バンプ電極の表面の平坦度を高めて、バンプ電極と相手側電極との導通性を良好にすることができる。

【図面の簡単な説明】

【図1】(a)は本発明の一実施の形態の半導体装置におけるバンプ電極の構成を模式的に示す要部断面図であり、(b)は(a)の構成を模式的に示す平面図であり、(c)はバンプ電極の平面構成の変形例を模式的に示す平面図であり、(d)は(a)に示す半導体装置の実装時の様子を模式的に示す要部断面説明図である。

【図2】(a)は、本発明とは異なり配線電極とバンプ電極との設置範囲をずらすことなく構成した場合を模式的に示す要部断面図であり、(b)は(a)に示す構成のバンプ電極を用いて実装した様子を模式的に示す要部断面図である。

10

【図3】LLCDドライバに構成した半導体装置におけるバンプ電極の配置状況を示す平面図である。

【図4】(a)～(g)は、本発明の一実施の形態の半導体装置の製造方法の一連のステップ例を示す断面説明図である。

【図5】(a)は本発明の一実施の形態の半導体装置におけるバンプ電極の変形例の構成を模式的に示す要部断面図であり、(b)は(a)の構成を模式的に示す平面図であり、(c)は(a)に示す半導体装置の実装時の様子を模式的に示す要部断面説明図である。

【図6】(a)～(f)は、図5に示す構成の半導体装置の製造方法の一連のステップ例を示す断面説明図である。

【図7】(a)～(e)は、配線層を形成する前に絶縁層の凹凸の平坦化を施す工程を組み込んだ場合の半導体装置の製造方法の一連のステップ例を示す断面説明図である。

20

【図8】(a)～(d)は、図7に示すステップに繋がる一連のステップ例を示す断面説明図である。

【図9】(a)液晶パネルを模式的に示す平面図であり、(b)は(a)におけるLCDドライバの接続状況を模式的に示す要部断面図である。

【図10】液晶ディスプレイにおいてLCDドライバをCOF実装方式で実装した様子を模式的に示す要部断面図である。

【符号の説明】

- 10 半導体装置
- 10a LCDドライバ
- 10b LCDドライバ
- 11 配線電極
- 11a 段差部
- 12 パッシベーション膜
- 13 下地金属層
- 14 バンプ電極
- 14a バンプ電極実装用部
- 14b バンプ電極配線用部
- 14c 段差部
- 14d 段差部
- 15 異方性導電膜
- 15a 導電性粒子
- 16 実装基板
- 16a 電極
- 21 ウエハ
- 22 バンプホトレジスト
- 23 絶縁層
- 24 層間絶縁膜
- 25 ゲート電極
- 26 半導体領域(拡散層)

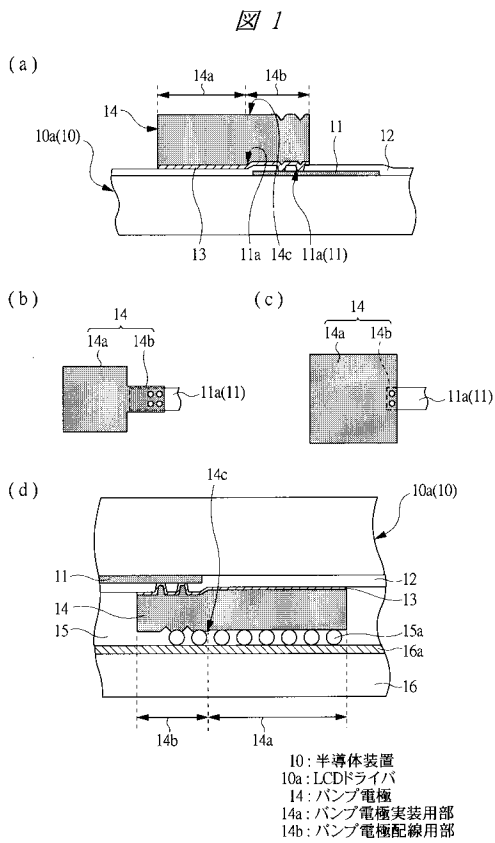
30

40

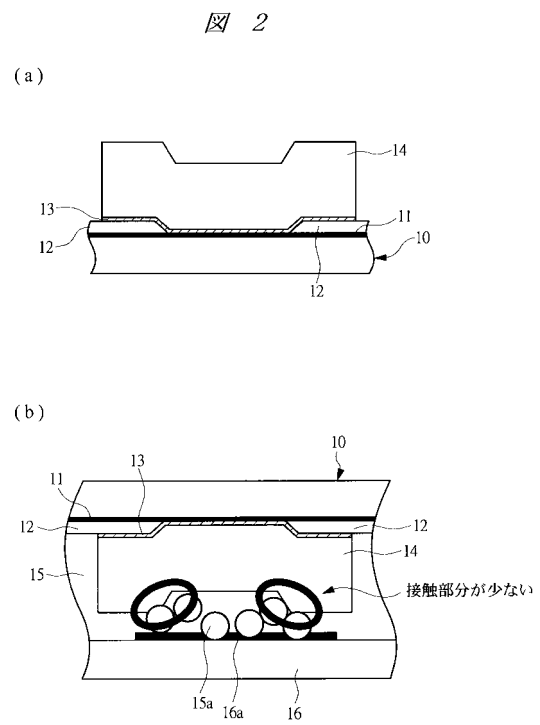
50

- 27 ゲート絶縁膜
- 30 液晶パネル
- 31a ガラス基板
- 31b ガラス基板
- 32 STN液晶
- 33 シール部
- 34 入力側基板配線
- 35 出力側基板配線
- 36 外部回路
- 37 フィルム
- 38 配線電極
- 39 配線電極

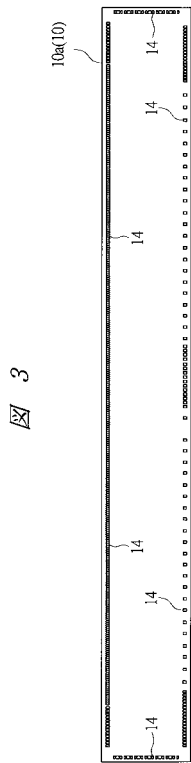
【図1】



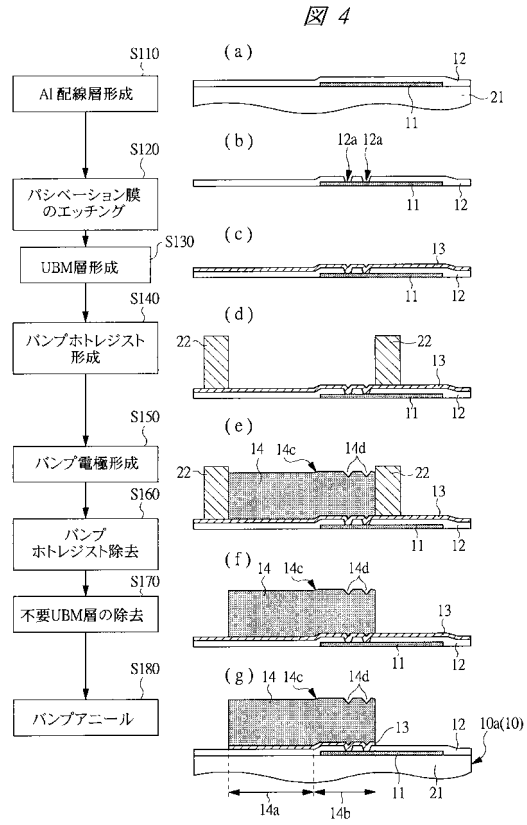
【図2】



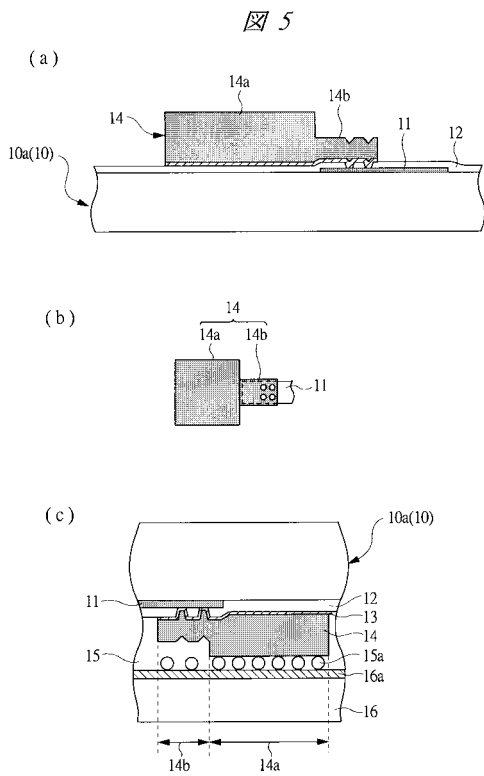
【 図 3 】



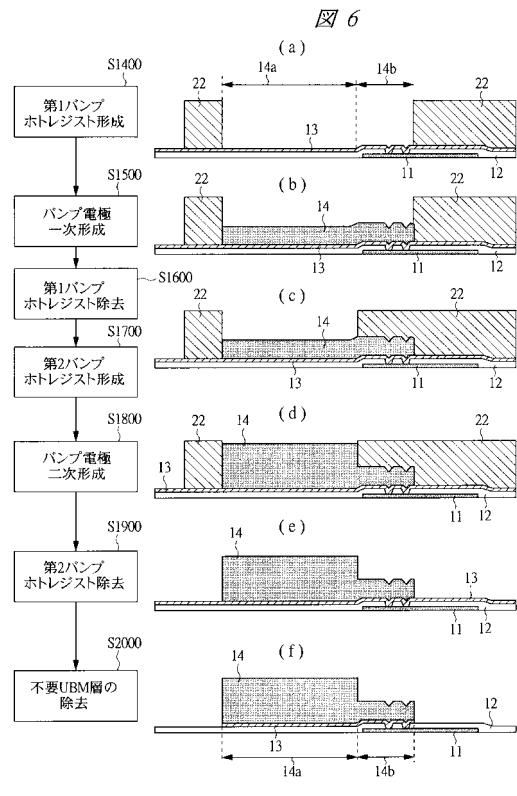
【 図 4 】



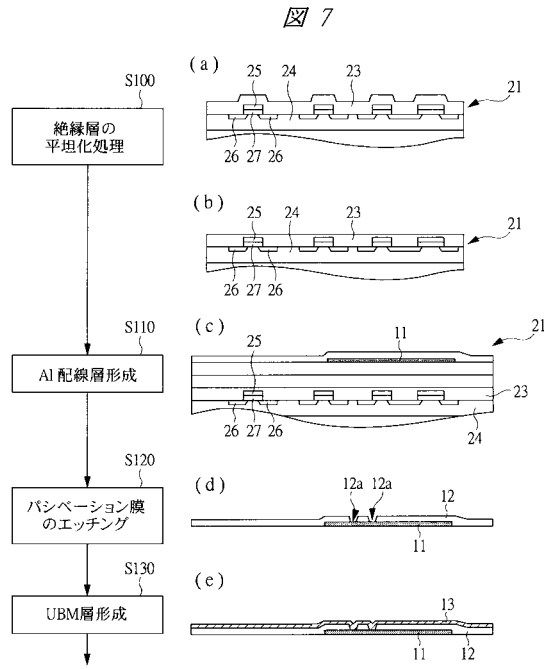
【 図 5 】



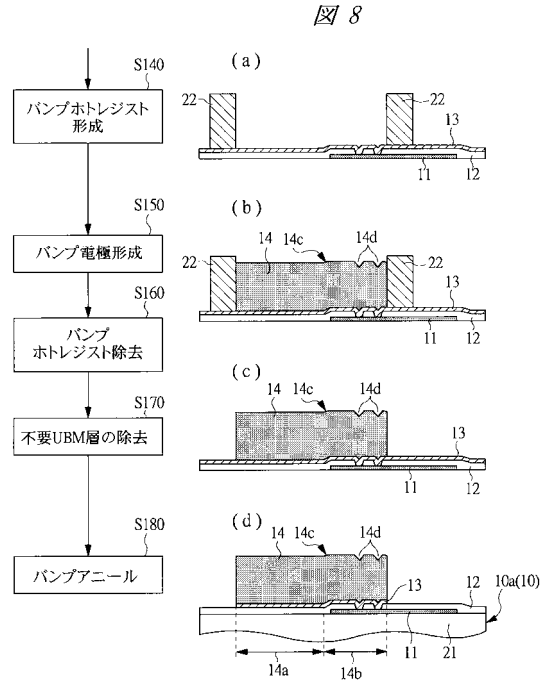
【 図 6 】



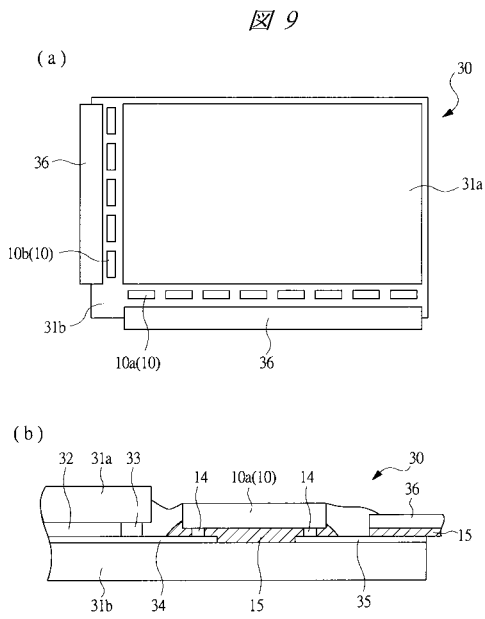
【 図 7 】



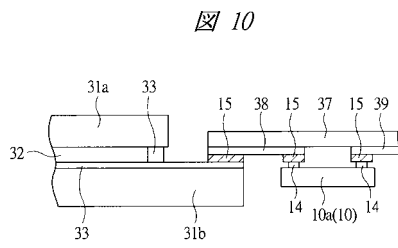
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H01L 21/60

H01L 23/12