

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年5月14日(14.05.2015)



(10) 国際公開番号
WO 2015/068552 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
- (21) 国際出願番号: PCT/JP2014/077588
- (22) 国際出願日: 2014年10月16日(16.10.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-229558 2013年11月5日(05.11.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番22号 Osaka (JP).
- (72) 発明者: 井上 尚人(INOUE, Naoto), 富吉 暎(TOMIYOSHI, Akira), 中谷 彩(NAKATANI, Aya).
- (74) 代理人: 特許業務法人HARAKENZO WORLD PATENT & TRADEMA R K (HARAKENZO WORLD PATENT & TRADE-

MARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).

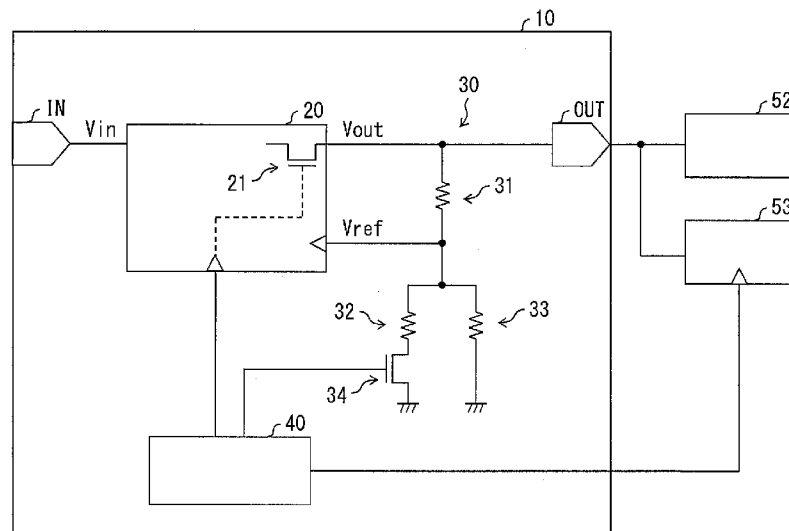
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

図 2



(57) Abstract: The present invention provides a display device capable of accurately supplying, by using a simple configuration, a voltage used for generating a gate signal and a voltage used for driving nonvolatile memory. A DC/DC converter (20) is switched between a first state in which an input voltage (V_{in}) is converted to a voltage (V_s) used for driving the nonvolatile memory and a second state in which the input voltage (V_{in}) is converted to a voltage (V_g) used for generating the gate signal.

(57) 要約: 簡易な構成を用いて、ゲート信号の生成に用いられる電圧および不揮発性メモリの駆動に用いられる電圧を正確に供給することができる表示装置を提供する。DC/DCコンバータ20は、入力電圧(V_{in})を、不揮発性メモリの駆動に用いられる電圧(V_s)に変換する第1の状態と、ゲート信号の生成に用いられる電圧(V_g)に変換する第2の状態とで切り替わる。

WO 2015/068552 A1



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))
KM, ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は表示装置に関する。

背景技術

[0002] アクティブマトリクス駆動方式の液晶表示装置において、各画素に設けられたTFTのオンおよびオフを制御するために、TFTのゲート端子には、ゲートラインを介して所定のハイ電圧VGHおよびロー電圧VGLの2値の値からなるゲート電圧Vgが供給される。ハイ電圧VGHおよびロー電圧VGLは、液晶表示装置の駆動回路において、外部から入力される入力電圧Vin（例えば3.3V）を元に、DC/DCコンバータによって生成される。

[0003] また、ソースドライバは、ソースドライバが備える不揮発性メモリを駆動するための電圧として、ハイ電圧およびロー電圧の2値の値からなる書込み電圧を生成する。

[0004] ゲート電圧Vgに要求される電圧値（VGH/VGL）は、TFT特性と液晶セルの電気特性により規定され、書込み電圧に要求される電圧値は、不揮発性メモリの電荷保持特性により規定される。

[0005] そのため、ゲート電圧Vgおよび書込み電圧に要求される電圧値は互いに異なり、単一のDC/DCコンバータを用いて生成したハイ電圧およびロー電圧から、ゲート電圧Vgおよび書込み電圧を生成することは好ましくない。

[0006] 異なる2種類の電圧を供給するための一つの方法として、図12に示すように、ゲート電圧用のハイ電圧およびロー電圧を生成するDC/DCコンバータと、書込み電圧用のハイ電圧およびロー電圧を生成するDC/DCコンバータとをそれぞれ用いることが考えられる。

[0007] また、特許文献1～3には、2種類の入力電源に基づいて、回路内部で必

要な所定レベルの電源電圧を生成する内部電源制御回路を備えた駆動回路が記載されている。特許文献3の表示装置の駆動回路は、スイッチを介して12Vの電源および40Vの電源に接続されたレベルシフト回路を備えており、レベルシフト回路は、ゲートドライバ駆動回路と不揮発性メモリ駆動回路との間で共有されている。これにより、レベルシフト回路の数を減らし、駆動回路の面積を縮小することができる。

先行技術文献

特許文献

[0008] 特許文献1：日本国公開特許公報「特開2012-230398号公報（2012年11月22日公開）」

特許文献2：日本国公開特許公報「特許第5057417号公報（2012年8月10日登録）」

特許文献3：日本国公開特許公報「特許第4907908号公報（2012年1月20日登録）」

発明の概要

発明が解決しようとする課題

[0009] しかしながら、ゲート電圧および書込み電圧を生成するために2つのDC／DCコンバータを用いた場合、高コスト化および高消費電力化を招くため好ましくない。また、2つのDC／DCコンバータを並行して同時に駆動制御した場合、異なる出力電圧が同一の配線上に印加されるため、DC／DCコンバータの制御が困難になり、誤作動を生じたり、破損したりする。

[0010] 特許文献3の表示装置は、2つの入力電源を必要とする。また、1つのレベルシフト回路に2種類の電源電圧が入力されるため、レベルシフト回路において正確な出力制御をすることが困難となる。

[0011] 本発明は、上記の課題に鑑みなされたものであって、簡易な構成を用いて、ゲート信号の生成に用いられる電圧および不揮発性メモリの駆動に用いられる電圧を正確に供給することができる表示装置を提供することにある。

課題を解決するための手段

- [0012] 上記の課題を解決するために、本発明の一態様に係る表示装置は、画素を順次選択状態とするためのゲート信号を生成する走査線駆動回路と、表示すべき映像に基づいて上記画素に供給するデータ信号を生成する信号線駆動回路と、を備えており、上記信号線駆動回路は不揮発性メモリを備えている表示装置であって、外部から供給される入力電圧を異なる電圧値の出力電圧に変換して出力する電圧変換部を備えており、上記電圧変換部は、上記入力電圧を上記不揮発性メモリの駆動に用いられる第1出力電圧に変換する第1の状態と、上記入力電圧を上記ゲート信号の生成に用いられる第2出力電圧に変換する第2の状態とで切り替わることを特徴とする。
- [0013] また、上記の課題を解決するために、本発明の一態様に係る表示装置は、画素を順次選択状態とするためのゲート信号を生成する走査線駆動回路と、表示すべき映像に基づいて上記画素に供給するデータ信号を生成する信号線駆動回路と、を備えており、上記信号線駆動回路は不揮発性メモリを備えている表示装置であって、外部から供給される入力電圧を、上記不揮発性メモリの駆動に用いられる第1出力電圧に変換して出力する第1電圧変換部と、当該入力電圧を上記ゲート信号の生成に用いられる第2出力電圧に変換して出力する第2電圧変換部とを備えており、上記第1電圧変換部が上記第1出力電圧を出力する期間では、上記第2電圧変換部は動作を停止し、上記第2電圧変換部が上記第2出力電圧を出力する期間では、上記第1電圧変換部は動作を停止することを特徴とする。
- [0014] また、上記の課題を解決するために、本発明の一態様に係る表示装置は、画素を順次選択状態とするためのゲート信号を生成する走査線駆動回路と、表示すべき映像に基づいて上記画素に供給するデータ信号を生成する信号線駆動回路と、を備えており、上記信号線駆動回路は不揮発性メモリを備えている表示装置であって、外部から供給される入力電圧を変換して、上記不揮発性メモリの駆動に用いられる第1出力電圧および上記ゲート信号の生成に用いられる第2出力電圧のうちの何れか一方の電圧を出力電圧として出力す

る電圧変換部と、外部から、第 1 出力電圧および第 2 出力電圧のうちの何れか他方の電圧値に等しい第 2 入力電圧が供給される入力端子と、上記入力端子と、上記走査線駆動回路または上記不揮発性メモリとの接続状態を制御するスイッチ素子と、を備えており、上記電圧変換部が上記出力電圧を出力する期間では、上記スイッチ素子は非接続状態となり、上記電圧変換部が上記出力電圧を出力しない期間では、上記スイッチ素子は接続状態となることを特徴とする。

発明の効果

[0015] 本発明の一態様によれば、簡易な構成を用いて正確な表示制御をすることができる表示装置を提供することができる。

図面の簡単な説明

[0016] [図1]本発明の実施形態 1 の液晶表示装置の概略図である。

[図2]本発明の実施形態 1 の液晶表示装置の構成を示すブロック図である。

[図3]F E T の O N / O F F と、D C / D C コンバータの出力電圧の関係を示す表である。

[図4]D C / D C コンバータの出力電圧の切り替えを説明するためのブロック図である。

[図5]実施形態 1 の変形例に係る分圧回路の構成を示す回路図である。

[図6]本発明の実施形態 2 の液晶表示装置の構成を示すブロック図である。

[図7]2 つの D C / D C コンバータの動作と、D C / D C コンバータの出力電圧の関係を示す表である。

[図8]本発明の実施形態 3 の液晶表示装置の概略図である。

[図9]本発明の実施形態 3 の液晶表示装置の構成を示すブロック図である。

[図10]コネクタの具体的構成を示す回路図である。

[図11]D C / D C コンバータの動作および F E T と、回路基板の出力電圧の関係を示す表である。

[図12]従来の液晶表示装置の構成を示すブロック図である。

発明を実施するための形態

[0017] 〔実施形態１〕

以下、本発明の実施の形態について、図１～５に基づいて詳細に説明する。以下では、本発明を適用した表示装置の一例として液晶表示装置を挙げて説明するが、本発明はアクティブマトリクス駆動方式の他の表示装置、例えば有機ＥＬ表示装置などにも適用することができる。

[0018] 図１は、実施形態１の液晶表示装置の概略図である。液晶表示装置１は、液晶パネル５０と、回路基板１０とを備えている。回路基板１０と液晶パネル５０とは、接続用フレキシブル基板６０を介して接続されている。

[0019] ＜液晶パネル＞

液晶パネル５０は、表示部５１と、ゲートドライバ５２（走査線駆動回路）と、ソースドライバ５３（信号線駆動回路）とを備えている。

[0020] 表示部５１には、図中横方向に延びる複数の走査信号線（不図示）と、図中縦方向に延びる複数のデータ信号線（不図示）とが配されている。走査信号線の一端はゲートドライバ５２に接続されており、データ信号線の一端はソースドライバ５３に接続されている。

[0021] また、表示部５１には、走査信号線とデータ信号線とによって囲まれた領域である画素が複数形成されている。表示部５１には、各画素に対応して、ＴＦＴ（スイッチ素子）と画素電極とが設けられている。

[0022] ＴＦＴのゲート端子は走査信号線に接続されており、ソース端子はデータ信号線に接続されており、ドレイン端子は画素電極に接続されている。

[0023] ゲートドライバ５２は、回路基板から供給される信号に基づいてゲート信号を生成し、ゲート信号を各走査信号線に供給することによって、各画素を順次選択状態とする。ソースドライバ５３は、回路基板から供給される信号に基づいてデータ信号を生成し、データ信号線およびＴＦＴを介して選択状態の画素にデータ信号を書き込む。これにより、表示部５１において表示が行われる。

[0024] なお、ソースドライバ５３には、各種設定を記憶するための不揮発性メモリが搭載されている。

[0025] <回路基板>

回路基板 10 は、外部から供給される映像信号に基づいて、ゲートドライバ 52 およびソースドライバ 53 を駆動するための各種信号を生成する。各種信号は、接続用フレキシブル基板 60 を介してゲートドライバ 52 およびソースドライバ 53 に供給される。

[0026] 図 2 は、実施形態 1 の液晶表示装置の構成を示すブロック図である。

[0027] 図 2 に示すように、回路基板 10 には、入力端子 IN（コネクタ）と、DC/DC コンバータ 20（電圧変換部）と、分圧回路 30（リファレンス抵抗）と、タイミングコントローラ 40 と、出力端子 OUT とが設けられている。

[0028] 入力端子 IN には、外部の電源から所定の入力電圧 V_{in} が供給される。入力電圧 V_{in} は、例えば 3.3 V である。

[0029] タイミングコントローラ 40 は、図示しないコントロール部から入力された水平同期信号及び垂直同期信号に基づき、各回路が同期して動作するための基準となる信号を各回路に対して供給する。具体的には、ゲートドライバ 52 には、垂直同期信号に基づいて、ゲートスタートパルス信号およびゲートクロック信号を供給する。ソースドライバ 53 には、水平同期信号に基づいて、ソーススタートパルス信号、ソースラッチストロブ信号、ソースクロック信号、および入力画像に応じた映像信号を供給する。

[0030] さらに、タイミングコントローラ 40 は、DC/DC コンバータ 20 の動作のオンおよびオフを制御するための出力制御信号を DC/DC コンバータ 20 に供給し、ソースドライバ 53 の動作のオンおよびオフを制御するための動作制御信号をソースドライバ 53 に供給し、FET 34 の ON/OFF を制御するためのスイッチ制御信号を FET 34 のゲート端子に供給する。

[0031] DC/DC コンバータ 20 は、入力端子 IN を介して外部から供給される入力電圧 V_{in} を、異なる電圧値の出力電圧 V_{out} に変換して出力する。DC/DC コンバータ 20 の出力電圧 V_{out} は、出力端子 OUT を介して、ゲートドライバ 52 およびソースドライバ 53 に供給される。DC/DC

コンバータ 20 は、動作制御用 FET 21 を備えており、動作制御用 FET 21 の ON/OFF に応じて出力のオンおよびオフを切り替える。

[0032] 分圧回路 30 は、入力側抵抗部としての抵抗 31 と、グラウンド側抵抗部として互いに並列接続された抵抗 32（第 1 抵抗）および抵抗 33（第 2 抵抗）と、を備えている。

[0033] また、抵抗 32 とグラウンドとの間には、FET 34 が設けられている。FET 34 は、ゲート端子がタイミングコントローラ 40 に接続されており、ソース端子が接地されており、ドレイン端子が抵抗 32 に接続されている。分圧回路 30 は、FET 34 の ON/OFF を制御することによって、グラウンド側抵抗部の抵抗値を変化させることができ、その結果、分圧回路 30 の出力電圧（中点の電位）を変化させることができる。

[0034] 分圧回路 30 は、DC/DC コンバータ 20 の出力電圧 V_{out} が入力され、入力側抵抗部の抵抗値とグラウンド側抵抗部の抵抗値に応じた電圧を出力する。分圧回路 30 の出力電圧は、DC/DC コンバータ 20 に供給される。

[0035] DC/DC コンバータ 20 は、分圧回路 30 の出力電圧を参照電圧 V_{ref} として参照し、参照電圧 V_{ref} が一定の電圧となるよう、出力電圧 V_{out} をフィードバック制御する。

[0036] なお、上記の説明では、タイミングコントローラ 40 が、FET 34 のゲート端子にスイッチ制御信号を供給し、DC/DC コンバータ 20 に出力制御信号を供給する構成について説明したが、これに限られない。タイミングコントローラ 40 に代えてソースドライバ 53 が、スイッチ制御信号および出力制御信号を供給する構成であってもよい。

[0037] <出力電圧 V_{out} >

本実施形態の DC/DC コンバータ 20 は、外部から供給される入力電圧 V_{in} を、不揮発性メモリの駆動に用いられる電圧 V_s （第 1 出力電圧）に変換する第 1 の状態と、ゲート信号の生成に用いられる電圧 V_g （第 2 出力電圧）に変換する第 2 の状態とを切り替えることによって、出力電圧 V_{out}

tの電圧値を切り替えることができる。以下、詳細に説明する。

[0038] 第1の状態では、タイミングコントローラ40からFET34のゲート端子にロー電位の信号が供給され、FET34はオフ状態となる。上述したように、DC/DCコンバータ20は、参照電圧 V_{ref} が一定の電圧となるよう、出力電圧 V_{out} をフィードバック制御する。そのため、第1の状態における出力電圧 V_{out} は、抵抗31の抵抗値を R_1 、抵抗32の抵抗値を R_2 、抵抗33の抵抗値を R_3 とすると、

$$V_{out} = (1 + R_1 / R_3) \times V_{ref}$$

となる。

[0039] 一方、第2の状態では、タイミングコントローラ40からFET34のゲート端子にハイ電位の信号が供給され、FET34はオン状態となる。そのため、第1の状態における出力電圧 V_{out} は、 R_2 と R_3 の合成抵抗($R_2 // R_3$)を R_{23} とすると、

$$V_{out} = (1 + R_1 / R_{23}) \times V_{ref}$$

となる。

[0040] 以上のように、DC/DCコンバータ20は、第1の状態における出力電圧 V_{out} と、第2の状態における出力電圧 V_{out} とを出力することができる。異なる2種類の電圧を切り替えて出力することができる。

[0041] 図3は、FET32のON/OFF（開閉）と、DC/DCコンバータ20の出力電圧の関係を示す表である。

[0042] 図3に示すように、例えば、第1の状態における出力電圧 V_{out} を±9Vに設定し、ソースドライバ53に供給することによって、ソースドライバ53の内部の不揮発性メモリを駆動し、不揮発性メモリへのデータ書込みおよびデータ消去をすることができる。また、第2の状態における出力電圧 V_{out} を±13Vに設定し、ゲートドライバ52に供給することによって、ゲートドライバ52においてゲート信号を生成することができる。

[0043] 図4は、DC/DCコンバータ20の出力電圧の切り替えを説明するためのブロック図である。図4に示すように、本実施形態の液晶表示装置1によ

れば、単一のDC/DCコンバータ20を用いて、単一の入力電圧 V_{in} から、異なる2種類の出力電圧 V_{out} (V_g 、 V_s)を生成し、ゲートドライバ52およびソースドライバ53に供給することができる。

[0044] そのため、液晶表示装置1は、複数のDC/DCコンバータを用いることなく2種類の出力電圧 V_{out} を生成することができるため、従来の液晶表示装置に比べて、回路基板10の小型化および低消費電力化、さらに低コスト化を実現することができる。

[0045] <変形例>

なお、分圧回路30の回路構成は、図2に示す構成に限られない。図5は、変形例に係る分圧回路の構成を示す回路図である。

[0046] 変形例に係る分圧回路30Aは、入力側抵抗部として互いに並列に接続された抵抗31および抵抗32と、グランド側抵抗部としての抵抗33と、を備えている。このように、分圧回路は、入力側抵抗部の抵抗値を変化させることができる構成であってもよい。

[0047] [実施形態2]

本発明の他の実施形態について、図6～図7に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0048] 図6は、実施形態2の液晶表示装置の構成を示すブロック図である。

[0049] 本実施形態の液晶表示装置は、DC/DCコンバータ20（第1電圧変換部）に加えて、ソースドライバ153にDC/DCコンバータ154（第2電圧変換部）が搭載されている。

[0050] DC/DCコンバータ20は、入力電圧 V_{in} を、ゲート信号の生成に用いられる電圧 V_g （第2出力電圧）に変換し、DC/DCコンバータ154は、入力電圧 V_{in} を、不揮発性メモリの駆動に用いられる電圧 V_s （第1出力電圧）に変換する。例えば、電圧 V_g は±13Vであり、電圧 V_s は±9Vである。なお、DC/DCコンバータ154は、ソースドライバ153の内部に設けられている必要はなく、ソースドライバ153の外部に設けら

れていてもよい。

- [0051] DC/DCコンバータ20は、タイミングコントローラ40からの出力制御信号により、動作のオンおよびオフを制御され、ハイインピーダンスでシャットダウンをすることができる。ソースドライバ153およびDC/DCコンバータ154は、タイミングコントローラ40からの動作制御信号により、動作のオンおよびオフを制御される。
- [0052] また、DC/DCコンバータ20の出力は、抵抗131および抵抗132からなる分圧回路130に入力され、分圧回路の出力は参照電圧 V_{ref} としてDC/DCコンバータ20に入力される。
- [0053] 図7は、2つのDC/DCコンバータの動作と、DC/DCコンバータの出力電圧の関係を示す表である。
- [0054] 本実施形態の液晶表示装置は、タイミングコントローラ40の制御により、不揮発性メモリの駆動時には、DC/DCコンバータ20の動作を停止し（OFF）、DC/DCコンバータ154を動作させる（ON）ことによって電圧 V_s を生成し、不揮発性メモリに供給する。一方で、ゲート信号生成時（液晶パネルゲート駆動時）には、タイミングコントローラ40の制御により、DC/DCコンバータ154の動作を停止し（OFF）、DC/DCコンバータ20を動作させる（ON）ことによって電圧 V_g を生成し、ゲートドライバ52に供給する。
- [0055] すなわち、本実施形態の液晶表示装置は、タイミングコントローラ40の制御により、2つのDC/DCコンバータのうちの動作するDC/DCコンバータを切り替える。
- [0056] これにより、DC/DCコンバータ154が電圧 V_s を出力する期間では、DC/DCコンバータ20は動作を停止し、DC/DCコンバータ20が電圧 V_g を出力する期間では、DC/DCコンバータ154は動作を停止する。
- [0057] 以上の構成によれば、本実施形態の液晶表示装置は、2種類の電圧（ V_g 、 V_s ）を出力することができる。

[0058] なお、複数のソースドライバ153に内蔵された不揮発性メモリには、データを1つ1つ時系列で書き込むことができるため、複数のDC/DCコンバータを同時に駆動する必要はない。そのため、DC/DCコンバータの制御が容易になり、誤作動を生じたり、破損したりする危険性を低減することができる。

[0059] [実施形態3]

本発明の他の実施形態について、図8～図10に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0060] 図8は、実施形態3の液晶表示装置の概略図である。

[0061] 液晶表示装置201は、外部の書込み装置270（外部検査装置）から不揮発性メモリを駆動するための電圧を供給される。さらに、書込み装置270は、不揮発性メモリへの書込みが行われたあとに、不揮発性メモリに所望の書込みが行なわれたかどうか、あるいは表示部51において正しい表示が行われているかどうか、などを検査する。

[0062] 図9は、実施形態3の液晶表示装置の構成を示すブロック図である。

[0063] 本実施形態の回路基板210には、入力端子IN1と、入力端子IN2とが設けられている。

[0064] 入力端子IN1には、外部の電源から所定の入力電圧 V_{in} が供給され、入力端子IN2には、外部の書込み装置270から所定の入力電圧 V_{cn} が供給される。入力電圧 V_{in} は、例えば3.3Vである。入力電圧 V_{cn} は、例えば、不揮発性メモリを駆動するための電圧 V_s と等しく、例えば±9Vである。

[0065] 入力端子IN2は、コネクタ241A（接続ランドPIN）に接続されており、入力電圧 V_{cn} はコネクタ241Aおよびコネクタ241Bを介してソースドライバ253に供給される。コネクタ241Aとコネクタ241Bとの接続は、タイミングコントローラ240によって制御される。

[0066] 図10は、コネクタの具体的構成を示す回路図である。図10に示すように、コネクタ241Aおよびコネクタ241Bとして、FET241を用いてもよい。FET241のソース端子は入力端子VIN2に接続されており、FET241のドレイン端子はソースドライバ253に接続されている。FET241のゲート端子はタイミングコントローラ240に接続されており、FET241のON/OFFはタイミングコントローラ240によって制御される。

[0067] 図11は、DC/DCコンバータの動作およびFETと、回路基板の出力電圧の関係を示す表である。

[0068] 本実施形態の液晶表示装置201は、不揮発性メモリの駆動時には、タイミングコントローラ240の制御により、DC/DCコンバータ20の動作を停止し(OFF)、FET241をON状態(接続状態)とし、電圧Vsをソースドライバ253内の不揮発性メモリに供給する。一方で、ゲート信号生成時(液晶パネルゲート駆動時)には、タイミングコントローラ240の制御により、FET241をOFF状態(非接続状態)とし、DC/DCコンバータ20を動作させる(ON)ことによって電圧Vgを生成し、ゲートドライバ52に供給する。

[0069] すなわち、本実施形態の液晶表示装置201は、タイミングコントローラ240の制御により、DC/DCコンバータ20の動作のON/OFFと、FET241のON/OFFとを切り替える。

[0070] 以上の構成によれば、本実施形態の液晶表示装置は、2種類の電圧(Vg、Vs)を出力することができる。

[0071] また、本実施形態の液晶表示装置において、ソースドライバ253の不揮発性メモリの駆動は、DC/DCコンバータを介することなく、書込み装置270から供給される入力電圧Vcnを用いて行われる。そのため、所定の電圧値(±9V)を正確にソースドライバ253の不揮発性メモリに供給することができる。さらに、複数のDC/DCコンバータを同時に駆動する必要がないため、DC/DCコンバータの制御が容易になり、誤作動を生じた

り、破損したりする危険性を低減することができる。

[0072] なお、上記の説明では、DC／DCコンバータ20が入力電圧 V_{in} をゲート信号の生成に用いられる電圧 V_g に変換し、入力電圧 V_{cn} を不揮発性メモリの駆動に用いられる電圧 V_s としてソースドライバ253に供給する例について説明したが、これに限られない。

[0073] すなわち、DC／DCコンバータ20が入力電圧 V_{in} を不揮発性メモリの駆動に用いられる電圧 V_s に変換し、入力電圧 V_{cn} をゲート信号の生成に用いられる電圧 V_g としてゲートドライバ52に供給してもよい。

[0074] なお、上記の説明において、FET34およびFET241としては、配置箇所に応じて、N型FETを用いてもよいし、P型FETを用いてもよい。

[0075] [まとめ]

本発明の態様1に係る表示装置（液晶表示装置1）は、画素を順次選択状態とするためのゲート信号を生成する走査線駆動回路（ゲートドライバ52）と、表示すべき映像に基づいて上記画素に供給するデータ信号を生成する信号線駆動回路（ソースドライバ53）と、を備えており、上記信号線駆動回路は不揮発性メモリを備えている表示装置であって、外部から供給される入力電圧（ V_{in} ）を異なる電圧値の出力電圧（ V_{out} ）に変換して出力する電圧変換部（DC／DCコンバータ20）を備えており、上記電圧変換部は、上記入力電圧を上記不揮発性メモリの駆動に用いられる第1出力電圧（電圧 V_s ）に変換する第1の状態と、上記入力電圧を上記ゲート信号の生成に用いられる第2出力電圧（電圧 V_g ）に変換する第2の状態とで切り替わることを特徴とする。

[0076] 上記の構成によれば、不揮発性メモリの駆動に用いられる第1出力電圧と、ゲート信号の生成に用いられる第2出力電圧とが異なる場合であっても、複数のDC／DCコンバータを用いることなく、第1出力電圧および第2出力電圧を生成することができる。

[0077] これにより、従来の液晶表示装置に比べて、小型化および低消費電力化、

さらに低コスト化を実現することができる。

[0078] 本発明の態様 2 に係る表示装置は、上記態様 1 において、分圧回路（30、30A）をさらに備えており、上記分圧回路は、抵抗として、入力側抵抗部およびグランド側抵抗部を備えており、上記出力電圧は上記分圧回路に入力され、上記分圧回路の出力は参照電圧（ V_{ref} ）として上記電圧変換部に入力され、上記入力側抵抗部または上記グランド側抵抗部の抵抗値を変化させたときに、上記電圧変換部は、上記参照電圧に基づいて、上記第 1 の状態と上記第 2 の状態とで切り替わる構成であってもよい。

[0079] 上記の構成によれば、分圧回路の出力電圧を参照して、簡易な構成により、電圧変換部の出力電圧を制御することができる。

[0080] 本発明の態様 3 に係る表示装置は、上記態様 2 において、上記グランド側抵抗部は、並列接続された第 1 抵抗（32）および第 2 抵抗（33）を有しており、上記第 1 抵抗は、スイッチ素子（FET 34）を介して接地されており、上記スイッチ素子の開閉を制御することによって、上記グランド側抵抗部の抵抗値を変化させる構成であってもよい。

[0081] 上記の構成によれば、スイッチ素子を用いて分圧回路の抵抗値を変化させることによって、分圧回路の出力電圧を切り替えることができる。これにより、分圧回路の出力電圧を参照して電圧変換部の出力電圧を切り替えることができる。

[0082] 本発明の態様 4 に係る表示装置は、画素を順次選択状態とするためのゲート信号を生成する走査線駆動回路（52）と、表示すべき映像に基づいて上記画素に供給するデータ信号を生成する信号線駆動回路（153）と、を備えており、上記信号線駆動回路は不揮発性メモリを備えている表示装置であって、外部から供給される入力電圧（ V_{in} ）を、上記不揮発性メモリの駆動に用いられる第 1 出力電圧（ V_s ）に変換して出力する第 1 電圧変換部（DC/DC コンバータ 154）と、当該入力電圧を上記ゲート信号の生成に用いられる第 2 出力電圧（ V_g ）に変換して出力する第 2 電圧変換部（DC/DC コンバータ 20）とを備えており、上記第 1 電圧変換部が上記第 1 出

力電圧を出力する期間では、上記第2電圧変換部は動作を停止し、上記第2電圧変換部が上記第2出力電圧を出力する期間では、上記第1電圧変換部は動作を停止することを特徴とする。

[0083] 上記の構成によれば、入力電圧を、第1電圧変換部および第2電圧変換部を用いて、2種類の電圧に変換することができる。また、第1電圧変換部および第2電圧変換部は、同時に駆動されないため、電圧変換部の制御が容易になり、誤作動を生じたり、破損したりする危険性を低減することができる。

[0084] 本発明の態様5に係る表示装置（液晶表示装置201）は、画素を順次選択状態とするためのゲート信号を生成する走査線駆動回路（ゲートドライバ52）と、表示すべき映像に基づいて上記画素に供給するデータ信号を生成する信号線駆動回路（ソースドライバ253）と、を備えており、上記信号線駆動回路は不揮発性メモリを備えている表示装置であって、

外部から供給される入力電圧（ V_{in} ）を変換して、上記不揮発性メモリの駆動に用いられる第1出力電圧（ V_s ）および上記ゲート信号の生成に用いられる第2出力電圧（ V_g ）のうちの何れか一方の電圧を出力電圧として出力する電圧変換部（DC/DCコンバータ20）と、

外部から、第1出力電圧および第2出力電圧のうちの何れか他方の電圧値に等しい第2入力電圧（ V_{cn} ）が供給される入力端子（IN2）と、

上記入力端子と、上記走査線駆動回路または上記不揮発性メモリとの接続状態を制御するスイッチ素子（FET241）と、を備えており、

上記電圧変換部が上記出力電圧を出力する期間では、上記スイッチ素子は非接続状態となり、上記電圧変換部が上記出力電圧を出力しない期間では、上記スイッチ素子は接続状態となることを特徴とする。

[0085] 上記の構成によれば、2つの入力電圧に基づいて、不揮発性メモリを駆動し、ゲート信号を生成することができる。また、外部から、第1出力電圧および第2出力電圧のうちの何れか他方の電圧値に等しい第2入力電圧が供給されるため、DC/DCコンバータを介することなく、不揮発性メモリの書

込みまたはゲート信号の生成を行うことができる。そのため、所定の電圧値（±9 V）を正確にソースドライバの不揮発性メモリに供給することができる。さらに、複数のDC/DCコンバータを同時に駆動する必要がないため、DC/DCコンバータの制御が容易になり、誤作動を生じたり、破損したりする危険性を低減することができる。

[0086] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

産業上の利用可能性

[0087] 本発明は、アクティブマトリクス駆動方式の表示装置に好適に利用することができる。

符号の説明

[0088]	1、201	液晶表示装置（表示装置）
	20	DC/DCコンバータ（電圧変換部、第1電圧変換部）
	30、30A	分圧回路
	31	抵抗（入力側抵抗部）
	32	抵抗（グランド側抵抗部、第1抵抗）
	33	抵抗（グランド側抵抗部、第2抵抗）
	52	ゲートドライバ（走査線駆動回路）
	53、153、253	ソースドライバ（信号線駆動回路）
	154	DC/DCコンバータ（第2電圧変換部）
	34	FET（スイッチ素子）
	V _{in}	入力電圧
	V _{cn}	入力電圧
	V _{out}	出力電圧

V r e f	参照電圧
I N 2	入力端子
V s	電圧（第 1 出力電圧）
V g	電圧（第 2 出力電圧）

請求の範囲

[請求項1] 画素を順次選択状態とするためのゲート信号を生成する走査線駆動回路と、表示すべき映像に基づいて上記画素に供給するデータ信号を生成する信号線駆動回路と、を備えており、上記信号線駆動回路は不揮発性メモリを備えている表示装置であって、

外部から供給される入力電圧を異なる電圧値の出力電圧に変換して出力する電圧変換部を備えており、

上記電圧変換部は、上記入力電圧を上記不揮発性メモリの駆動に用いられる第1出力電圧に変換する第1の状態と、上記入力電圧を上記ゲート信号の生成に用いられる第2出力電圧に変換する第2の状態とで切り替わることを特徴とする表示装置。

[請求項2] 分圧回路をさらに備えており、

上記分圧回路は、抵抗として、入力側抵抗部およびグランド側抵抗部を備えており、

上記出力電圧は上記分圧回路に入力され、上記分圧回路の出力は参照電圧として上記電圧変換部に入力され、

上記入力側抵抗部または上記グランド側抵抗部の抵抗値を変化させたときに、上記電圧変換部は、上記参照電圧に基づいて、上記第1の状態と上記第2の状態とで切り替わることを特徴とする請求項1に記載の表示装置。

[請求項3] 上記グランド側抵抗部は、並列接続された第1抵抗および第2抵抗を有しており、

上記第1抵抗は、スイッチ素子を介して接地されており、

上記スイッチ素子の開閉を制御することによって、上記グランド側抵抗部の抵抗値を変化させることを特徴とする請求項2に記載の表示装置。

[請求項4] 画素を順次選択状態とするためのゲート信号を生成する走査線駆動回路と、表示すべき映像に基づいて上記画素に供給するデータ信号を

生成する信号線駆動回路と、を備えており、上記信号線駆動回路は不揮発性メモリを備えている表示装置であって、

外部から供給される入力電圧を、上記不揮発性メモリの駆動に用いられる第1出力電圧に変換して出力する第1電圧変換部と、当該入力電圧を上記ゲート信号の生成に用いられる第2出力電圧に変換して出力する第2電圧変換部とを備えており、

上記第1電圧変換部が上記第1出力電圧を出力する期間では、上記第2電圧変換部は動作を停止し、上記第2電圧変換部が上記第2出力電圧を出力する期間では、上記第1電圧変換部は動作を停止することを特徴とする表示装置。

[請求項5]

画素を順次選択状態とするためのゲート信号を生成する走査線駆動回路と、表示すべき映像に基づいて上記画素に供給するデータ信号を生成する信号線駆動回路と、を備えており、上記信号線駆動回路は不揮発性メモリを備えている表示装置であって、

外部から供給される入力電圧を変換して、上記不揮発性メモリの駆動に用いられる第1出力電圧および上記ゲート信号の生成に用いられる第2出力電圧のうちの何れか一方の電圧を出力電圧として出力する電圧変換部と、

外部から、第1出力電圧および第2出力電圧のうちの何れか他方の電圧値に等しい第2入力電圧が供給される入力端子と、

上記入力端子と、上記走査線駆動回路または上記不揮発性メモリとの接続状態を制御するスイッチ素子と、を備えており、

上記電圧変換部が上記出力電圧を出力する期間では、上記スイッチ素子は非接続状態となり、上記電圧変換部が上記出力電圧を出力しない期間では、上記スイッチ素子は接続状態となることを特徴とする表示装置。

[図1]

図 1

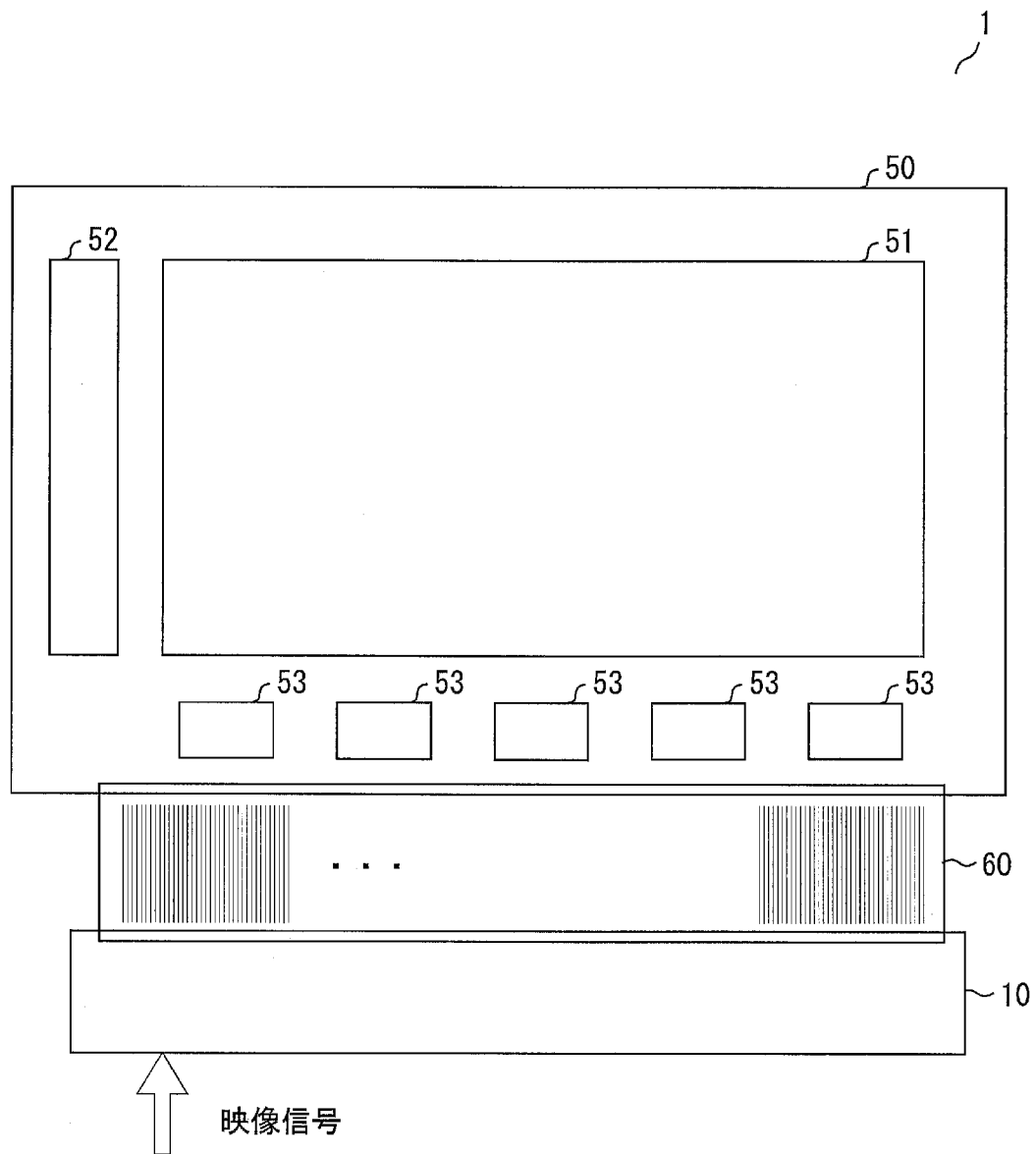
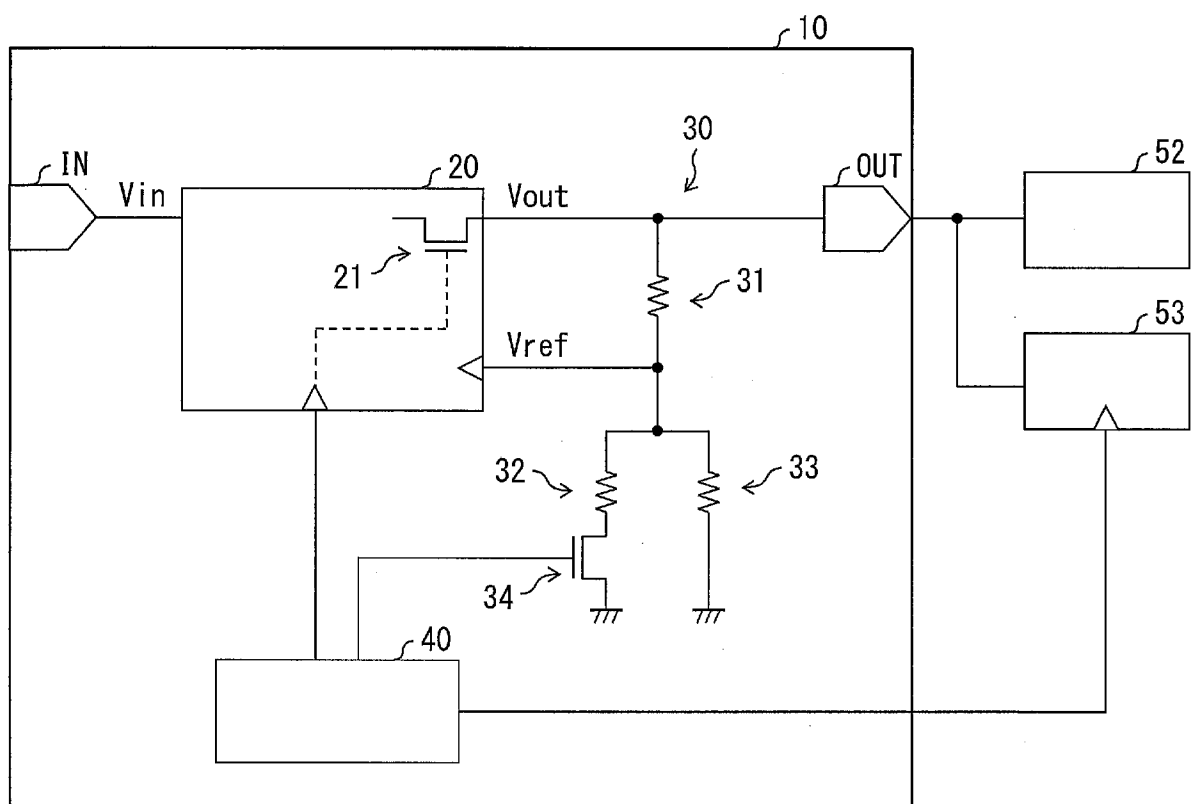


图 2



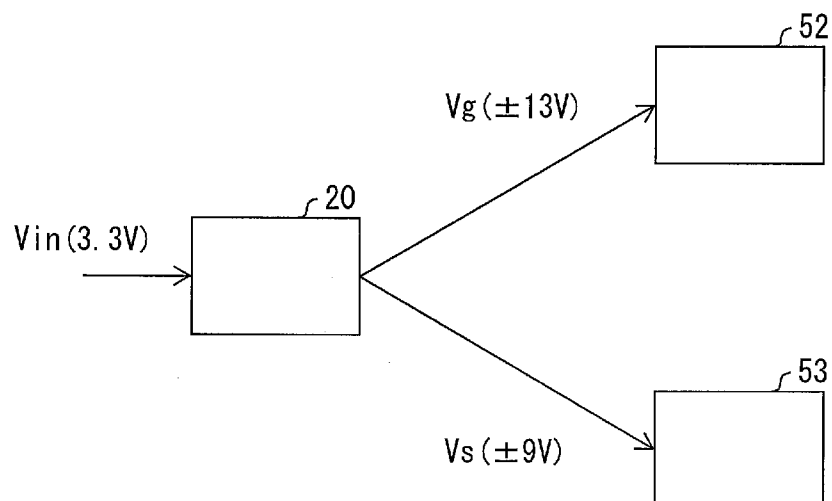
[図3]

図 3

	FET	出力電圧(例)
不揮発性メモリ駆動時 (第1の状態)	OFF	$\pm 9V$
ゲート信号生成時 (第2の状態)	ON	$\pm 13V$

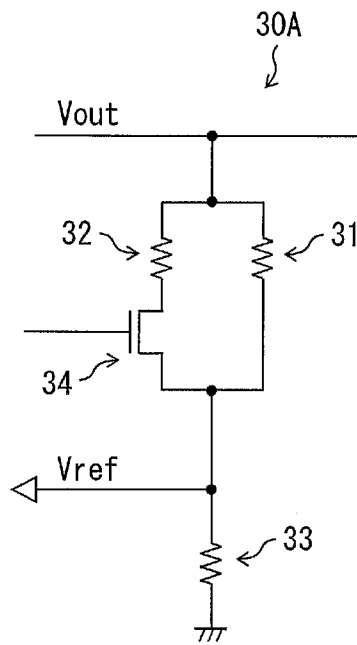
[図4]

図 4



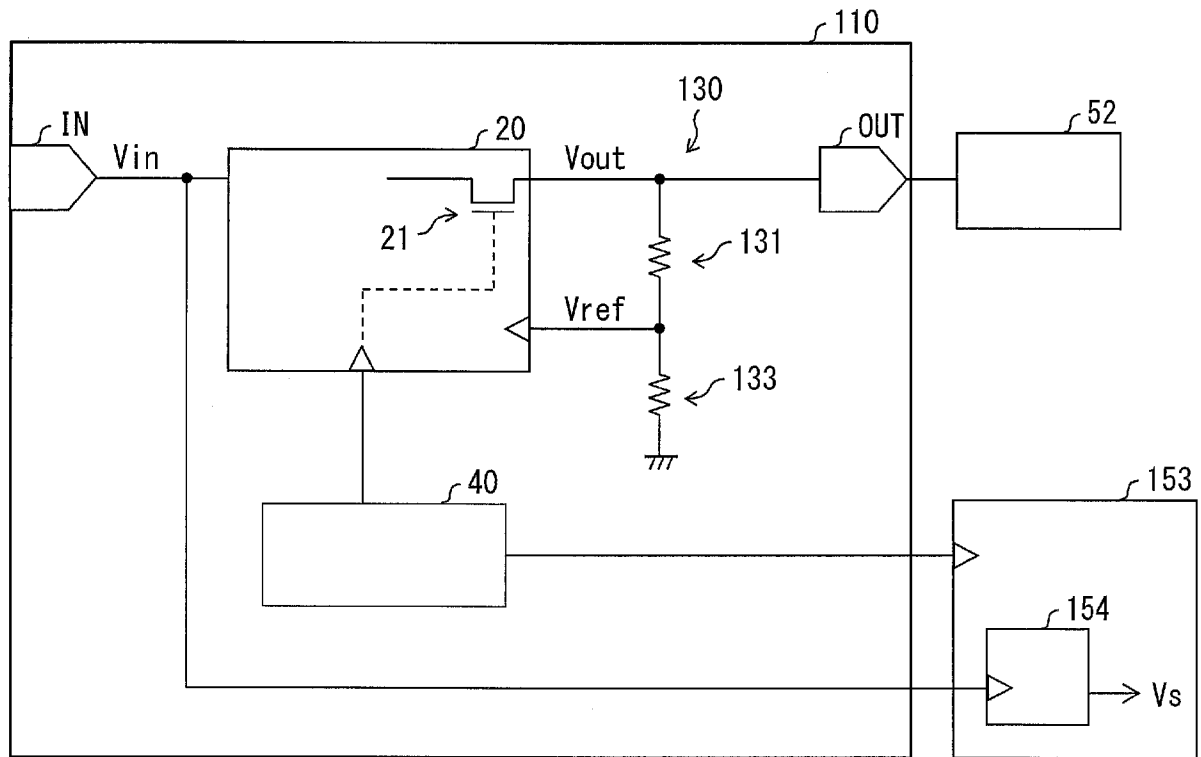
[図5]

図 5



[図6]

図 6



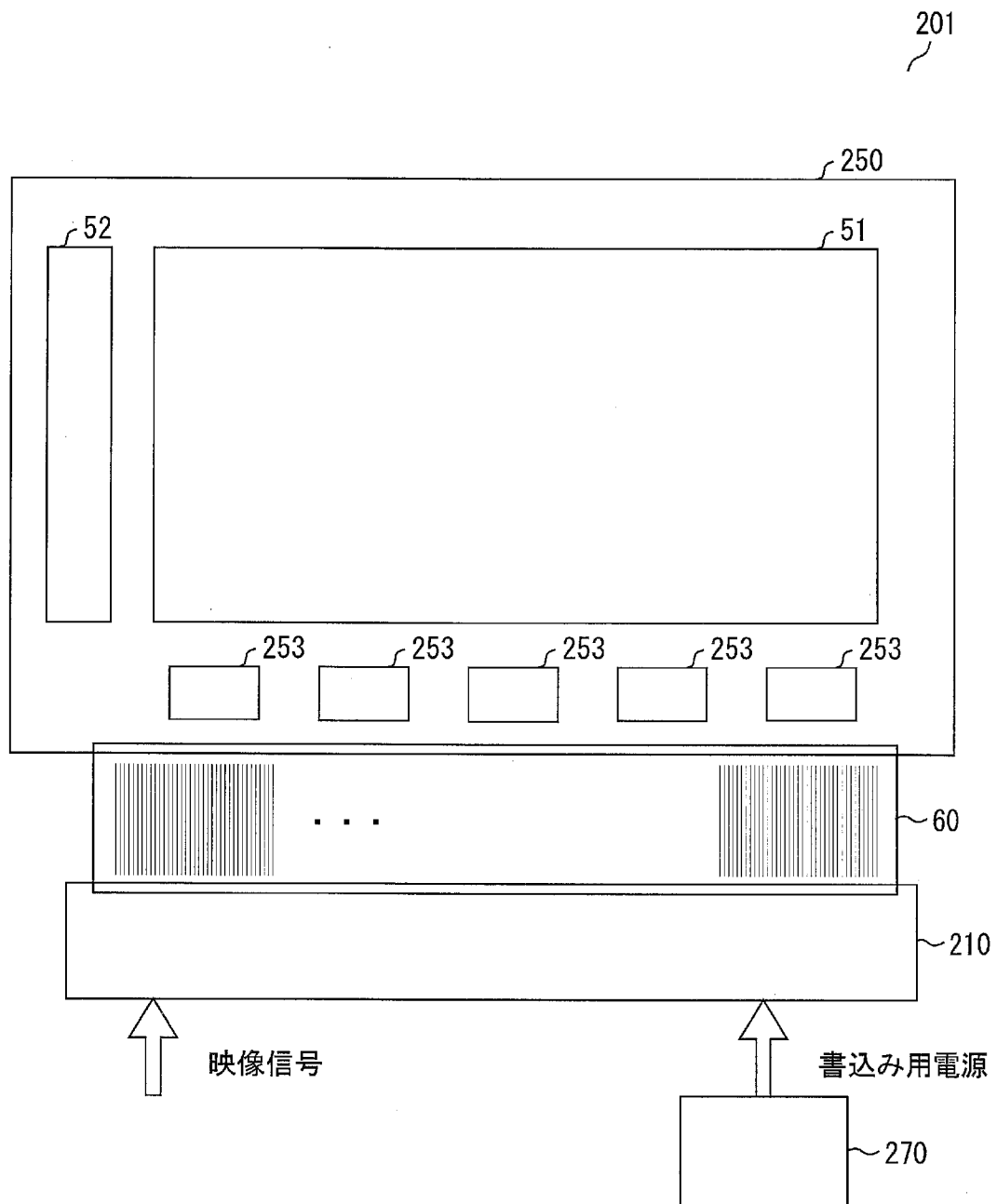
[図7]

図 7

	DC/DCコンバータ 20	DC/DCコンバータ 154	出力電圧 (例)
不揮発性メモリ駆動時	OFF	ON	±9V
ゲート信号生成時	ON	OFF	±13V

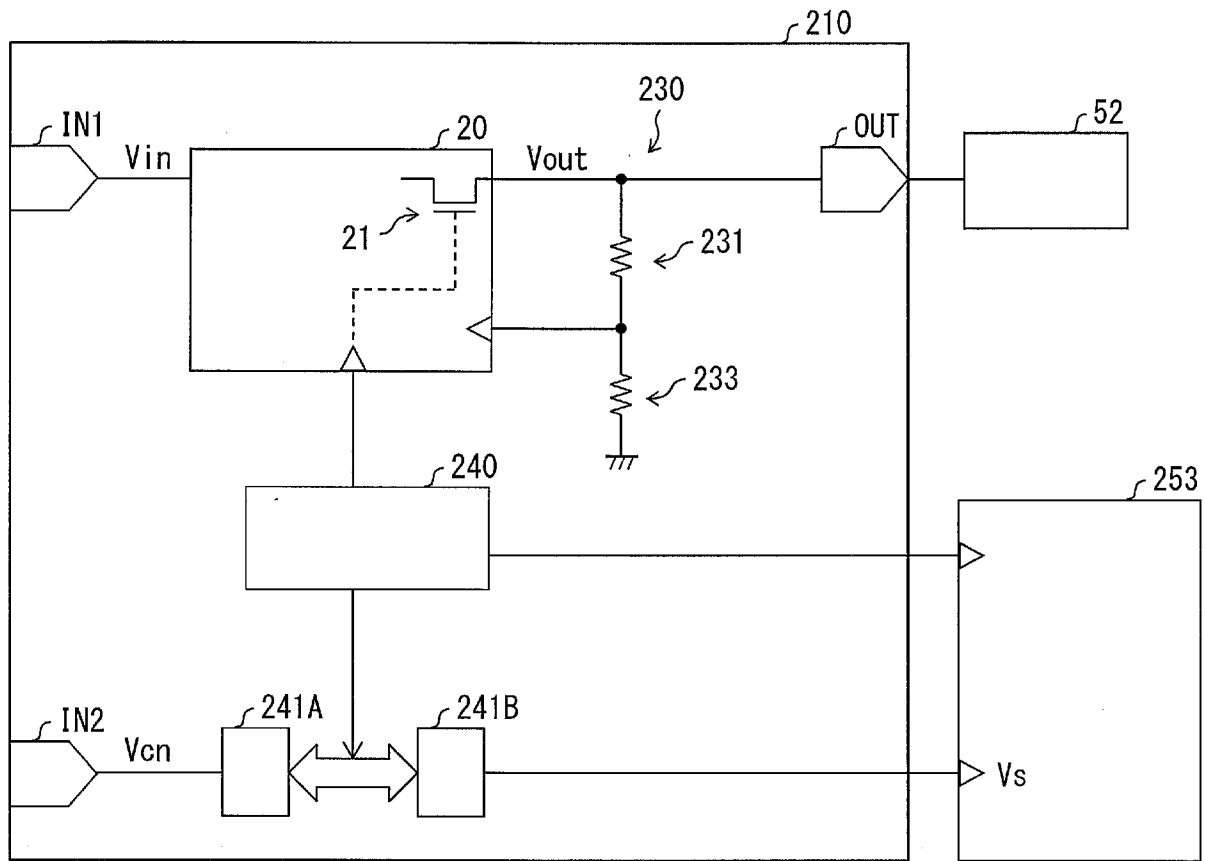
[図8]

図 8



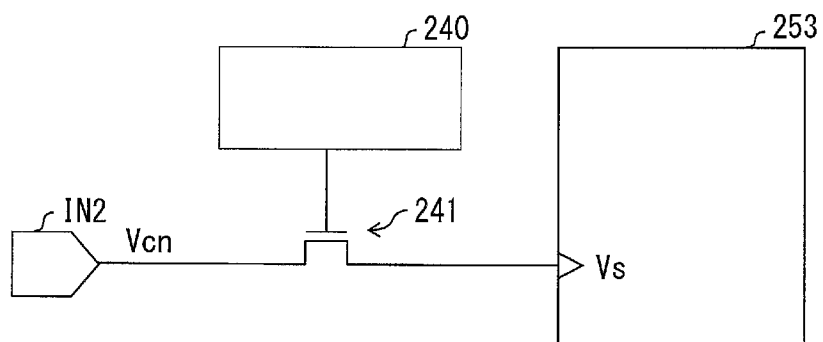
[図9]

図 9



[図10]

図 10



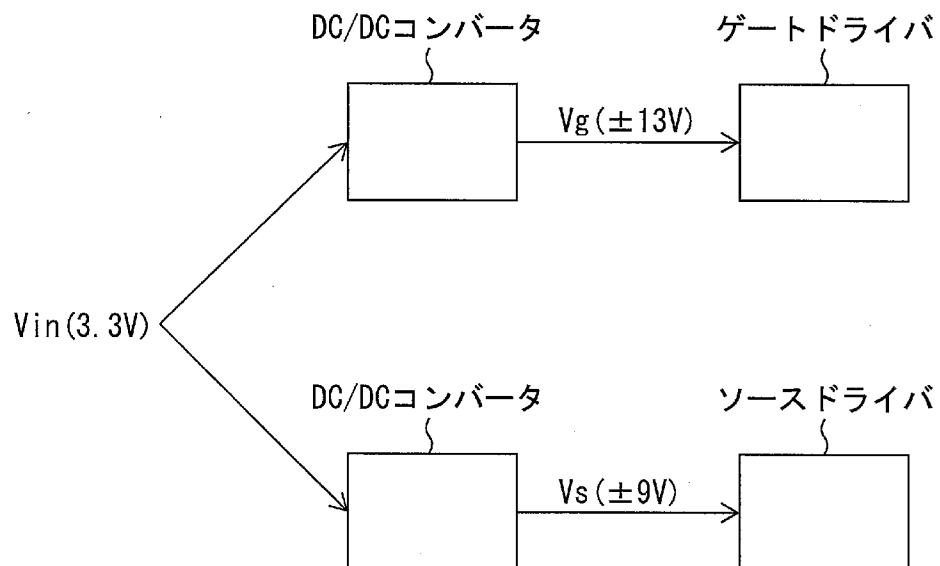
[図11]

図 11

	DC/DCコンバータ	FET	出力電圧 (例)
不揮発性メモリ駆動時	OFF	ON	$\pm 9V$
ゲート信号生成時	ON	OFF	$\pm 13V$

[図12]

図 12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/077588

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-10894 A (NEC Electronics Corp.), 18 January 2007 (18.01.2007), entire text; all drawings & US 2007/0001981 A1 & CN 1892757 A	1-5
Y	JP 2005-266311 A (Seiko Epson Corp.), 29 September 2005 (29.09.2005), entire text; all drawings & US 2005/0206641 A1	1-4
Y	JP 2001-282164 A (Sanyo Electric Co., Ltd.), 12 October 2001 (12.10.2001), paragraphs [0038] to [0048]; fig. 1 to 2 & US 2001/0030645 A1 & EP 1139330 A2 & TW 234028 B & KR 10-2001-0095153 A & CN 1321963 A	2-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 January 2015 (09.01.15)

Date of mailing of the international search report
20 January 2015 (20.01.15)

Name and mailing address of the ISA/
Japan Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/077588

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-122766 A (Seiko Epson Corp.), 17 May 2007 (17.05.2007), entire text; all drawings (Family: none)	5
A	JP 2010-117506 A (Seiko Epson Corp.), 27 May 2010 (27.05.2010), entire text; all drawings (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-10894 A（NECエレクトロニクス株式会社）2007.01.18, 全文, 全図 & US 2007/0001981 A1 & CN 1892757 A	1-5
Y	JP 2005-266311 A（セイコーエプソン株式会社）2005.09.29, 全文, 全図 & US 2005/0206641 A1	1-4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 1 . 2 0 1 5

国際調査報告の発送日

2 0 . 0 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

武 田 悟

2 G

9 3 0 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-282164 A (三洋電機株式会社) 2001. 10. 12, 段落【0038】－【0048】, 図1－2 & US 2001/0030645 A1 & EP 1139330 A2 & TW 234028 B & KR 10-2001-0095153 A & CN 1321963 A	2-3
Y	JP 2007-122766 A (セイコーエプソン株式会社) 2007. 05. 17, 全文, 全図 (ファミリーなし)	5
A	JP 2010-117506 A (セイコーエプソン株式会社) 2010. 05. 27, 全文, 全図 (ファミリーなし)	1-5