

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-201336
(P2007-201336A)

(43) 公開日 平成19年8月9日(2007.8.9)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/20 (2006.01)	HO 1 L 21/20	4 G O 7 7
HO 1 L 21/205 (2006.01)	HO 1 L 21/205	5 F O 4 5
C 3 O B 29/36 (2006.01)	C 3 O B 29/36	5 F 1 5 2
C 3 O B 1/04 (2006.01)	C 3 O B 1/04	

審査請求 未請求 請求項の数 17 O L (全 16 頁)

(21) 出願番号	特願2006-20513 (P2006-20513)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成18年1月30日 (2006.1.30)	(74) 代理人	110000350 ポレール特許業務法人
		(72) 発明者	小田 克矢 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		Fターム(参考)	4G077 AA03 BE08 CA03 CA08 ED06 EF02 HA12 JA03 JB07 5F045 AA03 AB06 AC01 AC05 AC08 AD06 AD09 AD10 AD11 AD12 AD14 AD15 AD16 AD17 AE15 AE17 AE19 AE21 AE23 BB12 CA05 CA10

最終頁に続く

(54) 【発明の名称】 半導体積層体の形成方法

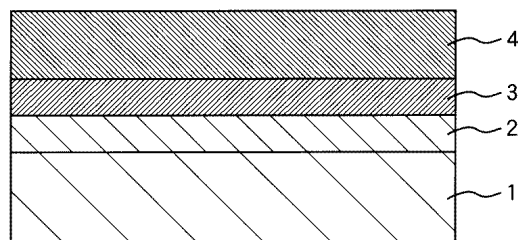
(57) 【要約】

【課題】本願の目的は、Si基板上に結晶性と表面フォロジの良好な単結晶SiC層を形成することにある。

【解決手段】本願の骨子は、Si層上にSiやSiCよりも融点の低いSiGe層と非晶質SiCを形成し、これら積層構造をSiGeの融点以上に加熱することにより、SiCとSi基板の間の歪みを緩和し、同時に非晶質SiCからの結晶化を行うことで、結晶性と表面フォロジが良好な単結晶SiC層を形成する。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

単結晶基板上に、前記単結晶基板よりも融点の低く且つ単結晶である第 1 の半導体薄膜を形成する工程

前記第 1 の半導体薄膜上に前記単結晶基板と格子定数が異なり且つ前記第 1 の半導体薄膜よりも融点が高い半導体材料からなる第 2 の半導体薄膜を形成する工程、

前記第 1 の半導体薄膜の融点よりも高い温度で加熱し前記第 2 の半導体薄膜を単結晶となす工程、を有することを特徴とする半導体積層体の形成方法。

【請求項 2】

前記第 2 の半導体薄膜が、前記加熱工程前是非晶質であり、加熱工程後に単結晶となることを特徴とする請求項 1 記載の半導体積層体の形成方法。 10

【請求項 3】

前記第 1 の半導体薄膜が加熱前是非晶質であり、加熱後は単結晶となることを特徴とする請求項 1 に記載の半導体積層体の形成方法。

【請求項 4】

前記第 1 の半導体薄膜が加熱前是非晶質であり、加熱後は単結晶となることを特徴とする請求項 2 に記載の半導体積層体の形成方法。

【請求項 5】

前記第 2 の半導体薄膜上に、前記第 2 の半導体薄膜と同じ結晶構造を有する第 3 の半導体薄膜を形成することを特徴とする請求項 1 に記載の半導体積層体の形成方法。 20

【請求項 6】

前記第 2 の半導体薄膜上に、前記第 2 の半導体薄膜と同じ結晶構造を有する第 3 の半導体薄膜を形成することを特徴とする請求項 2 に記載の半導体積層体の形成方法。

【請求項 7】

前記第 2 の半導体薄膜上に、前記第 2 の半導体薄膜と同じ結晶構造を有する第 3 の半導体薄膜を形成することを特徴とする請求項 3 に記載の半導体積層体の形成方法。

【請求項 8】

前記単結晶基板と前記第 1 の半導体薄膜の間に、前記第 1 の半導体薄膜の融点よりも高い温度で加熱する工程における加熱によって特性の変化しない無機材料からなる薄層を有することを特徴とする請求項 1 に記載の半導体積層体の形成方法。 30

【請求項 9】

前記単結晶基板と前記第 1 の半導体薄膜の間に、前記第 1 の半導体薄膜の融点よりも高い温度で加熱する工程における加熱によって特性の変化しない無機材料からなる薄層を有することを特徴とする請求項 2 に記載の半導体積層体の形成方法。

【請求項 10】

前記単結晶基板と前記第 1 の半導体薄膜の間に、前記第 1 の半導体薄膜の融点よりも高い温度で加熱する工程における加熱によって特性の変化しない無機材料からなる薄層を有することを特徴とする請求項 3 に記載の半導体積層体の形成方法。

【請求項 11】

前記単結晶基板と前記第 1 の半導体薄膜の間に、前記第 1 の半導体薄膜の融点よりも高い温度で加熱する工程における加熱によって特性の変化しない無機材料からなる薄層を有することを特徴とする請求項 4 に記載の半導体積層体の形成方法。 40

【請求項 12】

前記単結晶基板が単結晶シリコン (Si) からなることを特徴とする請求項 1 に記載の半導体積層体の形成方法。

【請求項 13】

前記第 1 の半導体薄膜が SiGe からなることを特徴とする請求項 1 に記載の半導体積層体の形成方法。

【請求項 14】

前記第 1 の半導体薄膜に含まれる Ge 組成比が 30% 以上からなることを特徴とする請求 50

項 1 3 記載の半導体積層体の形成方法。

【請求項 1 5】

前記第 2 の半導体薄膜が SiC からなることを特徴とする請求項 1 に記載の半導体積層体の形成方法。

【請求項 1 6】

前記第 3 の半導体薄膜が SiC からなることを特徴とする請求項 7 に記載の半導体積層体の形成方法。

【請求項 1 7】

前記第 3 の半導体薄膜が少なくとも Ga と Al と In の中の一つの元素と窒素とを含むことを特徴とする請求項 7 に記載の半導体積層体の形成方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、格子定数が単結晶基板と異なる単結晶半導体積層体の形成方法に関し、特に Si 基板上に単結晶 SiC を形成する方法に関するものである。

【背景技術】

【0002】

低損失パワー素子としての SiC を用いた FET や GaN を主材料とする白色 LED に適した材料として SiC 基板が有望であるが、他の材料と比較してコストが高いという欠点がある。そこで、低コスト Si 基板上に高品質な単結晶 SiC を形成する技術開発が行われている。SiC 基板上に単結晶 SiC を形成するホモエピタキシャル成長は通常 1500 °C 程度で行われている。しかし、Si を基板として使用するためには、成長温度を Si の融点である 1420 °C 以下に低減する必要がある。又、Si と SiC は約 20 % もの大きな格子定数差がある。この為、これに起因した欠陥が多数発生することから、結晶性の良好な SiC 層を形成することは非常に困難であった。従来の Si 基板上の SiC 単結晶半導体薄膜の形成方法は、例えば、非特許文献 1 に報告がある。この例の Si 基板上に設けられた SiC 層の模式的な断面構造を図 10 に示す。この従来例での製造方法では、Si 基板 101 を約 1300 °C に加熱した状態で C₃H₈ などの C 原子を含むガス状原料を供給することにより、Si 基板表面を炭化し、SiC 層 102 を形成する。次いで、例えば Si₂Cl₆ 等の Si 原子を含むガス状原料と、例えば C₈H₆ などの C 原子を含むガス状原料を 1300 °C 程度に加熱した Si 基板に供給することにより炭化した SiC 層 102 上に SiC 層 103 をエピタキシャル成長させている。

20

30

【0003】

【非特許文献 1】Materials Science Forum Vols. 483 - 485、pp. 185 - 188

【発明の開示】

【発明が解決しようとする課題】

【0004】

Si 基板を高温で炭化処理すると、表面状態の影響を受けて不均一に SiC が形成されたり、Si 基板の Si 原子が消費されて基板中に孔が発生する。このため、この上に単結晶 SiC をエピタキシャル成長してもこれらの不均一性を原因とした転位などの欠陥が多数発生してしまい、結晶性の向上が非常に困難であった。

40

そこで、本発明の目的は、Si 基板上に結晶性と表面モフォロジーが良好な単結晶 SiC 層を形成する方法を提供することにある。

【課題を解決するための手段】

【0005】

本発明に係る半導体装置は次のような特徴を有する。即ち、例えば図 1 の典型的な例を参酌すれば、単結晶基板 1 上に、前記単結晶基板 1 よりも融点の低い第 1 の半導体薄膜 2 と、前記第 1 の半導体薄膜上に前記単結晶基板と格子定数が異なり、且つ前記第 1 の半導体薄膜よりも融点が高い半導体材料からなる第 2 の半導体薄膜 3 を形成し、前記第 1 の

50

半導体薄膜 2' の融点よりも高い温度で加熱することで第 2 の半導体薄膜 3' と単結晶基板 1 のひずみを低減することを特徴とするものである。

【0006】

尚、ここで、第 1 の半導体薄膜 2' 及び第 2 の半導体薄膜 3' とは、後述するように、各々前記第 1 の半導体薄膜 2 及び第 2 の半導体薄膜 3 を加熱処理後の半導体薄膜をさす。

【0007】

又、前記第 2 の半導体薄膜 3 が加熱前は非晶質であり、加熱後は単結晶とすれば好適である。更に、前記第 1 の半導体薄膜 2 が加熱前は非晶質であり、加熱後は単結晶とすればよい。又、前記第 2 の半導体薄膜 3 上に第 2 の半導体薄膜 3 と同じ結晶構造を有する第 3 の半導体薄膜を設ければよい。更に、前記単結晶基板 1 と前記第 1 の半導体薄膜 2 の間に加熱によって特性の変化しない材料からなる薄層を設ければ好適である。

10

【0008】

次に、前記基板及び各層の代表例を述べれば次の通りである。即ち、前記単結晶基板 1 が単結晶 Si であれば好適である。又、前記第 1 の半導体薄膜 2 が SiGe であれば好適である。又、前記第 1 の半導体薄膜に含まれる Ge 組成比が 30% 以上であれば好適である。更に、前記第 2 の半導体薄膜が SiC であればよい。又、前記第 3 の半導体薄膜が SiC であれば好適である。更に、前記第 3 の半導体薄膜が少なくとも Ga と Al と In の中の一つの元素と窒素を含めば好適である。

【発明の効果】

【0009】

本発明の一つの観点では、Si 基板上に結晶性の良好な単結晶 SiC 層を形成する方法を提供することが出来る。

20

本発明の別な観点は、Si 基板上に結晶性の良好な単結晶 SiC 層を有し、その上に高性能で低コストな半導体装置及びその製造方法を提供することが出来る。

【発明を実施するための最良の形態】

【0010】

本発明に係る半導体装置の好適な実施の形態は、次の通りである。即ち、単結晶 Si 基板 1 上に SiGe 層 (前記第 1 の半導体層 2) を形成する。更に、SiGe 層 2 上に SiC 層 (前記第 2 の半導体層 3) を形成した状態で、SiGe 層 2 の融点以上に加熱を行う。こうすることで SiGe 層 2 が溶融し、SiC 層 3 と Si 基板の間に生じていた歪みが SiGe 層 2 で緩和することが可能である。

30

【0011】

又、本発明に係る半導体装置の製造方法の好適な実施の形態は、SiGe 層 2 を溶融するための熱処理の前では、SiC 層 3 は非晶質となっており、SiGe 層 2 の溶融とほぼ同時に SiC 層 3 も結晶化することである。

【0012】

更に、本発明に係る半導体装置の製造方法の好適な実施の形態は、SiGe を溶融するための熱処理の前では、SiGe 層が非晶質になっており、SiGe の溶融と SiGe の固相成長を連続して行うことを特徴とする。このような形態を取ることにより、SiGe 層の均一性が向上し、この上に成長する単結晶 SiC 層の結晶性を向上させることができる。

40

【0013】

又、非晶質 SiC 層の結晶化の後、単結晶 SiC 層をエピタキシャル成長により形成することにより、表面の SiC 層の欠陥密度を低減することができる。

【0014】

更に、本発明に係る半導体装置の製造方法の別な好適なる実施の形態は、Si 基板と SiGe 層の間にシリコン酸化膜と単結晶 Si 層を設けることである。このような形態を取ることにより、高温の熱処理を行っても SiGe 層中の Ge 組成比の変動がないことから、SiGe の溶融の均一性が向上し、その上に形成する SiC 層の結晶性が向上できる。

【0015】

50

又、SiGe層中に含まれるGe組成比が30%以上であれば好適である。更に、本発明に係る半導体装置の製造方法の好適な実施の形態は、結晶化後のSiC層上に少なくともGa、Al、Inの中の一つの元素と窒素を含んだ半導体薄膜を形成すれば好適である。

【0016】

[従来製造方法との比較検討]

一般に、これまでのSi基板上の単結晶SiCの形成方法は、報告されているものでは、Cを含むガス状原料を供給しながら約1350℃でアニールしてSi基板表面を炭化処理することによりSiCを形成し、その後Siを含むガス状原料とCを含むガス状原料を用いて単結晶SiCを成長を行っている。この場合、炭化処理で形成されたSiC層が不均一であるために、SiCとSiの界面に凹凸が発生し、これによってSiC層中に結晶欠陥が発生し、SiCその表面モフォロジーも悪化するという難点がある。

10

【0017】

本願発明では、上述のように、SiCとSiの間にSiGe層を形成し、SiGeの融点以上の熱処理を行うことで、SiCとSi基板の間に生ずる歪みを緩和する。このため、前記諸難点を回避することが可能となった。

【0018】

次に、本発明に係る半導体装置及びその製造方法の更に具体的な実施例につき、添付図面を参照しながら以下詳細に説明する。

<実施例1>

図1は、本発明の半導体薄膜の形成方法の一つの実施例を示す断面図である。Si基板1上に、SiGe層2'を形成する。この上に、非晶質SiCを形成し、高温アニールで結晶化させたSiC層3'を形成し、更に単結晶SiC層をエピタキシャル成長する。図2Aより図2Cに、図1に示した構造を有する半導体装置を実現するための製造方法のフロー図をしめる。まず、Si基板1上に単結晶SiGe層2をエピタキシャル成長し、引き続き非晶質SiC層3を形成する。次いで、高温アニールを行うことで、非晶質SiC層3の結晶化を行い単結晶3'を形成する。その後、単結晶SiC層4をエピタキシャル成長することで図1に示した構造が得られる。この例では、SiGe層2が本願明細書における第1の半導体薄膜、非晶質SiC層3が本願明細書における第2の半導体薄膜に相当する。

20

以下、本例を基に、本発明に関わる半導体単結晶層の成長方法の詳細を説明する。ここに説明した成長方法は、他の実施例は勿論、本発明における半導体単結晶層の成長方法に当然適用されるものである。

30

【0019】

[単結晶成長前の処理]

[洗浄]

まず始めに、基板表面の汚染物や自然酸化膜をあらかじめ除去するためにSi基板1の洗浄をおこなう。例えば、アンモニア、過酸化水素、水の混合液を加熱したもので基板を洗浄することにより、表面の重金属や有機物による汚染に加え、基板表面に付着したパーティクルを除去することができる。次いで、アンモニア、過酸化水素、水の混合液による洗浄中に基板表面に形成された酸化膜をフッ酸水溶液によって除去し、その直後に純水で洗浄することにより、Si基板1の表面は水素原子で覆われた状態となる。この状態では、Si基板1の最表面に存在するSi原子は水素と結合しているため、基板洗浄を行ってから成長を開始するまでの間に表面に自然酸化膜が形成されにくくなる。この洗浄による基板表面の水素終端処理に加え、更に表面に自然酸化膜が形成されるのを防ぐためには、Si基板1の洗浄を行った後、基板表面が再び酸化されたり汚染物が付着するのを防ぐ為、Si基板1を清浄な窒素中にて搬送すれば好適である。以下の実施例に関しても、エピタキシャル成長前に行う基板の洗浄と搬送方法に関しては同様である。

40

【0020】

[クリーニング]

次いで、洗浄を行ったSi基板1をロードロック室内に設置し、ロードロック室の真空排

50

気を開始する。ロードロック室の真空排気が完了した後、Si基板1を、搬送室を經由して成長室に搬送する。基板表面に汚染物が付着するのを防ぐ為、搬送室及び成長室は高真空状態もしくは超高真空状態であることが望ましい。この真空状態は、例えば圧力が 1×10^{-5} Pa程度以下であると好適である。後に述べる成長室2に関しても、真空度に関しては同様である。又、これらの成長室内で形成した単結晶層中に酸素やCが取り込まれることによる結晶欠陥の発生を防ぐ為、搬送室や成長室に酸素や水分、又は有機系の汚染物を含んだガスの混入を防ぐ必要がある。このことから、Si基板1の搬送を開始するのはロードロック室の圧力が 1×10^{-5} Pa程度以下になってから行うことが望ましい。

【0021】

基板表面を水素終端処理しても、搬送中における表面の酸化膜形成や汚染物の付着を完全に防ぐことはできない為、エピタキシャル成長前にSi基板表面のクリーニングを行う。クリーニング方法として、次の方法が代表的なものである。(1)真空中で半導体基板を加熱する方法、(2)水素を基板に供給した状態で加熱する方法、(3)原子状の水素を供給した状態で加熱する方法などである。

10

(1)真空中で半導体基板を加熱する方法

例えば、真空中でSi基板を加熱することによって、基板表面の自然酸化膜を以下の反応によって除去することが可能となる。 $Si + SiO_2 \rightarrow 2SiO$

(2)水素を基板に供給した状態で加熱する方法

又は、成長室内に清浄な水素を供給した状態でSi基板1を加熱することによっても基板表面のクリーニングを行うことが可能である。前に述べた真空中での加熱によるクリーニングでは、基板温度が500程度以上になると基板表面を終端していた水素は脱離し、基板表面のむき出しになったSi原子と成長室内の雰囲気中に含まれる水分や酸素が反応し、基板表面が再酸化されてしまう。そして、この酸化膜が再び還元されることにより、クリーニングと共に基板表面の凹凸が増大し、その後行うエピタキシャル成長の均一性や結晶性を悪化させるという問題がある。又、同時に成長室内の雰囲気中に含まれる炭酸ガスや有機系のガスが表面に付着することから、C汚染によるエピタキシャル成長層の結晶性の悪化も発生する。

20

【0022】

一方、水素を基板表面に供給した状態でSi基板を加熱した場合、500以上の温度で水素が基板表面から脱離してしまっても、常に清浄な水素ガスが供給されている為、基板表面のSiと水素が結合と脱離を繰り返す。その結果、表面のSiは再酸化されにくくなり、クリーニング中に表面の凹凸が発生することもなく、清浄な表面状態を得ることが可能となる。

30

【0023】

水素雰囲気中でクリーニングを行う為、まず始めに成長室に水素ガスを供給する。この時、水素ガスを供給する前に基板表面から水素が脱離するのを防ぐ為、基板温度を水素の脱離する500より低くすれば好適である。又、水素ガスの流量は制御性良くガスが供給できるように10ml/min以上とし、排気されたガスを安全に処理するためには100l/min以下とすれば好適である。この時、成長室内の水素ガスの分圧の下限は、基板表面に均一にガスが供給されるように10Paとし、上限は装置の安全性を保つために大気圧とすればよい。水素ガスが供給された後、Si基板1をクリーニング温度まで加熱する。この時の加熱方法としては、加熱に際してのSi基板への汚染や基板内での極端な温度の違いなどがなければ、どのような機構や構造でも良い。例えば、ワークコイルに高周波を印加して加熱する誘導加熱や、抵抗ヒータによる加熱などが適用できるほか、特に短時間での温度制御が可能な方法として、ランプからの輻射を利用した加熱方法を用いることができる。この加熱方法はクリーニングに限らず、後述する単結晶の成長に際しての加熱に関しても同様である。

40

【0024】

クリーニング温度までSi基板1を加熱した後、所定の時間基板を加熱することにより表面の自然酸化膜や汚染物が除去できるが、例えばクリーニング温度は、クリーニングの

50

効果が得られる温度として600 以上であれば良く、また、熱処理による基板中のドーパントの拡散が顕著となる1000 以下とすれば好適である。更に、エピタキシャル成長の前に形成されている構造へ与える影響を低減するため、クリーニング温度は可能な限り低くする必要がある。

(3) 原子状の水素を供給した状態で加熱する方法

又、クリーニング温度の低温化を可能とする方法として、原子状水素を用いたクリーニングを行うこともできる。この方法では、基板表面に活性な水素原子を照射することにより、基板温度を上げなくても酸素の還元反応を生じさせることが可能となり、室温においてもクリーニング効果は得られる。例えば、水素ガスの中で、ある割合の分子を原子状態に解離させて基板表面に照射することにより、低温化が可能となる。例えば、クリーニング時間を10分以内とするためには、クリーニング温度を650 とすればよい。

10

【0025】

以上、水素を用いたクリーニングについて説明を行ったが、その他の方法としてフッ化水素などのシリコン酸化膜に対してエッチング効果を持つガスを供給することも可能である。クリーニング方法に関しては他の実施例に関しても同様である。

[エピタキシャル成長の準備]

クリーニングが終了した後、エピタキシャル成長を行う温度まで基板温度を下げ、エピタキシャル成長を行う温度で基板温度を安定させる時間を設ける。温度の安定化を行うステップでは、クリーニング後のSi基板1の表面を清浄な状態に保つために水素ガスを供給し続けることが望ましいが、水素ガスは基板表面を冷却する効果を持っているため、加熱条件が同じであればガスの流量に応じて基板表面温度が変化してしまう。従って、エピタキシャル成長で用いるガスの総流量と大きく異なる流量の水素ガスを供給した状態で温度が安定していても、エピタキシャル成長を開始した時点でガスの流量が変わることにより基板温度が大きく変動してしまう。この現象を防ぐため、基板温度の安定化を行うステップにおいては、その水素流量をエピタキシャル成長で用いるガスの総流量とほぼ同じ値を用いることが望ましい。又、必ずしも基板温度がエピタキシャル成長温度まで下がってから温度安定化を行うステップを設ける必要はなく、基板温度を下げながら水素ガスの流量を調整し、基板温度がエピタキシャル成長温度になった時点で水素ガスの流量が成長ガスの流量と等しくなれば好適であり、この場合、基板温度を下げたと同時にエピタキシャル成長を開始できるため、スループットを大幅に向上することができる。

20

30

[SiGe成長]

次いで、温度安定化を行っているときに供給していた水素ガスを停止すると共に、原料ガスを供給することによってSiGe層2の成長を開始する。ここで使用する原料ガスとしてはシリコン、ゲルマニウム等の4族元素と水素、塩素などからなる化合物を用いることができる。例えば、モノシラン(SiH_4)、ジシラン(Si_2H_6)、モノゲルマン(GeH_4)、ジクロルシラン(SiH_2Cl_2)、三塩化シリコン(SiHCl_3)、四塩化シリコン(SiCl_4)などが挙げられるが、このほかのガスに関しても使用方法は同様である。

【0026】

SiGe層2中のGe組成比はジシラン流量とゲルマン流量の比を換えることで制御できる。例えば、エピタキシャル成長温度が550、成長圧力が1Pa、ジシラン流量2ml/minとした場合、ゲルマン流量を約3ml/minとすることによりゲルマニウム組成比を15%にすることができる。エピタキシャル成長を行う温度範囲はSiGe中のGe組成比によって異なる。下限は原料ガスが成長面で分解しSiGe成長が進行する温度で、上限はSiGeの表面モフォロジーが良好となる温度である。GeはSiよりも格子定数が1.4%大きいため、成長温度が高くなると歪みエネルギーによって島状の3次元成長してしまう。従って、Ge組成比が高い場合、平面的に均一な2次元成長を行うためには成長温度を下げる必要がある。例えば、Ge組成比が100%であるGe膜を成長する場合の温度範囲は300 以上500 以下であり、Ge組成比が15%のSiGe膜を成長する場合は500 以上750 以下となる。中間のGe組成比をもつSiGe

40

50

e 膜の成長に関してはこれらの温度範囲の中で組成比に応じた温度となる。また、成長圧力は成長速度が表面での反応で律速される 0.1 Pa 以上で、上限は気相中での反応が起り始める 10000 Pa 以下であればよい。さらに SiGe 層 2 の膜厚は、膜厚制御が可能で歪みを効果的に緩和できる 1 nm 以上で、上限は表面モフォロジーが悪化しないためには約 100 nm 以下とすれば好適である。以下の実施例においても、SiGe 層 2 の成長条件に関しては同様である。

【0027】

又、SiGe 層は単結晶ではなく非晶質でも良い。非晶質では Si 基板 1 との格子定数の差による歪みが生じないため、均一な SiGe 層 2 を形成することが可能となる。その場合の成長温度はガスの分解温度である 250 以上で、エピタキシャル成長する温度である 300 以下とすればよいが、低温では極端に成長速度が低下するため、熱によるガスの分解だけではなく、プラズマや原料ガスの分解を促進するクラッキングヒーターを用いることで成長速度を向上することができる。

10

【0028】

更に、SiGe の成長と同時にドーピングを行う場合は、n 型ドーピングガスとしては、5 族元素と水素、塩素、フッ素などからなる化合物を用いることができ、例えば、ホスフィン (PH_3)、アルシン (AsH_3) などが挙げられる。p 型ドーピングを行う場合は、ドーピングガスとして 3 族元素と水素、塩素、フッ素などからなる化合物を用いることができ、例えば、ジボラン (B_2H_6) が挙げられる。ドーピング濃度は、ドーピングガスの流量によって制御でき、例えば $1 \times 10^{19} \text{ cm}^{-3}$ の n 型ドーピングを行うためには、ホスフィンの流量を 0.01 ml/min とすればよい。同様に p 型ドーピングに関してもジボラン流量を 0.005 ml/min とすることにより $1 \times 10^{19} \text{ cm}^{-3}$ のドーピングが可能となる。

20

【0029】

SiGe 層 2 の形成を終了するには、成長ガス及びドーピングガスの供給を停止する。この時、基板表面のクリーニング終了時と同様に、SiGe 層 2 の表面に汚染物が付着するのを防ぐために清浄な水素ガスを供給すれば好適である。次いで、SiC 成長温度まで基板温度を変化させるが、スループット良く成長を行うためには、ウェハ搬送室や SiC 層を成長する別の成長室を設けることもできる。複数の成長室や搬送室の間で基板を移動する場合、基板表面に汚染物を付着させないためには、搬送室にも水素ガスを供給し、基板は常に清浄な水素ガス中にある状態とすれば好適である。

30

[非晶質 SiC 形成]

次いで、基板温度が SiC 成長温度にて安定した後、供給していた水素ガスを停止すると共に、SiC の原料ガスを供給することによって非晶質 SiC 層 3 の成長を開始する。尚、キャリア・ガスとしては H_2 などを挙げることが出来る。使用する原料ガスとしては Si と水素や塩素からなる化合物と、C と水素や塩素からなる化合物を用いることができる。例えば、Si と水素や塩素からなる化合物としては、モノシラン (SiH_4)、ジシラン (Si_2H_6)、ジクロルシラン (SiH_2Cl_2)、三塩化シリコン (SiHCl_3)、四塩化シリコン (SiCl_4) などが挙げられるが、このほかのガスに関しても使用方法は同様である。また、C と水素や塩素からなる化合物としては、メタン (CH_4)、エタン (C_2H_6)、プロパン (C_3H_8)、ブタン (C_4H_{10})、アセチレン (C_2H_2) などが挙げられるが、このほかのガスに関しても使用方法は同様である。

40

【0030】

また、Si と C の結合を有する化合物を用いることもできる。Si と C の結合を有するガスの例を挙げれば、次の通りである。例えば、モノメチルシラン (CH_3SiH_3)、ジメチルシラン ($(\text{CH}_3)_2\text{SiH}_2$)、トリメチルシラン ($(\text{CH}_3)_3\text{SiH}$)、テトラメチルシラン ($(\text{CH}_3)_4\text{Si}$)、ジエチルシラン ($(\text{C}_2\text{H}_5)_2\text{SiH}_2$)、トリエチルシラン ($(\text{C}_2\text{H}_5)_3\text{SiH}$)、テトラエチルシラン ($(\text{C}_2\text{H}_4)_4\text{Si}$)、メチルトリクロルシラン (CH_3SiCl_3)、ジメチルジクロルシラン ($(\text{CH}_3)_2\text{SiCl}_2$)、トリメチルクロルシラン ($(\text{CH}_3)_3\text{SiCl}$) 等である。原料ガスとし

50

て CH_3SiH_3 を用い、基板として面方位が (100) である Si 基板を用いる場合、 Si 基板上では CH_3SiH_3 が分解し、 $\text{Si}-\text{C}$ 結合を保ったまま成長する。閃亜鉛鉱型の結晶構造である SiC では、 Si 原子と C 原子の電子の束縛エネルギーの差が大きいため、同じ四族元素でありながら極性が発生し、 C からなる原子層と Si からなる原子層が交互に積層して成長する。但し、成長条件によっては原料ガスに含まれる Si と C の結合が切れ、 Si もしくは C が過多となることがあるため、その場合には先に述べた Si や C の原料ガスを添加することで Si と C の量を調整すればよい。非晶質 SiC を成長する温度範囲は、原料ガスの分解が生じる 500 以上で、上限は非晶質 SiC の表面モフォロジーが良好となる 900 以下の範囲であれば好適である。この温度範囲で、成長圧力は成長速度が表面での反応により律速される 0.1 Pa 以上で、上限は気相中での反応が起こり始める 10000 Pa 以下であればよい。

10

【0031】

又、非晶質 SiC は Si 基板に C イオンを注入によって形成することもできる。更に Si 基板上に形成した結晶 SiC にイオン注入することによって非晶質に改変しても良い。この場合注入するイオン種としては、 SiC の構成元素である Si もしくは C であればよく、その他にも Ge 等の電氣的に不活性な元素を用いることもできる。又、ドーピングを行う場合、窒素やアルミニウムなどのドーピング元素を注入することで非晶質 SiC を形成することもできる。非晶質 SiC 層 3 の膜厚は、膜厚制御が可能な 1 nm 以上で、表面モフォロジーが悪化せず、均一に結晶化が可能な 100 nm 以下であれば良い。以下の実施例においても、非晶質 SiC 層の成長条件に関しては同様である。

20

【0032】

ドーピングを行う場合、 n 型ドーピングガスとしては、5 族元素と炭素、水素、塩素、フッ素などからなる化合物を用いることができる。その例を挙げれば、例えば、窒素 (N_2)、ホスフィン (PH_3)、トリメチルホスフィン ($(\text{CH}_3)_3\text{P}$)、トリエチルホスフィン ($(\text{C}_2\text{H}_5)_3\text{P}$)、ホスフォラストリクロライド (PCl_3)、ホスフォラストリフロライド (PF_3)、アルシン (AsH_3)、ジエチルアルシン ($(\text{C}_2\text{H}_5)_2\text{AsH}$)、ジエチルアルシクロライド ($(\text{C}_2\text{H}_5)_2\text{AsCl}$)、トリメチルアルシン ($(\text{CH}_3)_3\text{As}$)、トリエチルアルシン ($(\text{C}_2\text{H}_5)_3\text{As}$)、アルセニックトリクロライド (AsCl_3)、アンモニア (NH_3)、ジエチルアミン ($(\text{C}_2\text{H}_5)_2\text{NH}$)、トリエチルアミン ($(\text{C}_2\text{H}_5)_3\text{N}$)、トリメチルアミン ($(\text{CH}_3)_3\text{N}$) などが挙げられる。 p 型ドーピングガスとしては、3 族元素と炭素、水素、塩素、フッ素などからなる化合物を用いることができる。これらの例を掲げれば、例えば、ジボラン (B_2H_6)、トリメチルボロン ($(\text{CH}_3)_3\text{B}$)、トリエチルボロン ($(\text{C}_2\text{H}_5)_3\text{B}$)、メチルボロンジフロライド (CH_3BF_2)、ジメチルボロンフロライド ($(\text{CH}_3)_2\text{BF}$)、ボロントリクロライド (BCl_3)、ボロントリフロライド (BF_3)、ジメチルアルミニウム ($(\text{CH}_3)_2\text{AlH}$)、トリメチルアルミニウム ($(\text{CH}_3)_3\text{Al}$)、トリエチルアルミニウム ($(\text{C}_2\text{H}_5)_3\text{Al}$)、メチルアルミニウムジクロライド (CH_3AlCl_2)、ジメチルアルミニウムクロライド ($(\text{CH}_3)_2\text{AlCl}$)、エチルアルミニウムジクロライド ($\text{C}_2\text{H}_5\text{AlCl}_2$)、ジエチルアルミニウムクロライド ($(\text{C}_2\text{H}_5)_2\text{AlCl}$) などが挙げることが出来る。

30

40

[結晶化アニール]

次いで、非晶質 SiC 層 3 の結晶化を行うために高温アニールを行う。アニールを行う雰囲気はドーピングガスとならない水素やアルゴンなどを用いれば良い。アニール温度は、下限が SiGe 層が溶融し、且つ非晶質 SiC が固相成長により結晶化を始める温度であればよい。 Ge 組成比 100% の Ge 膜の場合、融点は約 960 であり、非晶質 SiC の結晶化温度は約 $850 \sim 1050$ であるので、アニール温度は 960 以上であれば好適である。アニール温度の上限は基板として用いている Si の融点であり、約 1420 となる。

【0033】

Si 基板 1 上の SiGe 層 2 が非晶質であった場合、先ず非晶質 SiC 層 3 の結晶化よ

50

りも低い温度でSiGe層2の結晶化が生じる。この時、Si基板1と接している下面より結晶化が始まり、非晶質SiC層3との界面に向かって結晶化が進行する。引き続き、アニール温度を上昇させ、非晶質SiCの固相成長温度になるとSiCの結晶化が始まる。この時、SiGe層2と接している面では、SiGe層2の結晶配列の周期性を反映して結晶化が生じやすくなるため、下面より上面に向かって結晶化が進行する。前述したように、SiCとSiの格子定数差は約20%であり、原子半径の大きなGeを添加したSiGeでは、その差は更に大きくなる。その為、SiCの結晶化の進行と同時にSiCとSiGeの会周に歪みが増大し、これに伴う転位などの結晶欠陥やSiCの不均一な結晶化が生じてしまう。そこで、SiCの結晶化が始まるのとほぼ同時にSiGe層2が溶解を始めるようにGe組成比を調整しておくことにより、SiGeとの間で歪みが無い状態でSiCの結晶化を行い、単結晶SiC層3'を形成することが可能となる。例えば、非晶質SiCの結晶化温度が1050の場合、SiGe中のGe組成比を80%としておくことにより、融点が非晶質SiCの結晶化温度よりも高い約1052とすることができる。

10

20

30

40

50

[SiCエピ成長]

非晶質SiC層3の結晶化が完了すると、表面には単結晶SiCが形成されているが、均一で結晶性の良い単結晶SiC層3'を形成するためには膜厚を大きくできないため、引き続きSiCエピ成長を行い、単結晶SiC層4を形成する。原料ガスは非晶質SiC層3の成長と同様であるが、成長温度が異なる。単結晶SiCを形成するには原料ガスが成長表面で十分にマイグレーションし、且つ、SiとCの結合を形成しなければならないため、成長温度の下限は1000となる。成長温度の上限は、基板材料のSiの融点である1400である。この温度範囲で、成長圧力は成長速度が表面での反応により律速される0.1Pa以上で、上限は気相中での反応が起こり始める10000Pa以下であればよい。単結晶SiC層4の膜厚は、高精度に膜厚制御可能な10nm以上で、上限は反りが生じない範囲であれば良く約10μm以下であれば良い。ドーピングに関しても非晶質SiCの形成と同様である。

【0034】

単結晶SiC層4のエピタキシャル成長を終了するには、成長ガス及びドーピングガスの供給を停止し、温度を下げればよい。温度を下げていくとSiGe層2'が再結晶化し、再び格子定数差に起因した歪みがSiC層3'とSiGe層2'界面に生じるが、SiGeはSiCと比較して結合力が弱いため、単結晶SiC層3'中に転位は発生せずにSiGe層2'側に転位が発生するため、表面の単結晶SiC層4の結晶性が劣化することがない。

【0035】

本実施例に示したように、Si基板上に結晶性と表面モフォロジーが良好な単結晶SiC層を形成することが可能となり、本構造を仮想基板として用いた発光デバイスやトランジスタなどの半導体装置のコストを大幅に低減することができる。

<実施例2>

図3は、本発明の半導体薄膜の形成方法の一つの実施例を示す断面図である。又、図4Aより図4Cは、図3に示した本発明に係る半導体薄膜の形成方法を工程順に示す断面模式図である。実施例1と異なるのは、Si基板31とSiGe層34の間にシリコン酸化膜32と単結晶Si層33を設けた点であり、それ以外の部分に関しては実施例1と同様である。

【0036】

Si基板31上にシリコン酸化膜32と単結晶Si層33を形成する方法は、通常のSOI基板と同様である。シリコン酸化膜の厚さは高温アニールに対する安定性を考慮して10nm以上とすれば良く、上限は加熱中の温度制御可能な1μmとすればよい。又、単結晶Si層33の厚さは面内均一性が確保できる5nm以上であればよいが、SiGe層34のGe組成比と膜厚によって結成される。本実施例の構造では、単結晶Si層33とSiGe層34を積層し、その上に非晶質SiC層35を堆積する。その後、高温アニー

ルによってSiGe層34を溶融するが、高温状態では単結晶Si層33中にGeが拡散するため、アニール中に全体がSiGe層34'となる。実施例1と同様にSiGe層34'のGe組成比と膜厚が決定されるため、Geが拡散する前のSiGe層34のGe組成比と膜厚、単結晶Si層33の膜厚を調整すればよい。

【0037】

本実施例では、実施例1と異なりSi基板31の上にシリコン酸化膜32が形成されているため、高温アニールを行ったときにGe原子がSi基板中に拡散することがなくなり、SiGe層34'中のGe組成比の制御性が大きく向上する。その結果、SiGe層34'の溶融温度の変動がなくなり、SiGe層34'の均一な溶融と、その上に堆積した非晶質SiC層35の均一な結晶化が可能となり、ひいては単結晶SiC層36の高品質化が実現できる。

10

【0038】

又、シリコン酸化膜32の直上を単結晶SiGe層33とし、その上に形成する単結晶SiGe層34中のGe組成比を単結晶SiGe層33よりも低くすることができる。その場合、高温アニールでSiGe層33、SiGe層34を溶融するとき、溶融はSiGe層33から始まり、非晶質SiC層の結晶化はSiGe層34と接している部分から生じる。これにより、歪みの緩和と結晶化を同時に進行させることができ、SiC層35'の均一性や品質が大きく向上する。

【0039】

<実施例3>

図5は、本発明を用いて形成した半導体薄膜を適用した一つの実施例を示す断面図である。本実施例は、実施例1で実現する構造をSiCの接合FETに適用した例である。実施例1と同様にして、 n^+ Si基板501上に n^+ SiGe層502、 n^+ SiC層503、 n^- SiC層504を形成する。次いで、SiC層504上にイオン注入と活性化アニールによってpゲート領域505と n^+ ソース領域506をそれぞれ形成し、ゲート電極509、ソース電極508、基板裏面にドレイン電極510を形成することで図5の構造が得られる。

20

【0040】

本実施例の結果、大電力向け高性能SiC接合FETが実現でき、通常のSiC基板を使用した場合と比較してコストを大幅に低減することができる。

30

【0041】

<実施例4>

図6は、本発明を用いて形成した半導体薄膜を適用した別の実施例を示す断面図である。本実施例は、実施例1で実現する構造をSiCのMOSFETに適用した例である。実施例1と同様にして、 n^+ Si基板601上に n^+ SiGe層602、 n^+ SiC層603、 n^- SiC層604を形成する。次いで、SiC層604上にイオン注入と活性化アニールによって、pボディ領域605と n^- ソース領域606をそれぞれ形成する。次いで、ゲート絶縁膜607を形成し、ゲート電極608、ソース電極609、基板裏面にドレイン電極610を形成することで図6の構造が得られる。

【0042】

本実施例の結果、中電力および高速制御用途向け高性能SiC MOSFETが実現でき、通常のSiC基板を使用した場合と比較してコストを大幅に低減することができる。

40

【0043】

<実施例5>

図7は、本発明を用いて形成した半導体薄膜を適用した別の実施例を示す断面図である。本実施例は、実施例1および実施例2で実現する構造をSiCのMESFETに適用した例である。以下、実施例1の構造を元にして説明を行うが、実施例2の構造も同様に適用できることは言うまでもない。実施例1と同様にして、 n^+ Si基板701上に n^+ SiGe層702、 n^+ SiC層703、 n^- SiC層704を形成する。次いで、SiC層704上にイオン注入と活性化アニールによって n^+ ソース領域705と n^+ ド

50

レイン領域706をそれぞれ形成する。次いで、ゲート電極707、ソース電極708、基板裏面にドレイン電極709を形成することで図7の構造が得られる。

【0044】

本実施例の結果、高周波用途向け高性能SiC MESFETが実現でき、通常のSiC基板を使用した場合と比較してコストを大幅に低減することができる。

【0045】

<実施例6>

図8は、本発明を用いて形成した半導体薄膜を適用した別の実施例を示す断面図である。本実施例は、実施例1で実現する構造を、GaNを用いたLEDに適用した例である。実施例1と同様にして、n-Si基板801上にn-SiGe層802、n-SiC層803、n-SiC層804を形成する。次いで、GaN/AlN多層膜805を形成し、n-GaN層806とInGaN多重量子井戸807、p-AlGaN層808、p-GaN層809、及び通例通り表面層810を順次エピタキシャル成長する。裏面と表面の発光部以外の部分にそれぞれ電極811、812を形成することで図8の構造が得られる。

10

【0046】

本実施例の結果、各種照明用途向け高性能GaNを用いたLEDが実現でき、通常のSiC基板を使用した場合と比較してコストを大幅に低減することができる。又、導電性基板なので裏面から電極を取ることが可能となり、サファイア基板を用いたLEDよりもチップ面積が縮小できることからLEDの小型化やコスト低減が可能となる。

【0047】

20

<実施例7>

図9は、本発明を用いて形成した半導体薄膜を適用した別の実施例を示す断面図である。本実施例は、実施例1や実施例2で実現する構造をGaNを用いたHEMTに適用した例である。以下、実施例1の構造を元にして説明を行うが、実施例2の構造も同様に適用できることは言うまでもない。実施例1と同様にして、高抵抗Si基板901上にi-SiGe層902、i-SiC層903、i-SiC層904を形成する。次いで、膜厚が10 μ m以上の厚いAlN905を形成し、i-GaN層906とn-AlGaN907、n-GaN層908を順次、エピタキシャル成長にて形成する。次いで、ゲート電極910、ソース電極911、ドレイン電極912を形成することで図9の構造が得られる。

【0048】

30

本実施例の結果、超高速宇通信用途向け高性能GaNを用いたHEMTが実現でき、通常のSiC基板を使用した場合と比較してコストを大幅に低減することができる。本発明に係わる諸実施の形態を上述したが、それらの特徴をまとめると以下のとおりである。

(1) 単結晶基板上に、前記単結晶基板よりも融点の低い第1の半導体薄膜と、前記第1の半導体薄膜上に前記単結晶基板と格子定数が異なり、且つ前記第1の半導体薄膜よりも融点が高い半導体材料からなる第2の半導体薄膜を形成し、前記第1の半導体薄膜の融点よりも高い温度で加熱することで第2の半導体薄膜と単結晶基板のひずみを低減することを特徴とする半導体薄膜の形成方法。

(2) 前記第2の半導体薄膜が加熱前是非晶質であり、加熱後は単結晶となることを特徴とする半導体薄膜の形成方法。

40

(3) 前記第1の半導体薄膜が加熱前是非晶質であり、加熱後は単結晶となることを特徴とする半導体薄膜の形成方法。

(4) 前記第2の半導体薄膜上に第2の半導体薄膜と同じ結晶構造を有する第3の半導体薄膜を有することを特徴とする半導体薄膜の形成方法。

(5) 前記単結晶基板と前記第1の半導体薄膜の間に加熱によって特性の変化しない材料からなる薄層を有することを特徴とする半導体薄膜の形成方法。

(6) 前記単結晶基板が単結晶Siからなることを特徴とする半導体薄膜の形成方法。(7)

前記第1の半導体薄膜がSiGeからなることを特徴とする半導体薄膜の形成方法。(8)

前記第1の半導体薄膜に含まれるGe組成比が30%以上であることを特徴とする半導体薄

50

膜の形成方法。

(9) 前記第2の半導体薄膜がSiCからなることを特徴とする半導体薄膜の形成方法。(10) 前記第3の半導体薄膜がSiCからなることを特徴とする半導体薄膜の形成方法。(11) 前記第3の半導体薄膜が少なくともGaとAlとInの中の一つの元素と窒素とを含むことを特徴とする半導体薄膜の形成方法。

【0049】

以上、本発明の好適な諸実施例について説明したが、本発明は前記実施例に限定されることなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

前述した諸実施例より明らかなように、本発明によればSi基板上に結晶性と表面モフォロジーが共に良好な単結晶SiC層を形成することができるため、この構造を用いる半導体装置の性能を維持しつつ、コストを大幅に低減することが可能となる。

【図面の簡単な説明】

【0050】

【図1】図1は本発明の実施例1に係る半導体薄膜の形成方法を示す模式的な断面図である。

【図2A】図2Aは図1に示した本発明に係る半導体薄膜の形成方法を工程順に示す模式的な断面図である。

【図2B】図2Bは図1に示した本発明に係る半導体薄膜の形成方法を工程順に示す模式的な断面図である。

【図2C】図2Cは図1に示した本発明に係る半導体薄膜の形成方法を工程順に示す模式的な断面図である。

【図3】図3は本発明の実施例2に係る半導体薄膜の形成方法を示す模式的な断面図である。

【図4A】図4Aは図3に示した本発明に係る半導体薄膜の形成方法を工程順に示す模式的な断面図である。

【図4B】図4Bは図3に示した本発明に係る半導体薄膜の形成方法を工程順に示す模式的な断面図である。

【図4C】図4Cは図3に示した本発明に係る半導体薄膜の形成方法を工程順に示す模式的な断面図である。

【図5】図5は本発明の実施例3に係る半導体装置を示す模式的な断面図である。

【図6】図6は本発明の実施例4に係る半導体装置を示す模式的な断面図である。

【図7】図7は本発明の実施例5に係る半導体装置を示す模式的な断面図である。

【図8】図8は本発明の実施例6に係る半導体装置を示す模式的な断面図である。

【図9】図9は本発明の実施例7に係る半導体装置を示す模式的な断面図である。

【図10】図10は従来の半導体薄膜の形成方法を示す模式的な断面図である。

【符号の説明】

【0051】

1、31、501、601、701、801、901、101... Si基板、
 2、2'、34、34'、502、602、702、802、902... SiGe層、
 3、35... 非晶質SiC層、102... 炭化SiC層、3'、4、35'、36、503、
 504、603、604、703、704、803、804、903、904、103...
 単結晶SiC層、32... シリコン酸化膜、33... 単結晶Si層もしくは単結晶SiGe層
 、505... pゲート領域、506、606、705... n+ソース領域、507、909...
 絶縁膜、508、609、708、911... ソース電極、509、608、707、91
 0... ゲート電極、510、610、709、912... ドレイン電極、605... pボディー
 領域、607... ゲート絶縁膜、706... n+ドレイン領域、805... GaN/AlN多層
 膜、806... n-GaN、807... InGaN多重量子井戸、808... p-AlGaIn、
 809... p-GaN、810... 表面層、811、812... 電極、905... AlN、906
 ... i-GaN、907... n-AlGaIn、908... n-GaN。

10

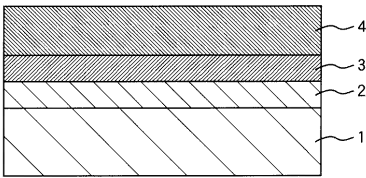
20

30

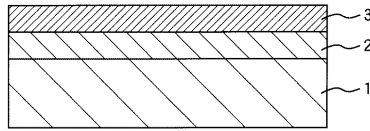
40

50

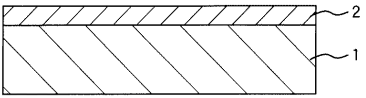
【図 1】
図 1



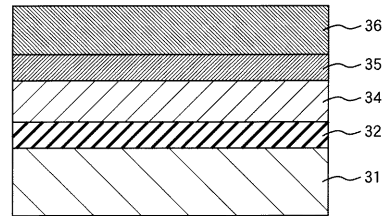
【図 2 C】
図 2 C



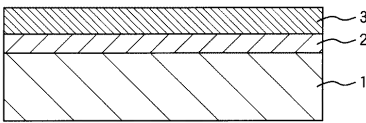
【図 2 A】
図 2 A



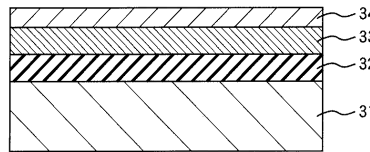
【図 3】
図 3



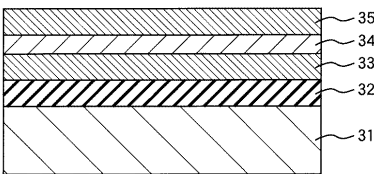
【図 2 B】
図 2 B



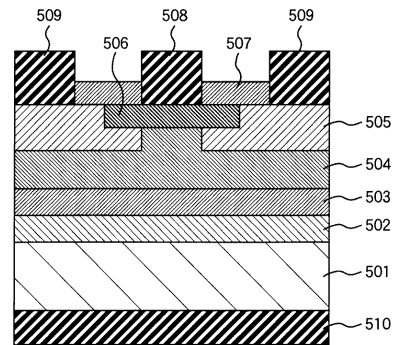
【図 4 A】
図 4 A



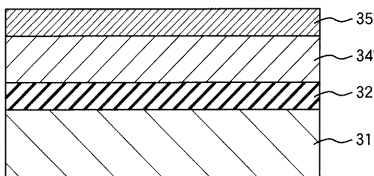
【図 4 B】
図 4 B



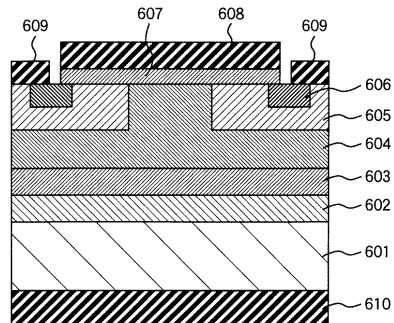
【図 5】
図 5



【図 4 C】
図 4 C

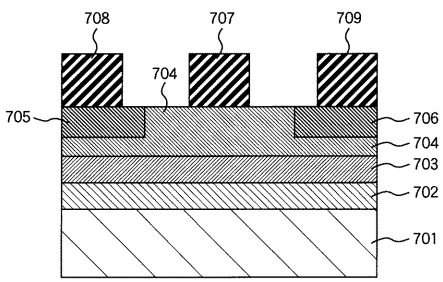


【図 6】
図 6



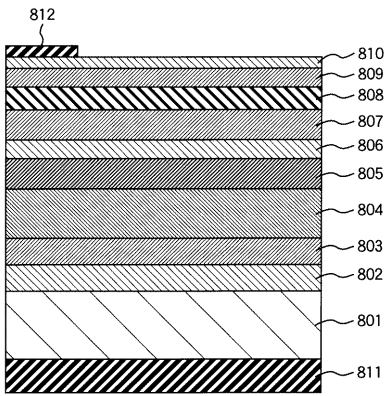
【 図 7 】

図 7



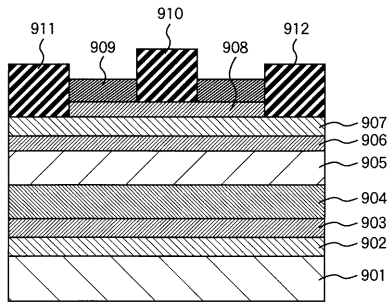
【 図 8 】

図 8



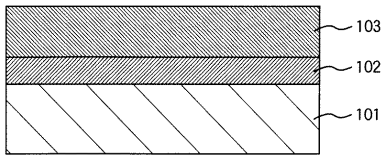
【 図 9 】

図 9



【 図 10 】

図 10



フロントページの続き

Fターム(参考) 5F152 AA08 BB01 BB02 BB06 CC08 CD09 CD13 CE03 CE05 CE07
EE15 EE16 FF11 FF21 FF23 FF29 LL03 LL18 LN02 LN03
LN16 LN21 MM04 MM05 MM06 MM10 NN03 NP02 NP03 NP04
NP13 NQ02 NQ09