

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5212042号
(P5212042)

(45) 発行日 平成25年6月19日(2013.6.19)

(24) 登録日 平成25年3月8日(2013.3.8)

(51) Int. Cl.	F 1		
HO 2 J 7/00 (2006.01)	HO 2 J	7/00	S
HO 2 H 7/18 (2006.01)	HO 2 J	7/00	3 O 2 D
HO 1 M 10/44 (2006.01)	HO 2 H	7/18	
HO 1 M 10/48 (2006.01)	HO 1 M	10/44	P
	HO 1 M	10/48	P

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2008-295744 (P2008-295744)	(73) 特許権者	000006220
(22) 出願日	平成20年11月19日(2008.11.19)		ミツミ電機株式会社
(65) 公開番号	特開2010-124600 (P2010-124600A)		東京都多摩市鶴牧2丁目11番地2
(43) 公開日	平成22年6月3日(2010.6.3)	(74) 代理人	100070150
審査請求日	平成23年8月2日(2011.8.2)		弁理士 伊東 忠彦
		(72) 発明者	武田 貴志
			東京都多摩市鶴牧2丁目11番地2
			ミツミ電機株式会社内
		審査官	坂東 博司

最終頁に続く

(54) 【発明の名称】 二次電池の過電流保護回路

(57) 【特許請求の範囲】

【請求項1】

二次電池の放電電流を電圧に変換して検出する電流検出端子と、
 該電流検出端子により検出された前記電圧が所定の放電過電流検出電圧以上となり、前記二次電池から過電流が放電されている放電過電流状態を検出したときに、前記電流検出端子により検出された前記電圧の大きさに応じて、前記電流検出端子を、大きさが異なる過電流復帰抵抗に接続する過電流復帰抵抗接続手段と、を有することを特徴とする二次電池の過電流保護回路。

【請求項2】

前記過電流復帰抵抗接続手段は、前記電流検出端子に第1の過電流復帰抵抗と第2の過電流復帰抵抗が並列接続されており、前記第1の過電流復帰抵抗と前記第2の過電流復帰抵抗の並列接続状態と、前記第2の過電流復帰抵抗のみが前記電流検出端子に接続された状態を切り替えるスイッチング手段を含むことを特徴とする請求項1に記載の二次電池の過電流保護回路。

【請求項3】

前記スイッチング手段は、前記第1の過電流復帰抵抗を含む第1の分岐路内に前記第1の過電流復帰抵抗に直列接続された第1のスイッチング素子と、前記第2の過電流復帰抵抗を含む第2の分岐路内に前記第2の過電流復帰抵抗に直列接続された第2のスイッチング素子と、を含むことを特徴とする請求項2に記載の二次電池の過電流保護回路。

【請求項4】

10

20

前記第2の過電流復帰抵抗は、前記第1の過電流復帰抵抗の10倍以上1000倍以下の大きさの抵抗値であることを特徴とする請求項3に記載の二次電池の過電流保護回路。

【請求項5】

前記過電流復帰抵抗切替手段は、前記電圧が所定の閾値電圧以下のときには、前記第1のスイッチング素子及び前記第2のスイッチング素子をオンとし、前記電圧が所定の閾値以上の場合には、前記第1のスイッチング素子をオフとし、前記第2のスイッチング素子をオンとする論理演算手段を含むことを特徴とする請求項3又は4に記載の二次電池の過電流保護回路。

【請求項6】

前記論理演算手段は、出力が前記第1のスイッチング素子のスイッチング制御入力に接続されたNANDゲートであり、

前記所定の閾値電圧は、前記NANDゲートの閾値電圧であり、

前記放電過電流状態を検出したときには、前記第2のスイッチング素子がオンとされるとともに、前記NANDゲートの一方の入力にハイレベルの信号が入力され、

前記電流検出端子で検出された前記電圧が、前記NANDゲートの他方の入力に入力され、前記電圧が前記閾値電圧よりも高いときはハイレベルの信号が入力されることを特徴とする請求項5に記載の二次電池の過電流保護回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、二次電池の過電流保護回路に関し、特に、二次電池の過電流状態を電流検出端子により検出したときに、電流検出端子を過電流復帰抵抗に接続して二次電池の過電流保護を行う二次電池の過電流保護回路に関する。

【背景技術】

【0002】

従来から、リチウムイオン電池やリチウムポリマ電池等の二次電池の保護回路が知られている。図3は、従来から用いられている一般的な二次電池の保護回路250の全体構成の一例を示した図である。図3において、二次電池CELLの保護パック300は、二次電池CELLと、接続端子P+、P-と、保護回路150とを有する。保護回路250は、二次電池保護用集積回路120と、外付けの抵抗R1、R2と、コンデンサC1と、充電制御MOS(Metal Oxide Semiconductor)トランジスタM11と、放電制御MOSトランジスタM12とを有する。

【0003】

充電制御MOSトランジスタM11及び放電制御MOSトランジスタM12には、オン抵抗数10[m]程度のNチャネルMOSFET(Field Effect Transistor)が使用されており、このオン抵抗により充放電電流を電圧に変換して検出し、電流検出端子V-で監視している。充電制御MOSトランジスタM1は、COUT端子によってオン・オフ制御され、過充電状態、異常充電器接続状態(充電過電流状態)でオフし、二次電池CELLを保護する。放電制御MOSトランジスタは、DOUT端子によってオン・オフ制御され、過放電状態、放電過電流状態、出力短絡状態でオフし、二次電池CELLを保護する。また、過充電状態、過放電状態は、VDD端子の電圧を監視することによって検出される。

【0004】

ここで、充電制御MOSトランジスタM11及び放電制御MOSトランジスタM12のオン抵抗の合計値をRonとすると、電池パック300に負荷RLが接続され、放電電流Idが流れた場合、電流検出端子V-の電位Vdは、 $Vd = Id \times Ron$ となる。Idが増加し、電流検出端子V-が放電過電流検出電圧を超えると、DOUT端子はローレベルを出力し、放電制御MOSトランジスタM12をオフさせ、放電過電流検出状態となる。

【0005】

このとき、電流検出端子V-は、数10[k]～数100[k]程度の過電流復帰

10

20

30

40

50

抵抗 R_{S5} によって V_{SS} 端子へプルダウンされて引き込まれる。これにより、負荷 R_L が解放されたときには、電流検出端子 V^- の電位が放電過電流検出電圧より小さくなり、過電流保護状態から通常状態に復帰させることができる。

【0006】

なお、過充電検出回路、過放電検出回路、充電過電流検出回路、放電過電流検出回路、充放電回路に直列に設けられた充電制御用 FET および放電制御用 FET を具備し、過充電検出回路で過充電を検出した場合および充電過電流検出回路で充電過電流を検出した場合に、充電制御用 FET を OFF にし、過放電検出回路で過放電を検出した場合および放電過電流検出回路で放電過電流を検出した場合に、放電制御用 FET を OFF にすることにより、2次電池を過充電、過放電、充電過電流、または放電過電流から保護する充放電保護回路であって、過放電検出時に充電器が接続された場合に、所定時間経過後、放電制御用 FET を強制的に ON にし、放電制御用 FET の寄生ダイオードから充電が復帰して放電制御用 FET が劣化するのを抑制し、効率のよい短時間充電を可能とした充放電保護回路が知られている（例えば、特許文献1参照）。

10

【特許文献1】特開2007-325434号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上述の図3の従来技術においては、通常は、 R_L R_{S5} であるため、放電過電流保護状態では、電流検出端子 V^- の電位 V_d は、 $V_d = P + (= V_{DD})$ となる。ここで、上述の過電流復帰抵抗 R_{S5} を介して、接続端子 $P +$ から V_{SS} （接地電位）へリーク電流 $I_{leak} = V_{DD} / (R_{S5} + R_L + R_2)$ の電流が流れる。ここで、例えば、 $V_{DD} = 4.0$ [V]、 $R_{S5} = 50$ [k] とすると、リーク電流 $I_{leak} = 77$ [μA] となるが、二次電池保護用集積回路120の消費電力は数 [μA] レベルであるため、これは非常に大きな電流である。つまり、二次電池の保護回路250による過電流状態の保護は、保護状態であるにも関わらず、大きなリーク電流 I_{leak} が流れてしまい、二次電池 $CELL$ の寿命が短くなってしまいう問題があった。

20

【0008】

また、この対策として、過電流復帰抵抗 R_{S5} を大きくし、リーク電流 I_{leak} を小さくする対応が考えられる。図4は、従来の二次電池 $CELL$ の保護回路250の過電流復帰抵抗 R_{S5} とその関連構成要素を拡大して示した詳細図である。図4において、過電流復帰抵抗 R_{S5} を単に大きくした場合には、電流検出端子 V^- に流れ込む電流 I_{v^-} によって電流検出端子 V^- の電位 V_d が上昇し、負荷 R_L を解放しても、電流検出端子 V^- の電位 V_d が放電過電流検出電圧よりも大きくなってしまい、放電過電流保護状態から復帰しなくなってしまうという問題を生ずる。例えば、図4において、電流検出端子 V^- から過電流復帰抵抗 R_{S5} に流れ込む電流 I_{v^-} を 500 [nA]、放電過電流検出電圧を 100 [mV] とすると、過電流復帰抵抗 R_{S5} の最大値は 200 [k] となり、単純に過電流復帰抵抗 R_{S5} を大きくするのにも制約があることが分かる。

30

【0009】

また、上述の特許文献1に記載の構成においては、このようなリーク電流 I_{leak} については、何ら課題として認識されていないため、過電流保護状態においては、やはり大きな電流が流れてしまう問題があった。

40

【0010】

そこで、本発明は、放電過電流を検出したときに、リーク電流を抑制する二次電池の過電流保護回路を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記目的を達成するため、第1の発明に係る二次電池 ($CELL$) の過電流保護回路は、二次電池 ($CELL$) の放電電流を電圧 (V_d) に変換して検出する電流検出端子 (V^-) と、

50

該電流検出端子（ $V -$ ）により検出された前記電圧（ $V d$ ）が所定の放電過電流検出電圧以上となり、前記二次電池（ $C E L L$ ）から過電流が放電されている放電過電流状態を検出したときに、前記電流検出端子（ $V -$ ）により検出された前記電圧（ $V d$ ）の大きさに応じて、前記電流検出端子（ $V -$ ）を、大きさが異なる過電流復帰抵抗（ $R S$ ）に接続する過電流復帰抵抗接続手段（ 55 ）と、を有することを特徴とする。

【0012】

これにより、電流検出端子で検出した電圧の大きさに応じて適切な過電流復帰抵抗を接続することができ、電圧の大きさに合わせてリーク電流を適切に抑制することができる。

【0013】

第2の発明は、第1の発明に係る二次電池（ $C E L L$ ）の過電流保護回路において、
前記過電流復帰抵抗接続手段（ 55 ）は、前記電流検出端子（ $V -$ ）に第1の過電流復帰抵抗（ $R S 1$ ）と第2の過電流復帰抵抗（ $R S 2$ ）が並列接続されており、前記第1の過電流復帰抵抗（ $R S 1$ ）と前記第2の過電流復帰抵抗（ $R S 2$ ）の並列接続状態と、前記第2の過電流復帰抵抗（ $R S 2$ ）のみが前記電流検出端子（ $V -$ ）に接続された状態を切り替えるスイッチング手段（ M ）を含むことを特徴とする。

10

【0014】

これにより、2つの抵抗の接続方法を切り替えることにより、容易に過電流復帰抵抗の抵抗値を変更することができる。

【0015】

第3の発明は、第2の発明に係る二次電池（ $C E L L$ ）の過電流保護回路において、
前記スイッチング手段（ M ）は、前記第1の過電流復帰抵抗（ $R S 1$ ）を含む第1の分岐路（ $L 1$ ）内に前記第1の過電流復帰抵抗（ $R S 1$ ）に直列接続された第1のスイッチング素子（ $M 1$ ）と、前記第2の過電流復帰抵抗（ $R S 2$ ）を含む第2の分岐路（ $L 2$ ）内に前記第2の過電流復帰抵抗（ $R S 2$ ）に直列接続された第2のスイッチング素子（ $M 2$ ）と、を含むことを特徴とする。

20

【0016】

これにより、接続自体を変更することなく、分岐路内に設けたスイッチの開閉のみによって容易に過電流復帰抵抗の大きさを変更することができる。

【0017】

第4の発明は、第3の発明に係る二次電池（ $C E L L$ ）の過電流保護回路において、
前記第2の過電流復帰抵抗（ $R S 2$ ）は、前記第1の過電流復帰抵抗（ $R S 1$ ）の10倍以上1000倍以下の大きさの抵抗値であることを特徴とする。

30

【0018】

これにより、第1の過電流復帰抵抗と第2の過電流復帰抵抗の抵抗値に大幅に差を付け、電流検出端子で検出された電圧が大きい場合であっても、十分にリーク電流を抑制する過電流復帰抵抗を生成することができる。

【0019】

第5の発明は、第3又は第4の発明に係る二次電池（ $C E L L$ ）の過電流保護回路において、

前記過電流復帰抵抗切替手段（ 55 ）は、前記電圧（ $V d$ ）が所定の閾値電圧以下のときには、前記第1のスイッチング素子（ $M 1$ ）及び前記第2のスイッチング素子（ $M 2$ ）をオンとし、前記電圧（ $V d$ ）が所定の閾値以上の場合には、前記第1のスイッチング素子（ $M 1$ ）をオフとし、前記第2のスイッチング素子（ $M 2$ ）をオンとする論理演算手段（ $N A$ ）を含むことを特徴とする。

40

【0020】

これにより、論理回路を用いて、電流検出端子で検出された電圧に応じて、容易かつ確実に過電流復帰抵抗切替の制御を行うことができる。

【0021】

第6の発明は、第5の発明に係る二次電池（ $C E L L$ ）の過電流保護回路において、
前記論理演算手段は、出力が前記第1のスイッチング素子（ $M 1$ ）のスイッチング制御

50

入りに接続されたNANDゲート(N A)であり、

前記所定の閾値電圧は、前記NANDゲート(N A)の閾値電圧(V_{thna})であり

、
前記放電過電流状態を検出したときには、前記第2のスイッチング素子(M 2)がオンとされるとともに、前記NANDゲート(N A)の一方の入りにハイレベルの信号が入力され、

前記電流検出端子(V -)で検出された前記電圧(V_d)が、前記NANDゲート(N A)の他方の入力に入力され、前記電圧(V_d)が前記閾値電圧(V_{thna})よりも高いときはハイレベルの信号が入力されることを特徴とする。

【0022】

これにより、NANDゲートを用いた簡素なロジック回路を用いて、チップ面積をあまり増加させることなく過電流復帰抵抗の切替を行う回路を構成することができる。

【0023】

なお、上記括弧内の参照符号は、理解を容易にするために付したものであり、一例に過ぎず、図示の態様に限定されるものではない。

【発明の効果】

【0024】

本発明によれば、二次電池の放電過電流検出時に流れるリーク電流を抑制することができる。

【発明を実施するための最良の形態】

【0025】

以下、図面を参照して、本発明を実施するための最良の形態の説明を行う。

【0026】

図1は、本発明を適用した実施例に係る二次電池CELLの過電流保護回路200の全体構成を示した図である。本実施例に係る二次電池CELLの過電流保護回路200は、主要構成要素として、電流検出端子V -と、過電流復帰抵抗接続手段55とを備える。また、本実施例に係る二次電池CELLの過電流保護回路200は、関連構成要素として、過電流復帰抵抗接続手段55を含む放電制御論理回路50と、放電過電流検出回路30と、充電制御論理回路80と、第3のスイッチング素子M3と、充電制御端子COUTと、VDD端子と、接続端子P+と、負荷RLとを含んでよい。

【0027】

なお、図1においては、図3と異なる構成についてのみ記載しているが、本実施例に係る二次電池CELLの過電流保護回路200は、その他の構成要素については、図3の二次電池CELLの保護回路250において説明したような二次電池CELLの過充電状態、異常充電器接続状態(充電過電流状態)、過放電状態、出力短絡状態を検出し、これを保護する構成及び機能を必要に応じて備えてよい。つまり、本実施例に係る二次電池CELLの過電流保護回路200は、必要に応じて、図3に示した過充電検出回路10、過放電検出回路20、充電過電流検出回路40、短絡検出回路60、遅延回路70、レベルシフト回路90、発振器100、カウンタ110等を二次電池保護用集積回路内に備えてもよい。また、本実施例に係る二次電池CELLの過電流保護回路200を搭載した二次電池保護用集積回路は、二次電池CELLの監視及び保護制御を行うため、必要に応じて、二次電池の負電極に接続されたVSS端子、二次電池CELLの放電を制御するための放電制御端子DOUT、検査時に遅延時間を短縮するための遅延時間短縮端子DS等を備えてもよい。また、本実施例に係る二次電池CELLの過電流保護回路200を搭載した二次電池保護モジュールも、図3に示した外付けMOSトランジスタM11、M12、抵抗R1、R2、コンデンサC1等を必要に応じて備えてよい。

【0028】

図1に戻り、個々の構成要素について説明を行う。

【0029】

電流検出端子V -は、二次電池CELLの負電極及び充電器の負電極に接続され、二次

10

20

30

40

50

電池 C E L L の充電電流及び放電電流を電圧に変換して検出するための端子である。放電時は、電流検出端子 V - から正電圧が検出され、充電時は、電流検出端子 V - から負電圧が検出される。本実施例に係る二次電池 C E L L の過電流保護回路 2 0 0 においては、電流検出端子 V - は、放電過電流状態を検出したときに保護動作を行うので、電流検出端子 V - からは正電圧が検出されたときに動作することになる。

【 0 0 3 0 】

電流検出端子 V - には、外付け抵抗 R 2 が必要に応じて接続されてよい。また、本実施例に係る二次電池 C E L L の過電流保護回路は、接続端子 P +、P - に負荷 R L が接続されることにより、放電過電流が流れた状態で動作するので、図 1 においては、電流検出端子 V - に外付け抵抗 R 2、負荷 R L 及び接続端子 P + が接続された状態が示されている。

10

【 0 0 3 1 】

放電過電流検出回路 3 0 は、電流検出端子 V - の電位 V d が所定の放電過電流検出電圧以上になったときに、二次電池 C E L L の放電過電流状態を検出する回路である。図 1 においては、電流検出端子 V - と放電過電流検出回路 3 0 とは接続されていないが、実際には、図 3 に示したように、電流検出端子 V - で検出された電位は、放電過電流検出回路 3 0 に入力されるようになっている。放電過電流検出回路 3 0 においては、上述のように、電流検出端子 V - で検出された電圧が、所定の放電過電流検出電圧以上となっているか否かの判定を行う。このとき、例えば、放電過電流検出電圧以上となっている状態が、所定の遅延時間以上継続するか否かを併せて判定し、放電過電流検出電圧以上の状態が、所定の遅延時間以上継続したときに、放電過電流状態にあると判定するようにしてもよい。放電過電流検出回路 3 0 が、二次電池 C E L L の放電過電流状態を検出したときには、過電流検出信号を出力する。

20

【 0 0 3 2 】

放電制御論理回路 5 0 は、過電流復帰抵抗接続手段 5 5 を含み、放電過電流検出回路 3 0 で放電過電流状態が検出されたときに、過電流復帰抵抗 R S との接続を行う手段である。また、放電制御論理回路 5 0 は、放電過電流状態を検出した際、放電制御端子 D O U T に外付け放電制御 M O S トランジスタ M 1 2 (図 3 参照) が接続されている場合には、放電制御端子 D O U T から出力される信号を制御し、放電制御 M O S トランジスタ M 1 2 のオン・オフを制御する動作を行ってもよい。

【 0 0 3 3 】

放電制御論理回路 5 0 は、電流源 I s 1、I s 2 と、インバータ I N V 1、I N V 2 と、コンデンサ C 2 と、過電流復帰抵抗接続手段 5 0 とを備える。また、過電流復帰抵抗接続手段 5 5 は、N A N D ゲート N A と、第 1 のスイッチング素子 M 1 及び第 2 のスイッチング素子 M 2 を含むスイッチング手段 M と、第 1 の過電流復帰抵抗 R S 1 及び第 2 の過電流復帰抵抗 R S 2 を含む過電流復帰抵抗 R S とを備える。

30

【 0 0 3 4 】

インバータ I N V 1、I N V 2 は、第 1 インバータ I N V 1 と、第 2 インバータ I N V 2 とを含み、ともに、高電位側の P チャネル M O S トランジスタ (図示せず) と低電位側の N チャネル M O S トランジスタ (図示せず) のゲート同士及びドレイン同士が接続された C M O S (Complementary Metal Oxide Semiconductor) インバータとして構成されてよい。また、電流源 I s 1、I s 2 も、第 1 電流源 I s 1 と、第 2 電流源 I s 2 とを含む。

40

【 0 0 3 5 】

放電過電流検出回路 3 0 からの出力は、第 1 インバータ I N V 1 に入力される。第 1 インバータ I N V 1 の P チャネル M O S トランジスタと V D D 端子の間には、第 1 電流源 I s 1 が接続されている。これにより、第 1 インバータ I N V 1 の閾値電圧を、V D D / 2 よりも低下させ、N チャネル M O S トランジスタのスレッシュホールド電位 V t h n に変更することができる。第 1 インバータ I N V 1 からの出力は、第 2 インバータ I N V 2 の入力に入力される。第 2 インバータ I N V 2 の N チャネル M O S トランジスタと V S S 端子 (G N D) との間には、第 2 電流源 I s 2 が接続されている。これにより、第 2 インバータ

50

の閾値電圧を、PチャネルMOSトランジスタのスレッシュホールド電位 V_{thp} に変更し、インバータINV2の閾値電圧を $V_{DD}/2$ よりも高く設定することができる。

【0036】

このように、放電過電流検出回路30で検出された過電流検出信号は、第1インバータINV1で波形整形されながら反転し、第2インバータINV2で波形整形されながら反転する。よって、過電流検出回路30で出力された過電流検出信号がハイレベルであればハイレベルの信号、過電流検出信号がローレベルであればローレベルの信号が、波形整形されて第2インバータINVから出力される。なお、本実施例においては、放電過電流検出回路30で放電過電流状態が検出された場合には、ハイレベルの信号を出力し、第1インバータINV1に入力される例を挙げて説明する。

10

【0037】

過電流復帰抵抗接続手段55は、放電過電流検出回路30で放電過電流状態が検出されたときに、電流検出端子 $V-$ を、過電流復帰抵抗RSに接続させるための手段である。過電流復帰抵抗接続手段55は、過電流検出NANDゲートNAと、スイッチング手段Mと、過電流復帰抵抗RSとを含む。スイッチング手段Mは、第1のスイッチング素子M1と、第2のスイッチング素子M2とを含む。また、過電流復帰抵抗RSも、第1の過電流復帰抵抗RS1と、第2の過電流復帰抵抗RS2とを含む。第1のスイッチング素子M1は、第1の過電流復帰抵抗RS1と直列接続され、第1の分岐路L1を構成する。また、第2のMOSトランジスタM2は、第2の過電流復帰抵抗RS2と直列に接続され、第2の分岐路L2を構成する。

20

【0038】

なお、第1のスイッチング素子M1及び第2のスイッチング素子M2は、スイッチング素子であれば、種々のスイッチング素子を適用することができ、例えば、アナログスイッチ、バイポーラトランジスタであってもよい。本実施例においては、第1のスイッチング素子M1及び第2のスイッチング素子M2にNチャネルMOSトランジスタを適用した例を挙げて説明する。また、以後、第1のスイッチング素子M1を第1のMOSトランジスタM1、第2のスイッチング素子M2を第2のMOSトランジスタM2とも呼ぶこととする。

【0039】

NANDゲートNAは、2入力と1出力を備え、2つの入力信号の論理積を演算する論理演算手段である。図1において、NANDゲートNAの2入力のうち、一方の入力を第1の入力IN1とし、他方の入力をIN2とする。本実施例に係る二次電池CELLの過電流保護回路においては、第2インバータINV2の出力が、第2の入力IN2に接続されているとともに、第2のMOSトランジスタM2のスイッチング制御入力であるゲートに接続されている。つまり、第2のインバータINV2の出力信号は、NANDゲートNAの第2の入力IN2に入力されるとともに、第2のMOSトランジスタM2のゲートに入力され、第2のMOSトランジスタM2のオン・オフ駆動を制御する。

30

【0040】

NANDゲートNAの第1の入力IN1は、第3のスイッチング素子M3を介して、電流検出端子 $V-$ に接続されている。これにより、第3のスイッチング素子M3がオンのときには、電流検出端子 $V-$ の電圧がNANDゲートNAの第1の入力IN1に入力される構成となっている。なお、第3のスイッチング素子M3は、本実施例においては、NチャネルMOSトランジスタが適用されているが、用途に応じて、他のスイッチング素子を適用してもよい。なお、以後、第3のスイッチング素子M3も、第3のMOSトランジスタと呼んでもよいこととする。

40

【0041】

NANDゲートNAの出力は、第1のMOSトランジスタM1のスイッチング制御入力であるゲートに接続されている。つまり、NANDゲートNAの出力信号は、第1のMOSトランジスタM1のオン・オフを制御する。

【0042】

50

第1の過電流復帰抵抗RS1及び第1のMOSトランジスタM1を含む第1の分岐路L1と、第2の過電流復帰抵抗RS2及び第2のMOSトランジスタM2を含む第2の分岐路L2は、電流検出端子V-に対して、並列接続で接続されている。よって、第1のMOSトランジスタM1がオンのときには、第1の過電流復帰抵抗RS1が電流検出端子V-に接続された状態とすることができる。逆に、第1のMOSトランジスタM1がオフのときには、第1の過電流復帰抵抗RS1が電流検出端子V-に接続されていない状態とすることができる。同様に、第2の過電流復帰抵抗RS2についても、第2のMOSトランジスタM2をオンとすれば、電流検出端子V-に接続された状態とすることができ、第2のMOSトランジスタM2をオフとすれば、電流検出端子V-に接続されていない状態とすることができる。

10

【0043】

このように、電流検出端子V-に並列に接続された分岐路L1、L2内に過電流復帰抵抗RS1、RS2を設け、同じ分岐路L1、L2内にスイッチング素子M1、M2を設けるようにすれば、スイッチング素子M1、M2のオン・オフ制御により、第1の過電流復帰抵抗RS1のみ、第2の過電流復帰抵抗RS2のみ、又は第1の過電流復帰抵抗RS1及び第2の過電流復帰抵抗RS2の双方を並列接続で電流検出端子V-に切替接続が可能となる。よって、第1の過電流復帰抵抗RS1、第2の過電流復帰抵抗RS2の抵抗値を異なる設定としておけば、電流検出端子V-の電圧の大きさに応じて、適切な過電流復帰抵抗RS1、RS2の接続を行うことができる。本実施例に係る二次電池CELLの過電流保護回路においては、第1の過電流復帰抵抗RS1を小さく数10[k]とし、第2の過電流復帰抵抗RS2を大きく数100[k]から数[M]と設定するが、この点の詳細については、後述する。

20

【0044】

充電制御論理回路80は、VDD端子から検出される端子電圧に基づいて二次電池CELLが過充電状態か否かを検出し、充電制御端子COUTに制御信号を出力し、充電制御端子COUTに外付けで充電制御MOSトランジスタM11(図3参照)が接続されている場合には、充電制御MOSトランジスタM11を制御する回路である。例えば、VDD端子で検出された電圧が、所定の過充電検出電圧より高くなり、二次電池CELLの過充電状態を検出した場合には、充電制御端子COUTからローレベルの信号を出力し、外付けの充電制御MOSトランジスタM11をオフとし、充電を停止させる。よって、逆に、充放電が可能な状態では、充電制御論理回路80からは、充電制御端子COUTに常にハイレベルの信号が出力されることになる。なお、図1においては図示されていないが、充電制御論理回路80からの出力は、図3に示したようなレベルシフト回路90を経て出力がなされてもよい。

30

【0045】

充電制御論理回路80は、第3のスイッチング素子M3をオン・オフ制御する。図1において、充電制御論理回路80の最終段から3段のインバータINV3、INV4、INV5が示されているが、第3のインバータINV3の出力と第4のインバータINV4の入力の間が、第3のMOSトランジスタM3のゲートに接続されている。よって、第3のMOSトランジスタM3は、充電制御端子COUTに出力される信号がハイレベルであれば、ハイレベルの信号が入力され、充電制御端子COUTに出力される信号がローレベルであれば、ローレベルの信号が入力されることになる。つまり、二次電池CELLが充放電可能な状態であれば、充電制御端子COUTからはハイレベルの信号が出力されているので、第3のMOSトランジスタM3のゲートにはハイレベルの信号が印加され、第3のMOSトランジスタM3はオンの状態を保つことになる。

40

【0046】

次に、図1に構成を有する本実施例に係る二次電池CELLの過充電保護回路200の動作について説明する。図1において、負荷RLが接続され、放電過電流が流れた場合には、電流検出端子V-の電圧が上昇し、電流検出端子V-の電圧Vdが所定の過電流検出電圧以上となった場合には、放電過電流検出回路30により、放電過電流状態が検出され

50

る。よって、放電制御論理回路50の第1のインバータINV1の入力には、ハイレベルの信号が入力される。このとき、第1のインバータINV1と第2のインバータINV2で2回反転するので、NANDゲートNAの第2の入力IN2への入力信号は、ハイレベルの信号となる。また、第2のMOSトランジスタM2もオンとなる。

【0047】

ここで、充電制御端子COUTに着目すると、放電過電流検出状態では、通常は過充電状態ではあり得ないので、充電制御端子COUTは、ハイレベルを出力している。よって、第3のMOSトランジスタM3は、常にオン状態となっている。そうすると、NANDゲートNAの第1の入力IN1への入力信号は、電流検出端子V-で検出された電圧Vdの電圧レベルということになる。

10

【0048】

NANDゲートNAの第1の入力IN1への入力信号Vdが、NANDゲートNAの閾値Vthnaよりも小さいときには、NANDゲートNAの第1の入力IN1にはローレベルの入力信号、第2の入力IN2はハイレベルの入力信号が入力されるので、NANDゲートNAの出力はハイレベルとなり、第1のMOSトランジスタM1及び第2のMOSトランジスタM2の双方ともオン状態となる。よって、合成後の過電流復帰抵抗をRSは、 $RS = (RS1 \times RS2) / (RS1 + RS2)$ となる。

【0049】

一方、NANDゲートNAの第1の入力IN1への入力信号Vdが、NANDゲートNAの閾値Vthnaよりも大きいときには、NANDゲートNAの第1の入力IN1への入力信号はハイレベル信号が入力され、かつ第2の入力IN2にもハイレベルの信号が入力されるので、NANDゲートNAの出力はローレベルとなる。よって、第1のMOSトランジスタM1はオフとなり、第2のMOSトランジスタM2はオンとなる。すると、過電流復帰抵抗RSは、 $RS = RS2$ となる。

20

【0050】

ここで、第1の過電流復帰抵抗RS1を小さく、例えば数10[k]とし、第2の過電流復帰抵抗RS2を大きく、例えば数100[k]～数[M]とすることで、合成過電流復帰抵抗を、数10[k]の場合と、数100[k]～数[M]の場合に切り替えることができる。これにより、電流検出端子V-で検出された電圧Vdが、NANDゲートNAの閾値Vthnaより小さい場合には、過電流復帰抵抗RSを数10[k]とし、電圧Vdが、NANDゲートNAの閾値Vthnaより大きい場合には、過電流復帰抵抗RSをその10倍以上1000倍以下の抵抗値に切り替えることができる。つまり、電流検出端子V-で検出された電圧Vdの大きさ、即ち放電過電流の大きさに応じた過電流復帰抵抗RSを設定できることとなり、VSS端子(GND)に流れるリーク電流Ileakを大幅に減少させることができる。

30

【0051】

図2は、本実施例に係る二次電池CELLの過充電保護回路200において、電流検出端子V-で検出された電圧Vdと、過電流復帰抵抗RSとの関係を示した図である。図2において、横軸が電流検出端子V-で検出された電圧Vdの値を示し、縦軸が過電流復帰抵抗RSを示している。

40

【0052】

図2に示されるように、電流検出端子V-の電位の値に応じて、過電流復帰抵抗RSの値が、数10[k]から1.2[M]以上に大きく切り替わっている。切り替わりの電圧は、NANDゲートNAの閾値電圧Vthnaである。つまり、電流検出端子V-の電位がNANDゲートNAの閾値電圧Vthna以上のときには、過電流復帰抵抗RSは、1.2[M]以上と大きな値を取り、NANDゲートNAの閾値電圧Vthna未満のときには、数10[k]の小さな値を取っている。

【0053】

発明者の実験によれば、本実施例に係る二次電池CELLの過電流保護回路200は、過電流保護状態(充電制御端子DOUT=ローレベル、電流検出端子V-の電圧Vd=P

50

+)において、VDD端子電圧 = 4.0 [V]、過電流復帰抵抗RS = 1 [M]であれば、VSS端子に流れるリーク電流IleakをIleak = 4.0 [μA]程度とすることができる。従来品の二次電池の過電流保護回路のリーク電流Ileakは、Ileak = 77 [μA]程度であるから、従来品と比べて、リーク電流Ileakを大幅に抑制して減少させることができ、二次電池CELLを長寿命化することができる。

【0054】

以上、本発明の好ましい実施例について詳説したが、本発明は、上述した実施例に制限されることはなく、本発明の範囲を逸脱することなく、上述した実施例に種々の変形及び置換を加えることができる。

【0055】

特に、図1においては、過電流復帰抵抗接続手段55を、NANDゲートNAを用いた構成としたが、その接続切替の構成は、種々の変形が考えられる。例えば、単純に第1のMOSトランジスタM1と第2のMOSトランジスタM2の一方をオンとして電流検出端子V-への接続を切り替えるようなロジックを組んで構成することも可能である。また、過電流復帰抵抗RS1、RS2の接続方法も、種々の接続方法を適用してよい。本実施例に係る二次電池CELLの過電流保護回路200においては、過電流保護状態が検出された状態で、電流検出端子V-により検出された電圧Vdの大きさに応じて、過電流復帰抵抗RSの大きさを異ならせることができれば、種々の形態を適用することができる。

【図面の簡単な説明】

【0056】

【図1】本実施例に係る二次電池CELLの過電流保護回路の全体構成図である。

【図2】本実施例の電流検出端子V-の電圧Vdと過電流復帰抵抗RSとの関係図である。

【図3】一般的な二次電池の保護回路150の全体構成図の一例である。

【図4】従来の二次電池CELLの保護回路150の過電流復帰抵抗RSの詳細図である。

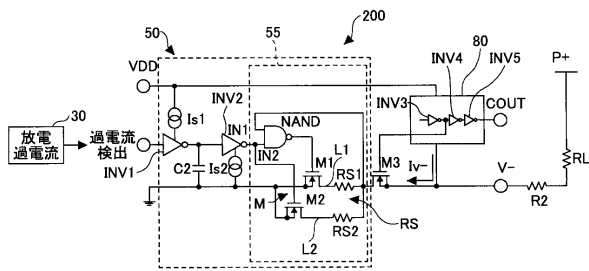
【符号の説明】

【0057】

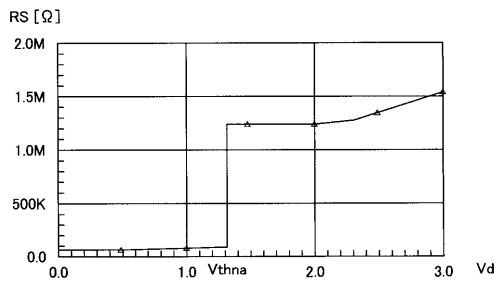
10	過充電検出回路	
20	過放電検出回路	30
30	放電過電流検出回路	
40	充電過電流検出回路	
50、150	放電制御論理回路	
55	過電流復帰抵抗接続手段	
60	短絡検出回路	
70	遅延回路	
80	充電制御論理回路	
90	レベルシフト回路	
100	発振器	
110	カウンタ	40
200	過電流保護回路	
V-	電流検出端子	
INV1、INV2、INV3、INV4、INV5	インバータ	
Is1、Is2	電流源	
NA	NANDゲート	
M1、M2、M3	スイッチング素子	
RS、RS1、RS2、RS5	過電流復帰抵抗	
L1、L2	分岐路	
VSS	GND端子	
COUT	充電制御端子	50

DOUT 放電制御端子

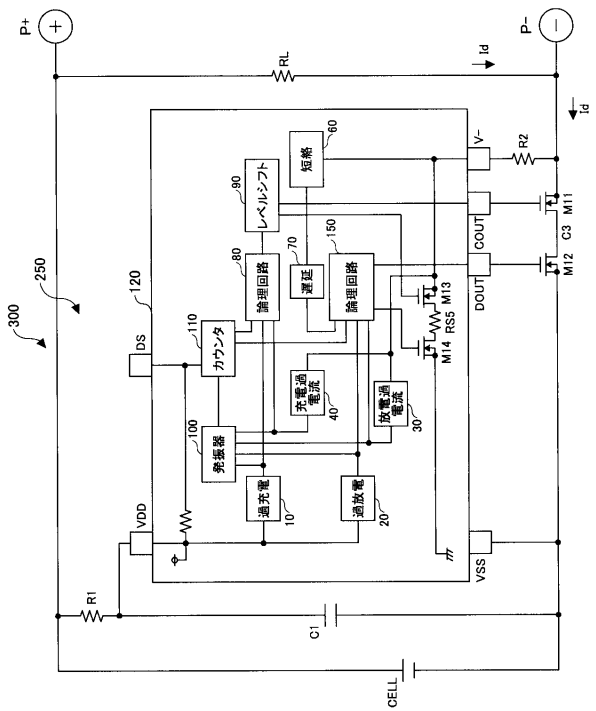
【図1】



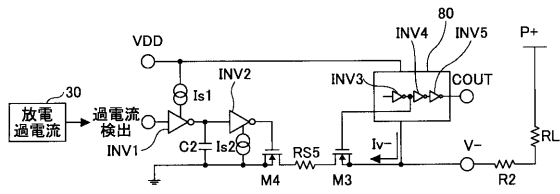
【図2】



【図3】



【図4】



フロントページの続き

- (56)参考文献 特開2007-325434(JP,A)
特開2007-124867(JP,A)
特開2000-194456(JP,A)
特開2008-118828(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02J	7/00
H01M	10/44
H01M	10/48
H02H	7/18