



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 200 625

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 08 09 77
(21) PV 5858-77

(11)

(B1)

(51) Int. Cl. G 05 B 17/00

(40) Zveřejněno 31 01 80
(45) Vydáno 30 04 83

(75)

Autor vynálezu VRZALA KAREL ing., PŘÍBRAM, PODANÝ KAREL ing., Kladno a BUGÁR JÁN ing., PŘÍBRAM

(54)

Univerzální jednotka, zejména pro binární komunikaci s řízeným procesem

1

Vynález se týká univerzální jednotky pro binární komunikaci s řízeným procesem.

V současné době je problematika styku řídicí automatiky s procesem řešena nejrozličnějšími způsoby, vesměs samostatnými vstupními a výstupními bloky, jejíž struktura je závislá na způsobu jejich adresace, na použitém typu procesu a návazném řídicím systému. Nevýhody stávajících řešení spočívají v komplikovanosti těchto komunikačních jednotek, jednoúčelovosti jejich aplikací a obtížné možnosti napojení na jiný typ řídicího systému. V neposlední řadě se u rozsáhlejších automatik uplatňuje také cenový faktor, který je určen technickým řešením těchto jednotek s ohledem na dostupnost konstrukčních prvků, ze kterých jsou sestaveny.

Uvedené nedostatky odstraňuje univerzální jednotka podle vynálezu. Její podstata spočívá v tom, že obsahuje množinu výstupních členů, s nimiž je individuálně propojena množina zesilovacích členů a s nimi propojenou množinu vstupních členů. Dále obsahuje negující člen, výstupový adresový člen, vstupní adresový člen, adresový člen a konečně komunikační člen. Každý výstupní člen obsahuje vnější vstup pro přivedení logické informace z nadřazeného procesoru a každý vstupní člen obsahuje vnější výstup pro zavedení informace do nadřazeného procesoru. Negující člen je opatřen vnějším vstupem pro impuls označující připojení zařízení na ovládací napětí. Výstupový adresový člen je opatřen vnějším vstupem pro signál určující vysílací režim jednotky a impulsem vnějším vstupem pro aktivací kanálo-

vý impuls. Vstupní adresový člen je opatřen vnějším vstupem pro signál určující přijímací režim jednotky, adresový člen obsahuje vnější adresové vstupy pro kombinaci signálů zadávajících adresu jednotky a vnější negační adresové vstupy pro negované signály určující adresy jednotky. Komunikační člen obsahuje vnější vstup pro napájecí napětí a vnější výstup pro nulový potenciál a dále komunikační vstupy pro přivedení informací z řízeného procesu. Všechny první vstupy výstupních členů jsou propojeny jednak vzájemně a jednak s výstupem výstupního adresového členu. Všechny druhé vstupy výstupních členů jsou propojeny vzájemně a také s výstupem negačního členu. Výstup každého výstupního členu je propojen vždy s prvním vstupem zesilovacího členu, jejich druhé vstupy jsou všechny paralelně propojeny a připojeny na výstup komunikačního členu. Výstup každého zesilovacího členu je propojen vždy s prvním vstupem vstupního členu a příslušným komunikačním výstupem komunikačního členu. Jeho vstup je propojen se všemi výstupy vstupního členu. Druhé vstupy vstupních členů jsou připojeny na výstup vstupního adresového členu. Všechny adresové vstupy adresového členu jsou propojeny jednotlivě s indexově odpovídajícími adresovými vstupy výstupního adresového členu a vstupy vstupního adresového členu.

Univerzální jednotka podle vynálezu umožňuje binární komunikaci řídicího procesoru s ovládaným technologickým procesem, respektive zařízením, zejména přijímání a vysílání jednotlivých ovládacích signálů s implikací jejich technologické adresy. Tím, že jsou signály vysílány a přijímány ze shodných svorek, umožňuje tato univerzální jednotka některé signály programově simulovat, případně u řídicích automatik modelovat technologické procesy nebo testovat logickou strukturu automatik.

Na přiloženém výkrese je schematicky znázorněn příklad provedení univerzální jednotky podle vynálezu.

Univerzální jednotka obsahuje n výstupních článků A_1 až A_n , zesilovacích členů B_1 až B_n a vstupních členů C_1 až C_n , kde n udává počet bitů řídicího slova procesoru, ke kterému je jednotka připojena. Dále obsahuje negační člen D , výstupový adresový člen E , vstupní adresový člen F , adresový člen G a komunikační člen H . Každý výstupní člen A_1 až A_n obsahuje vnější vstup $1A_1$ až $1A_n$, kterým je přivedena logická informace z procesoru a každý vstupní člen C_1 až C_n obsahuje vnější výstup $4C_1$ až $4C_n$, kterým je zavedena informace z vnějšího zařízení do procesoru. Na procesor je jednotka připojena dalšími vnějšími vstupy, kdy vnějším vstupem $1D$ je přiveden impuls po připojení zařízení na ovládací napětí, impulsem vnějším vstupem $2E$ je přiveden aktivací kanálový impuls, vnějším vstupem $1E$ je určován vysílací režim jednotky a vnějším vstupem $1F$ je určován přijímací režim jednotky. Vnějšími adresovými vstupy $1G$ až $1K$ je přiváděna kombinace signálů, které zadávají adresu jednotky a vnějšími negačními adresovými vstupy $1G$ až $1K$ jsou přiváděny negované signály pro určení adresy jednotky, kde k udává počet bitů adresové části komunikační instrukce procesoru. Na řídicí proces je jednotka připojena pomocí vnějšího vstupu aH , kterým je přivedeno napájecí napětí pro výstupní prvky výstupních zesilovacích členů B_1 až B_n a dále pomocí vnějšího vstupu bH , kterým je přiváděn nulový potenciál. Vlastní informace z řízené technologie jsou přiváděny pomocí vnějších komunikačních

vstupů $1H$ až nH kde n je počet bitů řídicího slova procesoru. Jednotlivé členy jednotky jsou propojeny následovně: vždy první vstupy $2A1$ až $2An$ výstupních členů $A1$ až An jsou propojeny jednak vzájemně a jednak s výstupem $3E$ výstupního adresového členu E . Všechny druhé vstupy $3A1$ až $3An$ výstupních členů $A1$ až An jsou propojeny vzájemně a také s výstupem $2D$ negačního členu D . Výstup $4A1$ až $4An$ každého výstupního členu $A1$ až An je propojen vždy s prvním vstupem $1B1$ až $1Bn$ zesilovacího výstupního členu $B1$ až Bn . Jejich druhé vstupy $3B1$ až $3Bn$ jsou vždy paralelně propojeny a navíc připojeny na výstup aH komunikačního členu H . Výstup $2B1$ až $2Bn$ každého výstupního zesilovacího členu $B1$ až Bn je propojen vždy s prvním vstupem $1C1$ až $1Cn$ vstupního členu $C1$ až Cn a s příslušným komunikačním výstupem $1H$ až nH komunikačního členu H . Jeho vstup bH je propojen se všemi výstupy $2C1$ až $2Cn$ vstupního členu $C1$ až Cn . Druhé vstupy $3C1$ až $3Cn$ vstupního členu $C1$ až Cn jsou všechny připojeny na výstup $2F$ vstupního adresového členu F . Dále jsou všechny první až k -té adresové výstupy $1Gv$ až KGv adresového členu G připojeny vždy na první až k -tý adresový vstup $1Ev$ až KEv výstupního adresového členu E a na první až k -tý vstup $1Fv$ až kFv vstupního adresového členu F .

Činnost jednotlivých členů je popsána logickými značkami. Na výstupu $4A1$ výstupního členu $A1$ se objeví signál tehdy, když je neaktivován jeho paměťový prvek a k jeho aktivaci dojde tehdy, když je přítomen signál na vstupech $1A1$, $2A1$, $3A1$ současně. K jeho mazání dojde tehdy, když je přítomen signál na vstupech $2A1$, $3A1$ a současně není signál na vstupu $1A1$, nebo tehdy, když není signál na vstupu $3A1$. Na výstupu $2B1$ výstupního zesilovacího členu $B1$ se objeví signál tehdy, když je přítomen signál na obou jeho vstupech $1B1$, $3B1$. Na vnějším výstupu $4C1$ vstupního členu $C1$ se objeví signál tehdy, když je přítomen signál na obou vstupech $1C1$, $3C1$ a výstup $2C1$ je uzeměn. Na výstupu $2D$ negačního členu D je signál tehdy, když není přítomen signál na jeho vnějším vstupu $1D$. Na výstupu $3E$ výstupního adresového členu E je signál tehdy, když jsou přítomny signály na všech jeho vstupech $1E$, $2E$, $1Ev$ až KEv a na výstupu $2F$ vstupního adresového členu F je signál tehdy, když je přítomen signál na všech jeho vstupech $1Fv$ až kFv , $1F$. Adresový člen G obsahuje k adresových mechanických spínačů pro adresaci jednotky a stejný počet mechanických spínačů pro nastavení negované adresy, které jsou vzájemně na výstupech spojeny. Komunikační člen H je realizován konektorovým spojem, případně svorkovnicí. Tímto členem je jednotka připojena na řídicí proces.

Jednotka pracuje ve vysílacím, nebo přijímacím režimu, při zapnutí ovládacího napětí je výchozí stav nastaven pomocí impulsu na vnějším vstupu $1D$, kterým jsou deaktivovány paměťové prvky výstupních členů $A1$ až An , čímž jsou všechny kontakty ve výstupních zesilovacích členech $B1$ až Bn nastaveny v zapnuté poloze. Každá jednotka má možnost nastavení adresy pomocí adresového členu G . Jednotka ve vysílacím režimu pracuje tak, že při správné kombinaci signálů na adresových vstupech $1G$ až kG a negačních adresových vstupech $1G$ až kG , to je tehdy, když signály odpovídají nastavení adresových spínačů v adresovém členu G a současně při přítomnosti signálů na vnějším vstupu $1E$ a impulsem vnějším vstupu $2E$ výstupního adresového členu E , je uvolněna možnost aktivace paměťových prvků všech

výstupních členů A_1 až A_n . Tím jsou přečteny jednotlivé vnější vstupy $1A_1$ až $1A_n$ a podle přítomnosti signálů na těchto vstupech jsou vyslány signály přes odpovídající komunikační kanály do řízeného procesu. V režimu přijímacím je nutná přítomnost signálů na vnějším vstupu $1F$ vstupního adresového členu F . Při správné adresaci jednotky je na výstupu $2F$ vstupního adresového členu F signál, který uvolní všechny vstupní členy C_1 až C_n a stav jednotlivých komunikačních vstupů $1H_1$ až $1H_n$ se přenesse přes vnější výstupy $4C_1$ až $4C_n$ do řídicího procesoru.

Tato univerzální jednotka je určena zejména pro možnost binární komunikace řídicího procesoru s ovládaným zařízením, pro přijímání a vysílání jednotlivých ovládacích signálů s indikací jejich technologické adresy. Tím, že jsou signály vysílány a přijímány ze shodných svorek, může mít tato jednotka uplatnění všude tam, kde je nutno některé signály programově simulovat, případně tam, kde je řídicí automatika uvažována pro modelování technologických procesů nebo testování logických struktur automatik.

P R E D M Ě T V Y N Á L E Z U

Univerzální jednotka, zejména pro binární komunikaci s řízeným procesem, vyznačená tím, že obsahuje množinu výstupních členů (A_1 až A_n), s nimiž je individuálně propojena množina zesilovacích členů (B_1 až B_n) a s nimi propojenou množinu vstupních členů (C_1 až C_n), dále pak negující člen (D), výstupový adresový člen (E), vstupní adresový člen (F), adresový člen (G) a konečně komunikační člen (H), přičemž každý výstupní člen (A_1 až A_n) obsahuje vnější vstup ($1A_1$ až $1A_n$) pro přivedení logické informace z nadřazeného procesoru a každý vstupní člen (C_1 až C_n) obsahuje vnější výstup ($4C_1$ až $4C_n$) pro zavedení informace do nadřazeného procesoru, negující člen (D) je opatřen vnějším vstupem ($1D$) pro impuls označující připojení zařízení na ovládací napětí, výstupový adresový člen (E) je opatřen vnějším vstupem ($1E$) pro signál určující vysílací režim jednotky a impulzním vnějším vstupem ($2E$) pro aktivační kanálový impuls, vstupní adresový člen (F) je opatřen vnějším vstupem ($1F$) pro signál určující přijímací režim jednotky, adresový člen (G) obsahuje vnější adresové vstupy ($1G$ až $1G$) pro kombinaci signálů zadávajících adresu jednotky a vnější negující adresové vstupy ($1G'$ až $1G'$) pro negované signály určující adresy jednotky, komunikační člen (H) obsahuje vnější vstup ($1H$) pro napájecí napětí a vnější výstup ($1H$) pro nulový potenciál a dále komunikační vstupy ($1H'$ až $1H'$) pro přivedení informací z řízené technologie, přičemž dále všechny první vstupy ($2A_1$ až $2A_n$) výstupních členů (A_1 až A_n) jsou propojeny jednak vzájemně a jednak s výstupem ($3E$) výstupního adresového členu (E), všechny druhé vstupy ($3A_1$ až $3A_n$) výstupních členů (A_1 až A_n) jsou propojeny vzájemně a také s výstupem ($2D$) negujícího členu (D), výstup ($4A_1$ až $4A_n$) každého výstupního členu (A_1 až A_n) je propojen vždy s prvním vstupem ($1B_1$ až $1B_n$) zesilovacích členů (B_1 až B_n), jejichž druhé vstupy ($3B_1$ až $3B_n$) jsou všechny paralelně propojeny a připojeny na výstup ($1H$) komunikačního členu (H), výstup ($2B_1$ až $2B_n$) každého zesilovacího členu (B_1 až B_n) je propojen vždy s prvním vstupem ($1C_1$ až $1C_n$) vstupního členu (C_1 až C_n) s přísluš-

ným komunikačním výstupem (1H až nH) komunikačního členu (H), jeho vstup (bH) je propojen se všemi výstupy (2C1 až 2Cn) vstupního členu (C1 až Cn), druhé vstupy výstupních členů (C1 až Cn) jsou připojeny na výstup (2F) vstupního adresového členu (F), přičemž všechny adresové výstupy (1Gv až kGv) adresového členu (G) jsou propojeny jednotlivě jednak s indexově odpovídajícími adresovými vstupy (1Ev až kEv) výstupního adresového členu (E) a jednak se vstupy (1Fv až kFv) vstupního adresového členu (F).

1 výkres

