(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
8. September 2017 (08.09.2017)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2017/149121 A1

(51) Internationale Patentklassifikation:
H01L 33/48 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2017/055008

(22) Internationales Anmeldedatum:
3. März 2017 (03.03.2017)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2016 103 862.8 3. März 2016 (03.03.2016) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **EICHLER, Christoph**; Lessingstr. 4, 93093 Donaustauf (DE). **GERHARD, Sven**; Bischof-Ketteler-Str. 36, 93087 Alteglofsheim (DE).

(74) Anwalt: **PATENTANWALTSKANZLEI WILHELM & BECK**; Prinzenstr. 13, 80639 München (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH,

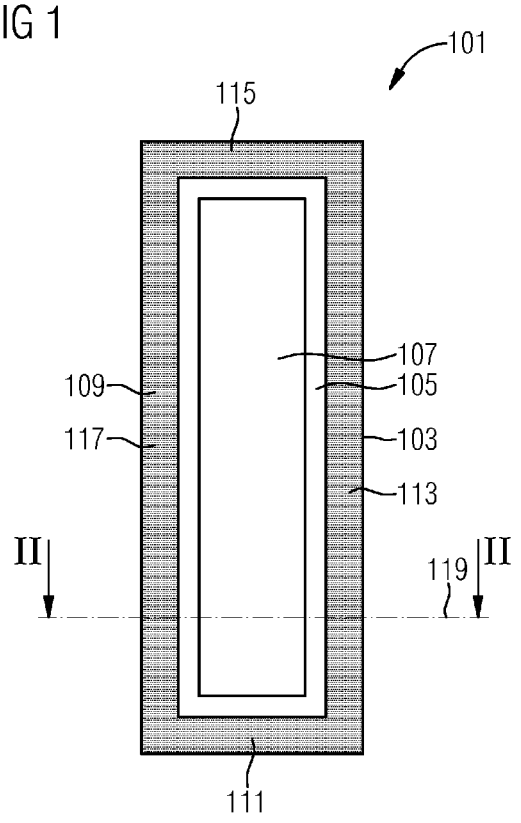
[Fortsetzung auf der nächsten Seite]

WO 2017/149121 A1

(54) Title: OPTOELECTRONIC LIGHTING DEVICE, SUBSTRATE FOR AN OPTOELECTRONIC SEMICONDUCTOR CHIP, AND OPTOELECTRONIC LIGHTING SYSTEM

(54) Bezeichnung : OPTOELEKTRONISCHE LEUCHTVORRICHTUNG, TRÄGER FÜR EINEN OPTOELEKTRONISCHEN HALBLEITERCHIP UND OPTOELEKTRONISCHES LEUCHTSYSTEM

FIG 1



(57) Abstract: The invention relates to an optoelectronic lighting device comprising: - an optoelectronic semiconductor chip that has a top face and an opposite bottom face; - a succession of semiconductor layers is formed between the top face and the bottom face; - the succession of semiconductor layers includes an active zone for generating electromagnetic radiation; - a barrier for a joining material is formed on the top face or on the bottom face, said joining material being in a free-flowing state as a result of the semiconductor chip being integrally bonded to a substrate.

(57) Zusammenfassung: Die Erfindung betrifft eine optoelektronische Leuchtvorrichtung, umfassend: - einen optoelektronischen Halbleiterchip, - der eine Oberseite und eine der Oberseite gegenüberliegende Unterseite aufweist, - wobei zwischen der Oberseite und der Unterseite eine Halbleiterschichtenfolge gebildet ist, - wobei die Halbleiterschichtenfolge eine aktive Zone zur Erzeugung von elektromagnetischer Strahlung umfasst, - wobei an einer der Oberseite und der Unterseite eine Sperre für einenaufgrund eines stoffschlüssigen Verbindens des Halbleiterchips mit einem Träger fließenden Verbindungswerkstoffgebildet ist.

CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

OPTOELEKTRONISCHE LEUCHTVORRICHTUNG, TRÄGER FÜR EINEN OPTOELEKTRONISCHEN HALBLEITERCHIP UND OPTOELEKTRONISCHES LEUCHTSYSTEM

BESCHREIBUNG

Die Erfindung betrifft eine optoelektronische Leuchtvorrichtung sowie ein Verfahren zum Herstellen einer optoelektronischen Leuchtvorrichtung. Die Erfindung betrifft ferner einen Träger für einen optoelektronischen Halbleiterchip sowie ein Verfahren zum Herstellen eines Trägers für einen optoelektronischen Halbleiterchip. Die Erfindung betrifft des Weiteren ein optoelektronisches Leuchtsystem.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2016 103 862.8, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Ein optoelektronischer Halbleiterchip als solcher ist zum Beispiel aus der Offenlegungsschrift DE 10 2014 107 385 A1 bekannt.

In der Regel werden optoelektronische Halbleiterchips auf einen Träger gelötet. Beim Löten kann es passieren, dass flüssiges Lot an einer Halbleiterchipseitenfläche hochfließt oder hochkriecht und dann zum Beispiel einen p-n-Übergang kurzschließt.

Dies gilt analog für den Fall, wenn ein optoelektronischer Halbleiterchip auf einen Träger geklebt wird. Auch hier kann beim Kleben Klebstoff an einer Halbleiterchipseitenfläche hochfließen oder hochkriechen und dann zum Beispiel, wenn der Klebstoff elektrisch leitfähig ist, einen p-n-Übergang kurzschließen.

Die der Erfindung zugrundeliegende Aufgabe ist darin zu sehen, ein effizientes Konzept zum effizienten stoffschlüssigen

Verbinden eines optoelektronischen Halbleiterchips mit einem Träger bereitzustellen.

Diese Aufgabe wird mittels des jeweiligen Gegenstands der unabhängigen Ansprüche gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand von jeweils abhängigen Unteransprüchen.

Nach einem Aspekt wird eine optoelektronische Leuchtvorrichtung bereitgestellt, umfassend:
- einen optoelektronischen Halbleiterchip,
- der eine Oberseite und eine der Oberseite gegenüberliegende Unterseite aufweist,
- wobei zwischen der Oberseite und der Unterseite eine Halbleiterschichtenfolge gebildet ist,
- wobei die Halbleiterschichtenfolge eine aktive Zone zur Erzeugung von elektromagnetischer Strahlung umfasst,
- wobei an einer der Oberseite und der Unterseite eine Sperre für einen aufgrund eines stoffschlüssigen Verbindens des Halbleiterchips mit einem Träger fließenden Verbindungswerkstoff gebildet ist.

Nach einem weiteren Aspekt wird ein Verfahren zum Herstellen einer optoelektronischen Leuchtvorrichtung bereitgestellt, umfassend die folgenden Schritte:
- Bereitstellen eines optoelektronischen Halbleiterchips, der eine Oberseite und eine der Oberseite gegenüberliegende Unterseite aufweist, wobei zwischen der Oberseite und der Unterseite eine Halbleiterschichtenfolge gebildet ist, wobei die Halbleiterschichtenfolge eine aktive Zone zur Erzeugung von elektromagnetischer Strahlung umfasst,
- Bilden an einer der Oberseite und der Unterseite einer Sperre für einen aufgrund eines stoffschlüssigen Verbindens des Halbleiterchips mit einem Träger fließenden Verbindungswerkstoff.

Gemäß einem weiteren Aspekt wird ein Träger für einen optoelektronischen Halbleiterchip bereitgestellt, umfassend:

- einen eine Montageseite aufweisenden Grundkörper,
- wobei an der Montageseite eine Sperre für einen aufgrund eines stoffschlüssigen Verbindens des Halbleiterchips mit dem Träger fließenden Verbindungswerkstoff gebildet ist.

Nach einem weiteren Aspekt wird ein Verfahren zum Herstellen eines Trägers für einen optoelektronischen Halbleiterchip bereitgestellt, wobei das Verfahren die folgenden Schritte umfasst:

- Bereitstellen eines eine Montageseite aufweisenden Grundkörpers,
- Bilden einer Sperre an der Montageseite des Grundkörpers für einen aufgrund eines stoffschlüssigen Verbindens des Halbleiterchips mit dem Träger fließenden Verbindungswerkstoff.

Nach noch einem Aspekt wird ein optoelektronisches Leuchtsystem bereitgestellt, umfassend:

- eine optoelektronische Leuchtvorrichtung, wobei die Leuchtvorrichtung
- einen optoelektronischen Halbleiterchip umfasst,
- der eine Oberseite und eine der Oberseite gegenüberliegende Unterseite aufweist, wobei zwischen der Oberseite und der Unterseite eine Halbleiterschichtenfolge gebildet ist, wobei die Halbleiterschichtenfolge eine aktive Zone zur Erzeugung von elektromagnetischer Strahlung umfasst, und
- einen Träger, der einen eine Montageseite aufweisenden Grundkörper umfasst,
- wobei die Leuchtvorrichtung gemäß der erfindungsgemäßen Leuchtvorrichtung ausgebildet ist und/oder
- wobei der Träger gemäß dem erfindungsgemäßen Träger ausgebildet ist,
- wobei der Halbleiterchip mit einer der Oberseite und der Unterseite mit der Montageseite mittels eines Verbindungswerkstoffs stoffschlüssig verbunden ist.

Die Erfindung basiert auf der Erkenntnis, dass die obige Aufgabe durch das Vorsehen einer Sperre für den fließenden Ver-

bindungswerkstoff gelöst werden kann. Die Sperre wirkt wie ein Damm. Die Sperre kann auch als eine Verbindungswerkstoffsperre bezeichnet werden.

Die vorstehend respektive nachstehend verwendete Formulierung „einer der Oberseite und der Unterseite" bedeutet insbesondere „der Oberseite oder der Unterseite". Die Formulierung „an einer der Oberseite und der Unterseite" kann somit insbesondere auch durch die Formulierung „an der Oberseite oder an der Unterseite" ersetzt werden. Das heißt also, dass die Sperre beispielsweise an der Oberseite oder an der Unterseite gebildet ist. Die Formulierung „mit einer der Oberseite und der Unterseite" kann somit insbesondere auch durch die Formulierung „mit der Oberseite oder mit der Unterseite" ersetzt werden.

Die Sperre bildet insbesondere eine Erhebung relativ zur Oberseite respektive Unterseite. Die Sperre ist also relativ zur Oberseite respektive Unterseite erhaben zur Oberseite respektive Unterseite ausgebildet. Das heißt also insbesondere, dass an der Oberseite respektive Unterseite eine oder mehrere Erhebungen, die Sperre, ausgebildet respektive gebildet sind.

In einer Ausführungsform ist vorgesehen, dass der Verbindungswerkstoff ein Lot ist oder ein Lot umfasst. Die Sperre kann dann zum Beispiel auch als eine Lotsperre bezeichnet werden. Das stoffschlüssige Verbinden umfasst somit nach einer Ausführungsform ein Löten oder ist nach einer Ausführungsform ein Löten.

In einer Ausführungsform ist vorgesehen, dass der Verbindungswerkstoff ein Klebstoff ist oder einen Klebstoff umfasst. Der Klebstoff ist zum Beispiel ein elektrisch leitfähiger Klebstoff. Die Sperre kann dann zum Beispiel auch als eine Klebstoffsperre bezeichnet werden. Das stoffschlüssige Verbinden umfasst somit nach einer Ausführungsform ein Kleben oder ist nach einer Ausführungsform ein Kleben.

Wenn im Folgenden von einer Lotsperre respektive einem Lot respektive einem Löten geschrieben wird, so sollen stets der allgemeine Fall des Verbindungswerkstoffs und der speziellere Fall des Klebstoffs mitgelesen werden. Das heißt, dass nach weiteren Ausführungsformen alternativ oder zusätzlich zu einem Lot in den nachfolgend beschriebenen Ausführungsformen Klebstoff verwendet wird respektive ist.

Die Lotsperre bildet also eine Sperre, die auch als Damm bezeichnet werden kann, für das aufgrund des Lötens des Halbleiterchips auf einen Träger fließende Lot. Die Sperre wirkt also wie ein Damm.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass ein Herausfließen des Lots oder allgemein des Verbindungswerkstoffs unter der der Montageseite zugewandten Seite (also entweder die Oberseite oder die Unterseite) des optoelektronischen Halbleiterchips aufgrund des Lötens allgemein des stoffschlüssigen Verbindens vermindert oder sogar verhindert werden kann. Dadurch wird also der technische Vorteil bewirkt, dass ein optoelektronischer Halbleiterchip effizient auf einen Träger gelötet oder allgemein effizient mit einem Träger stoffschlüssig verbunden werden kann.

Insbesondere kann somit ein Risiko eines Kurzschlusses bei einem p-n-Übergang aufgrund eines Hochfließens oder Hochkriechens des Lots verringert oder sogar ausgeschlossen werden. Das heißt also ferner, dass dadurch der technische Vorteil bewirkt werden kann, dass Nebenschlüsse an der Halbleiterchipkante vermieden werden können. Insbesondere kann dadurch eine Ausbeute (ein sogenannter „Yield“) gesteigert werden.

Zusätzlich wird insbesondere der technische Vorteil bewirkt, dass ein potentielles Alterungsrisiko ausgeschaltet wird, da die Nebenschlüsse an der Halbleiterchipkante teilweise auch erst während eines Betriebs des Halbleiterchips auftreten können.

Die Lotsperre oder allgemein die Sperre wirkt insbesondere ferner in vorteilhafter Weise in effizienter Weise als ein Abstandshalter, so dass der Halbleiterchip nicht beliebig nah auf den Träger gesetzt werden kann. Das heißt, dass die Lotsperre oder Sperre einen Minimalabstand zwischen der der Montageseite zugewandten Seite (Ober- oder Unterseite) des Halbleiterchips und der Montageseite vorgibt. Das heißt, dass die Lotsperre oder Sperre einen minimal benötigen Abstand für das Anordnen des Halbleiterchips auf die Montageseite automatisch vorgibt. Dadurch wird also insbesondere in vorteilhafter Weise ein Prozessfenster vergrößert, da die Halbleiterchips mit unterschiedlichstem Anpressdruck aufgelötet (oder allgemein beim stoffschlüssigen Verbinden aufgepresst) werden können, insofern die Lotsperre oder Sperre den minimal benötigten Abstand automatisch vorgibt. Ein zu kräftiges Anpressen führt ferner nicht dazu, dass flüssiges Lot oder flüssiger Verbindungswerkstoff unter der Oberseite bzw. unter der Unterseite herausgepresst wird. Denn selbst bei einem zu kräftigen Anpressen bleibt der Abstand aufgrund der als Abstandshalter wirkenden Sperre konstant.

Ferner ergibt sich durch den definierten Abstand zwischen Halbleiterchip und Träger insbesondere eine engere Produktionsverteilung eines thermischen Widerstands.

Die Formulierung „an einer der Oberseite und der Unterseite des Halbleiterchips" bedeutet also insbesondere, dass die Lotsperre an der Oberseite oder an der Unterseite gebildet ist.

Nach einer Ausführungsform ist vorgesehen, dass die Sperre, insbesondere die Lotsperre, eine oder mehrere Wände umfasst, so dass mittels der einen oder der mehreren Wände und der einen der Oberseite und der Unterseite zumindest eine, insbesondere mehrere, zumindest teilweise, insbesondere vollständig, seitlich geschlossene Wanne(n) zum Aufnehmen des flie-

ßenden Verbindungswerkstoffs, insbesondere des Lots und/oder des Klebstoffs, gebildet ist.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass der fließende Verbindungswerkstoff effizient aufgenommen werden kann, so dass hierüber effizient verhindert werden kann, dass der fließende Verbindungswerkstoff über die Chipkante hinausfließt und an Seitenflächen des Halbleiterchips hochfließt oder hochkriecht und so gegebenenfalls einen p-n-Übergang kurzschließen könnte.

Die Formulierung "zumindest teilweise seitlich geschlossen" umfasst insbesondere, dass ein oder mehrere Wannen vollständig seitlich geschlossen sind. Das heißt, dass die mehreren Wände oder die eine Wand jeweils eine oder mehrere in sich geschlossene Wannen bilden oder formen.

Nach einer weiteren Ausführungsform ist vorgesehen, dass zwei Wannen gebildet sind, wobei innerhalb der zwei Wannen jeweils ein elektrischer Kontakt für eine elektrische Kontaktierung des Halbleiterchips angeordnet ist, wobei die zwei Wannen voneinander durch eine oder mehrere geschlossene Wände abgetrennt sind, um ein Ausbilden eines Nebenschlusses durch den fließenden Verbindungswerkstoff zwischen den zwei elektrischen Kontakten zu verhindern.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass effizient verhindert werden kann, dass sich aufgrund des fließenden Verbindungswerkstoffs ein Nebenschluss zwischen den zwei elektrischen Kontakten ausbildet. Denn durch die zwei voneinander vollständig abgetrennten Wannen kann kein Verbindungswerkstoff mehr von der einen zur anderen Wanne fließen und einen Nebenschluss ausbilden.

Die beiden elektrischen Kontaktierungen sind zum Beispiel ein p-Kontakt und ein n-Kontakt.

Nach einer weiteren Ausführungsform ist vorgesehen, dass die Sperre, insbesondere die Lotsperre, zumindest teilweise, insbesondere vollständig, mittels der Halbleiterschichtenfolge gebildet ist.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass die Sperre effizient gebildet werden kann. Insbesondere ist es vorgesehen, dass während des Bildens der Halbleiterschichtenfolge die Sperre gleich mitgebildet wird. Zum Beispiel ist vorgesehen, dass die Halbleiterschichtenfolge bearbeitet wird derart, dass die bearbeitete Halbleiterschichtenfolge zumindest teilweise integral eine Sperre aufweist. Das heißt, dass die Sperre zumindest teilweise, insbesondere vollständig, mittels einer oder mehrerer Halbleiterschichten der Halbleiterschichtenfolge gebildet ist respektive wird.

Nach einer Ausführungsform ist vorgesehen, dass an der einen der Oberseite und der Unterseite Verbindungswerkstoff, insbesondere Lot und/oder Klebstoff, angeordnet ist.

Nach einer Ausführungsform ist vorgesehen, dass an der einen der Oberseite und der Unterseite Verbindungswerkstoff, insbesondere Lot und/oder Klebstoff, angeordnet ist, welches mit einer Gold umfassenden Deckschicht versehen ist.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass durch das Vorsehen der Gold umfassenden Deckschicht ein Aufoxidieren des Verbindungswerkstoffs, insbesondere des Lots und/oder des Klebstoffs, effizient verhindert werden kann. Das heißt, dass der aufgebrachte Verbindungswerkstoff durch die Gold umfassende Deckschicht geschützt ist.

Die Deckschicht umfasst zum Beispiel eine Goldlegierung.

Nach einer Ausführungsform ist vorgesehen, dass der Halbleiterchip ein Laser ist.

Nach einer Ausführungsform ist vorgesehen, dass der Laser einen Stegwellenleiter umfasst. Ein Stegwellenleiter kann auch als ein "Ridge" bezeichnet werden. Der Stegwellenleiter ist beispielsweise an der Unterseite respektive Oberseite des Lasers gebildet.

Die Sperre ist beispielsweise an der gleichen Seite gebildet wie der Stegwellenleiter.

In einer Ausführungsform ist die Sperre höher als der Stegwellenleiter. Die Sperre überragt also insbesondere den Stegwellenleiter. Die Sperre ist also insbesondere den Stegwellenleiter überragend ausgebildet. Das heißt also beispielsweise, dass der Stegwellenleiter eine erste Höhe relativ zur Oberseite respektive Unterseite des Halbleiterchips aufweist. Das heißt also beispielsweise, dass die Sperre eine zweite Höhe relativ zur Oberseite respektive Unterseite des Halbleiterchips aufweist. Die zweite Höhe ist insbesondere ausschließlich größer als die erste Höhe.

Nach einer Ausführungsform ist vorgesehen, dass der Halbleiterchip ein Laser ist, wobei die Sperre an der HR-Seite des Lasers offen ausgebildet ist.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass der Verbindungswerkstoff bevorzugt über die offene Seite, also über die HR-Seite, herausfließen kann und nicht über die AR-Seite des Lasers, was gegebenenfalls eine Abstrahlcharakteristik des Lasers stören könnte. „AR“ steht für „Anti Reflection“ und ist die niedriger verspiegelte Auskoppelfacette des Lasers. „HR“ steht für „High Reflection“ und ist die hochreflektierende Rückfacette des Lasers. Die AR-Seite ist also die Auskoppelfacette des Lasers. Die HR-Seite des Lasers ist also der Auskoppelfacette des Lasers gegenüberliegend angeordnet. Die Auskoppelfacette ist also insbesondere weniger verspiegelt als die HR-Seite. Das heißt also insbesondere, dass die Auskoppelfacette die sich innerhalb des La-

sers aufbauende Laserstrahlung weniger stark reflektiert als die HR-Seite.

Nach einer Ausführungsform ist vorgesehen, dass die Sperre an der AR-Seite des Lasers geschlossen ausgebildet ist.

Nach einer Ausführungsform ist vorgesehen, dass die Sperre, insbesondere die Lotsperre, eine oder mehrere Lücken zum Entweichen von Luft beim stoffschlüssigen Verbinden, insbesondere beim Löten und/oder Kleben, aufweist.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass Luft beim stoffschlüssigen Verbinden effizient entweichen, insbesondere seitlich entweichen, kann. Selbst eine Sperre, die Lücken aufweist, verhindert dennoch weiterhin in effizienter Weise als Abstandshalter, dass Verbindungswerkstoff unter dem Halbleiterchip herausgedrückt werden kann, insofern der Halbleiterchip ohne Sperre mit einem zu hohen Anpressdruck auf die Montagefläche gepresst werden könnte, was zu einem Herausdrücken des flüssigen Verbindungswerkstoffs führen könnte.

Selbst eine Lücken aufweisende Sperre verhindert zumindest teilweise ein Hochfließen des Verbindungswerkstoffs. Eine solche Sperre wirkt somit zumindest teilweise immer noch als Damm.

Zudem kann dadurch in vorteilhafter Weise überschüssiges Lot oder allgemein überschüssiger Verbindungswerkstoff an gezielten Stellen abgeführt werden, welche insbesondere so ausgebildet sind, dass keine Gefahr eines Kurzschlusses besteht. Ein entsprechender Vorteil ist zum Beispiel, dass ein Lotdicke (Verbindungswerkstoffdicke) und Tiefe der Lotsperre (Tiefe der Sperre) nicht exakt aufeinander abgestimmt sein müssen, was leichter und/oder billiger herzustellen ist. Wenn nachfolgend Ausführungsbeispiele umfassend eine Lücken aufweisende Sperre beschrieben werden, so sollen die vorstehenden entsprechenden Vorteile stets mitgelesen werden.

Nach einer Ausführungsform ist vorgesehen, dass der Halbleiterchip ein einen Stegwellenleiter aufweisender Laser ist, wobei die Sperre, insbesondere die Lotsperre, beabstandet zum Stegwellenleiter gebildet ist.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass der Stegwellenleiter mechanisch von der Sperre entlastet wird, wodurch in vorteilhafter Weise eine bessere Alterungsstabilität des Lasers gegeben ist.

Nach einer Ausführungsform ist vorgesehen, dass an der einen der Oberseite und der Unterseite ein oder mehrere Mesagräben zum Aufnehmen des fließenden Verbindungswerkstoffs, insbesondere des Lots, gebildet sind.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass ein größeres Volumen, das durch die Mesagräben bereitgestellte Volumen, für einen Verbindungswerkstoffablauf, insbesondere Lotablauf, zur Verfügung gestellt ist.

Nach einer Ausführungsform ist vorgesehen, dass einer des einen oder der mehreren Mesagräben von einer ersten Facette des Halbleiterchips zu einer der ersten Facette gegenüberliegenden zweiten Facette verläuft, wobei dieser eine Mesagraben zwei jeweils an eine der beiden Facetten angrenzende Facettenabschnitte und einen zwischen den beiden Facettenabschnitten verlaufenden Zwischenabschnitt aufweist, wobei eine Tiefe des Zwischenabschnitts größer ist als eine jeweilige Tiefe der beiden Facettenabschnitte.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass bezogen auf die Facettenabschnitte mehr Volumen im Zwischenabschnitt für fließenden Verbindungswerkstoff zur Verfügung steht, so dass ein Hochkriechen von Verbindungswerkstoff, insbesondere Lot und/oder Klebstoff, und damit Kurzschlüsse verhindert werden können.

In den Facettenabschnitten ist eine Tiefe relativ zu dem Zwischenabschnitt geringer, so dass eine optimale Qualität beim Facettenbrechen gewährleistet werden konnte.

Nach einer Ausführungsform ist vorgesehen, dass der eine oder die mehreren Mesagräben geätzt sind respektive geätzt werden.

Nach einer Ausführungsform ist vorgesehen, dass mehrere als Laser ausgebildete und einen Laserbarren bildende optoelektronische Halbleiterchips vorgesehen sind, wobei die jeweilige der einen der Oberseite und der Unterseite der Halbleiterchips eine gemeinsame Unterseite respektive Oberseite des Laserbarrens bilden.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass der Laserbarren effizient auf einen Träger gelötet werden kann.

Nach einer Ausführungsform ist vorgesehen, dass mehrere Wannen an der gemeinsamen Unterseite respektive Oberseite des Laserbarrens gebildet sind, innerhalb welchen jeweils ein oder mehrere Laser angeordnet sind.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass ein thermisches Übersprechen zwischen den Lasern abhängig davon, wie viele in einer Wanne angeordnet sind, gezielt beeinflusst werden kann.

Zum Beispiel ist vorgesehen, dass jeweils drei Laser in einer Wanne angeordnet sind.

Zum Beispiel ist vorgesehen, dass alle Laser in einer gemeinsamen Wanne angeordnet sind.

Nach einer Ausführungsform ist eine Benetzungsschicht, insbesondere eine metallische Benetzungsschicht, vorgesehen respektive gebildet. Eine solche Benetzungsschicht ist nach einer Ausführungsform auf der einen der Oberseite und der Un-

terseite des Halbleiterchips aufgebracht oder angeordnet. Eine solche Benetzungsschicht ist nach einer Ausführungsform auf der Montagefläche aufgebracht oder angeordnet.

Durch das Vorsehen einer solchen Benetzungsschicht wird insbesondere der technische Vorteil bewirkt, dass eine verbesserte mechanische Stabilität einer stoffschlüssigen Verbindung, insbesondere Lötverbindung und/oder eine Klebverbindung, zwischen dem Halbleiterchip und dem Träger erreicht werden kann.

Anstelle oder zusätzlich zu einer Benetzungsschicht ist nach einer Ausführungsform ein Kontaktpad vorgesehen. Die sich im Zusammenhang mit der Benetzungsschicht ergebenden Vorteile gelten analog für das Kontaktpad.

Nach einer Ausführungsform ist vorgesehen, dass der Halbleiterchip ein Leuchtdiodenchip ist.

Nach einer Ausführungsform ist vorgesehen, dass das Bilden der Sperre, insbesondere Lotsperre, ein Bilden einer oder mehrerer Wände umfasst, so dass mittels der einen oder der mehreren Wände und der einen der Oberseite und der Unterseite zumindest eine zumindest teilweise seitlich geschlossene Wanne zum Aufnehmen des fließenden Verbindungswerkstoffs gebildet wird.

Nach einer weiteren Ausführungsform ist vorgesehen, dass zwei Wannen gebildet werden, wobei innerhalb der zwei Wannen jeweils ein elektrischer Kontakt für eine elektrische Kontaktierung des Halbleiterchips angeordnet ist, wobei die zwei Wannen voneinander durch eine oder mehrere geschlossene Wände abgetrennt sind, um ein Ausbilden eines Nebenschlusses durch fließenden Verbindungswerkstoff, insbesondere durch fließendes Lot, zwischen den zwei elektrischen Kontakten zu verhindern.

Nach einer weiteren Ausführungsform ist vorgesehen, dass die Sperre zumindest teilweise mittels der Halbleiterschichtenfolge gebildet wird.

Zum Beispiel ist vorgesehen, dass die Halbleiterschichtenfolge mit einem Stegwellenleiter versehen wird. Das heißt, dass die Halbleiterschichtenfolge derart bearbeitet wird, dass sich ein Stegwellenleiter bildet. Zum Beispiel ist im Rahmen des Bearbeitens der Halbleiterschichtenfolge vorgesehen, dass Material von der Halbleiterschichtenfolge abgetragen wird. Das Abtragen des Materials wird nach einer Ausführungsform derart ausgeführt, dass sich gleichzeitig mit dem Bilden des Stegwellenleiters die Sperre zumindest teilweise, insbesondere vollständig, bildet. Das heißt, dass Material von der Halbleiterschichtenfolge abgetragen wird, um den Stegwellenleiter auszubilden. Im Rahmen des Ausbildens des Stegwellenleiters wird gleichzeitig ein Teil der Sperre oder die gesamte Lotsperre gebildet.

Nach einer Ausführungsform ist vorgesehen, dass an der einen der Oberseite und der Unterseite Verbindungswerkstoff, insbesondere Lot und/oder Klebstoff angeordnet wird.

Nach einer Ausführungsform ist vorgesehen, dass an der einen der Oberseite und der Unterseite Verbindungswerkstoff, insbesondere Lot und/oder Klebstoff angeordnet wird, welcher mit einer Gold umfassenden Deckschicht versehen wird, wobei das Bilden der Sperre umfasst, dass SiO_2 (Siliziumdioxid) auf die eine der Oberseite und der Unterseite aufgebracht wird, so dass die eine der Oberseite und der Unterseite einschließlich der Deckschicht vollständig mit SiO_2 bedeckt wird, wobei nach dem Bedecken SiO_2 selektiv von der Deckschicht entfernt wird, so dass die Sperre zumindest teilweise mittels des verbleibendenden SiO_2 gebildet wird.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass die Sperre effizient gebildet werden kann. Durch das Vorsehen der Gold umfassenden Deckschicht auf dem Verbin-

dungswerkstoff, insbesondere dem Lot, wird insbesondere der technische Vorteil bewirkt, dass das SiO_2 nur schwach an der Deckschicht haftet, so dass die aufgebrachte SiO_2-Schicht effizient und selektiv von der Gold umfassenden Deckschicht wieder entfernt werden kann.

In einer Ausführungsform ist vorgesehen, dass anstelle oder zusätzlich zu SiO_2 eine oder mehrere der folgenden Verbindungen aus der Gruppe der Oxide oder Nitride oder Oxidnitride von Al, Ce, Ga, Hf, In, Mg, Nb, Rh, Sb, Si, Sn, Ta, Ti, Zn, Zr verwendet werden respektive sind.

Nach einer Ausführungsform ist vorgesehen, dass der Halbleiterchip ein Laser ist, wobei die Sperre an der HR-Seite des Lasers offen ausgebildet wird.

In einer Ausführungsform ist vorgesehen, dass der Halbleiterchip ein Laser ist, wobei die Sperre an der AR-Seite des Lasers geschlossen ausgebildet wird.

Nach einer Ausführungsform ist vorgesehen, dass die Sperre eine oder mehrere Lücken zum Entweichen von Luft beim stoffschlüssigen Verbinden aufweist.

Nach einer Ausführungsform ist vorgesehen, dass der Halbleiterchip ein einen Stegwellenleiter aufweisender Laser ist, wobei die Sperre beabstandet zum Stegwellenleiter gebildet wird.

Nach einer Ausführungsform ist vorgesehen, dass an der einen der Oberseite und der Unterseite ein oder mehrere Mesagräben zum Aufnehmen des fließenden Verbindungswerkstoffs gebildet werden.

Nach einer weiteren Ausführungsform ist vorgesehen, dass einer des einen oder der mehreren Mesagräben von einer ersten Facette des Halbleiterchips zu einer der ersten Facette gegenüberliegenden zweiten Facette verläuft, wobei dieser eine

Mesagraben zwei jeweils an eine der beiden Facetten angrenzende Facettenabschnitte und einen zwischen den beiden Facettenabschnitten verlaufenden Zwischenabschnitt aufweist, wobei eine Tiefe des Zwischenabschnitts größer ausgebildet wird als eine jeweilige Tiefe der beiden Facettenabschnitte.

Nach einer weiteren Ausführungsform ist vorgesehen, dass mehrere als Laser ausgebildete und einen Laserbarren bildende optoelektronische Halbleiterchips vorgesehen werden, wobei die jeweilige der einen der Oberseite und der Unterseite der Halbleiterchips eine gemeinsame Unterseite respektive Oberseite des Laserbarrens bilden.

Nach einer Ausführungsform ist vorgesehen, dass mehrere Wannen an der gemeinsamen Unterseite respektive Oberseite des Laserbarrens gebildet werden, innerhalb welchen jeweils ein oder mehrere Laser angeordnet sind.

Nach einer weiteren Ausführungsform des Trägers ist vorgesehen, dass die Sperre, insbesondere die Lotsperre, eine oder mehrere Wände umfasst, so dass mittels der einen oder der mehreren Wände und der Montageseite zumindest eine, insbesondere mehrere, zumindest teilweise, insbesondere vollständig, seitlich geschlossene Wanne zum Aufnehmen des fließenden Verbindungswerkstoffs gebildet ist.

Nach einer weiteren Ausführungsform des Trägers ist vorgesehen, dass zwei Wannen gebildet sind, wobei die zwei Wannen voneinander durch eine oder mehrere geschlossene Wände abgetrennt sind.

Nach einer weiteren Ausführungsform des Trägers ist vorgesehen, dass die Sperre eine oder mehrere Lücken zum Entweichen von Luft beim stoffschlüssigen Verbinden, insbesondere beim Löten und/oder beim Kleben, aufweist.

Nach einer weiteren Ausführungsform des Trägers ist vorgesehen, dass an der Montageseite Justageelemente zur lateralen

Justage des Halbleiterchips beim Anordnen des Halbleiterchips auf den Träger gebildet sind.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass eine effiziente laterale Justage des Halbleiterchips beim Anordnen des Halbleiterchips auf den Träger ermöglicht ist.

Nach einer Ausführungsform des Trägers ist vorgesehen, dass die Justageelemente eine oder mehrere Vertiefungen und/oder einen oder mehrere Anschläge umfassen.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass eine effiziente laterale Justage ermöglicht ist.

Zum Beispiel ist vorgesehen, dass die Sperre des Halbleiterchips mit dem oder den Justageelementen zusammenwirkt, um die laterale Justage effizient durchzuführen. Zum Beispiel ist vorgesehen, dass die eine oder die mehreren Vertiefungen die Lotsperre zumindest teilweise aufnehmen. Zum Beispiel ist nach einer Ausführungsform vorgesehen, dass die mehreren Anschläge oder der eine Anschlag Anschläge für die Sperre bilden, so dass hierüber eine effiziente laterale Justage ermöglicht ist.

Nach einer Ausführungsform des Trägers ist vorgesehen, dass der Träger als Wärmesenke ausgebildet ist.

Dadurch wird insbesondere der technische Vorteil bewirkt, dass eine in Betrieb des Halbleiterchips erzeugte Wärme (thermische Energie) effizient über die Wärmesenke abgeführt werden kann.

Nach einer Ausführungsform ist vorgesehen, dass der Grundkörper aus einem oder aus mehreren der folgenden Materialien gebildet ist: Kupfer, SiC, AlN, CuW, Al, Keramik und DBC (Direct Bonded Copper). Der Grundkörper ist somit nach einer Ausführungsform als ein DBC-Grundkörper ausgebildet.

Nach einer Ausführungsform ist vorgesehen, dass ein Lot Gold und/oder Zinn und/oder In umfasst. Zum Beispiel umfasst das Lot AuSn. Zum Beispiel beträgt ein Au-Anteil zwischen 60 % und 90 %, vorzugsweise zwischen 70 % und 80 %.

Nach einer Ausführungsform ist vorgesehen, dass Lot gesputtert und/oder bedampft auf die Montageseite respektive die eine der Unterseite und der Oberseite des Halbleiterchips aufgebracht wird. Zum Beispiel ist vorgesehen, dass sich eine Lotschicht bildet, die zum Beispiel als Einzelschicht oder als Schichtstapel (zum Beispiel abwechselnd Goldschicht und Zinnschicht) ausgebildet wird.

Zum Beispiel ist vorgesehen, dass die Oberfläche der Lotschicht mit Gold (Gold umfassende Deckschicht) terminiert wird, um ein Aufoxidieren des Lots zu verhindern.

Zwischen einem Metall-Halbleiter-Kontakt des Halbleiterchips und dem Lot wird nach einer Ausführungsform eine Sperrschicht aufgebracht, die zum Beispiel Pt und/oder Ti und/oder TiW und/oder TiWN umfasst. Eine solche Sperrschicht verhindert in vorteilhafter Weise ein Durchmischen des Kontaktmetalls mit dem Lot.

Technische Funktionalitäten des Verfahrens zum Herstellen einer optoelektronischen Leuchtvorrichtung ergeben sich analog aus entsprechenden technischen Funktionalitäten der optoelektronischen Leuchtvorrichtung und umgekehrt.

Technische Funktionalitäten des Verfahrens zum Herstellen eines Trägers für einen optoelektronischen Halbleiterchip ergeben sich analog aus entsprechenden technischen Funktionalitäten des Trägers für einen optoelektronischen Halbleiterchip und umgekehrt.

Die im Zusammenhang mit der Vorrichtung respektive des Trägers beschriebenen Vorteile gelten analog für das Verfahren

zum Herstellen einer optoelektronischen Leuchtvorrichtung respektive für das Verfahren zum Herstellen eines Trägers für einen optoelektronischen Halbleiterchip und umgekehrt.

Nach einer Ausführungsform ist vorgesehen, dass die optoelektronische Leuchtvorrichtung mittels des Verfahrens zum Herstellen einer optoelektronischen Leuchtvorrichtung hergestellt ist respektive wird.

Nach einer Ausführungsform ist vorgesehen, dass der Träger für einen optoelektronischen Halbleiterchip mittels des Verfahrens zum Herstellen eines Trägers für einen optoelektronischen Halbleiterchip hergestellt ist respektive wird.

Das heißt also, dass sich Verfahrensmerkmale aus entsprechenden Vorrichtungsmerkmalen und umgekehrt ergeben.

Die Sperre des Trägers ist nach einer Ausführungsform analog zur Sperre des Halbleiterchips ausgebildet oder gebildet. Das heißt, dass die Sperre des Trägers nach einer Ausführungsform die gleichen Merkmale wie die am Halbleiterchip vorgesehene Sperre aufweist.

Die entsprechend im Zusammenhang mit der optoelektronischen Leuchtvorrichtung gemachten Ausführungen gelten analog für das Verfahren respektive für den Träger respektive für das Leuchtsystem und umgekehrt.

Der Halbleiterchip ist zum Beispiel nach einer Ausführungsform als ein kantenemittierender Halbleiterlaser ausgebildet.

Ein im Rahmen dieser Beschreibung beschriebener Halbleiterchip ist zum Beispiel ein LED-Halbleiterchip oder zum Beispiel ein Halbleiterlaserchip.

In einer Ausführungsform ist die Sperre unmittelbar an einer Kante des Halbleiterchips angeordnet. Die Sperre befindet sich also auf der Oberseite respektive Unterseite an der

Halbleiterchipkante. Dass die Sperre unmittelbar an der Kante des Halbleiterchips angeordnet ist, bedeutet insbesondere, dass die Sperre bündig mit einer Flanke des Halbleiterchips ist.

In einer Ausführungsform ist die Sperre des Halbleiterchips nach dem Anordnen des Halbleiterchips auf dem Träger, also nach dem Anordnen des Halbleiterchips auf der Montageseite, in direktem Kontakt mit dem Träger. Das heißt also insbesondere, dass die Sperre des Halbleiterchips nach dem Anordnen des Halbleiterchips auf dem Träger nicht mehr von dem Träger beabstandet ist. Zwischen der Sperre des Halbleiterchips und dem Träger ist nach dem Anordnen keine Lücke mehr vorhanden. Die Sperre des Halbleiterchips berührt also den Träger nach dem Anordnen des Halbleiterchips auf dem Träger.

In einer Ausführungsform ist die Sperre des Trägers nach dem Anordnen des Halbleiterchips auf dem Träger, also nach dem Anordnen des Halbleiterchips auf der Montageseite, in direktem Kontakt mit dem Halbleiterchip. Das heißt also insbesondere, dass die Sperre des Trägers nach dem Anordnen des Halbleiterchips auf dem Träger nicht mehr von dem Träger beabstandet ist. Zwischen der Sperre des Trägers und dem Halbleiterchip ist nach dem Anordnen keine Lücke mehr vorhanden. Die Sperre des Trägers berührt also den Halbleiterchip nach dem Anordnen des Halbleiterchips auf dem Träger.

In einer Ausführungsform ist nach dem Anordnen des Halbleiterchips auf dem Träger, also nach dem Anordnen des Halbleiterchips auf der Montageseite, ein Abstand zwischen dem Stegwellenleiter und dem Träger, also der Montageseite, gebildet. Im angeordneten Zustand sind also der Stegwellenleiter und die Montageseite beispielsweise voneinander beabstandet.

In einer Ausführungsform ist die Sperre entlang einer Längsrichtung des Halbleiterchips, insbesondere parallel in Längsrichtung zum Stegwellenleiter, ausgebildet, insbesondere

durchgehend ausgebildet. Die Formulierung „durchgehend ausgebildet“ bedeutet, dass die Sperre entlang der Längsrichtung des Halbleiterchips, insbesondere parallel in Längsrichtung zum Stegwellenleiter, frei von einer Lücke ist.

In einer Ausführungsform ist die Sperre des Trägers derart ausgebildet, dass nach einem Anordnen des Halbleiterchips auf dem Träger, also nach dem Anordnen des Halbleiterchips auf der Montageseite, die Sperre entlang einer Längsrichtung des Halbleiterchips, insbesondere parallel in Längsrichtung zum Stegwellenleiter, ausgebildet, insbesondere durchgehend ausgebildet, ist. Die Formulierung „durchgehend ausgebildet“ bedeutet, dass die Sperre entlang der Längsrichtung des Halbleiterchips, insbesondere parallel in Längsrichtung zum Stegwellenleiter, frei von einer Lücke ist.

Die Formulierung "respektive" umfasst insbesondere die Formulierung "und/oder".

Die oben beschriebenen Eigenschaften, Merkmale und Vorteile dieser Erfindung sowie die Art und Weise, wie diese erreicht werden, werden klarer und deutlicher verständlich im Zusammenhang mit der folgenden Beschreibung der Ausführungsbeispiele, die im Zusammenhang mit den Zeichnungen näher erläutert werden, wobei

Fig. 1 eine optoelektronische Leuchtvorrichtung,

Fig. 2 die optoelektronische Leuchtvorrichtung der Fig. 1,

Fig. 3 die optoelektronische Leuchtvorrichtung der Fig. 1 während eines Lötvorgangs,

Fig. 4 ein optoelektronisches Leuchtsystem,

Fig. 5 eine optoelektronische Leuchtvorrichtung,

Fig. 6 die optoelektronische Leuchtvorrichtung der Fig. 5,

Fig. 7 bis 11 jeweils eine Ansicht zu einem Zeitpunkt in einem Verfahren zum Herstellen einer optoelektronischen Leuchtvorrichtung,

Fig. 12 ein optoelektronisches Leuchtsystem,

Fig. 13 einen optoelektronischen Halbleiterchip zu einem Zeitpunkt in einem Verfahren zum Herstellen einer optoelektronischen Leuchtvorrichtung,

Fig. 14 eine optoelektronische Leuchtvorrichtung,

Fig. 15 eine optoelektronische Leuchtvorrichtung,

Fig. 16 eine optoelektronische Leuchtvorrichtung,

Fig. 17 die optoelektronische Leuchtvorrichtung der Fig. 16 sowie einen Träger für eine optoelektronische Leuchtvorrichtung,

Fig. 18 ein optoelektronisches Leuchtsystem,

Fig. 19 bis 22 jeweils eine optoelektronische Leuchtvorrichtung,

Fig. 23 die optoelektronische Leuchtvorrichtung der Fig. 22 und einen Träger für eine optoelektronische Leuchtvorrichtung,

Fig. 24 eine optoelektronische Leuchtvorrichtung,

Fig. 25 eine optoelektronische Leuchtvorrichtung,

Fig. 26 eine optoelektronische Leuchtvorrichtung,

Fig. 27 und 28 jeweils eine unterschiedliche Schnittansicht der optoelektronischen Leuchtvorrichtung der Fig. 26,

Fig. 29 eine optoelektronische Leuchtvorrichtung,

Fig. 30 die optoelektronische Leuchtvorrichtung der Fig. 29 und einen Träger für eine optoelektronische Leuchtvorrichtung,

Fig. 31 ein optoelektronisches Leuchtsystem,

Fig. 32 eine optoelektronische Leuchtvorrichtung mit einem Lot,

Fig. 33 die optoelektronische Leuchtvorrichtung der Fig. 32 ohne das Lot,

Fig. 34 eine optoelektronische Leuchtvorrichtung mit einer mehrteiligen Wanne als Lotsperre,

Fig. 35 bis 37 jeweils eine unterschiedliche Konfiguration einer mehrteiligen Wanne, wie sie für eine optoelektronische Leuchtvorrichtung verwendet werden kann,

Fig. 38 eine optoelektronische Leuchtvorrichtung,

Fig. 39 und 40 jeweils eine unterschiedliche Konfiguration einer zwei Wannen umfassenden Lotsperre, wie sie für die optoelektronische Leuchtvorrichtung der Fig. 38 verwendet werden kann,

Fig. 41 eine optoelektronische Leuchtvorrichtung,

Fig. 42 eine optoelektronische Leuchtvorrichtung,

Fig. 43 eine optoelektronische Leuchtvorrichtung,

Fig. 44 ein optoelektronisches Leuchtsystem,

Fig. 45 und 46 jeweils ein optoelektronisches Leuchtsystem,

Fig. 47 einen Träger für eine optoelektronische Leuchtvorrichtung und die optoelektronische Leuchtvorrichtung der Fig. 43,

Fig. 48 ein optoelektronisches Leuchtsystem,

Fig. 49 einen Träger für eine optoelektronische Leuchtvorrichtung und die optoelektronische Leuchtvorrichtung der Fig. 43,

Fig. 50 ein optoelektronisches Leuchtsystem,

Fig. 51 ein Ablaufdiagramm eines Verfahrens zum Herstellen einer optoelektronischen Leuchtvorrichtung,

Fig. 52 ein Verfahren zum Herstellen eines Trägers für einen optoelektronischen Halbleiterchip,

Fig. 53 eine optoelektronische Leuchtvorrichtung vor einem Löten auf einen Träger,

Fig. 54 ein optoelektronisches Leuchtsystem und

Fig. 55 bis 57 jeweils eine optoelektronische Leuchtvorrichtung vor einem Löten auf einen Träger

zeigen.

Im Folgenden können für gleiche Merkmale gleiche Bezugszeichen verwendet werden. Der Einfachheit halber sind in den Figuren in der Regel nur sehr schematische Darstellungen der

optoelektronischen Halbleiterchips, insbesondere der Laser, gezeigt. In der Regel umfasst ein optoelektronischer Halbleiterchip im Sinne der vorliegenden Erfindung insbesondere mehrere Epischichten (Epitaxieschichten), die auf einem Substrat gebildet sind, wobei die Epischichten vorzugweise strukturiert werden respektive sind, wobei die Epischichten vorzugsweise mit Passivierungsschichten und/oder Metallpads abgedeckt werden respektive sind. Diese Details sind der Einfachheit halber in der Regel in den Figuren weggelassen, so dass in der Regel nur der optoelektronische Halbleiterchip und ein Bondpad gezeichnet sind.

Nachfolgend wird das erfindungsgemäße Konzept unter anderem unter Bezugnahme auf Ausführungsbeispiele beispielhaft erläutert, in denen der Halbleiterchip auf den Träger gelötet wird. Anstelle oder zusätzlich ist nach weiteren Ausführungsformen vorgesehen, dass der Halbleiterchip auf den Träger geklebt wird.

Fig. 1 zeigt eine optoelektronische Leuchtvorrichtung 101 in einer Ansicht von oben. Die optoelektronische Leuchtvorrichtung 101 umfasst einen optoelektronischen Halbleiterchip 103. Der optoelektronische Halbleiterchip 103 ist zum Beispiel ein Laserchip.

Der Halbleiterchip 103 ist zum Beispiel nach einer Ausführungsform als ein kantenemittierender Halbleiterlaser ausgebildet.

Der Halbleiterchip 103 weist eine Oberseite 105 auf. Auf der Oberseite 105 ist Lot 107 aufgebracht. Auf der Oberseite 105 des Halbleiterchips 103 ist ferner eine Lotsperre 109 gebildet.

Die Lotsperre 109 umfasst vier Wände 111, 113, 115, 117, die ein in sich geschlossenes Rechteck bilden, wobei die Wände 117, 113 die Längswände des Rechtecks sind und wobei die Wände 111, 115 die Querwände des Rechtecks bilden.

Innerhalb des Rechtecks, welches durch die vier Wände 111, 113, 115, 117 gebildet ist, ist das Lot 107 beabstandet zu den vier Wänden 111, 113, 115, 117 angeordnet.

Die vier Wände 111, 113, 115, 117 der Lotsperre 109 bilden gemeinsam mit der Oberseite 105 eine Wanne, in welcher das Lot 107 aufgenommen oder angeordnet ist.

In einem Lötvorgang wird das Lot 107 erhitzt und zerfließt. Aufgrund der Lotsperre 109 kann aber das Lot 107 nicht über eine Chipkante hinausfließen und zum Beispiel eine Seitenflanke des Halbleiterchips 103 hinaufkriechen. Dadurch können in vorteilhafter Weise Nebenschlüsse an der Chipkante verhindert werden.

Das Bezugszeichnen 119 zeigt auf eine gestrichelt gezeichnete Schnittlinie (II-II).

Fig. 2 zeigt eine Querschnittsansicht entlang der Schnittlinie 119.

Für eine bessere Verständlichkeit ist hier eine Halbleiterschichtenfolge 209 umfassend mehrere Halbleiterschichten 203, 205, 207 des Halbleiterchips 103 schematisch dargestellt. Die Halbleiterschichtenfolge 209 umfasst eine aktive Zone 211 zur Erzeugung elektromagnetischer Strahlung, insbesondere zur Erzeugung von Licht.

Die Halbleiterschichtenfolge 209 ist auf einem Substrat 215 aufgewachsen oder angeordnet.

Das heißt, dass nach einer Ausführungsform ein Halbleiterchip im Sinne dieser Erfindung ein Substrat umfasst, auf welchem die Halbleiterschichtenfolge angeordnet oder aufgewachsen ist.

Der Halbleiterchip 103 weist eine Unterseite 201 auf, die der Oberseite 105 gegenüberliegt.

Nach einer Ausführungsform ist die Oberseite 105 des Halbleiterchips 103 die p-Seite. In diesem Fall ist dann die Unterseite 201 des Halbleiterchips 103 die n-Seite.

Die p-Seite des Halbleiterchips bezeichnet diejenige Seite des Halbleiterchips 103, welcher eine p-dotierte Halbleiterschicht der Halbleiterschichtenfolge 209 zugewandt ist. Entsprechend bezeichnet die n-Seite des Halbleiterchips 103 diejenige Seite des Halbleiterchips 103, die einer n-dotierten Halbleiterschicht der Halbleiterschichtenfolge 209 zugewandt ist.

Somit ist also zum Beispiel auf der p-Seite des Halbleiterchips 103 das Lot 107 aufgebracht, wobei die Lotsperre 109 somit ebenfalls auf der p-Seite des Halbleiterchips 103 angeordnet oder gebildet ist.

In der Querschnittsansicht der Fig. 2 ist nun besser die Halbleiterchipkante 213 zu erkennen. Aufgrund der Wände 111, 113, 115, 117 kann ein fließendes Lot 107 nicht über diese Chipkante 213 fließen und an Seitenflanken des Halbleiterchips 103 hochkriechen.

Fig. 3 zeigt die optoelektronische Leuchtvorrichtung 101 und einen Träger 301 in einer seitlichen Schnittansicht entlang der Schnittlinie 119.

Der Träger 301 umfasst einen Grundkörper 303. Der Grundkörper 303 weist eine Montageseite 305 auf. Der Halbleiterchip 103 wird mit dem Lot 107 und der Lotsperre 109 auf die Montagefläche 305 angeordnet, um anschließend den Halbleiterchip 103 an den Träger 301, also an den Grundkörper 303, zu löten.

Zum Beispiel ist vorgesehen, dass die Oberseite 105 die p-Seite des Halbleiterchips 103 ist, so dass der Halbleiterchip 103 mit der p-Seite auf die Montagefläche 305 gelötet wird.

Fig. 4 zeigt ein optoelektronisches Leuchtsystem 401.

Das Leuchtsystem 401 umfasst den Träger 301 sowie die optoelektronische Leuchtvorrichtung 101, wobei nun der Halbleiterchip 103 auf dem Träger 301 mittels Lot 107 gelötet ist.

Aufgrund des Vorhandenseins der Lotsperre 109 kann das Lot 107 nicht über die Chipkante 213 fließen und die Seitenflanken 403, 405 des Halbleiterchips 105 hochkriechen. Dies könnte anderenfalls zu einem Nebenschluss an der Chipkante 213 und/oder zu einem Nebenschluss am p-n-Übergang der Halbleiterschichtenfolge 209 führen.

Die Wände 111, 113, 115, 117 wirken somit zum einen als eine Sperre oder als ein Damm für das Lot 107.

Die Wände 111, 113, 115, 117 wirken des Weiteren insbesondere als Abstandshalter, der einen Mindestabstand zwischen der Oberseite 105 des Halbleiterchips 103 und der Montageseite 305 des Grundkörpers 303 vorgibt. Somit kann in vorteilhafter Weise verhindert werden, dass der Halbleiterchip 103 während des Lötvorgangs mit einem zu hohen Anpressdruck auf die Montagefläche 305 gepresst wird, was anderenfalls zu einem Herauspressen des Lots 107 führen könnte.

Nach einer Ausführungsform ist der Träger 301 als eine Wärmesenke ausgebildet. Dadurch wird zum Beispiel der technische Vorteil bewirkt, dass Wärme, die im Betrieb des Halbleiterchips 103 erzeugt wird, effizient abgeführt werden kann. Zum Beispiel ist vorgesehen, dass der Grundkörper 303 Kupfer umfasst.

Die erfindungsgemäße Grundidee ist also insbesondere darin zu sehen, dass das Lot durch eine oder mehre Wände, die auch als Seitenwände bezeichnet werden können, wie in einer Wanne, daran gehindert wird, über die Chipkante hinauszufließen. Dadurch können in vorteilhafter Weise Nebenschlüsse an der Chipkante verhindert werden.

Fig. 5 zeigt eine optoelektronische Leuchtvorrichtung 501 in einer Ansicht von oben.

Die Leuchtvorrichtung 501 ist im Wesentlichen analog zur Leuchtvorrichtung 101 der Fig. 1 ausgebildet. Als ein Unterschied ist das Lot 107 nicht beabstandet zu den Wänden 111, 113, 115, 117 der Lotsperre 109 angeordnet. Vielmehr ist das Lot 107 in direktem Kontakt mit den Wänden 111, 113, 115, 117 der Lotsperre 109.

Die Fig. 6 zeigt eine Querschnittsansicht entlang der Schnittlinie 119 (VI-VI) gemäß Fig. 5.

Nach einer Ausführungsform ist vorgesehen, dass das Lot 107 direkt auf die Oberseite 105 des Halbleiterchips 103 aufgebracht wird. Dies alternativ zu einem Aufbringen auf einem Bondpad. Das heißt, dass nach einer alternativen Ausführungsform vorgesehen ist, dass ein Bondpad auf der Oberseite 105 des Halbleiterchips 103 aufgebracht ist, wobei das Lot 107 dann auf dem Bondpad aufgebracht ist.

Nach einer Ausführungsform ist vorgesehen, dass das Lot 107 mit einer Gold umfassenden Deckschicht versehen ist. Dadurch wird in vorteilhafter Weise ein Aufoxidieren des Lots verhindert. Dadurch wird ferner in vorteilhafter Weise eine Haftung eines Dielektrikums oder von Dielektrika verringert. Dies spielt eine wesentliche Rolle bei einem Herstellen oder einem Bilden einer Lotsperre, was nachfolgend näher erläutert wird.

Nach einer Ausführungsform ist vorgesehen, dass um das Lot 107 eine oder mehrere Seitenwände (Wände) aufgebaut wer-

den, die das Lot 107 an einem seitlichen Verfließen hindern und gleichzeitig ein zu tiefes Eindrücken des Halbleiterchips 103 auf den Grundkörper 303 verhindern. Letzteres, also das zu tiefe Eindrücken, könnte ansonsten das Lot 107 an der Seite des Halbleiterchips 103 herausdrücken.

Nach einer Ausführungsform entspricht eine Höhe einer oder mehrerer oder aller der Wände 111, 113, 115, 117 der Höhe des aufgebrachten Lots 107.

Fig. 7 bis Fig. 11 zeigen jeweils in einer schematischen Darstellung einen Zeitpunkt in einem Verfahren zum Herstellen einer optoelektronischen Leuchtvorrichtung.

Gemäß Fig. 7 wird der Halbleiterchip 103 bereitgestellt, wobei eine Siliziumdioxidschicht auf der Oberseite 105 gebildet wird. Die Oberseite 105 wird somit komplett mit SiO_2 versehen. Zum Beispiel ist vorgesehen, dass SiO_2 mittels eines Sputterprozesses oder mittels eines CVD-Verfahrens aufgebracht wird. "CVD" steht für "Chemical Vapor Deposition" und wird in der Regel mit chemisches Abscheideverfahren übersetzt.

Die Lotschicht 107 oder das Lot ist mit einer Gold umfassenden Deckschicht 701 versehen, so dass das SiO_2 nicht direkt auf die Oberseite des Lots 107 aufgebracht wird, sondern auf die Oberfläche 705 der Golddeckschicht 701.

Durch die in der Regel sehr geringe Haftung des SiO_2 auf der Gold umfassenden Deckschicht 701 im Vergleich zur restlichen Chipoberfläche neben dem Lot 107 kann das SiO_2 in vorteilhafter Weise selektiv im Bereich der Goldabdeckung entfernt werden. Dies zeigt schematisch die Fig. 8. Hierbei zeigt das Bezugszeichen 803 auf bereits entfernte SiO_2-Schichtabschnitte.

Somit ist also eine optoelektronische Leuchtvorrichtung 801 gebildet, die eine Lotsperre 109 analog zu der in Fig. 5 gezeigten Lotsperre umfasst.

Nach einer Ausführungsform ist die Deckschicht 701 aus Gold oder aus einer Goldlegierung gebildet.

Das selektive Entfernen der SiO_2-Schicht kann zum Beispiel durch eine Hochdruckbehandlung und/oder durch ein Aufbringen und einem anschließenden Abziehen einer Klebefolie (ein so genanntes Tape-Lift-Off-Verfahren) durchgeführt werden.

Fig. 9 zeigt die Anordnung gemäß Fig. 7 vor einem Aufbringen von SiO_2 auf die Oberseite 105.

Fig. 10 zeigt die Anordnung der Fig. 7 in einer Draufsicht.

Fig. 11 zeigt die Anordnung der Fig. 8, also nach einem selektiven Entfernen der SiO_2-Schicht, in einer Draufsicht.

Fig. 12 zeigt ein optoelektronisches Leuchtsystem 1203 in einer Schnittansicht analog zu Fig. 2.

Das Leuchtsystem 1203 umfasst eine optoelektronische Leuchtvorrichtung 1201, die im Wesentlichen analog zur Leuchtvorrichtung 101 der Fig. 1 ausgebildet ist.

Als ein Unterschied ist das Lot 107 derart bemessen und/oder sind die Wände 111, 113, 115, 117 der Lotsperre 109 derart bemessen, dass die Wände 111, 113, 115, 117 der Lotsperre 109 im angeordneten Zustand des Halbleiterchips 103 auf den Träger 301 keinen Kontakt mit der Montagefläche 305 des Grundkörpers 303 haben.

Das heißt also, dass die Wände 111, 113, 115, 117 der Lotsperre 109 einen Abstand zur Montagefläche 305, die allgemein auch als eine Lotfläche bezeichnet werden kann, aufweisen, so dass das Lot 107 etwas Platz zum Ausdehnen und/oder Verfließen hat.

Das Volumen innerhalb der Wände 111, 113, 115, 117 ist nach einer Ausführungsform derart gewählt, dass es dem Volumen des Lots 107 entspricht.

Das Lot steht also zunächst nach oben über die Wände 111, 113, 115, 117 hinaus, kann aber bei Kontakt mit der Montagefläche 305, die allgemein auch als eine Wärmesenkenoberfläche bezeichnet werden kann, seitlich verfließen und sich in der Wanne verteilen. Die Wanne kann dadurch komplett oder auch nur zum Teil ausgefüllt werden.

Das Volumen der Wanne ist nach einer Ausführungsform kleiner als das Volumen des Lots (Lotvolumen). Dadurch wird zum Beispiel der technische Vorteil bewirkt, dass Lunker vermieden werden können.

Nach einer Ausführungsform ist das Volumen der Wanne größer als das Lotvolumen. Dadurch wird insbesondere der technische Vorteil bewirkt, dass sichergestellt werden kann, dass kein Lot aus der Wanne herausfließt.

Nach einer Ausführungsform wird der Halbleiterchip 103 bis zum Kontakt der Wände 111, 113, 115, 117 mit der Montagefläche 305 aufgedrückt oder auch weniger. Im ersten Fall wird in vorteilhafter Weise eine sehr genaue Höhenpositionierung des Halbleiterchips respektive einer Lichtaustrittsfläche des Halbleiterchips 103 erreicht. Im zweiten Fall wirkt die Wand oder wirken die Wände 111, 113, 115, 117 als ein Sicherheitsmerkmal für ein größeres Prozessfenster.

Fig. 13 zeigt einen optoelektronischen Halbleiterchip 103, wobei durch ein Abtragen eines Teils der Halbleiterschichtenfolge 209 ein Stegwellenleiter 1301 gebildet ist. Ein Stegwellenleiter 1301 kann auch als ein "Ridge" bezeichnet werden. Zum Beispiel wird der Ridge 1301 geätzt, so dass ein Teil der Halbleiterschichtenfolge 209 abgetragen wird. Das Vorsehen eines Stegwellenleiters 1301 verbessert in vorteilhafter Weise eine Wellenführung der erzeugten elektromagneti-

schen Strahlung. Nach einer Ausführungsform ist vorgesehen, dass zum Beispiel am Rand des Stegwellenleiters 1301 die Halbleiterschichtenfolge 209 stehen gelassen wird, so dass sich bereits dadurch die Wände 111, 113, 115, 117 der Lotsperre 109 ergeben oder zumindest ein Teil dieser Wände 111, 113, 115, 117. Das heißt, dass die Wände 111, 113, 115, 117 der Lotsperre 109 zum Beispiel zumindest teilweise, insbesondere vollständig, aus der Halbleiterschichtenfolge 209 gebildet sind respektive werden.

Die stehen gelassenen Seitenwände in der Halbleiterschichtenfolge 209 sind mit den Bezugszeichen 1303 und 1305 gekennzeichnet.

Auf der Oberseite 105 ist teilweise eine Passivierungsschicht 1307 aufgebracht, wobei das Lot 107 auf der Passivierungsschicht 1307 aufgebracht ist.

Fig. 14 zeigt die Anordnung der Fig. 13, wobei auf die Seitenwände 1303, 1305 jeweils eine Erhöhung 1403, 1405 aufgebracht ist. Die Erhöhung 1403, 1405 ist zum Beispiel mittels eines Aufbringens von SiO_2 gebildet worden. Anstelle oder zusätzlich zu SiO_2 kann zum Bilden der Erhöhungen 1403, 1405 zum Beispiel ein oder mehrere Verbindungen aus der Gruppe der Oxide oder Nitride oder Oxidnitride von Al, Ce, Ga, Hf, In, Mg, Nb, Rh, Sb, Si, Sn, Ta, Ti, Zn, Zr verwendet werden.

Die Wände 111, 113, 115, 117 sind somit zu einem Teil aus den stehen gelassenen Seitenwänden 1303, 1305 und zu einem anderen Teil aus dem zusätzlich aufgebrachten Material, also der Erhöhung 1403, 1405, gebildet.

Somit zeigt die Fig. 14 eine optoelektronische Leuchtvorrichtung 1401 gemäß einem Ausführungsbeispiel der vorliegenden Erfindung.

Fig. 15 zeigt die Anordnung gemäß Fig. 14 ohne das Lot 107. Anstelle des Lots 107 ist auf die Oberseite 105 eine Benet-

zungsschicht 1503 aufgebracht worden. Eine solche Benetzungsschicht 1503 bewirkt in vorteilhafter Weise eine verbesserte Anhaftung von Lot an der Oberseite 105. Dies ist zum Beispiel sinnvoll, wenn das Lot 107 auf der Montagefläche 305 des Grundkörpers 303 aufgebracht ist.

Allgemein kann die Montagefläche 305 eines Grundkörpers 303 auch als eine Montageseite bezeichnet werden. Montageseite und Montagefläche des Grundkörpers werden somit im Sinne dieser vorliegenden Erfindung synonym verwendet.

Somit zeigt die Fig. 15 eine optoelektronische Leuchtvorrichtung 1501 gemäß einem Ausführungsbeispiel der vorliegenden Erfindung.

Anstelle oder zusätzlich zur Benetzungsschicht 1503 ist nach einer weiteren Ausführungsform ein Kontaktpad vorgesehen.

Nach einer Ausführungsform ist vorgesehen, dass die Erhöhung 1403, 1405 direkt auf den stehen gelassenen Seitenwänden 1303, 1305 aufgebracht wird, wobei erst dann auf die Erhöhungen 1403, 1405 die Passivierungsschicht 1307 aufgebracht wird.

Das heißt also, dass sich die Erhöhung 1403, 1405 oberhalb oder unterhalb der Passivierungsschicht 1307 befinden kann.

Fig. 16 zeigt eine optoelektronische Leuchtvorrichtung 1601, die im Wesentlichen analog zur optoelektronischen Leuchtvorrichtung 801 der Fig. 8 ausgebildet ist.

Als ein Unterschied ist die Oberseite 105 nicht mit Lot versehen. Das heißt, dass die optoelektronische Leuchtvorrichtung 1601 frei von Lot ist. Anstelle des Lots 107 mit der Gold umfassenden Deckschicht 701 ist eine Benetzungsschicht 1503 vorgesehen. Das heißt, dass innerhalb der Wanne, die durch die Wände 111, 113, 115, 117 der Lotsperre 109 und

der Oberseite 105 des Halbleiterchips 103 gebildet ist, die Benetzungsschicht 1503 vorgesehen oder angeordnet ist.

Fig. 17 zeigt eine Querschnittsansicht entlang der Schnittlinie 119 (XVII-XVII) gemäß Fig. 16.

Das Lot 107 ist nun auf der Montageseite 305 oder Montagefläche des Grundkörpers 303 des Trägers 301 vorgesehen. Die Lotsperre 109 ist weiterhin an der Oberseite 105 des Halbleiterchips 103 vorgesehen.

Der Halbleiterchip 103 wird somit mit seiner Oberseite 105 auf das Lot 107 des Grundkörpers 303 angeordnet.

Fig. 18 zeigt die Anordnung gemäß Fig. 17 nach einem Verlöten.

Durch das Vorsehen der Lotsperre 109 wird in vorteilhafter Weise verhindert, dass das auf der Montageseite 305 aufgebrachte Lot 107 beim Löten über die Halbleiterchipkante läuft und die Seitenflanken hinaufkriecht. Dadurch werden in vorteilhafter Weise Nebenschlüsse vermieden.

Durch das Vorsehen der Benetzungsschicht 1503, die auch als eine Kontaktschicht bezeichnet werden kann, innerhalb der Wanne wird somit in vorteilhafter Weise eine verbesserte und effiziente Anhaftung des Halbleiterchips 103 am Grundkörper 303 bewirkt.

Somit zeigt die Fig. 18 ein optoelektronisches Leuchtsystem 1801 gemäß einem Ausführungsbeispiel der vorliegenden Erfindung.

Das heißt also, dass nach einer Ausführungsform das Lot auf dem Grundkörper des Trägers vorgesehen ist. Da somit der Grundkörper eine gewisse Struktur aufweist, kann der Grundkörper auch als ein strukturierter Grundkörper bezeichnet werden. Sofern der Träger als eine Wärmesenke ausgebildet

ist, kann in diesem Fall von einer strukturierten Wärmesenke geschrieben werden.

Nach einer Ausführungsform ist nur so viel Lot 107 vorgesehen, dass es innerhalb der Wanne aufgenommen werden kann.

Die Benetzungsschicht 1503 innerhalb der Wanne ist nach einer Ausführungsform so breit wie die Wanne selbst oder nach einer weiteren Ausführungsform schmaler.

Fig. 19 zeigt eine weitere optoelektronische Leuchtvorrichtung 1901 in einer vereinfachten Draufsicht.

Die Leuchtvorrichtung 1901 ist im Wesentlichen analog zur Leuchtvorrichtung 101 der Fig. 1 ausgebildet.

Als ein Unterschied ist die Wanne an einer Seite offen. Das heißt, dass die Lotsperre 109 lediglich drei Wände 111, 113 und 117 aufweist. Das heißt, dass es an der einen Querwand 115 fehlt. Somit ist die Wanne an einer Seite offen und somit nur teilweise seitlich geschlossen.

Nach einer Ausführungsform, wenn der Halbleiterchip 103 ein Laser ist, ist die Wanne zur HR-Seite eines Lasers offen. Dadurch wird zum Beispiel in vorteilhafter Weise verhindert, dass das Lot an der AR-Seite des Lasers herausquillt und eine Abstrahlcharakteristik stört. Das heißt zum Beispiel, dass die Wanne an der AR-Seite geschlossen ist.

Somit befindet sich die HR-Seite des Lasers an der offenen Seite der Wanne. Die AR-Seite des Lasers befindet sich somit an der Querwand 111.

Fig. 20 zeigt eine weitere optoelektronische Leuchtvorrichtung 2001 in einer vereinfachten Draufsicht.

Die Leuchtvorrichtung 2001 ist im Wesentlichen analog zur Leuchtvorrichtung 101 gemäß Fig. 1 ausgebildet. Als ein Un-

terschied ist die Wanne an den Querseiten des Rechtecks offen. Das heißt, dass es an den Querwänden 111, 115 fehlt. Somit ist die Lotsperre 109 lediglich aus den beiden Wänden 113, 117 gebildet.

Fig. 21 zeigt eine Leuchtvorrichtung 2101, die im Wesentlichen analog zur Leuchtvorrichtung 2001 gemäß Fig. 20 ausgebildet ist.

Als ein Unterschied ist das Lot 107 beabstandet zu den beiden gegenüberliegenden Längswänden 113, 117 auf der Oberseite 105 des Halbleiterchips 103 aufgebracht. Sofern der Halbleiterchip 103 als ein Laser ausgebildet ist, der einen Ridge aufweist, wird dadurch in vorteilhafter Weise der technische Vorteil bewirkt, dass die Wände 113, 117 den Ridge nicht berühren, so dass dieser dadurch mechanisch entlastet wird. Dies bewirkt in vorteilhafter Weise eine bessere Alterungsstabilität des Halbleiterchips 103.

Somit ist nach beispielhaften Ausführungsformen vorgesehen, dass die Wanne seitlich zu einer oder zu mehreren Seiten offen ist, um in vorteilhafter Weise ein Abfließen von überschüssigem Lot zu ermöglichen.

Selbst wenn aufgrund des Abfließens des überschüssigen Lots tatsächlich Lot an einer der Facetten herausgedrückt werden sollte, so ist dies in der Regel aus folgenden Gründen nicht besonders kritisch: Laser sind im allgemeinen im Facettenbereich verspiegelt, also zum Beispiel mit einem Dielektrikum beschichtet. Dadurch sind sie gleichzeitig elektrisch passiviert. An den Seitenflanken eines Halbleiterchips Chips gibt es üblicherweise keine solche Passivierung, so dass hier besonders leicht Nebenschlüsse entstehen können.

Die Wände sind in weiteren Ausführungsformen auch an anderen definierten Stellen geöffnet, an denen beispielsweise die Chipflanken gezielt so ausgebildet sind, dass hier die Flanken unempfindlicher gegen Nebenschlüsse sind. So kann bei-

spielsweise die Wand in einem Bereich geöffnet werden, wo der Mesagraben (auch einfach als Mesa bezeichnet) sehr tief geätzt ist. Eine tiefe Mesa hat jedoch Nachteile beim Facettenbrechen. Die Erfindung ermöglicht es in vorteilhafter Weise, dass die Mesa (also der oder die Mesagräben) nur an bestimmten Stellen tiefer ausbilden werden muss respektive müssen, wo es beispielsweise das Facettenbrechen nicht stört. Dort sind dann die Wände geöffnet.

Fig. 22 zeigt eine optoelektronische Leuchtvorrichtung 2201.

Die optoelektronische Leuchtvorrichtung 2201 ist im Wesentlichen analog zur Leuchtvorrichtung 101 gemäß Fig. 1 ausgebildet. Als ein Unterschied weisen die vier Wände 111, 113, 115, 117 der Lotsperre 109 Lücken 2203 auf. Das heißt, dass die einzelnen Wände des Rechtecks oder der Wanne nicht komplett geschlossen sind, sondern an einer oder an mehreren Stellen unterbrochen sind, den Lücken 2203 also.

Somit sind also mehrere voneinander beabstandete Wände 2205 auf der Oberseite 105 des Chips 103 angeordnet oder ausgebildet. Durch die Lücken 2203 kann in vorteilhafter Weise Luft beim Löten seitlich entweichen. Dennoch wirken die voneinander beabstandeten Wände 2205 weiterhin als ein Abstandshalter, der verhindert, dass das Lot 107 unter dem Halbleiterchip 103 herausgedrückt wird.

Das Bezugszeichen 119 (XXIII-XXIII) zeigt auf eine Schnittlinie durch den Halbleiterchip 103. Die entsprechende Schnittansicht zeigt die Fig. 23.

Fig. 23 zeigt ein optoelektronisches Leuchtsystem 2301.

Das Leuchtsystem 2301 umfasst die Leuchtvorrichtung 2201 der Fig. 22 und einen Träger 301. In der in Fig. 23 gezeigten Darstellung ist die Leuchtvorrichtung 2201 noch nicht auf dem Träger 301 aufgelötet.

Fig. 24 zeigt eine optoelektronische Leuchtvorrichtung 2401 in einer Querschnittsansicht.

Die Leuchtvorrichtung 2401 ist im Wesentlichen analog zur Leuchtvorrichtung 1401 gemäß Fig. 14 ausgebildet.

Als ein Unterschied sind zwei Mesagräben 2403, 2405 an der Oberseite 105 des Halbleiterchips 103 ausgebildet. Diese Mesagräben 2403, 2405 verlaufen innerhalb der Wanne. Die Mesagräben 2403, 2405 sind vorzugsweise mit der Passivierungsschicht 1307 bedeckt.

Durch das Vorsehen solcher Mesagräben 2403, 2405 wird in vorteilhafter Weise bewirkt, dass mehr Volumen für einen Lotablauf zur Verfügung steht.

Nach einer Ausführungsform ist vorgesehen, dass die Mesagräben 2403, 2405 eine Länge aufweisen, die kürzer ist als eine Länge des Halbleiterchips 103.

Nach einer Ausführungsform entspricht eine Länge eines Mesagrabens einer Länge des Halbleiterchips.

Durch die Mesagräben, die innerhalb der Wanne angeordnet sind, wird also in vorteilhafter Weise mehr Volumen für ein Abfließen des Lots 107 zur Verfügung gestellt.

Fig. 25 zeigt eine optoelektronische Leuchtvorrichtung 2501 in einer Querschnittsansicht.

Die Leuchtvorrichtung 2501 ist im Wesentlichen analog zur Leuchtvorrichtung 2401 gemäß Fig. 24 ausgebildet.

Zusätzlich zu den beiden Mesagräben 2403, 2405 sind einander gegenüberliegende Mesagräben 2503, 2505 vorgesehen oder gebildet, die außerhalb der Wanne angeordnet sind.

Diese Mesagräben 2503, 2505 verlaufen entlang der Längsrichtung der Wanne am Rand der Oberseite 105 des Halbleiterchips 103. Somit gehen diese Mesagräben 2503, 2505 bis zur Chipkante 213. Es ist nach einer Ausführungsform vorgesehen, dass diese Mesagräben 2503, 2505 mit der Passivierungsschicht 1307 versehen sind.

Auch die Mesagräben 2503, 2505, die außerhalb der Wanne angeordnet sind, bewirken in vorteilhafter Weise, dass ein zusätzliches Volumen für den Lotablauf zur Verfügung steht. Dadurch wird in vorteilhafter Weise eine zusätzliche Sicherheit gegen Kurzschlüsse an der Chipkante 213 bewirkt.

Fig. 26 zeigt in einer Draufsicht eine optoelektronische Leuchtvorrichtung 2601.

Die Leuchtvorrichtung 2601 weist vier Wände 2205 auf, die voneinander beabstandet sind. Das heißt, dass Lücken 2203 zwischen den Wänden 2205 gebildet sind. Diese Wände 2205 bilden eine Lotsperre 109.

In Längsrichtung am Rand der Oberseite 105 sind analog zur Leuchtvorrichtung 2501 der Fig. 25 Mesagräben 2503, 2505 ausgebildet.

Die Mesagräben 2503, 2505 weisen gemäß dieser Ausführungsform jeweils zwei Facettenabschnitte 2607 auf. Diese Facettenabschnitte 2607 grenzen jeweils an eine Facette 2603 respektive 2605 des Halbleiterchips 103 an. Die beiden Facetten 2603, 2605 sind einander gegenüberliegend gebildet.

Zwischen den Facettenabschnitten 2607 ist jeweils ein Zwischenabschnitt 2609 gebildet. Das heißt also, dass die Mesagräben 2503, 2505 jeweils von der einen Facette 2603 zur anderen Facette 2605 verlaufen und jeweils einen an eine der beiden Facetten 2603, 2605 angrenzenden Facettenabschnitt 2607 und einen zwischen den beiden Facettenabschnitten 2607 verlaufenden Zwischenabschnitt 2609 aufweisen.

Es ist nach dieser Ausführungsform vorgesehen, dass eine Tiefe des Zwischenabschnitts 2609 größer ist als eine jeweilige Tiefe der beiden Facettenabschnitte 2607.

Zur besseren Veranschaulichung sind in Fig. 26 zwei Schnittlinien 2611 (XXVIII-XXVIII), 2613 (XXVII-XXVII) als gestrichelte Linien eingezeichnet.

Fig. 27 zeigt eine Querschnittsansicht entlang der Schnittlinie 2613 (XXVII-XXVII).

Fig. 28 zeigt eine Querschnittsansicht entlang der Schnittlinie 2611 (XXVIII-XXVIII).

Es ist also nach einer Ausführungsform vorgesehen, dass eine Tiefe eines oder mehrerer Mesagräben über eine Chiplänge variiert. Zum Beispiel variiert eine Ätztiefe der Mesagräben über den Chip.

Im Bereich einer Facette ist die Tiefe, insbesondere die Ätztiefe, geringer als im Zwischenabschnitt, um in vorteilhafter Weise eine optimale Qualität beim Facettenbrechen zu gewährleisten.

In einem Bereich weiter weg von den Facetten, also in dem Zwischenabschnitt, ist eine Tiefe, insbesondere eine Ätztiefe, größer, um ein Hochkriechen von Lot und damit Kurzschlüsse effizient zu verhindern.

Die Leuchtvorrichtung 2601 weist eine Lotsperre 109 auf, deren Wände 2205 an den Facettenbereich 2607 angrenzen. Durch das Anbringen von Wänden im Facettenbereich 2607 wird in vorteilhafter Weise bewirkt, dass das Lot 107 beim Löten vom flachen Bereich, also von den Facettenabschnitten 2607, der Mesagräben 2503, 2505 ferngehalten wird. Dadurch wird in vorteilhafter Weise ein Kurzschluss oder werden Kurzschlüsse verhindert.

In den tieferen Bereichen, den Zwischenabschnitten 2609, kann sich das fließende Lot 107 beim Löten frei ausbreiten. Dies bewirkt in vorteilhafter Weise eine Prozesssicherheit bezüglich eines Lotvolumens/Grabenvolumens (Volumen des Mesagrabens 2503, 2505). In diesen Bereichen, in den Zwischenabschnitten 2609, besteht in der Regel keine Gefahr von Kurzschlüssen über die Seitenflanke 403, 405, da hier der Zwischenabschnitt 2609 in der Regel eine ausreichende Tiefe aufweist, um ein Hochkriechen des Lots 107 bis hin in einen unpassivierten n-leitenden Bereich des Substrats 215 zu verhindern.

Fig. 29 zeigt eine optoelektronische Leuchtvorrichtung 2901 in einer Draufsicht.

Die Leuchtvorrichtung 2901 ist frei von einer Lotsperre. Das heißt also, dass an der Oberseite 105 keine Wände einer Wanne ausgebildet sind. Ferner ist die Leuchtvorrichtung 2901 frei von einem Lot. Anstelle des Lots ist eine Benetzungsschicht 1503 auf der Oberseite 105 des Halbleiterchips 103 aufgebracht.

Fig. 30 zeigt eine Querschnittsansicht entlang der Schnittlinie 119 (XXX-XXX) gemäß Fig. 29.

Die Leuchtvorrichtung 2901 wird auf einen Träger 301 angeordnet, um den Halbleiterchip 103 auf den Träger 301 zu löten.

Der Träger 301 umfasst einen Grundkörper 303, der eine Montageseite 305 oder Montagefläche aufweist. Auf der Montageseite 305 ist Lot 107 angeordnet. Das Lot 107 ist innerhalb einer Lotsperre aufgenommen. Das heißt, dass analog zu den Lotsperren, wie es im Zusammenhang mit den verschiedenen Leuchtvorrichtungen beschrieben wurde, eine solche Lotsperre analog auch auf der Montageseite 305 des Grundkörpers 303 gebildet oder angeordnet oder ausgebildet sein kann. Somit umfasst die Lotsperre des Trägers 301 Wände 113, 117 analog zu den Wän-

den 113, 117 der Leuchtvorrichtung 101 gemäß Fig. 1. Ebenfalls umfasst die Lotsperre des Trägers 301 nach einer Ausführungsform Querwände 111, 115 analog zu den Wänden 111, 115 der Lotsperre 109 der Leuchtvorrichtung 101 gemäß Fig. 1.

Die sich daraus ergebenden technischen Vorteile und technischen Wirkungen sind somit analog zu den technischen Vorteilen und technischen Wirkungen zu sehen, wie sie im Zusammenhang mit den Leuchtvorrichtungen beschrieben sind.

Fig. 31 zeigt die Leuchtvorrichtung 2901 in einem verlöteten Zustand. Das heißt, dass der Halbleiterchip 103 mittels des Lots 107 auf dem Grundkörper 303 gelötet ist.

Somit zeigt die Fig. 31 ein optoelektronisches Leuchtsystem 3101 nach einer Ausführungsform der vorliegenden Erfindung.

Das heißt also, dass die Wanne, die das Lot aufnimmt oder im Lötvorgang aufnehmen soll, auch auf der Montageseite des Grundkörpers des Trägers ausgebildet oder strukturiert ist.

Nach einer Ausführungsform ist eine Breite eines Bondpads, insbesondere eines Bondpads eines Lasers, kleiner als 200 µm, insbesondere kleiner als 100 µm, da es in der Regel nur zur Kontaktierung auf das Lot 107 benötigt wird.

Das heißt also, dass die Benetzungsschicht 1503 zum Beispiel eine Breite von kleiner als 200 µm, insbesondere kleiner als 100 µm, aufweist.

Denn in Ausführungsbeispielen, in denen das Lot auf der Montageseite 305 aufgebracht ist, muss in der Regel kein Bondball mehr auf der Oberseite 105 des Halbleiterchips 103 Platz auf einem Bondpad finden.

Nach einer Ausführungsform ist somit vorgesehen, dass das Lot 107 auf der Oberseite 105 und/oder auf der Montageseite 305 des Grundkörpers 303 aufgebracht oder angeordnet ist.

Fig. 32 zeigt eine optoelektronische Leuchtvorrichtung 3201 in einer Querschnittsansicht.

Die Leuchtvorrichtung 3201 ist im Wesentlichen analog zur Leuchtvorrichtung 2501 der Fig. 25 ausgebildet.

Als ein Unterschied ist auf der Passivierungsschicht 1307 noch eine Benetzungsschicht 1503 aufgebracht. Die Benetzungsschicht 1503 bedeckt aber nicht die komplette Passivierungsschicht 1307, sondern lediglich einen Bereich der Passivierungsschicht 1307, der von einem der Mesagräben 2405, 2403 bis zum anderen der beiden Mesagräben 2403, 2405 verläuft. Somit ist auch unterhalb des Lots 107 eine Benetzungsschicht 1503 vorgesehen.

Fig. 33 zeigt die optoelektronische Leuchtvorrichtung 3201 gemäß Fig. 32, aber ohne das Lot 107.

Das heißt also insbesondere, dass nach einer Ausführungsform eine Innenseite der Wanne zumindest teilweise, insbesondere vollständig, mit einer Benetzungsschicht, die zum Beispiel eine metallische Benetzungsschicht ist, für das Lot ausgekleidet ist. Insbesondere wenn das Lot auf der Montageseite des Grundkörpers aufgebracht ist, ist es sinnvoll, eine solche Benetzungsschicht vorzusehen. Denn dadurch wird in vorteilhafter Weise eine bessere mechanische Stabilität einer Lötverbindung bewirkt.

Fig. 34 zeigt eine optoelektronische Leuchtvorrichtung 3401 in einer Querschnittsansicht.

Zusätzlich zu den bisher gezeigten Seitenwänden 113, 117 umfasst die Lotsperre 109 noch eine weitere Wand 3403, wobei diese weitere Wand 3403 entlang der Kante oder Außenkante der

Oberseite 105 verläuft. Das heißt, dass die eine Längswand 113 zwischen den beiden Wänden 117, 3403 angeordnet ist.

Das Lot 107 befindet sich, wie bereits vorstehend beschrieben, zwischen den beiden Wänden 113, 117 und ist somit innerhalb einer Wanne 3405 aufgenommen, die durch die beiden Wände 117, 113 und der Oberseite 105 gebildet wird.

Aufgrund des Vorsehens der weiteren Wand 3403 ist eine zweite Wanne 3407 gebildet, die durch die beiden Wände 113, 3403 und die Oberseite 105 gebildet ist. Innerhalb dieser Wanne ist weiteres Lot 107 aufgenommen, welches eine verbesserte mechanische Stabilisierung im gelöteten Zustand bewirkt.

Fig. 35 zeigt eine Draufsicht auf die Leuchtvorrichtung 3401 gemäß Fig. 34. Es ist eine Schnittlinie 119 (XXXIV-XXXIV) eingezeichnet, wobei die Fig. 34 eine Querschnittsansicht entlang dieser Schnittlinie 119 (XXXIV-XXXIV) gemäß Fig. 35 zeigt.

Die beiden Wannen 3405, 3407 sind jeweils an zwei gegenüberliegenden Seiten offen. Dies analog zu der in Fig. 20 und 21 gezeigten Lotsperre.

Fig. 36 und 37 zeigen jeweils eine vereinfachte Draufsicht auf eine optoelektronische Leuchtvorrichtung 3601 respektive 3701 mit unterschiedlichen Ausgestaltungen von zwei Wannen für das Lot.

Somit zeigt die Fig. 36 die optoelektronische Leuchtvorrichtung 3601, wobei eine weitere Querwand 3603 vorgesehen ist, die die Wand 117 mit der Wand 113 verbindet. Somit ist also das ursprüngliche Rechteck mittels der Wand 3603 in zwei kleinere Rechtecke unterteilt, so dass diese unterteilten Rechtecke jeweils eine Wanne 3405, 3407 bilden. Innerhalb jeder Wanne 3405, 3407 ist Lot 107 angeordnet.

Somit umfasst die Lotsperre 109 der Leuchtvorrichtung 3601 gemäß Fig. 36 zwei Wannen 3405, 3407, die vollständig voneinander abgetrennt sind. Dies mittels der Wand 3603.

Dadurch wird also zum Beispiel der technische Vorteil bewirkt, dass beim Löten verhindert wird, dass Lot 107 von der einen Wanne zur anderen oder in die andere Wanne fließen kann. Dadurch wird in vorteilhafter Weise ein Nebenschluss zwischen elektrischen Kontakten, die sich jeweils innerhalb einer der Wannen befinden, verhindert.

Fig. 37 zeigt eine optoelektronische Leuchtvorrichtung 3701 in einer vereinfachten Draufsicht.

Die Leuchtvorrichtung 3701 ist im Wesentlichen analog zur Leuchtvorrichtung 3601 gemäß Fig. 36 ausgebildet.

Als ein Unterschied ist die Querwand 3603 nicht durchgehend ausgebildet, sondern weist eine Lücke 2203 auf. Die beiden Wannen 3405, 3407 sind somit nicht vollständig voneinander getrennt.

Fig. 38 zeigt eine optoelektronische Leuchtvorrichtung 3801 in einer Querschnittsansicht.

An der Oberseite 105 des Halbleiterchips 103 sind zwei Kontakte gebildet oder ausgebildet: ein p-Kontakt 3809 und ein n-Kontakt 3811. Der p-Kontakt 3809 kontaktiert somit eine p-leitende Halbleiterschicht der Halbleiterschichtenfolge 209. Der n-Kontakt 3811 kontaktiert eine n-leitende Halbleiterschicht der Halbleiterschichtenfolge 209. Der n-Kontakt 3811 verläuft somit durch die Halbleiterschichtenfolge 209 und ist seitlich mit einer Passivierungsschicht 1307 versehen, um nicht die p-leitende Halbleiterschicht der Halbleiterschichtenfolge 209 zu kontaktieren.

Somit wird also der Halbleiterchip 103 vollständig von der Oberseite 105 her kontaktiert.

Die Leuchtvorrichtung 3801 weist eine Lotsperre umfassend zwei Wannen 3405, 3407 analog zur Lotsperre mit den zwei Wannen gemäß der Leuchtvorrichtung 3401 gemäß Fig. 34 auf.

Der p-Kontakt 3809 ist innerhalb der Wanne 3405 aufgenommen. Der n-Kontakt 3811 ist innerhalb der Wanne 3407 aufgenommen.

Fig. 39 und Fig. 40 zeigen jeweils eine vereinfachte Draufsicht auf eine optoelektronische Leuchtvorrichtung 3910 respektive 4001. Es ist jeweils eine Schnittlinie 119 (XXXVIII-XXXVIII) eingezeichnet, wobei die Fig. 38 eine dieser Schnittlinie 119 (XXXVIII-XXXVIII) entsprechende Querschnittsansicht zeigt.

So zeigt die Fig. 39 die optoelektronische Leuchtvorrichtung 3901, wobei hier die Lotsperre gemäß dieser Ausführungsform zwei voneinander abgetrennte Wannen 3405, 3407 umfasst.

Gemäß der Leuchtvorrichtung 4001 der Fig. 40 ist die Wanne 3405 an zwei gegenüberliegenden Seiten offen, insofern an den entsprechenden Querwänden Lücken 2203 ausgebildet sind.

Die in Fig. 38 bis 40 gezeigte Wand mit den Bezugszeichen 3803 respektive 3805 respektive 3807 entspricht im Wesentlichen den Wänden 117 respektive 113 respektive 3403 der Lotsperre gemäß der Leuchtvorrichtung 3401 der Fig. 34.

Fig. 41 zeigt eine optoelektronische Leuchtvorrichtung 4101.

Die Leuchtvorrichtung 4101 umfasst mehrere Halbleiterchips, die als Laser 4103 ausgebildet sind. Die mehreren Laser 4103 bilden einen Laserbarren 4105. Eine Unterseite 4107 des Laserbarrens 4105 wird durch die jeweiligen Unterseiten der Laser 4103 gebildet.

Der Laserbarren 4105 umfasst an seiner Unterseite 4107 eine Lotsperre 109, die analog zur Lotsperre 109 gemäß der Leucht-

vorrichtung 101 gemäß Fig. 1 eine Wanne umfasst, die aus den vier Wänden 111, 113, 115, 117 und der Unterseite 4107 gebildet wird. Innerhalb dieser Wanne ist Lot 107 vorgesehen oder aufgenommen.

Fig. 42 zeigt eine optoelektronische Leuchtvorrichtung 4201 in einer vereinfachten Draufsicht.

Die Leuchtvorrichtung 4201 ist im Wesentlichen analog zur Leuchtvorrichtung 4101 der Fig. 41 ausgebildet.

Als ein Unterschied sind drei Wannen 4205, 4207, 4209 gebildet. Dies insbesondere dadurch, dass das ursprüngliche Rechteck gemäß Fig. 41 gebildet aus den vier Wänden 111, 113, 115, 117 durch zwei Querwände 4203 in drei Wannen unterteilt ist. In jeder der drei Wannen 4205, 4207, 4209 sind drei Laser 4103 aufgenommen, die jeweils mit einem Lot 107 versehen sind, wobei das jeweilige Lot 107 der einzelnen Laser 4103 voneinander beabstandet ist.

Das heißt also, dass nach einer Ausführungsform auf einem Laserbarren alle Emitter (Laser) innerhalb einer einzigen Wanne angeordnet sind. Dadurch wird zum Beispiel eine gute thermische Anbindung der Laser untereinander und insbesondere an eine Wärmesenke ermöglicht.

Nach einer Ausführungsform ist vorgesehen, dass jeder Laser seine eigene Wanne erhält, das heißt, dass das Lot eines Lasers in einer eigenen Wanne aufgenommen ist.

Nach einer Ausführungsform ist vorgesehen, dass mehrere Laser in Gruppen zusammengefasst werden innerhalb je einer Wanne. Dadurch kann in vorteilhafter Weise ein thermisches Übersprechen zwischen den Lasern beeinflusst werden.

Fig. 43 zeigt eine optoelektronische Leuchtvorrichtung 4301 in einer Querschnittsansicht.

Die Lotsperre mit den Wänden 113, 117 ist gemäß dieser Ausführungsform an der Unterseite 201, die zum Beispiel die n-Seite ist, angeordnet. Somit ist das Lot 107 an der Unterseite 201 des Halbleiterchips 103 in der entsprechend gebildeten Wanne angeordnet.

An der Oberseite 105 des Halbleiterchips 103, die zum Beispiel die p-Seite ist, ist die Benetzungsschicht 1503 vorgesehen.

Die Leuchtvorrichtung 4301 wird somit mit der Unterseite 201 des Halbleiterchips 103 auf die Montageseite 305 des Grundkörpers 303 des Trägers 301 angeordnet.

Fig. 44 zeigt die Leuchtvorrichtung 4301 in einem verlöteten Zustand. Das heißt, dass der Halbleiterchip 103 mit der Unterseite 201 auf der Montagefläche 305 verlötet ist.

Somit zeigt die Fig. 44 ein optoelektronisches Leuchtsystem 4401 gemäß einer Ausführungsform der vorliegenden Erfindung.

Das heißt also, dass alle im Rahmen dieser Beschreibung beschriebenen Ausführungsformen auch auf einer n-Seite eines Halbleiterchips ausgeführt werden können. Das Löten der n-Seite auf eine Lotfläche oder Montageseite ist in der Regel zwar nicht so kritisch bezüglich Nebenschlüssen wie das Löten der p-Seite auf die Montagefläche. Dennoch kann die Wanne oder allgemein die Lotsperre in vorteilhafter Weise auch dafür eingesetzt werden, dass das Lot 107 definiert unter dem Halbleiterchip, insbesondere unter dem Laser, bleibt und nicht seitlich verfließt.

Insbesondere bei einer Weichlot-Montage (zum Beispiel wenn das Lot Indium umfasst) kann so auch in vorteilhafter Weise eine Alterungsstabilität erhöht werden, da das Lot nicht an der Seitenwand des Halbleiterchips hochkriechen kann. Zudem wird durch das Vorsehen einer Lotsperre, die gleichzeitig

auch als ein Abstandshalter wirkt, eine vertikale Positionsgenauigkeit erhöht.

Fig. 45 zeigt eine optoelektronische Leuchtvorrichtung 4503 in einer vereinfachten Querschnittsansicht aufgelötet auf einem Träger 301. Somit zeigt die Fig. 45 ein optoelektronisches Leuchtsystem 4501 gemäß einer Ausführungsform der vorliegenden Erfindung.

Der Halbleiterchip 103 gemäß der Leuchtvorrichtung 4503 der Fig. 45 ist zum Beispiel ein Leuchtdiodenchip (LED-Chip). Die Unterseite 201 ist hier zum Beispiel die p-Seite. Die Oberseite 105 des Chips 103 der Leuchtvorrichtung 4503 ist zum Beispiel die n-Seite.

Fig. 46 zeigt ein optoelektronisches Leuchtsystem 4601 gemäß einer Ausführungsform der vorliegenden Erfindung.

Das Leuchtsystem 4601 umfasst eine optoelektronische Leuchtvorrichtung 4603, wobei hier die Oberseite 105 die n-Seite ist, die Unterseite 201 des Halbleiterchips 103 ist die p-Seite. Der Halbleiterchip 103 ist zum Beispiel ein LED-Chip.

Anstelle oder zusätzlich zum Lot 107 ist zum Beispiel ein Klebstoff, insbesondere ein elektrisch leitfähiger Klebstoff, vorgesehen. Sofern ein nicht elektrisch leitfähiger Klebstoff verwendet wird, ist nach einer Ausführungsform vorgesehen, dass der Halbleiterchips mittels Bonddrähte elektrisch angeschlossen oder elektrisch kontaktiert wird respektive ist.

Das heißt also, dass nach weiteren Ausführungsformen das erfindungsgemäße Konzept der Lotsperre auch bei Leuchtdiodenhalbleiterchips verwendet wird. Eine solche Lotsperre, die zum Beispiel eine Wanne umfassen kann, verhindert in vorteilhafter Weise, dass Lot und/oder ein Klebstoff, zum Beispiel ein elektrisch leitfähiger Klebstoff, unter dem Halbleiterchip hervorquillt und die Seitenwände des LED-Halbleiterchips benetzt.

Dadurch kann weiterhin in vorteilhafter Weise ein besseres Abstrahlverhalten erreicht werden, weil die Seitenwände nicht mit intransparentem Material (Lot und/oder Klebstoff) belegt werden. Auch erhöht sich in vorteilhafter Weise eine Alterungsstabilität, da kein Lot und/oder Klebstoff an den Seitenwänden hochkriechen und den p-n-Übergang des Halbleiterchips kurzschließen kann.

Das heißt also, dass die im Rahmen dieser Beschreibung beschriebenen Halbleiterchips LED-Halbleiterchips und/oder Halbleiterlaserchips sein können.

Somit sind grundsätzlich bei der Ausführungsform als LED-Halbleiterchip die gleichen Ausführungsbeispiele möglich, wie sie für Halbleiterlaserchips beschrieben sind. Ein Halbleiterlaserchip ist zum Beispiel allgemein als eine Laserdiode ausgebildet.

Fig. 47 zeigt die optoelektronische Leuchtvorrichtung 4301 gemäß Fig. 43 bei einem Anordnen auf einen Grundkörper 4703 eines Trägers 4701 für einen optoelektronischen Halbleiterchip. Der Grundkörper 4703 weist eine Montagefläche oder Montageseite 4705 auf. Der Halbleiterchip 103 wird mit seiner Unterseite 201 auf die Montagefläche 4705 angeordnet.

Die Montagefläche 4705 weist zwei gegenüberliegende Anschläge 4707, 4709 auf. Das heißt also insbesondere, dass an der Montagefläche 4705 zwei einander gegenüberliegende Anschläge 4707, 4709 ausgebildet oder gebildet sind. Die beiden Anschläge 4707, 4709 sind somit insbesondere als Erhöhungen der Montagefläche 4705 ausgebildet.

Eine Breite oder ein Abstand zwischen den beiden Anschlägen 4707, 4709 ist derart bemessen, dass diese Breite oder dieser Abstand einer Breite des Halbleiterchips 103 entspricht. Somit wird in vorteilhafter Weise eine effiziente laterale Justage ermöglicht. Denn die Wände 117, 113 werden

hier für diese Justage verwendet, insofern sie an den gegenüberliegenden Anschlägen 4707, 4709 bei einem Anordnen anschlagen und somit eine effiziente laterale Justage oder Führung beim Anordnen bewirken.

Fig. 48 zeigt die Leuchtvorrichtung 4301 im verlöteten Zustand. Das heißt, dass der Halbleiterchip 103 auf die Montagefläche 4705 gelötet wurde. Somit zeigt die Fig. 48 ein optoelektronisches Leuchtsystem 4801 gemäß einer Ausführungsform der vorliegenden Erfindung.

Fig. 49 zeigt die optoelektronische Leuchtvorrichtung 4301 gemäß Fig. 43 bei einem Anordnen auf einen Träger 4901. Der Träger 4901 umfasst einen Grundkörper 4903 aufweisend eine Montagefläche 4905.

An der Montagefläche 4905 sind zwei Vertiefungen 4907, 4909 gebildet. Die Vertiefungen 4907, 4909 sind derart bemessen und voneinander beabstandet, dass sie jeweils eine der Wände 117, 113 der Lotsperre 109 des Halbleiterchips 103 aufnehmen können.

Somit werden also bei einem Anordnen des Halbleiterchips 103 auf die Montagefläche 4905 des Grundkörpers 4903 eine effiziente laterale Justage und Ausrichtung erzielt respektive bewirkt.

Fig. 50 zeigt die Leuchtvorrichtung 4301 in verlötetem Zustand. Das heißt, dass der Halbleiterchip 103 mittels des Lots 107 auf dem Träger 4901 gelötet ist.

Somit zeigt die Fig. 50 ein optoelektronisches Leuchtsystem 5001 gemäß einer Ausführungsform der vorliegenden Erfindung.

Fig. 51 zeigt ein Ablaufdiagramm eines Verfahrens zum Herstellen einer optoelektronischen Leuchtvorrichtung.

Das Verfahren umfasst die folgenden Schritte:

- Bereitstellen 5101 eines optoelektronischen Halbleiterchips, der eine Oberseite und eine der Oberseite gegenüberliegende Unterseite aufweist, wobei zwischen der Oberseite und der Unterseite eine Halbleiterschichtenfolge gebildet ist, wobei die Halbleiterschichtenfolge eine aktive Zone zur Erzeugung von elektromagnetischer Strahlung umfasst,
- Bilden 5103 an einer der Oberseite und der Unterseite einer Sperre, insbesondere einer Lotsperre, für einen aufgrund eines stoffschlüssigen Verbindens, insbesondere eines Lötens und/oder eines Klebens, des Halbleiterchips mit einem Träger fließenden Verbindungswerkstoff, insbesondere Lot und/oder Klebstoff.

Fig. 52 zeigt ein Ablaufdiagramm eines Verfahrens zum Herstellen eines Trägers für einen optoelektronischen Halbleiterchip.

Das Verfahren umfasst einen Schritt des Bereitstellens 5201 eines Grundkörpers, der eine Montageseite aufweist. Das Verfahren umfasst einen Schritt des Bildens 5203 einer Sperre, beispielsweise einer Lotsperre, für einen aufgrund eines stoffschlüssigen Verbindens, insbesondere eines Lötens und/oder eines Klebens, des Halbleiterchips mit dem Träger fließenden Verbindungswerkstoff, insbesondere Lot und/oder Klebstoff, an der Montageseite des Grundkörpers.

Zusammenfassend ist der erfindungsgemäße Grundgedanke beispielsweise darin zu sehen, dass eine Wanne an der p- respektive n-Seite eines Halbleiterchips vorgesehen wird, die durch ihre Seitenwände verhindert, dass Lot bei einem Löten respektive Klebstoff bei einem Kleben über die Chipkante hinausfließt. Dadurch können in vorteilhafter Weise zum Beispiel Nebenschlüsse an der Chipkante verhindert werden.

Nach einer Ausführungsform ist vorgesehen, dass eine oder mehrere Wände der Lotsperre aus einer oder aus mehreren Schichten der Halbleiterschichtenfolge gebildet sind.

Nach einer Ausführungsform ist vorgesehen, dass eine solche Schicht der Halbleiterschichtenfolge, die die Wand oder die Wände der Lotsperre zumindest teilweise, insbesondere vollständig, bilden, ein Metall, einen Halbleiter, ein Dielektrikum oder Dielektrika und/oder eine oder mehrere Polymere (zum Beispiel BCB) umfasst. BCB steht für Benzocyclobuten, was in der Halbleitertechnik zum Beispiel als Passivierung und/oder zur Planarisierung eingesetzt wird.

Nach einer Ausführungsform ist vorgesehen, dass eine oder mehrere Wände der Lotsperre mittels eines Strukturierungsverfahrens, zum Beispiel mittels eines Fotolithographieverfahrens, strukturiert sind respektive werden.

Nach einer Ausführungsform ist vorgesehen, dass eine oder mehrere Seitenwände jeweils einen Abstand zum Lot aufweisen, so dass das Lot Raum oder Platz zum Ausdehnen respektive Verfließen im Rahmen eines Lötvorgangs hat. Das Volumen innerhalb der Wanne ist nach einer Ausführungsform derart gewählt, dass es etwa dem Lotvolumen entspricht.

Bei Ausführungsformen, die mehrere Wannen aufweisen, ist somit zum Beispiel vorgesehen, dass in jeder Wanne Lot vorgesehen ist. Das heißt, dass die Wanne aus mehreren Segmenten, die einzelnen Wannen, besteht. Die Wanne ist somit in (Unter-)Wannen unterteilt. Dies führt zu einer erhöhten mechanischen Stabilität, was zum Beispiel bei entsprechend großen Halbleiterchips (Powerlaser oder LEDs) zu einer erhöhten mechanischen Stabilität führt.

Zum anderen ermöglicht eine solche Ausgestaltung, mehrere Kontakte auf einer gleichen Seite des Halbleiterchips auszuführen (zum Beispiel mittels einer Via-Hole-Technik). Durch die Wannen/Zwischenwände wird verhindert, dass sich zwischen

den Kontakten bei einer p-down-Montage ein Nebenschluss ausbilden kann.

Fig. 53 zeigt eine optoelektronische Leuchtvorrichtung 5301 in einer Querschnittsansicht.

Auf der Oberseite 105 des Halbleiterchips 103 ist anstelle von Lot 107 eine Benetzungsschicht 1503 vorgesehen. Analog zur Leuchtvorrichtung 101 der Fig. 1 umfasst die Leuchtvorrichtung 5301 eine Lotsperre umfassend mehrere Wände 111, 113, 115, 117, wobei aufgrund der Querschnittsansicht nur die beiden gegenüberliegenden Wände 117, 113 zu sehen sind.

Der Halbleiterchip 103 der Leuchtvorrichtung 5301 wird auf einen Träger 301 umfassend einen Grundkörper 303 mit einer Montageseite 305 angeordnet. Dies mittels Löten und/oder Kleben. Anstelle oder zusätzlich zum Lot 107 ist zum Beispiel Klebstoff vorgesehen.

Auf der Montageseite 305 des Grundkörpers 303 des Trägers 301 ist ebenfalls eine Lotsperre vorgesehen, die mehrere Wände umfasst, wobei der Querschnittsansicht entsprechend nur die beiden gegenüberliegenden Wände 113, 117 zu sehen sind. Der Träger 301 der Fig. 53 ist zum Beispiel im Wesentlichen analog zum Träger 301 der Fig. 30 ausgebildet.

Zwischen den beiden Wänden 113, 117 der Lotsperre des Trägers 301 ist auf der Montageseite 305 ebenfalls eine Benetzungsschicht 1503 aufgebracht.

Das heißt also, dass sowohl der Halbleiterchip 103 als auch der Träger 301 jeweils mit einer Lotsperre versehen sind. Dadurch wird in vorteilhafter Weise ein Volumen für ein Lot und/oder einen Klebstoff effizient vergrößert.

Zwischen dem Träger 301 und der Leuchtvorrichtung 5301 ist symbolisch Lot 107 gezeichnet. Dies soll insbesondere symbolisieren, dass zum Beispiel vorgesehen ist, dass das Lot 107

auf der Benetzungsschicht 1503 des Trägers 301 aufgebracht ist. Zum Beispiel ist anstelle oder zusätzlich vorgesehen, dass Lot 107 auf der Benetzungsschicht 1503 des Halbleiterchips 103 aufgebracht ist.

Das heißt also, dass sowohl der Halbleiterchip 103 als auch der Grundkörper 303 mit einer Benetzungsschicht 1503 versehen sind.

Fig. 54 zeigt die optoelektronische Leuchtvorrichtung 5301 im angeordneten Zustand auf dem Träger 301. Somit zeigt die Fig. 54 ein optoelektronisches Leuchtsystem 5401 gemäß einer Ausführungsform der vorliegenden Erfindung.

Fig. 55 bis 57 zeigen jeweils eine optoelektronische Leuchtvorrichtung vor einem Anordnen auf einen Träger 301.

In den in den Fig. 55 bis 57 gezeigten Ausführungsbeispielen ist vorgesehen, dass analog zu dem Ausführungsbeispiel gemäß Fig. 53 sowohl der Chip 103 als auch der Grundkörper 303 jeweils mit einer Lotsperre versehen sind.

Gemäß dem Ausführungsbeispiel der Fig. 55 wird die optoelektronische Leuchtvorrichtung 101 gemäß Fig. 1 auf den Träger 301 gelötet und/oder geklebt. Sowohl die Oberseite 105 des Halbleiterchips 103 als auch die Montageseite 305 des Grundkörpers 303 des Trägers 301 sind jeweils mit Lot 107 versehen. Somit befindet sich insbesondere Lot 107 und/oder Klebstoff sowohl auf dem Halbleiterchip 103 als auch auf dem Grundkörper 303. Das heißt also, dass sowohl der Träger 301 als auch der Halbleiterchip 103 Lot 107 und/oder (in einer nicht gezeigten Ausführungsform) Klebstoff umfassen.

Gemäß dem Ausführungsbeispiel der Fig. 56 weist nur die Oberseite 105 des Halbleiterchips 103 Lot 107 auf. Die Montageseite 305 des Grundkörpers 303 des Trägers 301 ist zwischen den Wänden 117, 113 analog zu der in Fig. 53 gezeigten Anordnung mit einer Benetzungsschicht 1503 versehen.

Das heißt also, dass gemäß der in Fig. 56 gezeigten Anordnung nur der Halbleiterchip 103 mit Lot 107 und/oder (in einer nicht gezeigten Ausführungsform) Klebstoff versehen ist. Die Montageseite 305 ist lediglich mit einer Benetzungsschicht 1503 versehen.

Fig. 57 zeigt bezogen auf die Fig. 56 eine umgekehrte Ausgestaltung. Hier ist die Benetzungsschicht 1503 auf der Oberseite 105 des Halbleiterchips 103 vorgesehen. Die Montageseite 305 des Grundkörpers 303 des Trägers 301 ist mit Lot 107 versehen. Somit ist also lediglich der Grundkörper mit einem Lot 107 und/oder (in einer nicht gezeigten Ausführungsform) einem Klebstoff versehen, wohingegen der Halbleiterchip 103 nur mit der Benetzungsschicht 1503 versehen ist.

Dadurch, dass sowohl der Halbleiterchip als auch der Grundkörper des Trägers jeweils mit einer Lotsperre versehen sein können, wird ein umschlossenes Volumen der durch die jeweiligen Lotsperren gebildeten Wannen vergrößert. Sofern die beiden Wannen dann aufeinandergesetzt werden, addieren sich die entsprechenden Volumina der jeweiligen Wannen.

Sofern die jeweiligen Sperren des Trägers und des Halbleiterchips eine oder mehrere Wände umfassen, so werden sich nach einer Ausführungsform diese Wände beim Anordnen des Halbleiterchips auf den Träger zu einer Wand oder zu mehreren Wänden zusammensetzen. Diese zusammengesetzte(n) Wand/Wände ist/sind also nach einer Ausführungsform aus den Wänden des Trägers und des Halbleiterchips gebildet. Die Wand oder die Wände des Trägers respektive des Halbleiterchips können somit als Teile der zusammengesetzten Wand respektive der zusammengesetzten Wände bezeichnet werden.

Obwohl die Erfindung im Detail durch die bevorzugten Ausführungsbeispiele näher illustriert und beschriebenen wurde, so ist die Erfindung nicht durch die offenbarten Beispiele eingeschränkt und andere Varianten können vom Fachmann hieraus

abgeleitet werden, ohne den Schutzumfang der Erfindung zu verlassen.

BEZUGSZEICHENLISTE

101	optoelektronische Leuchtvorrichtung
103	optoelektronischer Halbleiterchip
105	Oberseite des optoelektronischen Halbleiterchips
107	Lot
109	Lotsperre
111, 113, 115, 117	Wände der Lotsperre
119	Schnittlinie
201	Unterseite des optoelektronischen Halbleiterchips
203, 205, 207	Halbleiterschichten
209	Halbleiterschichtenfolge
211	aktive Zone
213	Halbleiterchipkante
215	Substrat
301	Träger
303	Grundkörper
305	Montageseite
401	optoelektronisches Leuchtsystem
403, 405	Seitenflanken des Halbleiterchips
501	optoelektronische Leuchtvorrichtung
701	Gold umfassende Deckschicht
703	SiO_2-Schicht
705	Oberfläche der Gold umfassenden Deckschicht
801	optoelektronische Leuchtvorrichtung
803	entfernte SiO_2-Schichtabschnitte
1201	optoelektronische Leuchtvorrichtung
1203	optoelektronisches Leuchtsystem
1301	Stegwellenleiter
1303, 1305	stehen gelassene Seitenwände der Halbleiterschichtenfolge
1307	Passivierungsschicht
1401	optoelektronische Leuchtvorrichtung
1403, 1405	Erhöhungen
1501	optoelektronische Leuchtvorrichtung

1503	Benetzungsschicht
1601	optoelektronische Leuchtvorrichtung
1801	optoelektronisches Leuchtsystem
1901	optoelektronische Leuchtvorrichtung
2001	optoelektronische Leuchtvorrichtung
2101	optoelektronische Leuchtvorrichtung
2201	optoelektronische Leuchtvorrichtung
2203	Lücke
2205	Wand
2301	optoelektronisches Leuchtsystem
2401	optoelektronische Leuchtvorrichtung
2403, 2405	Mesagräben
2501	optoelektronische Leuchtvorrichtung
2503, 2505	Mesagräben
2601	optoelektronische Leuchtvorrichtung
2603, 2605	Facetten
2607	Facettenabschnitt
2609	Zwischenabschnitt
2611	Schnittlinie
2613	Schnittlinie
2901	optoelektronische Leuchtvorrichtung
3101	optoelektronisches Leuchtsystem
3201	optoelektronische Leuchtvorrichtung
3401	optoelektronische Leuchtvorrichtung
3403	Wand
3405	erste Wanne
3407	zweite Wanne
3601	optoelektronische Leuchtvorrichtung
3603	Wand
3701	optoelektronische Leuchtvorrichtung
3801	optoelektronische Leuchtvorrichtung
3803	Wand
3805	Wand
3807	Wand
3809	p-Kontakt
3811	n-Kontakt
3901	optoelektronische Leuchtvorrichtung
4001	optoelektronische Leuchtvorrichtung

4101	optoelektronische Leuchtvorrichtung
4103	Laser
4105	Laserbarren
4107	Unterseite des Laserbarrens
4201	optoelektronische Leuchtvorrichtung
4203	Wand
4205, 4207, 4209	Wannen
4301	optoelektronische Leuchtvorrichtung
4401	optoelektronisches Leuchtsystem
4501	optoelektronisches Leuchtsystem
4503	optoelektronische Leuchtvorrichtung
4601	optoelektronisches Leuchtsystem
4603	optoelektronische Leuchtvorrichtung
4701	Träger
4703	Grundkörper
4705	Montagefläche
4707, 4709	Anschläge
4801	optoelektronisches Leuchtsystem
4901	Träger
4903	Grundkörper
4905	Montageseite
4907, 4909	Vertiefungen
5001	optoelektronisches Leuchtsystem
5101	Bereitstellen eines optoelektronischen Halbleiterchips
5103	Bilden einer Lotsperre
5201	Bereitstellen eines Grundkörpers
5203	Bilden einer Lotsperre
5301	optoelektronische Leuchtvorrichtung
5401	optoelektronisches Leuchtsystem

PATENTANSPRÜCHE

1. Optoelektronische Leuchtvorrichtung (101, 501, 801, 1201), umfassend:
   - einen optoelektronischen Halbleiterchip (103),
   - der eine Oberseite (105) und eine der Oberseite (105) gegenüberliegende Unterseite (201) aufweist,
   - wobei zwischen der Oberseite (105) und der Unterseite (201) eine Halbleiterschichtenfolge (209) gebildet ist,
   - wobei die Halbleiterschichtenfolge (209) eine aktive Zone (211) zur Erzeugung von elektromagnetischer Strahlung umfasst,
   - wobei an einer der Oberseite (105) und der Unterseite (201) eine Sperre (109) für einen aufgrund eines stoffschlüssigen Verbindens des Halbleiterchips (103) mit einem Träger (301, 4701, 4901) fließenden Verbindungswerkstoff (107) gebildet ist.

2. Optoelektronische Leuchtvorrichtung (101, 501, 801, 1201) nach Anspruch 1, wobei die Sperre (109) eine oder mehrere Wände (111, 113, 115, 117) umfasst, so dass mittels der einen oder der mehreren Wände (111, 113, 115, 117) und der einen der Oberseite (105) und der Unterseite (201) zumindest eine zumindest teilweise seitlich geschlossene Wanne (3405, 3407, 4205, 4207, 4209) zum Aufnehmen des fließenden Verbindungswerkstoffs (107) gebildet ist.

3. Optoelektronische Leuchtvorrichtung (101, 501, 801, 1201) nach Anspruch 2, wobei zwei Wannen (3405, 3407) gebildet sind, wobei innerhalb der zwei Wannen (3405, 3407) jeweils ein elektrischer Kontakt für eine elektrische Kontaktierung des Halbleiterchips (103) angeordnet ist, wobei die zwei Wannen (3405, 3407) voneinander durch eine oder mehrere geschlossene Wände (111, 113, 115, 117) abgetrennt sind, um ein Ausbilden eines Nebenschlusses durch den fließenden Verbindungswerkstoff (107) zwischen den zwei elektrischen Kontakten zu verhindern.

4. Optoelektronische Leuchtvorrichtung (101, 501, 801, 1201) nach einem der vorherigen Ansprüche, wobei die Sperre (109) zumindest teilweise mittels der Halbleiterschichtenfolge (209) gebildet ist.

5. Optoelektronische Leuchtvorrichtung (101, 501, 801, 1201) nach einem der vorherigen Ansprüche, wobei an der einen der Oberseite (105) und der Unterseite (201) Verbindungswerkstoff (107) angeordnet ist, welcher mit einer Gold umfassenden Deckschicht (701) versehen ist.

6. Optoelektronische Leuchtvorrichtung (101, 501, 801, 1201) nach einem der vorherigen Ansprüche, wobei der Halbleiterchip (103) ein Laser (4103) ist, wobei die Sperre (109) an der HR-Seite des Lasers (4103) offen ausgebildet ist.

7. Optoelektronische Leuchtvorrichtung (101, 501, 801, 1201) nach einem der vorherigen Ansprüche, wobei die Sperre (109) eine oder mehrere Lücken (2203) zum Entweichen von Luft beim stoffschlüssigen Verbinden aufweist.

8. Optoelektronische Leuchtvorrichtung (101, 501, 801, 1201) nach einem der vorherigen Ansprüche, wobei der Halbleiterchip (103) ein einen Stegwellenleiter (1301) aufweisender Laser (4103) ist, wobei die Sperre (109) beabstandet zum Stegwellenleiter (1301) gebildet ist.

9. Optoelektronische Leuchtvorrichtung (101, 501, 801, 1201) nach einem der vorherigen Ansprüche, wobei an der einen der Oberseite (105) und der Unterseite (201) ein oder mehrere Mesagräben (2403, 2405, 2503, 2505) zum Aufnehmen des fließenden Verbindungswerkstoffs (107) gebildet sind.

10. Optoelektronische Leuchtvorrichtung (101, 501, 801, 1201) nach Anspruch 9, wobei einer des einen oder der mehreren Mesagräben (2403, 2405, 2503, 2505) von einer ersten Fa-

cette (2603) des Halbleiterchips (103) zu einer der ersten Facette (2603) gegenüberliegenden zweiten Facette (2605) verläuft, wobei dieser eine Mesagraben (2403, 2405, 2503, 2505) zwei jeweils an eine der beiden Facetten (2603, 2605) angrenzende Facettenabschnitte (2607) und einen zwischen den beiden Facettenabschnitten (2607) verlaufenden Zwischenabschnitt (2609) aufweist, wobei eine Tiefe des Zwischenabschnitts (2609) größer ist als eine jeweilige Tiefe der beiden Facettenabschnitte (2607).

11. Optoelektronische Leuchtvorrichtung (101, 501, 801, 1201) nach einem der vorherigen Ansprüche, wobei mehrere als Laser (4103) ausgebildete und einen Laserbarren (4105) bildende optoelektronische Halbleiterchips (103) vorgesehen sind, wobei die jeweilige der einen der Oberseite (105) und der Unterseite (201) der Halbleiterchips (103) eine gemeinsame Unterseite (4107) respektive Oberseite des Laserbarrens (4105) bilden.

12. Optoelektronische Leuchtvorrichtung (101, 501, 801, 1201) nach Anspruch 11 soweit rückbezogen auf Anspruch 2, wobei mehrere Wannen (4205, 4207, 4209) an der gemeinsamen Unterseite (4107) respektive Oberseite des Laserbarrens (4105) gebildet sind, innerhalb welchen jeweils ein oder mehrere Laser (4103) angeordnet sind.

13. Verfahren zum Herstellen einer optoelektronischen Leuchtvorrichtung (101, 501, 801, 1201), umfassend die folgenden Schritte:
- Bereitstellen (5101) eines optoelektronischen Halbleiterchips (103), der eine Oberseite (105) und eine der Oberseite (105) gegenüberliegende Unterseite (201) aufweist, wobei zwischen der Oberseite (105) und der Unterseite (201) eine Halbleiterschichtenfolge (209) gebildet ist, wobei die Halbleiterschichtenfolge (209) eine aktive Zone (211) zur Erzeugung von elektromagnetischer Strahlung umfasst,

– Bilden (5103) an einer der Oberseite (105) und der Unterseite (201) einer Sperre (109) für einen aufgrund eines stoffschlüssigen Verbindens des Halbleiterchips (103) mit einem Träger (301, 4701, 4901) fließenden Verbindungswerkstoff (107).

14. Verfahren nach Anspruch 13, wobei das Bilden (5103) der Sperre (109) ein Bilden einer oder mehrerer Wände (111, 113, 115, 117) umfasst, so dass mittels der einen oder der mehreren Wände (111, 113, 115, 117) und der einen der Oberseite (105) und der Unterseite (201) zumindest eine zumindest teilweise seitlich geschlossene Wanne (3405, 3407, 4205, 4207, 4209) zum Aufnehmen des fließenden Verbindungswerkstoffs (107) gebildet wird.

15. Verfahren nach Anspruch 14, wobei zwei Wannen (3405, 3407) gebildet werden, wobei innerhalb der zwei Wannen (3405, 3407) jeweils ein elektrischer Kontakt für eine elektrische Kontaktierung des Halbleiterchips (103) angeordnet ist, wobei die zwei Wannen (3405, 3407) voneinander durch eine oder mehrere geschlossene Wände (111, 113, 115, 117) abgetrennt sind, um ein Ausbilden eines Nebenschlusses durch den fließenden Verbindungswerkstoff (107) zwischen den zwei elektrischen Kontakten zu verhindern.

16. Verfahren nach einem der Ansprüche 13 bis 15, wobei die Sperre (109) zumindest teilweise mittels der Halbleiterschichtenfolge (209) gebildet wird.

17. Verfahren nach einem der Ansprüche 13 bis 16, wobei an der einen der Oberseite (105) und der Unterseite (201) der Verbindungswerkstoff (107) angeordnet wird, welcher mit einer Gold umfassenden Deckschicht (701) versehen wird, wobei das Bilden (5103) der Sperre (109) umfasst, dass SiO_2 auf die eine der Oberseite (105) und der Unterseite (201) aufgebracht wird, so dass die eine der Oberseite (105) und der Unterseite (201) einschließlich der

Deckschicht (701) vollständig mit SiO_2 bedeckt wird, wobei nach dem Bedecken SiO_2 selektiv von der Deckschicht (701) entfernt wird, so dass die Sperre (109) zumindest teilweise mittels des verbleibendenden SiO_2 gebildet wird.

18. Verfahren nach einem der Ansprüche 13 bis 17, wobei der Halbleiterchip (103) ein Laser (4103) ist, wobei die Sperre (109) an der HR-Seite des Lasers (4103) offen ausgebildet wird.

19. Verfahren nach einem der Ansprüche 13 bis 18, wobei die Sperre (109) eine oder mehrere Lücken (2203) zum Entweichen von Luft beim stoffschlüssigen Verbinden aufweist.

20. Verfahren nach einem der Ansprüche 13 bis 19, wobei der Halbleiterchip (103) ein einen Stegwellenleiter (1301) aufweisender Laser (4103) ist, wobei die Sperre (109) beabstandet zum Stegwellenleiter (1301) gebildet wird.

21. Verfahren nach einem der Ansprüche 13 bis 20, wobei an der einen der Oberseite (105) und der Unterseite (201) ein oder mehrere Mesagräben (2403, 2405, 2503, 2505) zum Aufnehmen des fließenden Verbindungswerkstoffs (107) gebildet werden.

22. Verfahren nach Anspruch 21, wobei einer des einen oder der mehreren Mesagräben (2403, 2405, 2503, 2505) von einer ersten Facette (2603) des Halbleiterchips (103) zu einer der ersten Facette (2603) gegenüberliegenden zweiten Facette (2605) verläuft, wobei dieser eine Mesagraben (2403, 2405, 2503, 2505) zwei jeweils an eine der beiden Facetten (2603, 2605) angrenzende Facettenabschnitte (2607) und einen zwischen den beiden Facettenabschnitten (2607) verlaufenden Zwischenabschnitt (2609) aufweist, wobei eine Tiefe des Zwischenabschnitts (2609) größer ausgebildet wird als eine jeweilige Tiefe der beiden Facettenabschnitte (2607).

23. Verfahren nach einem der Ansprüche 13 bis 22, wobei mehrere als Laser (4103) ausgebildete und einen Laserbarren (4105) bildende optoelektronische Halbleiterchips (103) vorgesehen werden, wobei die jeweilige der einen der Oberseite (105) und der Unterseite (201) der Halbleiterchips (103) eine gemeinsame Unterseite (4107) respektive Oberseite des Laserbarrens (4105) bilden.

24. Verfahren nach Anspruch 23 soweit rückbezogen auf Anspruch 14, wobei mehrere Wannen (4205, 4207, 4209) an der gemeinsamen Unterseite (4107) respektive Oberseite des Laserbarrens (4105) gebildet werden, innerhalb welchen jeweils ein oder mehrere Laser (4103) angeordnet sind.

25. Träger (301, 4701, 4901) für einen optoelektronischen Halbleiterchip (103), umfassend:
- einen eine Montageseite (305, 4705, 4905) aufweisenden Grundkörper (303, 4703, 4903),
- wobei an der Montageseite (305, 4705, 4905) eine Sperre (109) für einen aufgrund eines stoffschlüssigen Verbindens des Halbleiterchips (103) mit dem Träger (301, 4701, 4901) fließenden Verbindungswerkstoff (107) gebildet ist.

26. Träger (301, 4701, 4901) nach Anspruch 25, wobei die Sperre (109) eine oder mehrere Wände (111, 113, 115, 117) umfasst, so dass mittels der einen oder der mehreren Wände (111, 113, 115, 117) und der Montageseite (305, 4705, 4905) zumindest eine zumindest teilweise seitlich geschlossene Wanne (3405, 3407, 4205, 4207, 4209) zum Aufnehmen des fließenden Verbindungswerkstoffs (107) gebildet ist.

27. Träger (301, 4701, 4901) nach Anspruch 26, wobei zwei Wannen (3405, 3407) gebildet sind, wobei die zwei Wannen (3405, 3407) voneinander durch eine oder mehrere geschlossene Wände (111, 113, 115, 117) abgetrennt sind.

28. Träger (301, 4701, 4901) nach einem der Ansprüche 25 bis 27, wobei die Sperre (109) eine oder mehrere Lücken (2203) zum Entweichen von Luft beim stoffschlüssigen Verbinden aufweist.

29. Verfahren zum Herstellen eines Trägers (301, 4701, 4901), wobei das Verfahren die folgenden Schritte umfasst:
- Bereitstellen (5201) eines eine Montageseite (305, 4705, 4905) aufweisenden Grundkörpers (303, 4703, 4903),
- Bilden (5203) einer Sperre (109) an der Montageseite (305, 4705, 4905) des Grundkörpers (303, 4703, 4903) für einen aufgrund eines stoffschlüssigen Verbindens des Halbleiterchips (103) mit dem Träger (301, 4701, 4901) fließenden Verbindungswerkstoff (107).

30. Optoelektronisches Leuchtsystem (401, 1203, 1801, 2301), umfassend:
- eine optoelektronische Leuchtvorrichtung (101, 501, 801, 1201), wobei die Leuchtvorrichtung (101, 501, 801, 1201)
- einen optoelektronischen Halbleiterchip (103) umfasst,
- der eine Oberseite (105) und eine der Oberseite (105) gegenüberliegende Unterseite (201) aufweist, wobei zwischen der Oberseite (105) und der Unterseite (201) eine Halbleiterschichtenfolge (209) gebildet ist, wobei die Halbleiterschichtenfolge (209) eine aktive Zone (211) zur Erzeugung von elektromagnetischer Strahlung umfasst, und
- einen Träger (301, 4701, 4901), der einen eine Montageseite (305, 4705, 4905) aufweisenden Grundkörper (303, 4703, 4903) umfasst,
- wobei die Leuchtvorrichtung (101, 501, 801, 1201) gemäß der Leuchtvorrichtung (101, 501, 801, 1201) nach einem der Ansprüche 1 bis 12 ausgebildet ist und/oder
- wobei der Träger (301, 4701, 4901) gemäß dem Träger (301, 4701, 4901) nach einem der Ansprüche 25 bis 28 ausgebildet ist,

- wobei der Halbleiterchip (103) mit einer der Oberseite (105) und der Unterseite (201) mit der Montageseite (305, 4705, 4905) mittels eines Verbindungswerkstoffs (107) stoffschlüssig verbunden ist.

FIG 1

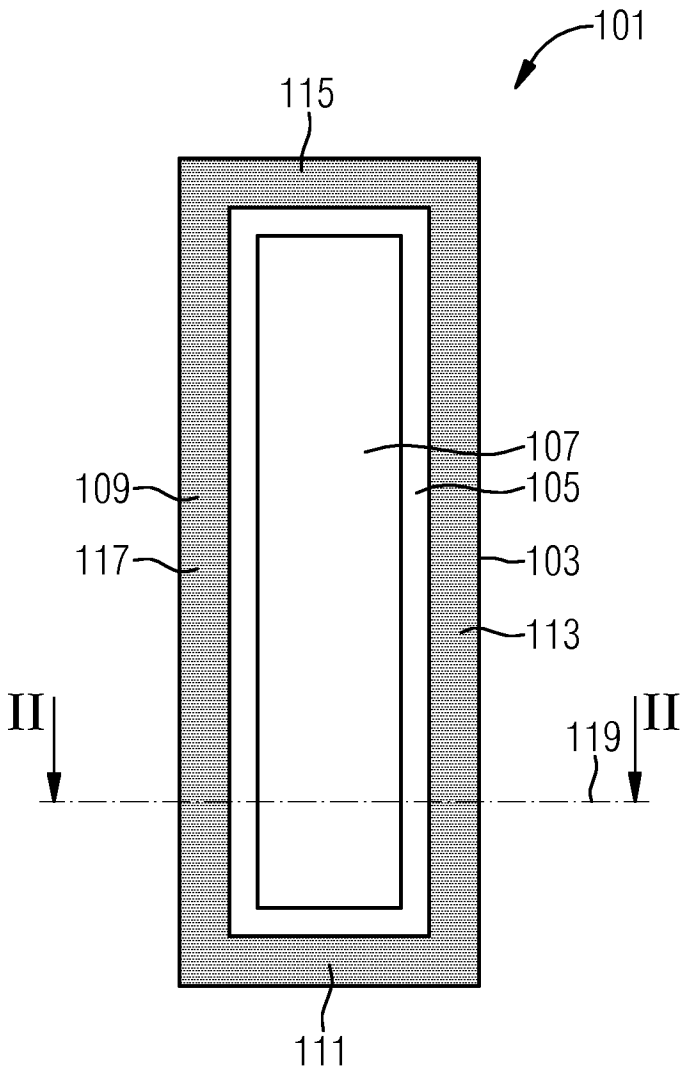

101
115
107
109
105
117
103
113
II
II
119
111

FIG 2

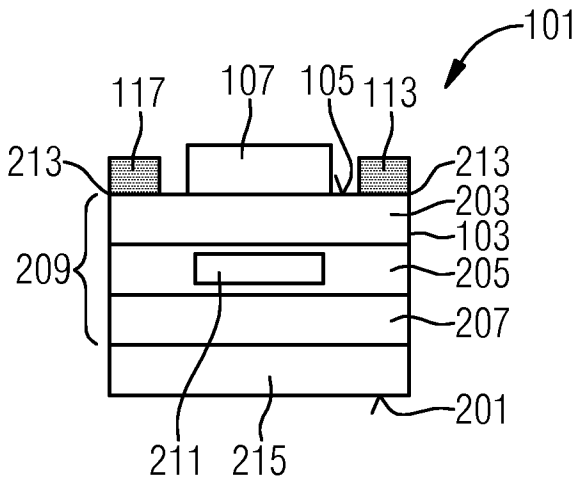

101
117
107
105
113
213
213
203
103
209
205
207
201
211
215

FIG 3

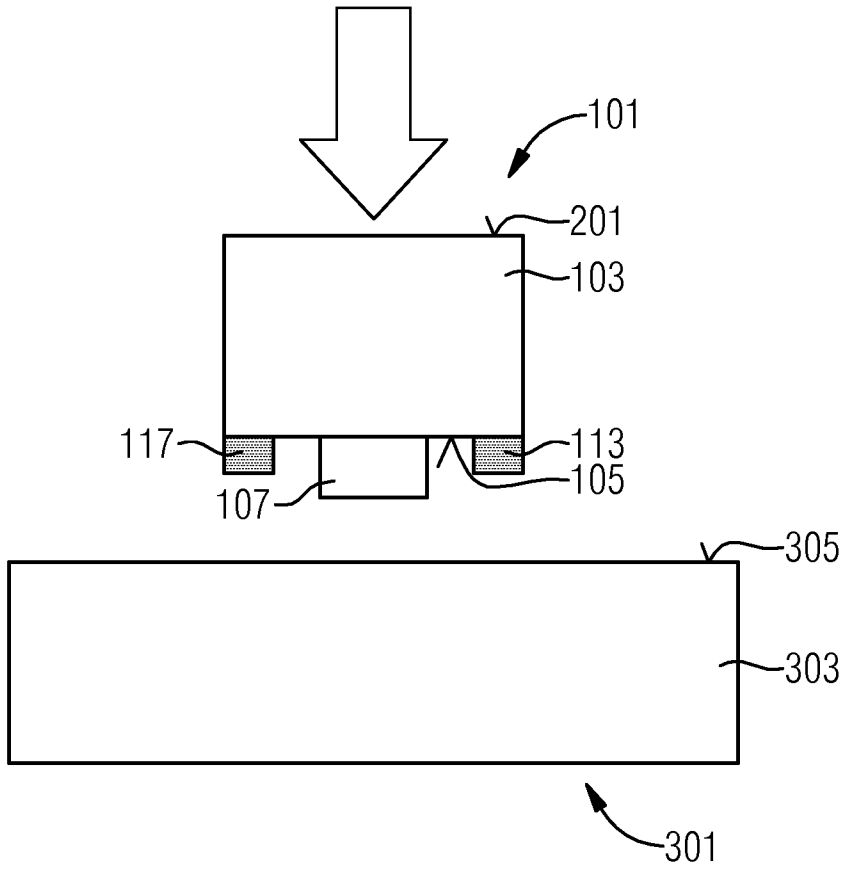

101
201
103
117
113
105
107
305
303
301

FIG 4

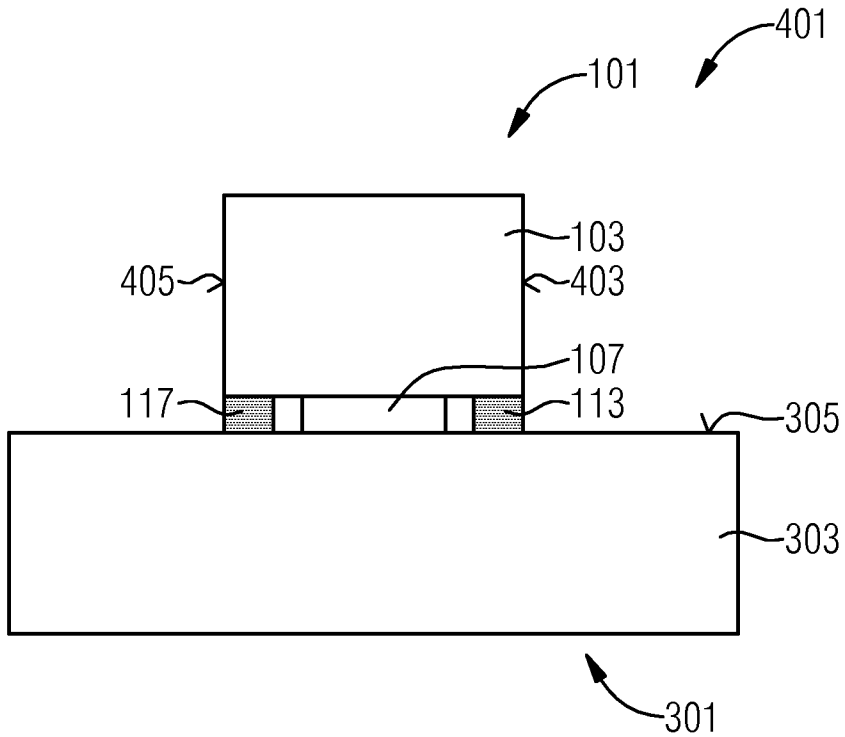

401
101
103
405
403
107
117
113
305
303
301

FIG 5

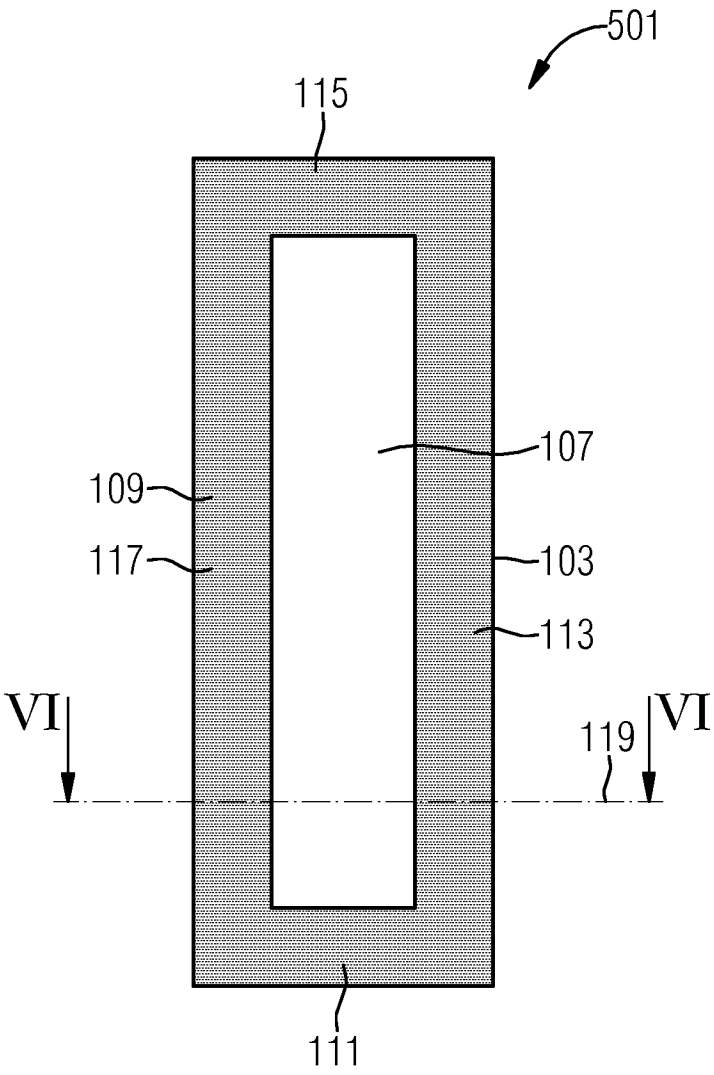

501
115
107
109
117
103
113
VI
VI
119
111

FIG 6

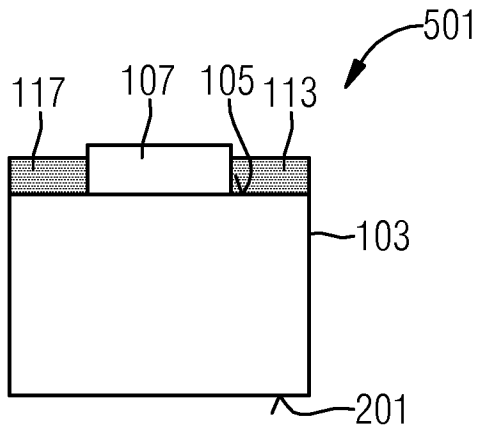

501
117
107
105
113
103
201

FIG 7

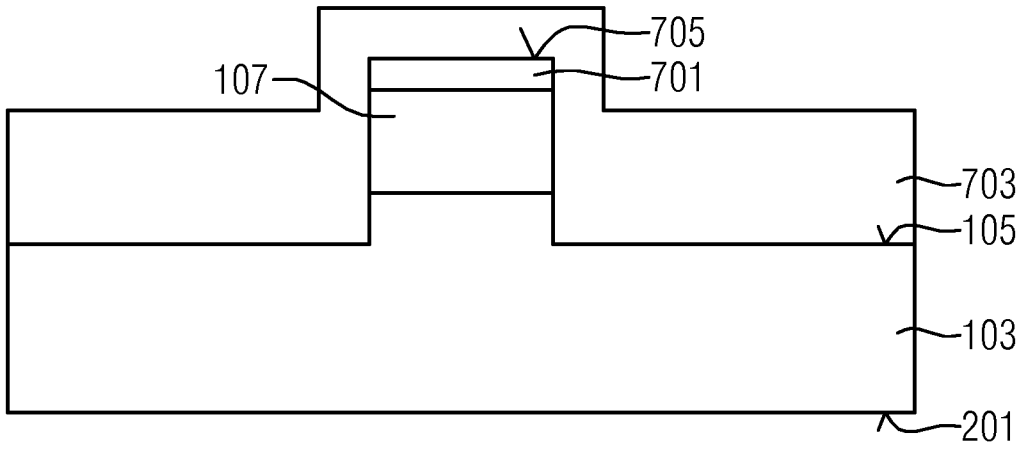

705
701
107
703
105
103
201

FIG 8

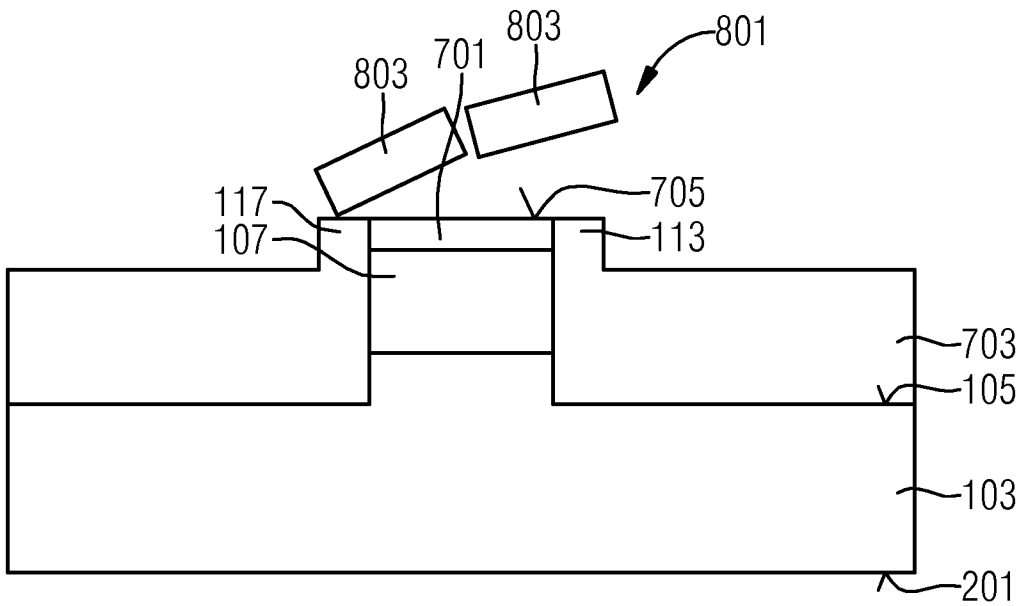

803
803
701
801
117
107
705
113
703
105
103
201

FIG 9

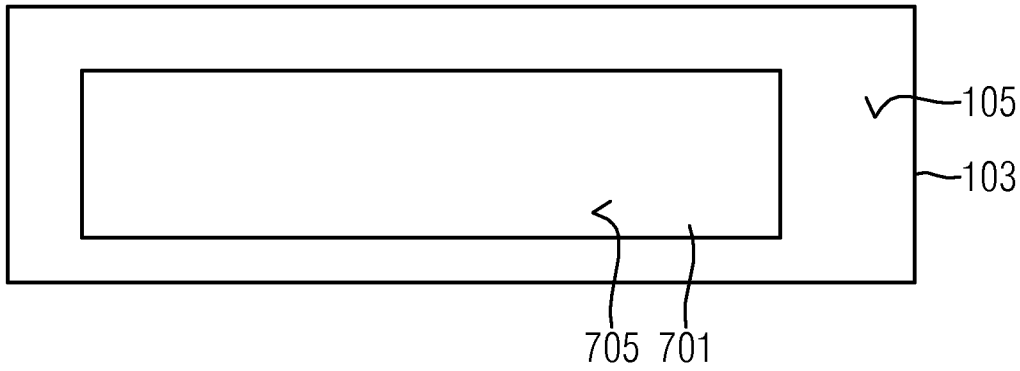


FIG 10

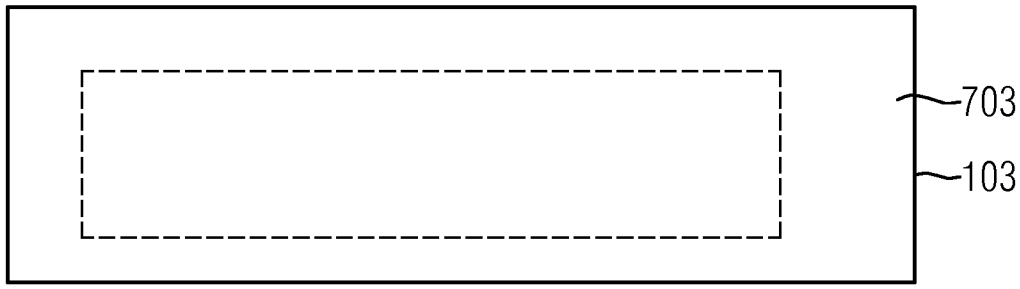


FIG 11

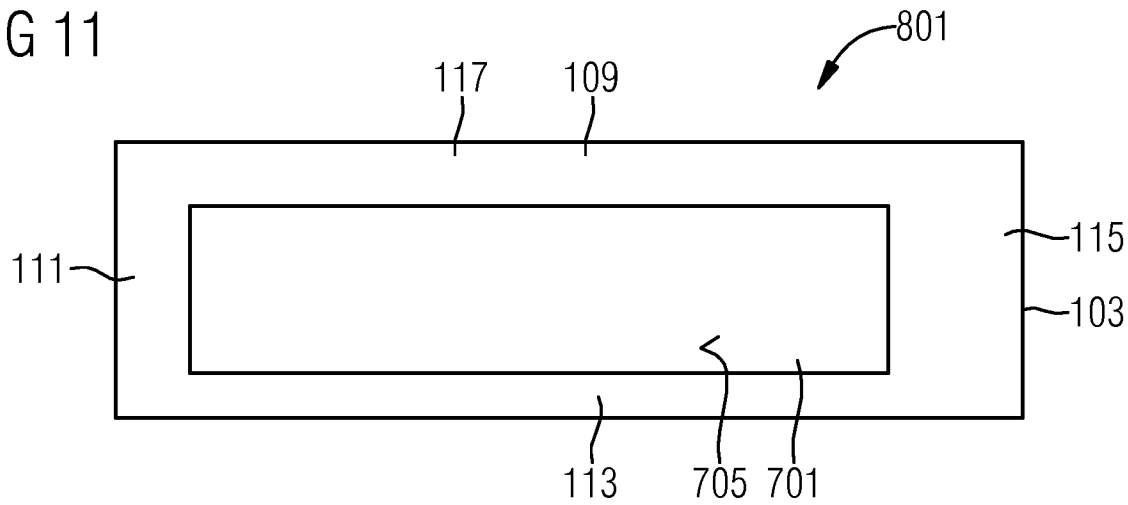


FIG 12

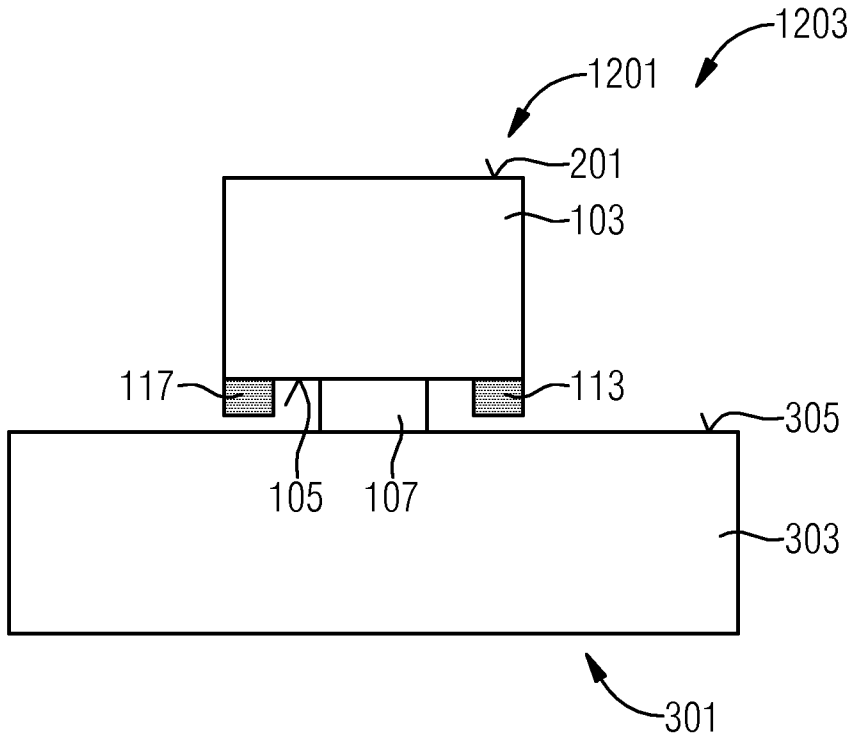

1203
1201
201
103
117
113
305
105
107
303
301

FIG 13

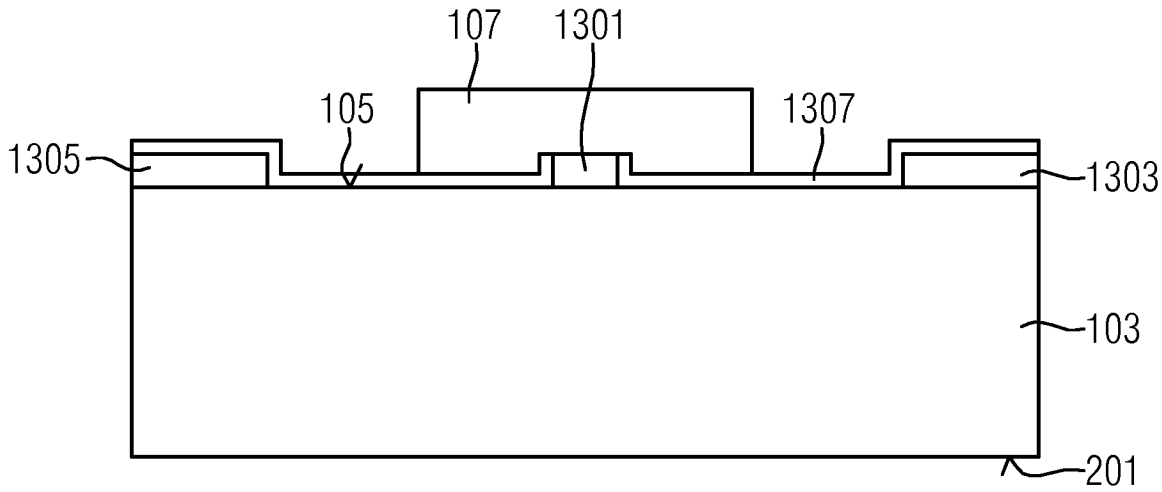

107
1301
105
1307
1305
1303
103
201

FIG 14

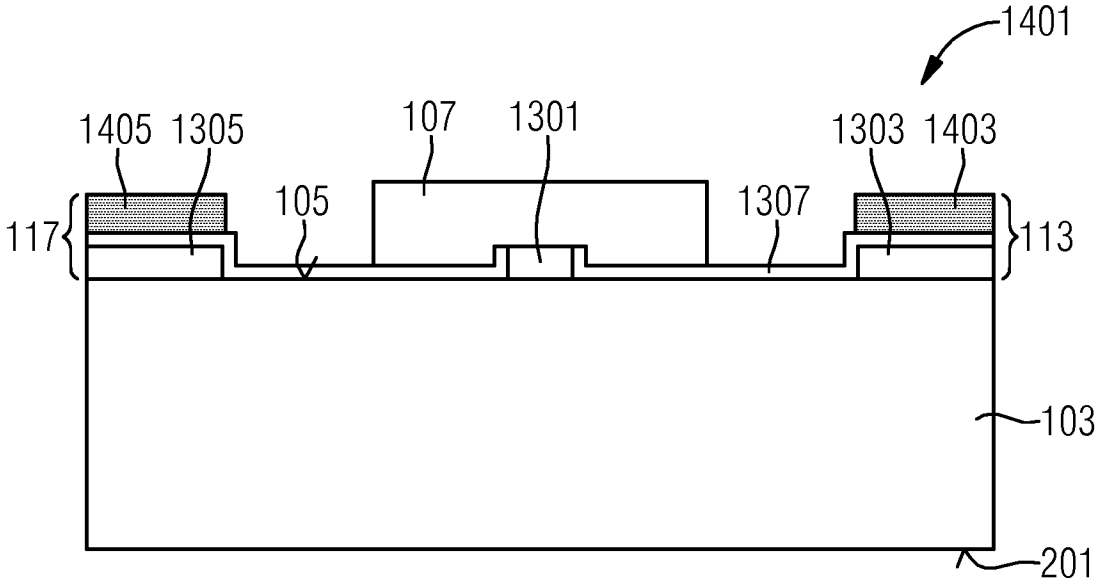

1401
1405
1305
107
1301
1303
1403
117
105
1307
113
103
201

FIG 15

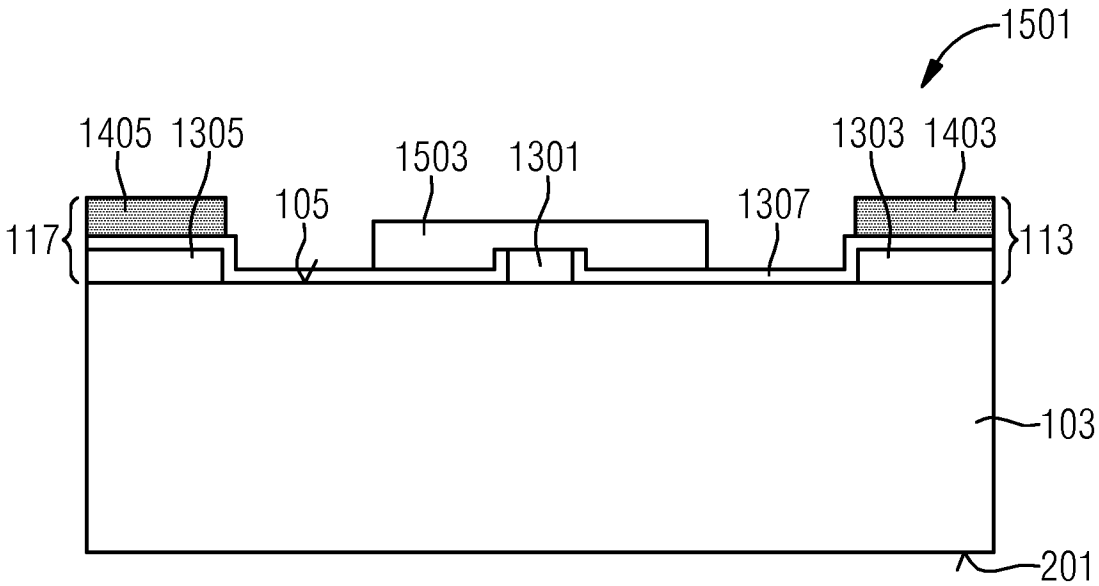

1501
1405
1305
1503
1301
1303
1403
117
105
1307
113
103
201

FIG 16

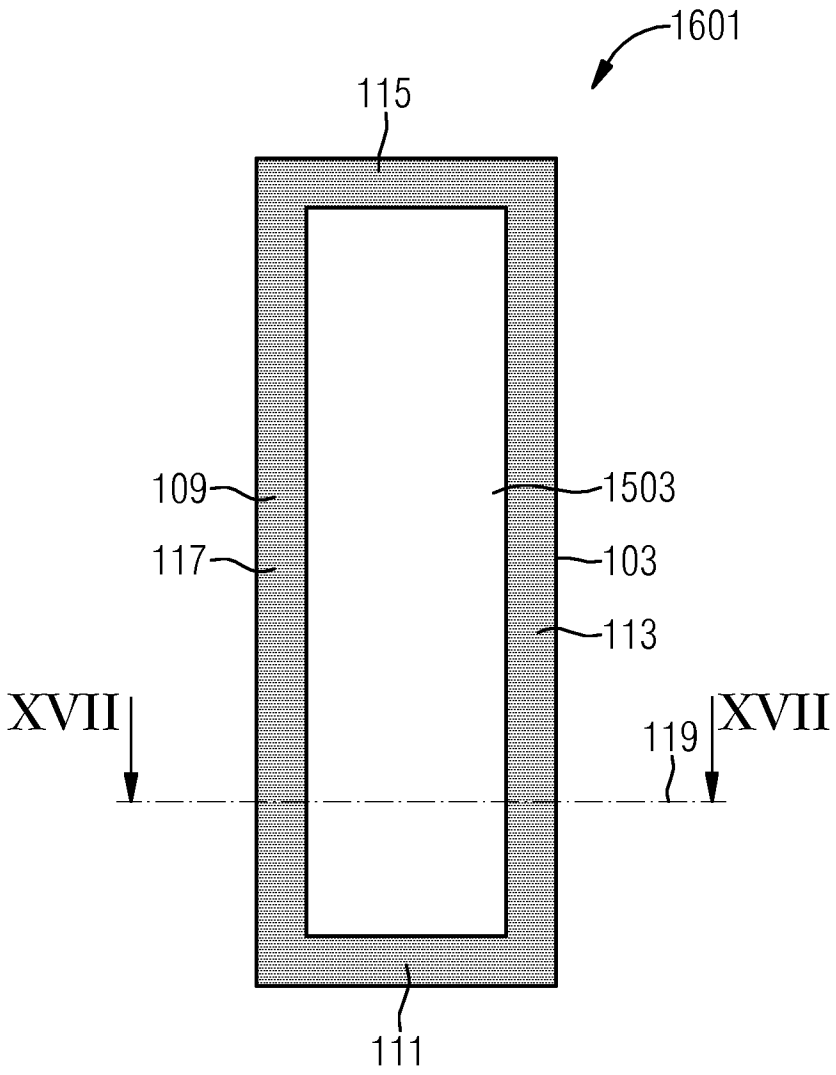


FIG 17

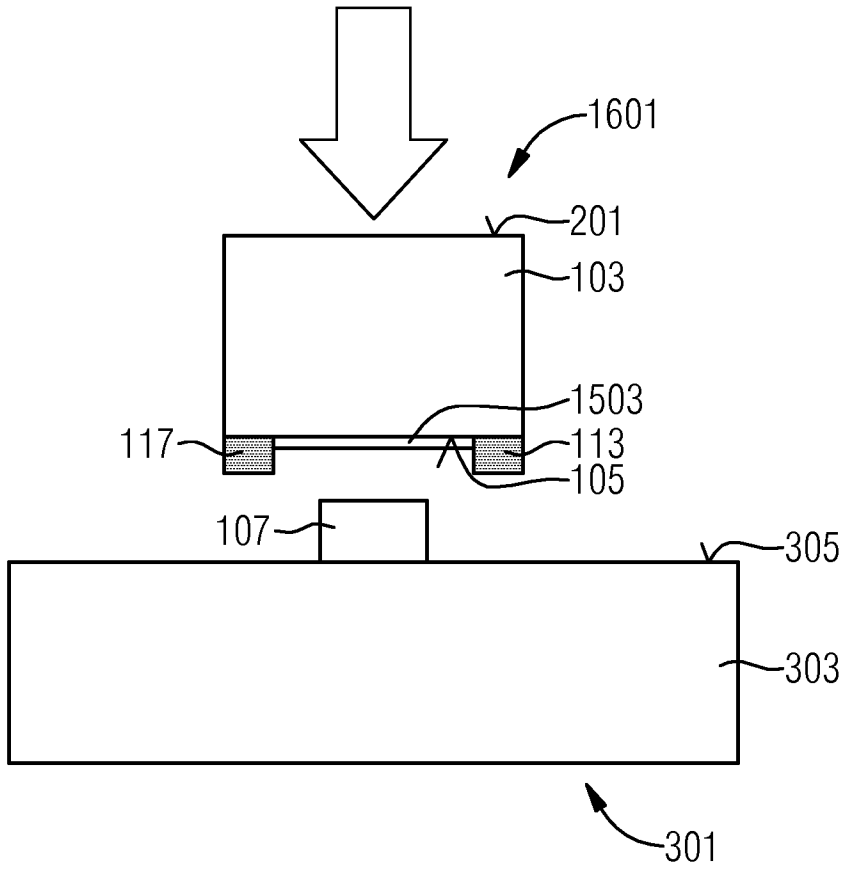

1601
201
103
1503
117
113
105
107
305
303
301

FIG 18

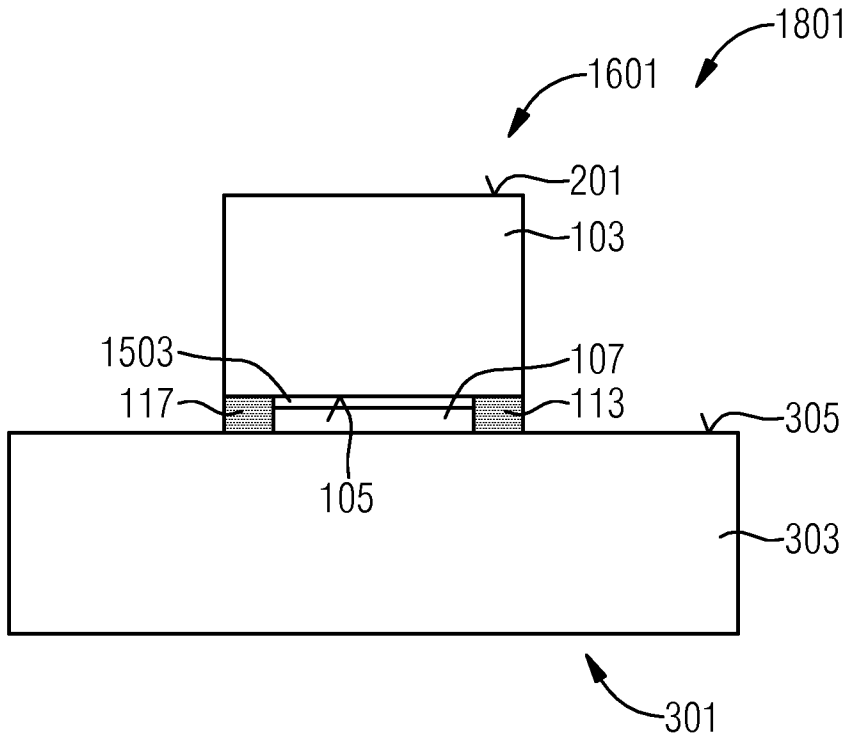

1801
1601
201
103
1503
107
117
113
305
105
303
301

FIG 19

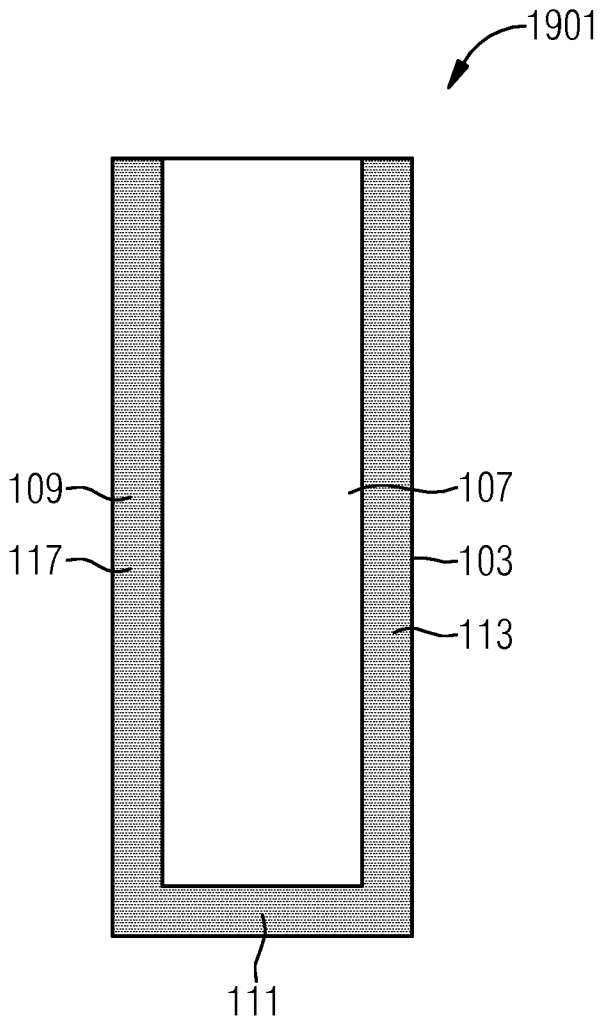


FIG 20

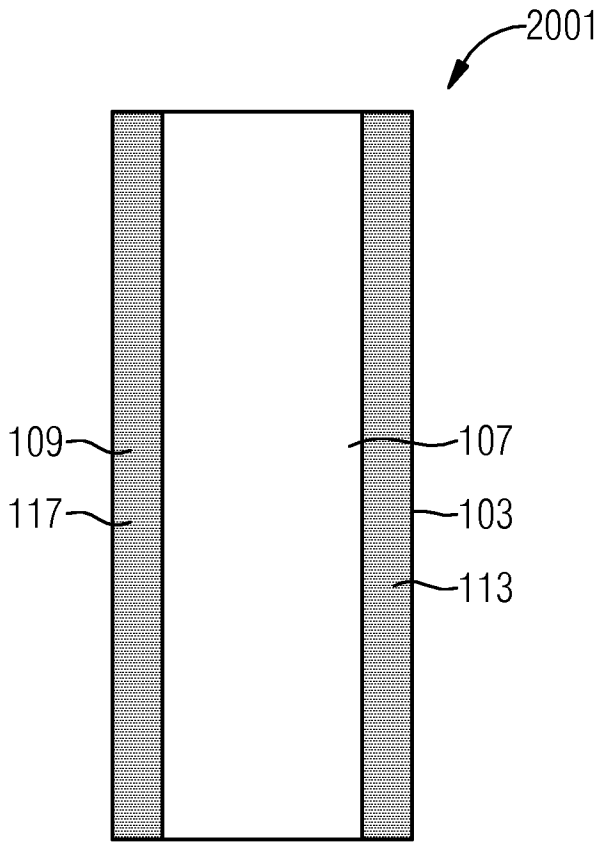


FIG 21

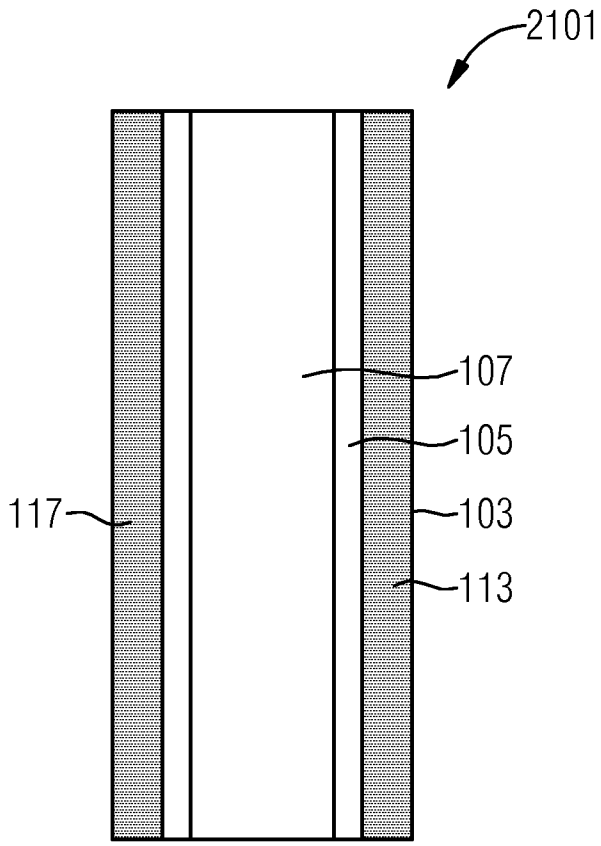


FIG 22

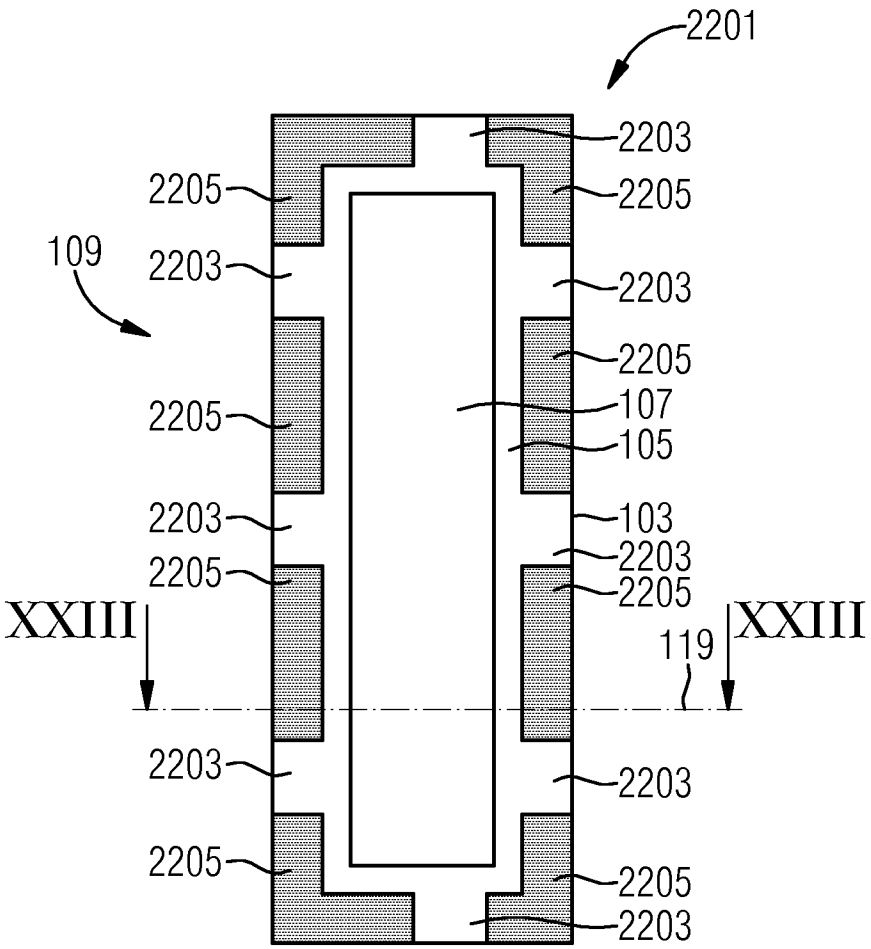

2201
2203
2205
2205
109
2203
2203
2205
2205
107
105
2203
103
2203
2205
2205
XXIII
XXIII
119
2203
2203
2205
2205
2203

FIG 23

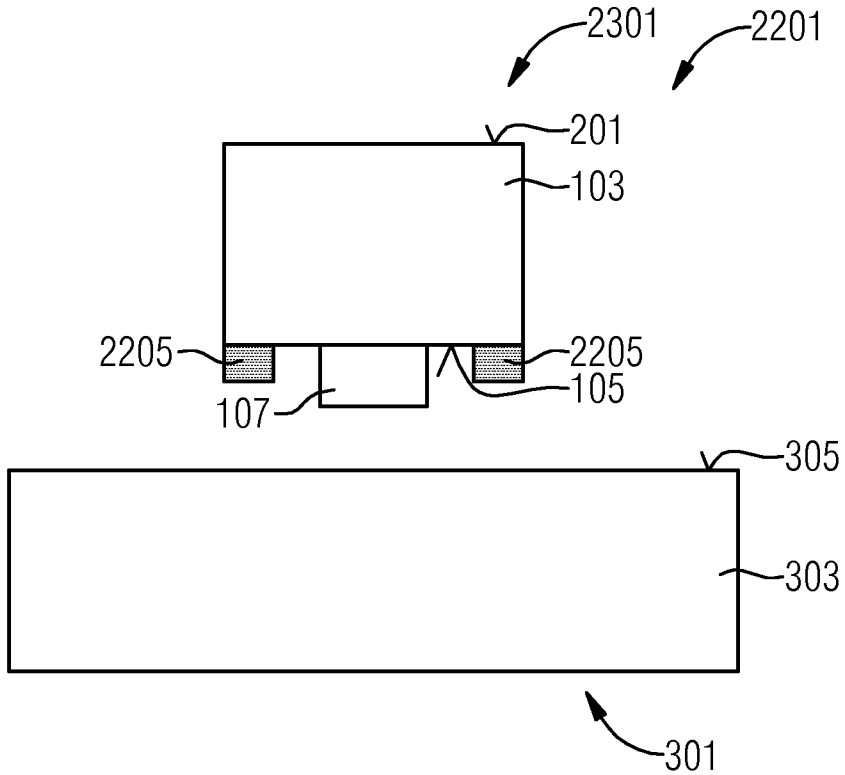

2301
2201
201
103
2205
2205
105
107
305
303
301

FIG 24

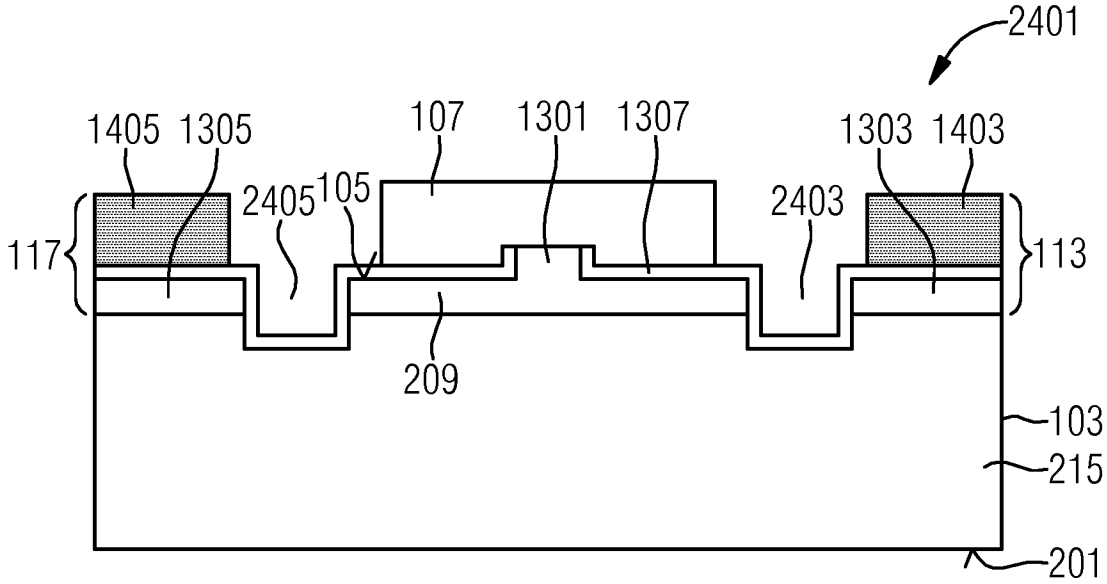

2401
1405
1305
107
1301
1307
1303
1403
2405
105
2403
117
113
209
103
215
201

FIG 25

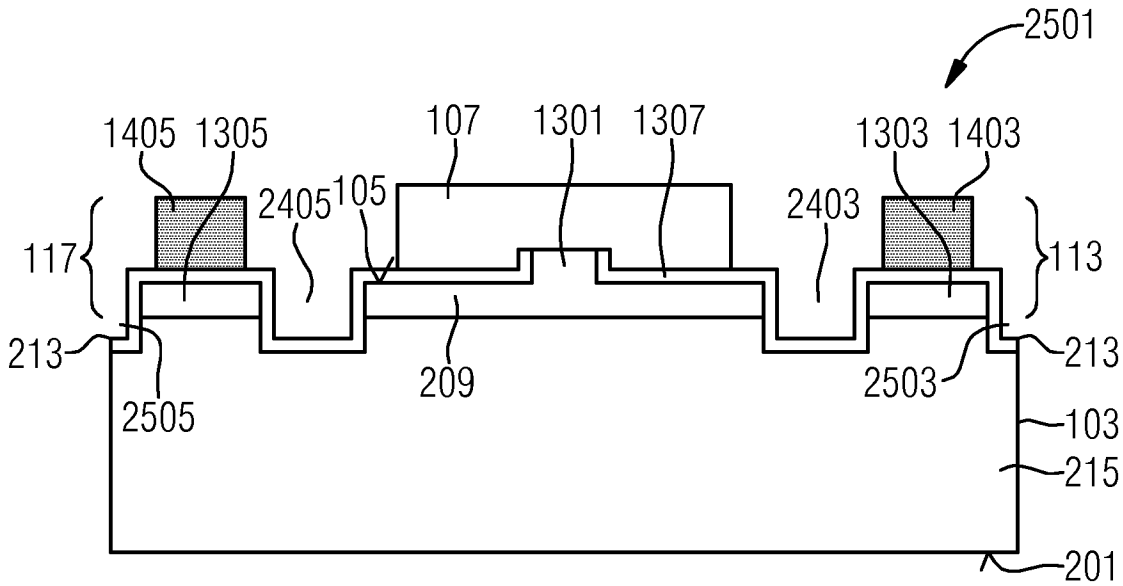

2501
1405
1305
107
1301
1307
1303
1403
2405
105
2403
117
113
213
2505
209
2503
213
103
215
201

FIG 26

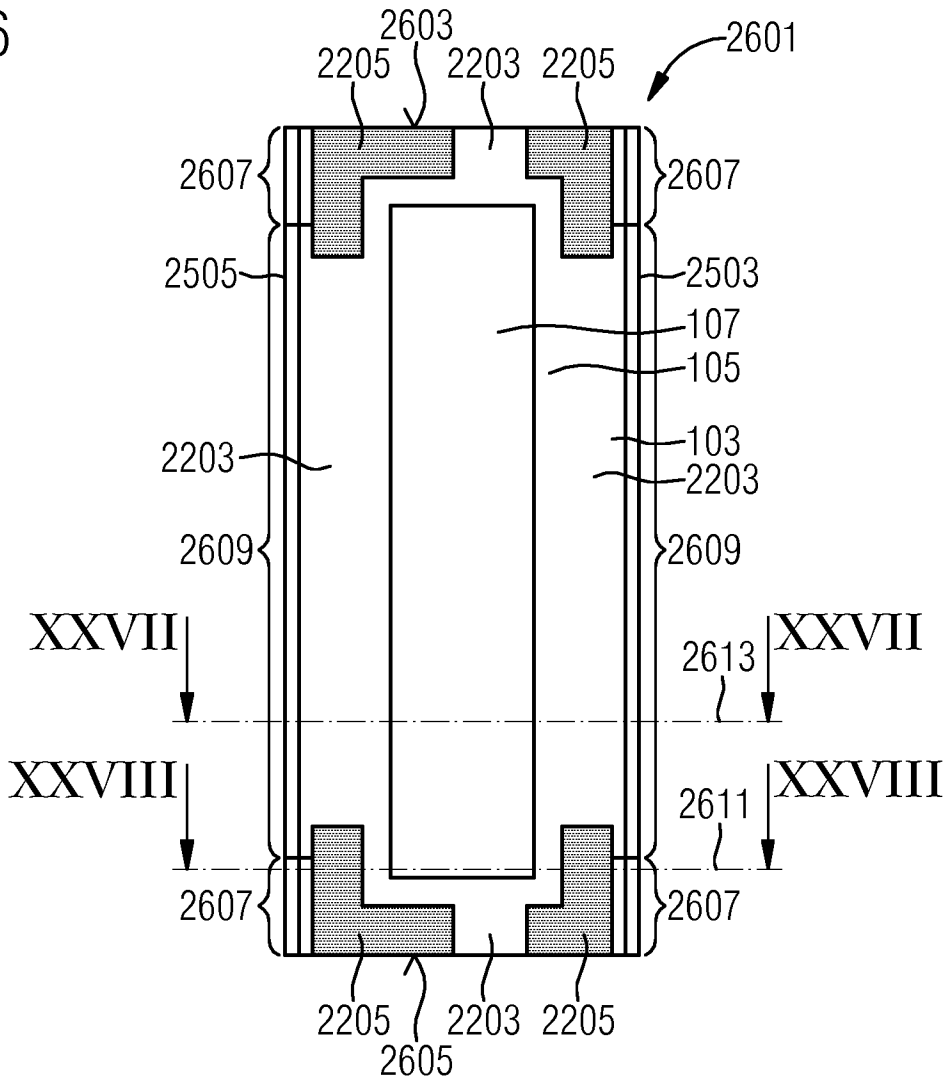

2603
2601
2205
2203
2205
2607
2607
2505
2503
107
105
103
2203
2203
2609
2609
XXVII
XXVII
2613
XXVIII
XXVIII
2611
2607
2607
2205
2203
2205
2605

FIG 27

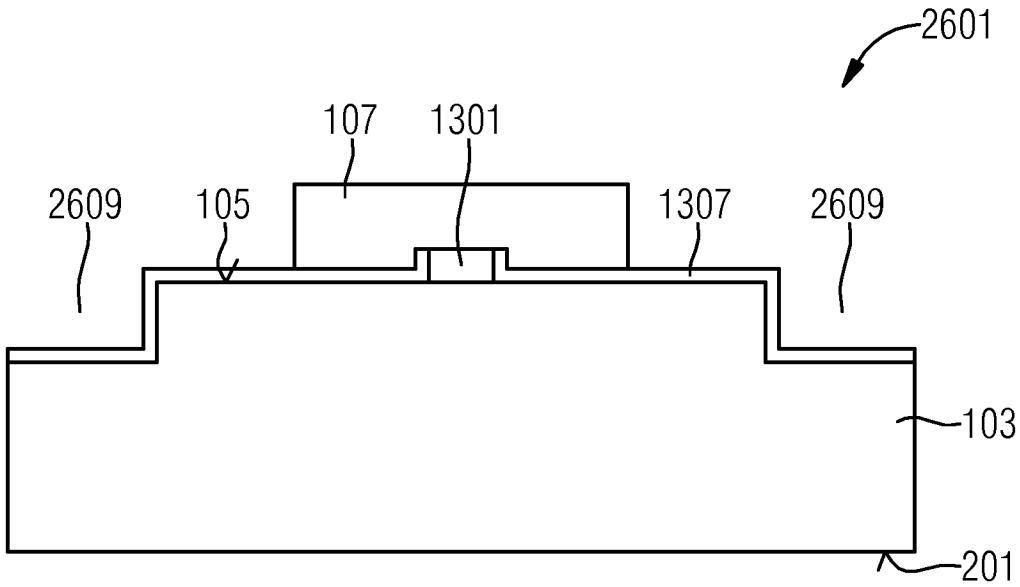

2601
107
1301
2609
105
1307
2609
103
201

FIG 28

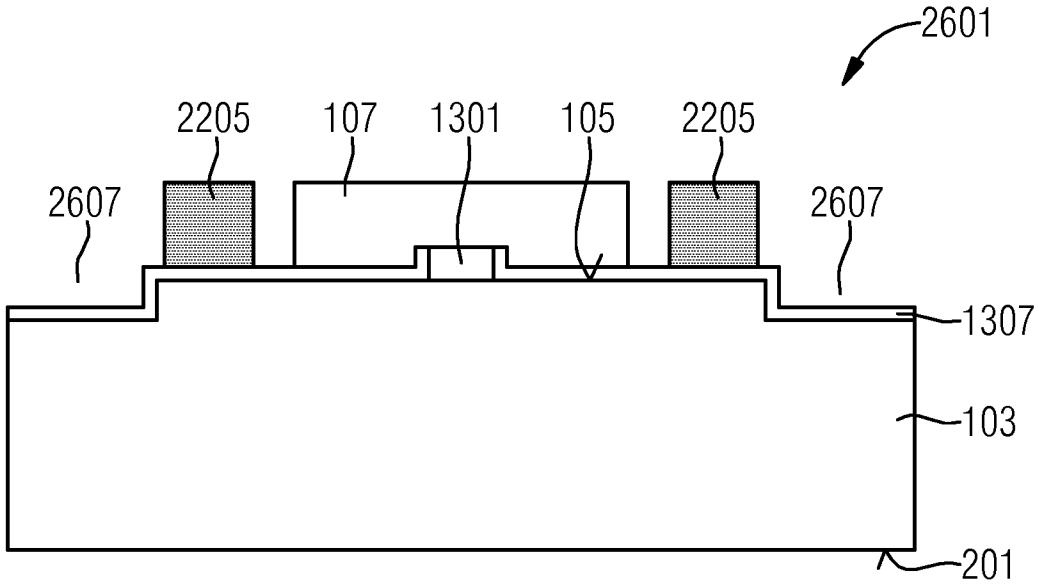

2601
2205
107
1301
105
2205
2607
2607
1307
103
201

FIG 29

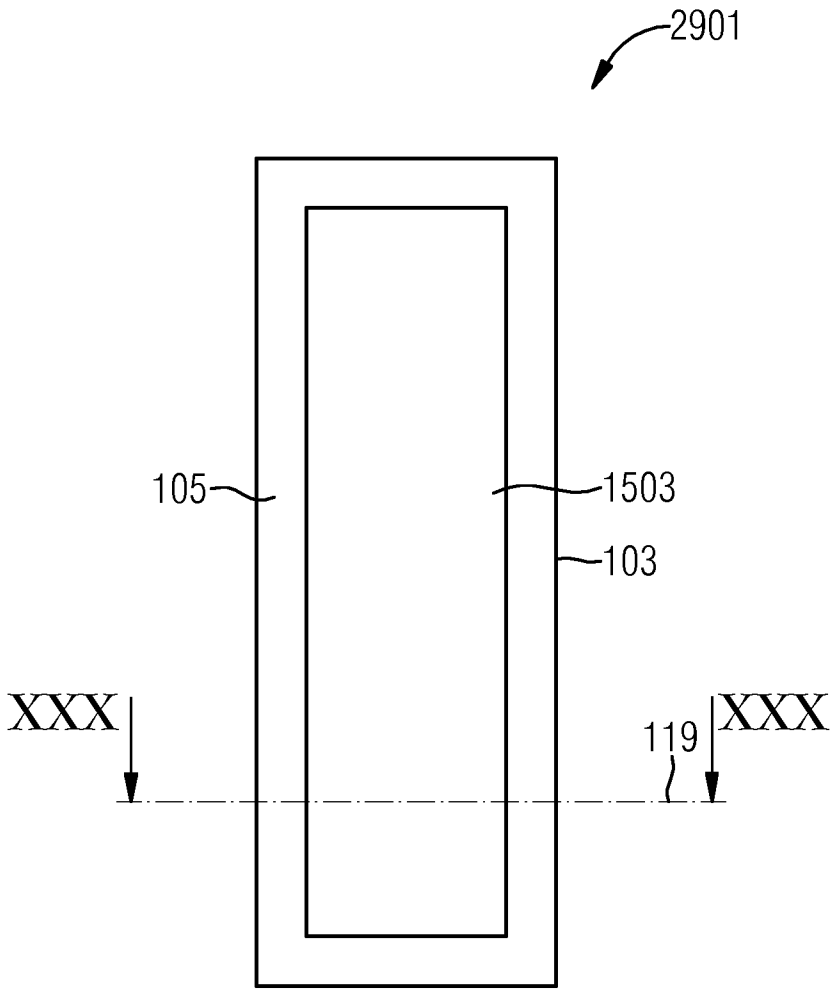

2901
105
1503
103
XXX
119
XXX

FIG 30

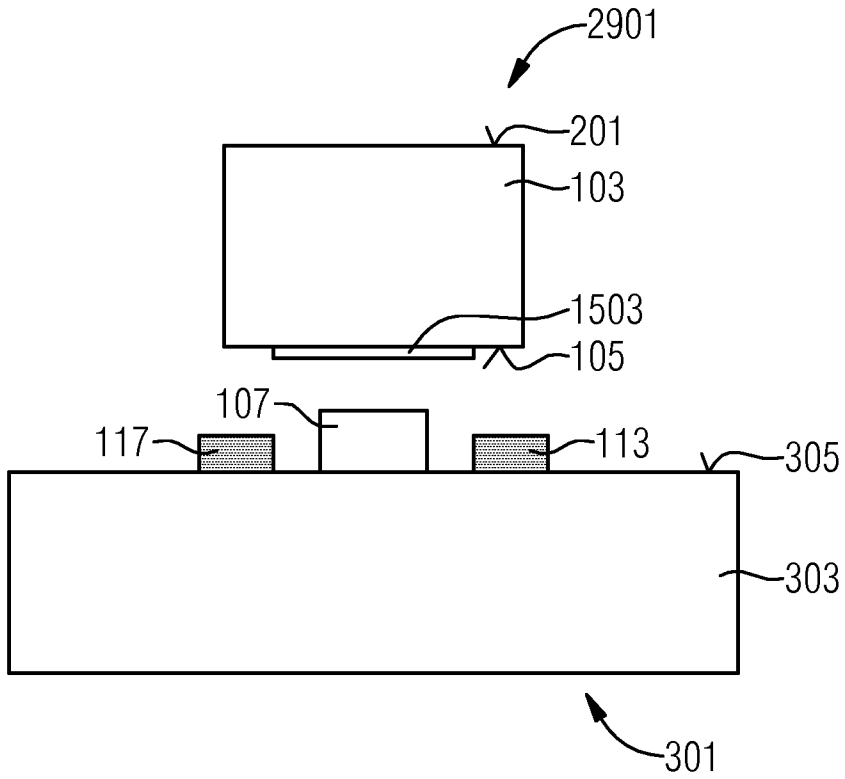

2901
201
103
1503
105
107
117
113
305
303
301

FIG 31

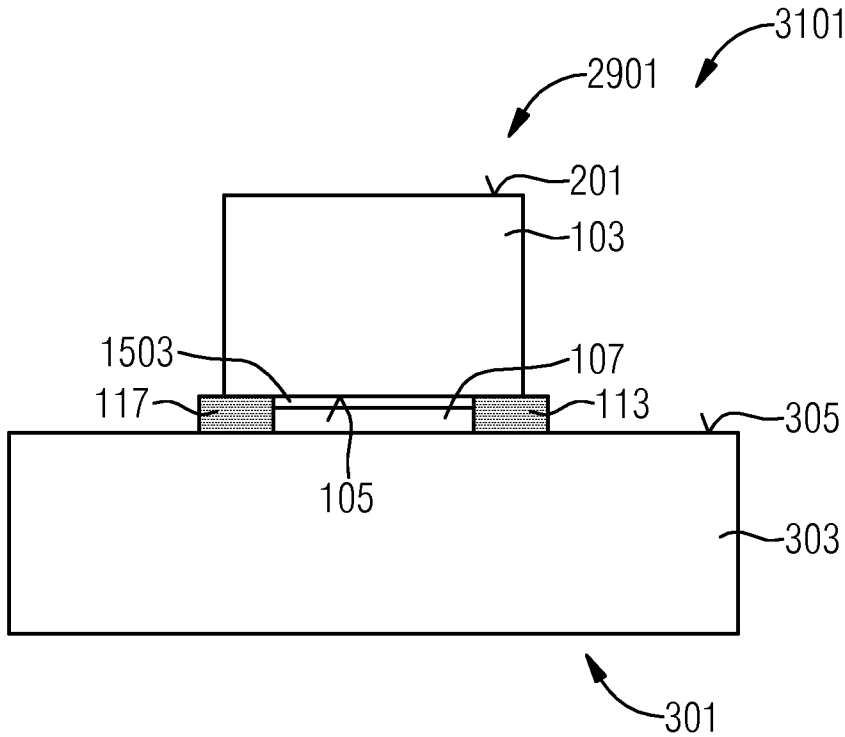

3101
2901
201
103
1503
107
117
113
305
105
303
301

FIG 32

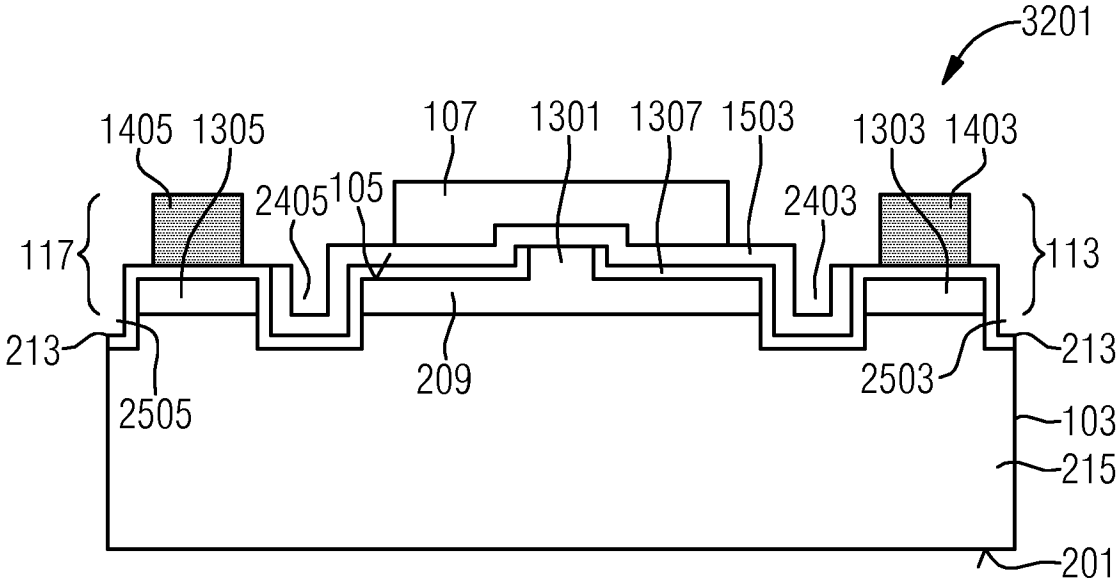

3201
1405
1305
107
1301
1307
1503
1303
1403
2405
105
2403
117
113
213
209
2503
213
2505
103
215
201

FIG 33

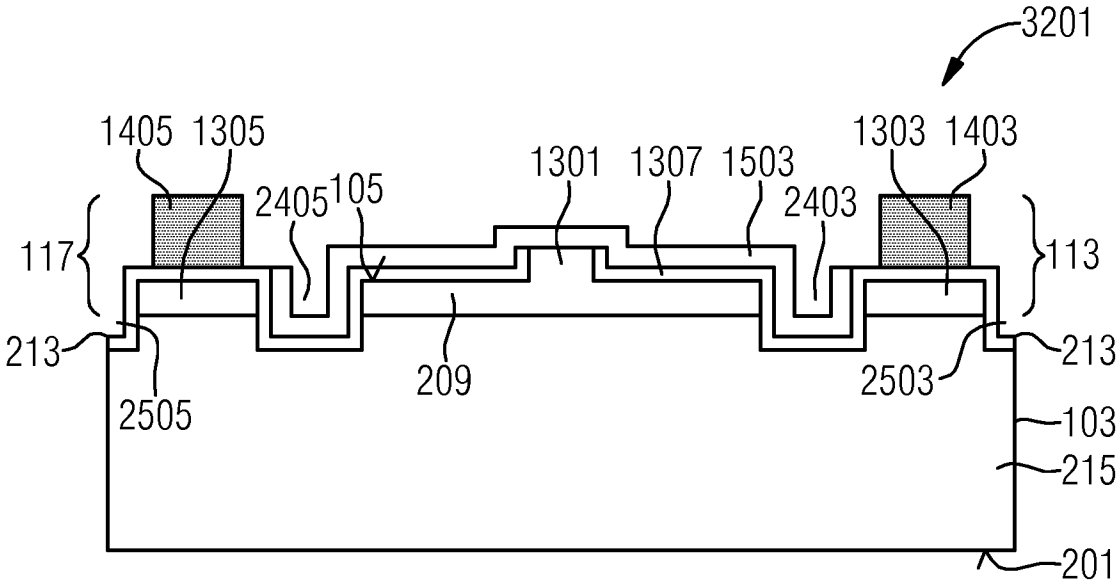

3201
1405
1305
1301
1307
1503
1303
1403
2405
105
2403
117
113
213
209
2503
213
2505
103
215
201

FIG 34

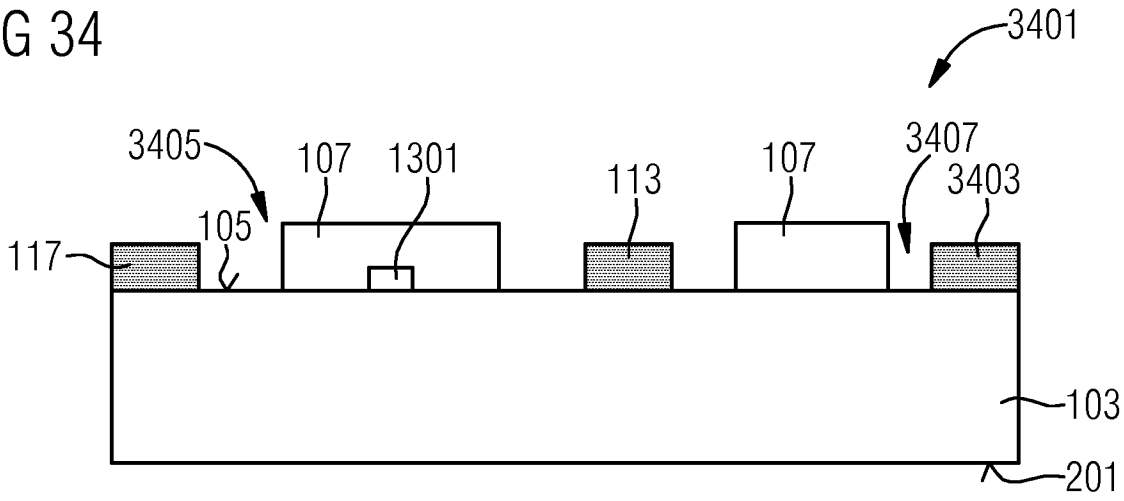

3401
3405
107
1301
113
107
3407
3403
105
117
103
201

FIG 35

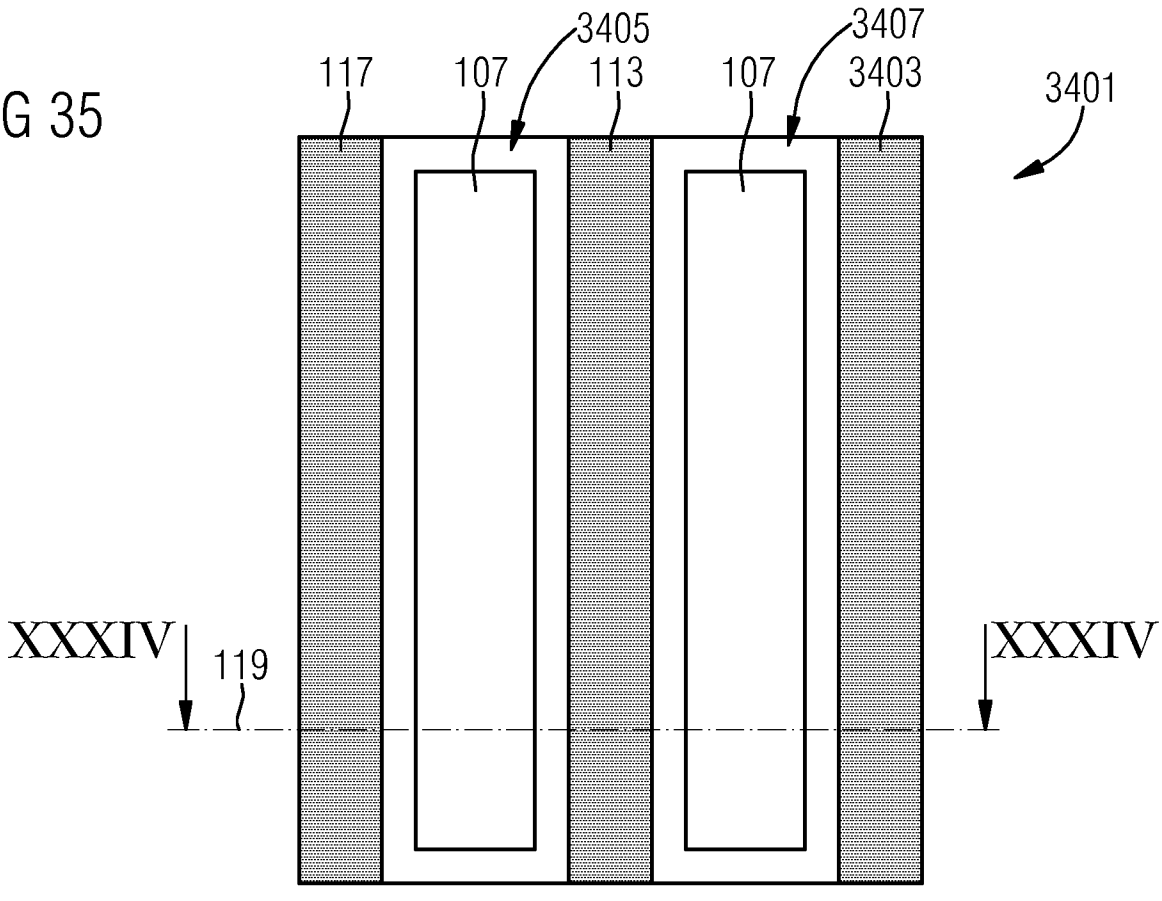

3405
3407
117
107
113
107
3403
3401
XXXIV
119
XXXIV

FIG 36

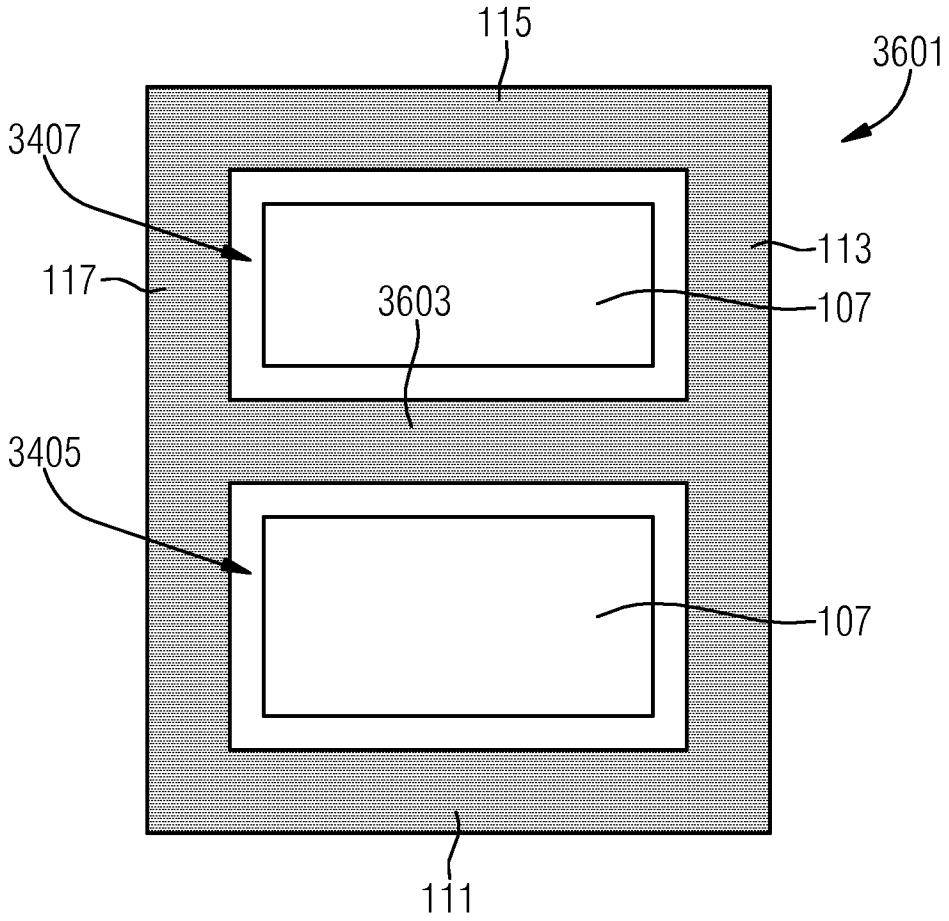

115
3601
3407
113
117
3603
107
3405
107
111

FIG 37

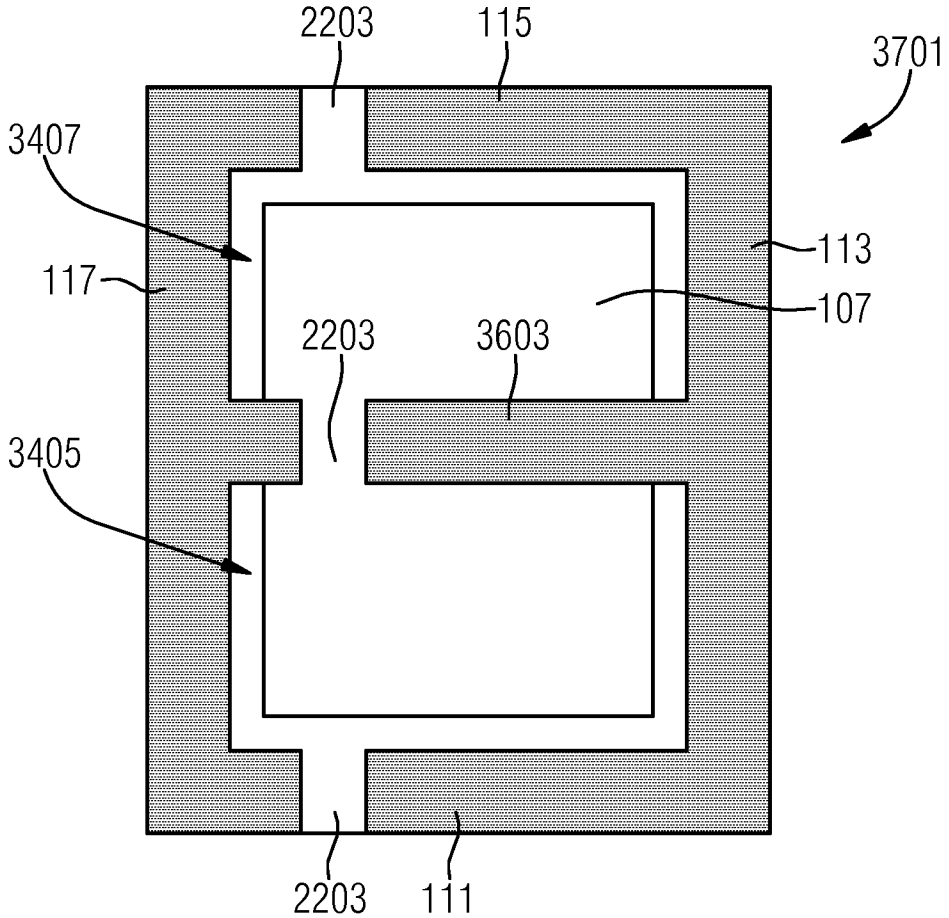

2203
115
3701
3407
113
117
107
2203
3603
3405
2203
111

FIG 38

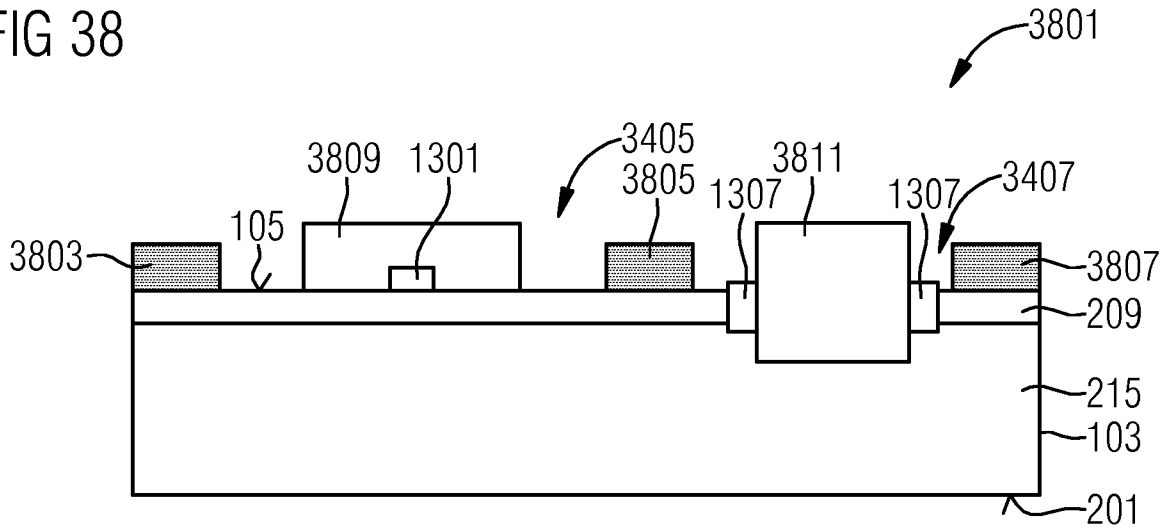

3801
3809
1301
3405
3805
3811
1307
1307
3407
105
3803
3807
209
215
103
201

FIG 39

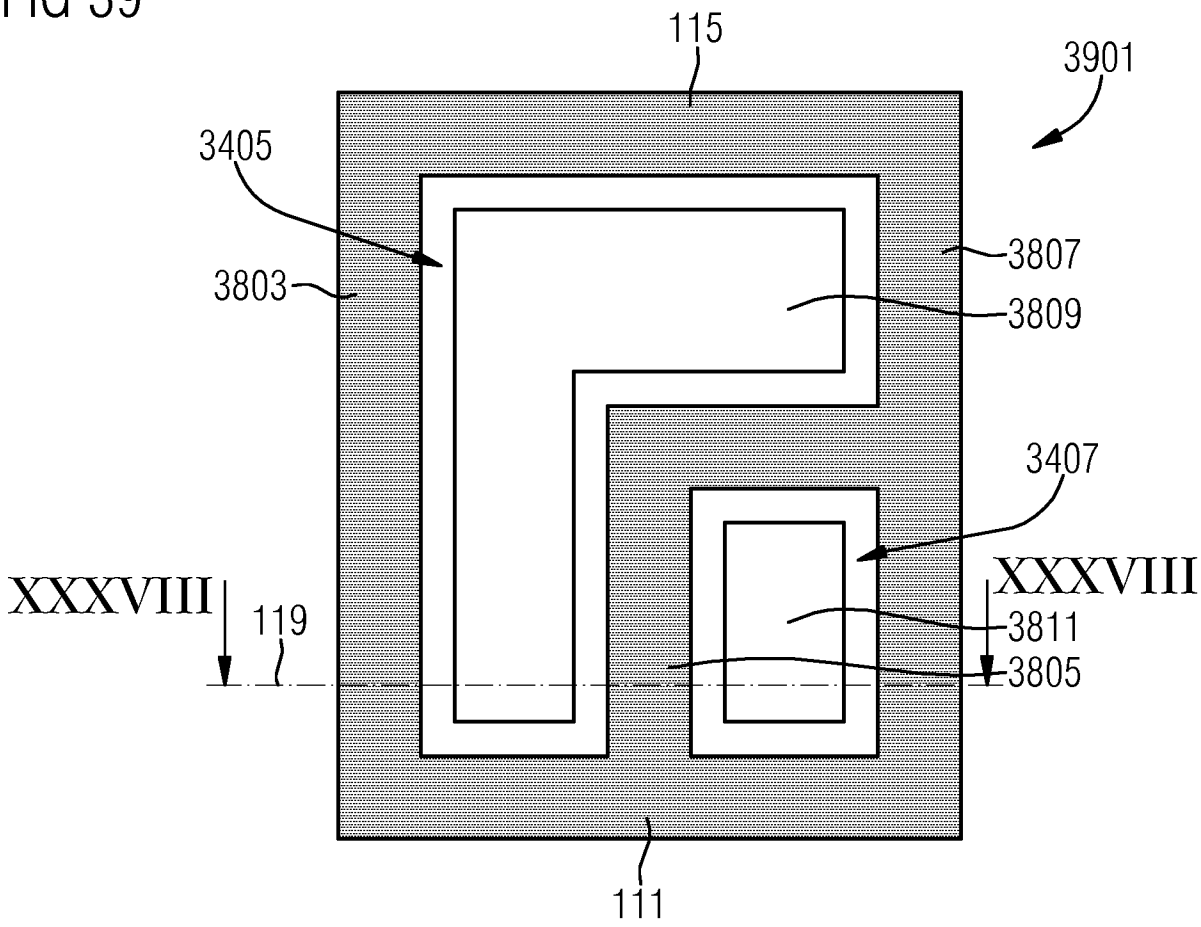
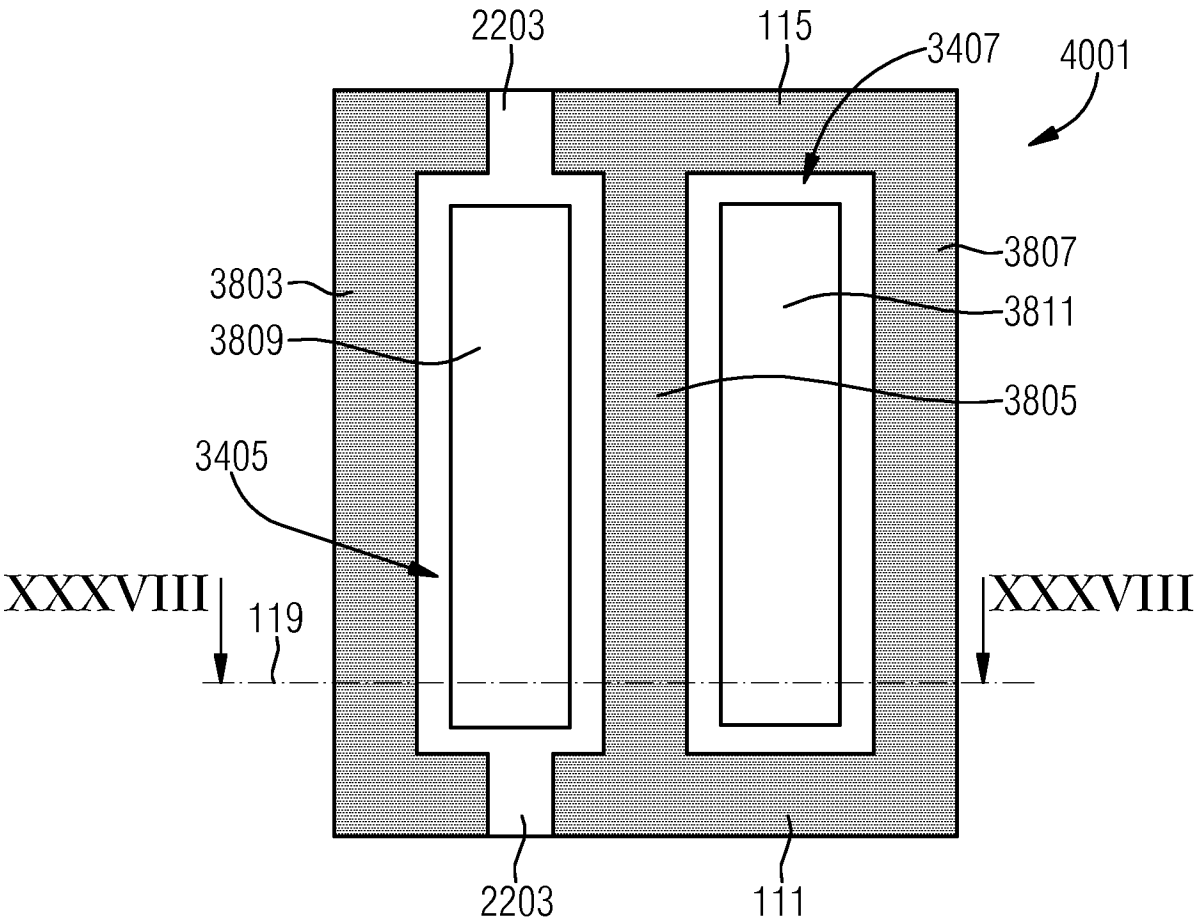

115
3901
3405
3807
3803
3809
3407
XXXVIII
XXXVIII
119
3811
3805
111

FIG 40


2203
115
3407
4001
3807
3803
3811
3809
3805
3405
XXXVIII
119
XXXVIII
2203
111

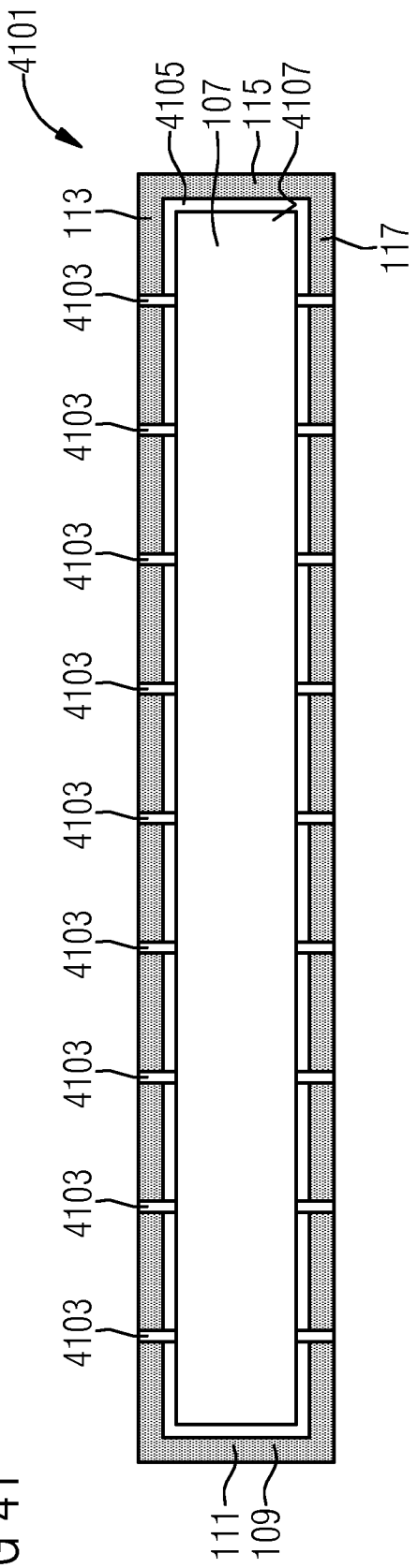

4101
4105
107
115
4107
113
117
4103
111
109

FIG 41

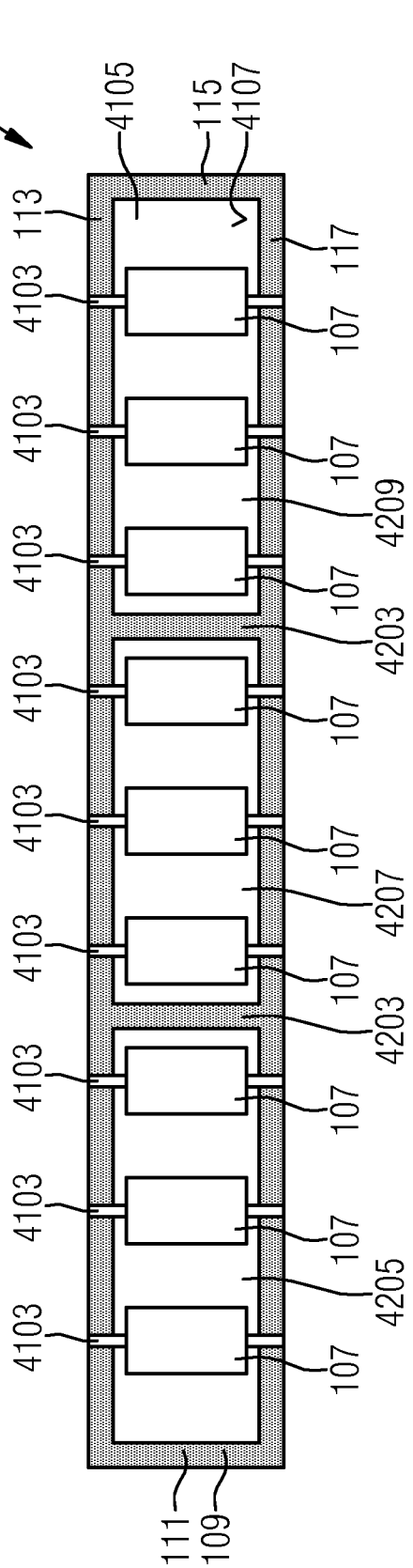

4201
4105
115
4107
113
117
4103
107
4209
4203
4207
4205
111
109

FIG 42

FIG 43

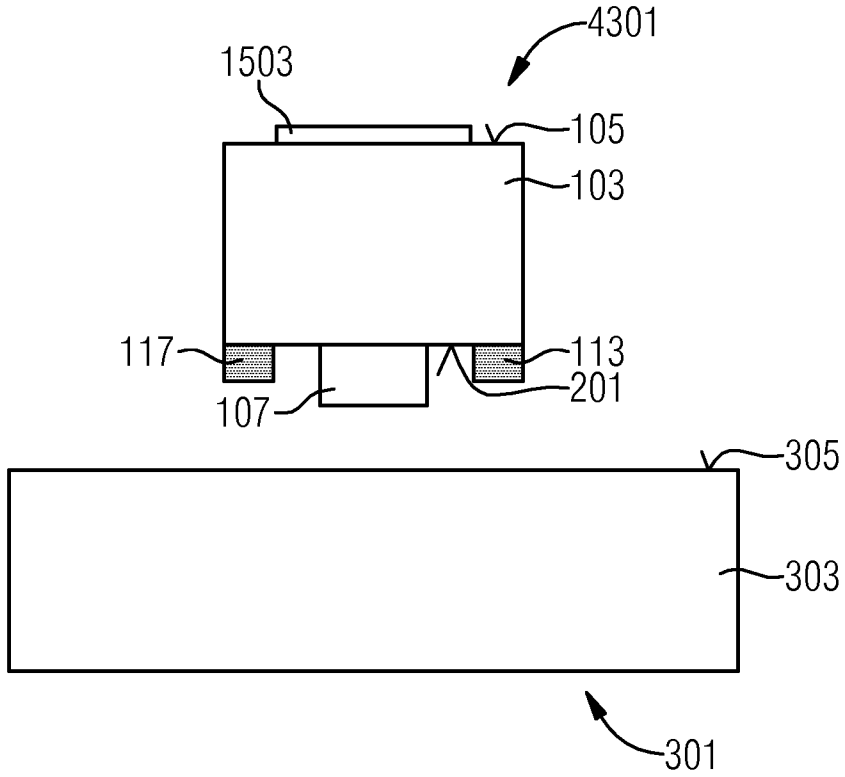

4301
1503
105
103
117
113
201
107
305
303
301

FIG 44

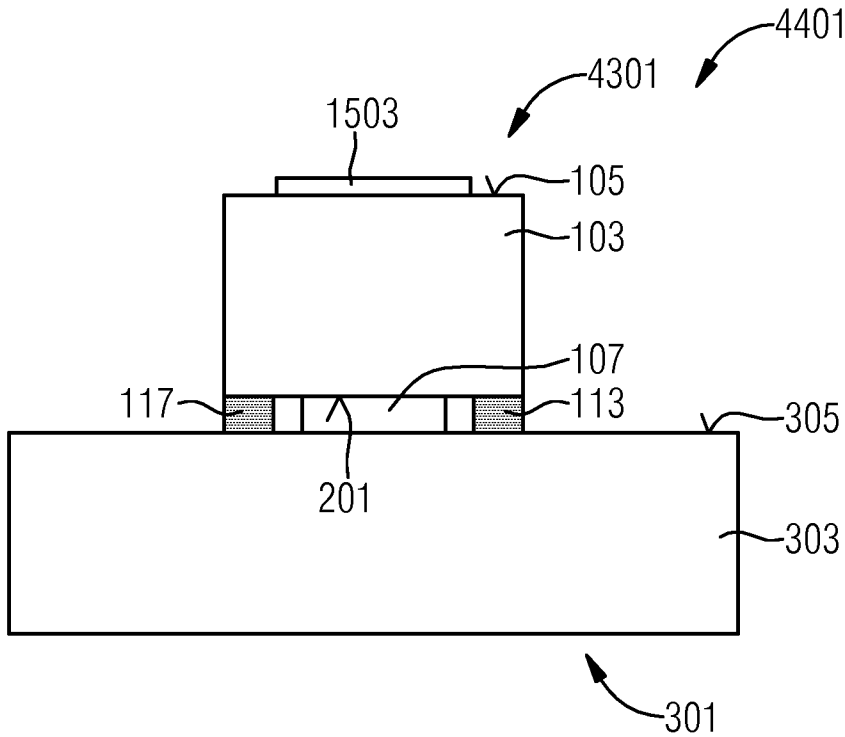

4401
4301
1503
105
103
107
117
113
305
201
303
301

FIG 45

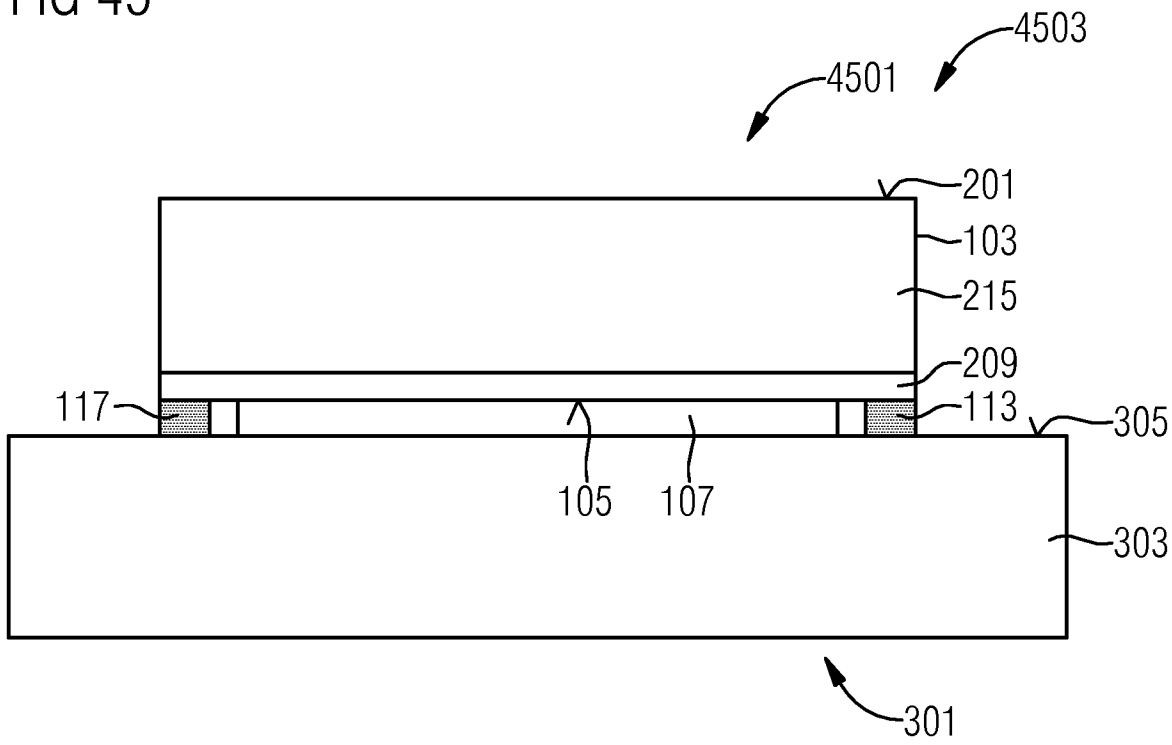

4503
4501
201
103
215
209
117
113
305
105
107
303
301

FIG 46

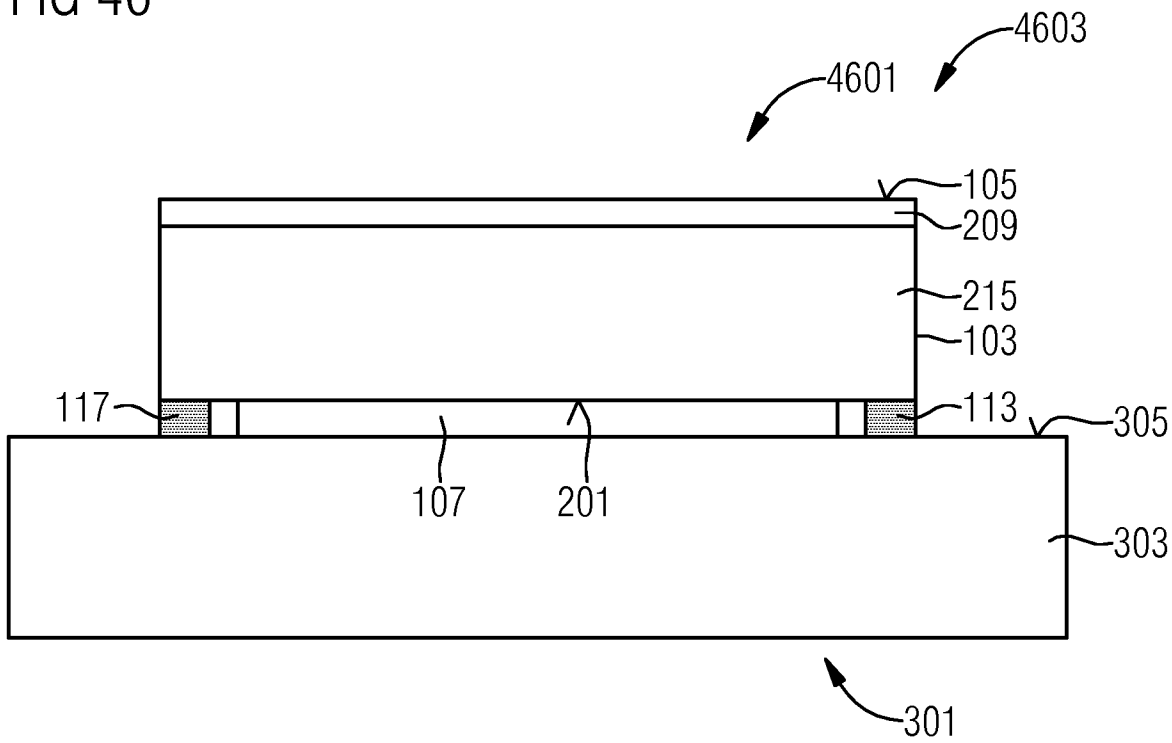

4603
4601
105
209
215
103
117
113
305
107
201
303
301

FIG 47

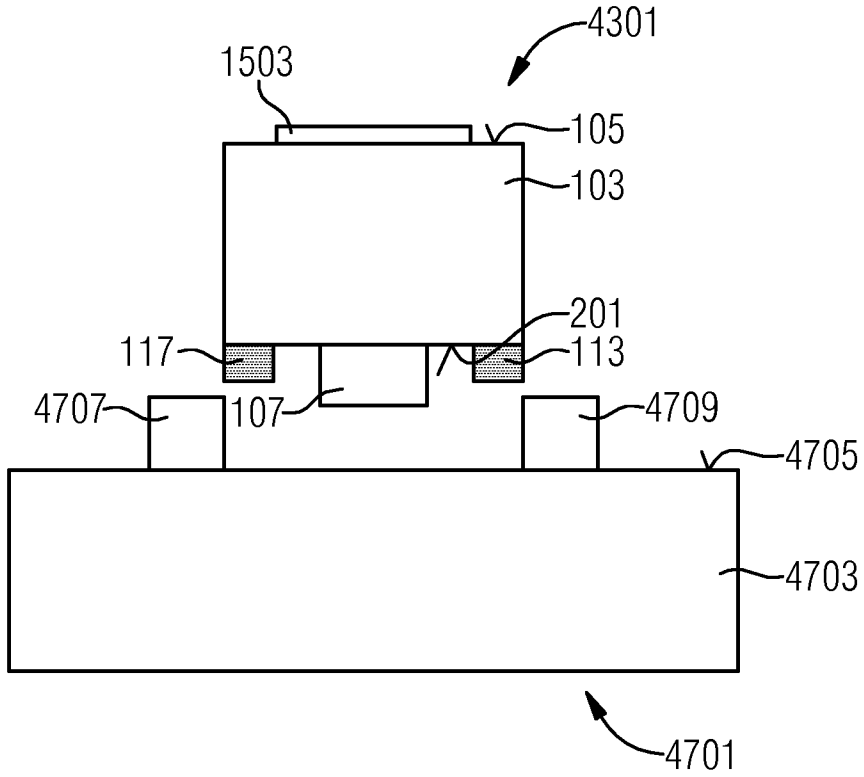

4301
1503
105
103
201
117
113
4707
107
4709
4705
4703
4701

FIG 48

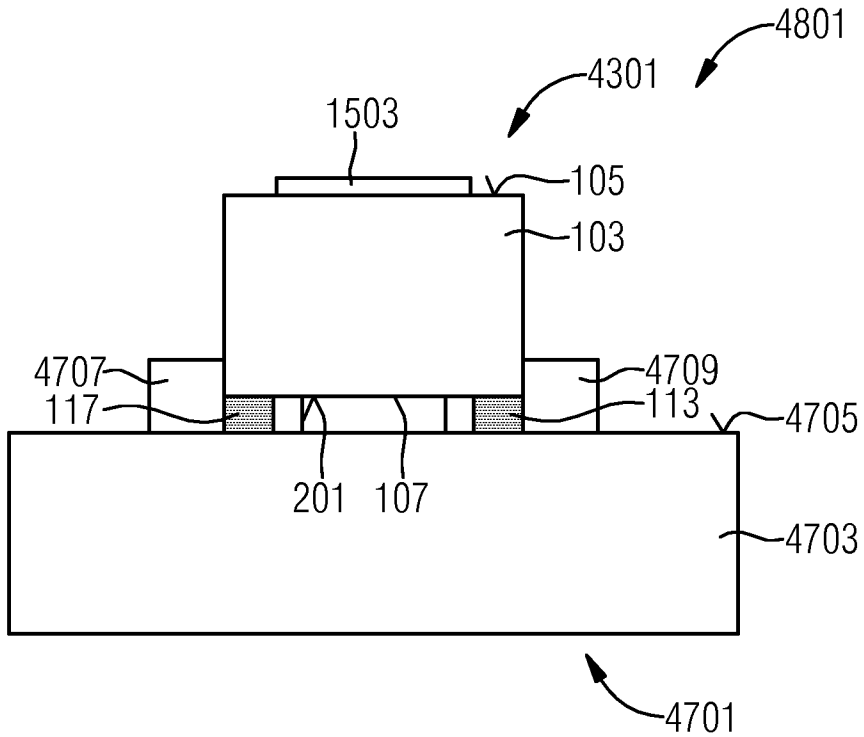

4801
4301
1503
105
103
4707
4709
117
113
4705
201
107
4703
4701

FIG 49

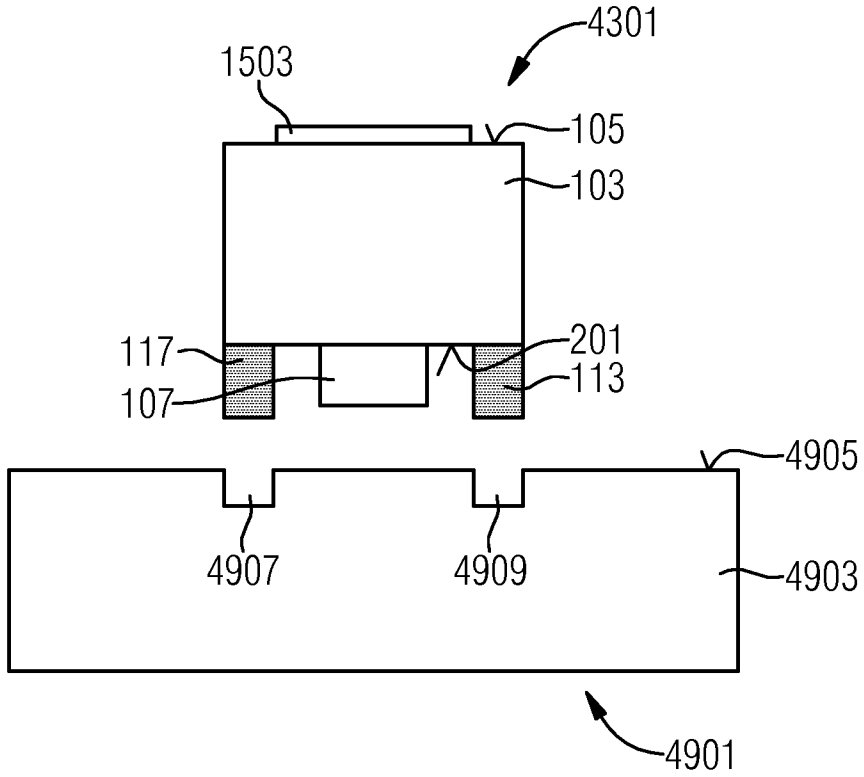

4301
1503
105
103
117
107
201
113
4905
4907
4909
4903
4901

FIG 50

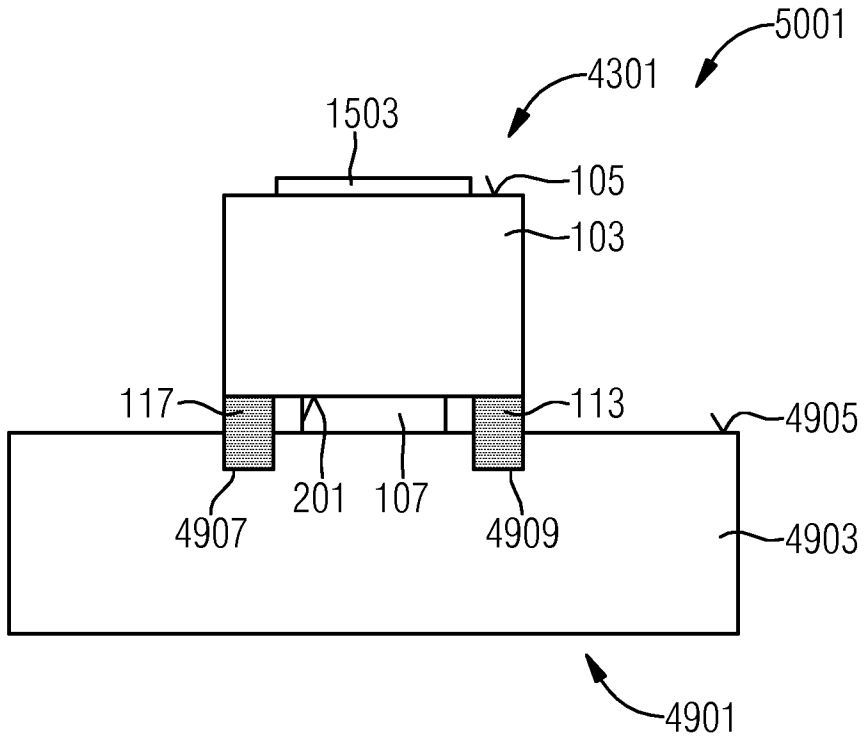

5001
4301
1503
105
103
117
113
4905
201
107
4907
4909
4903
4901

FIG 51

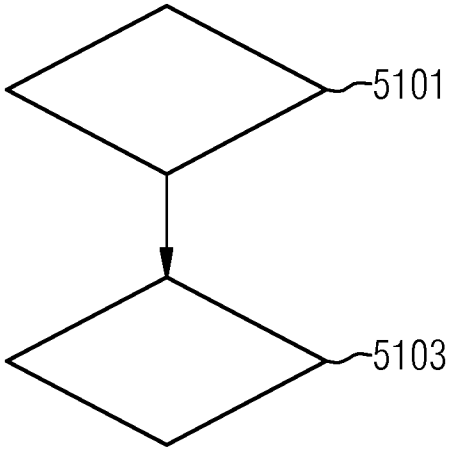


FIG 52

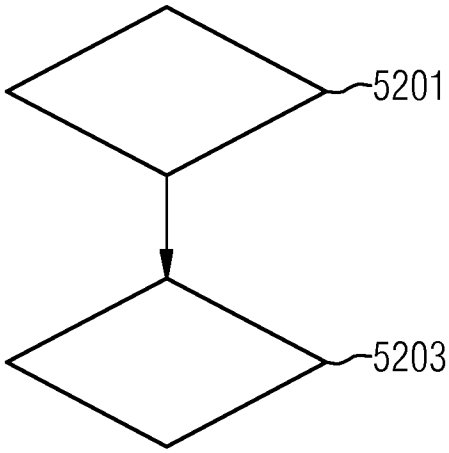


FIG 53

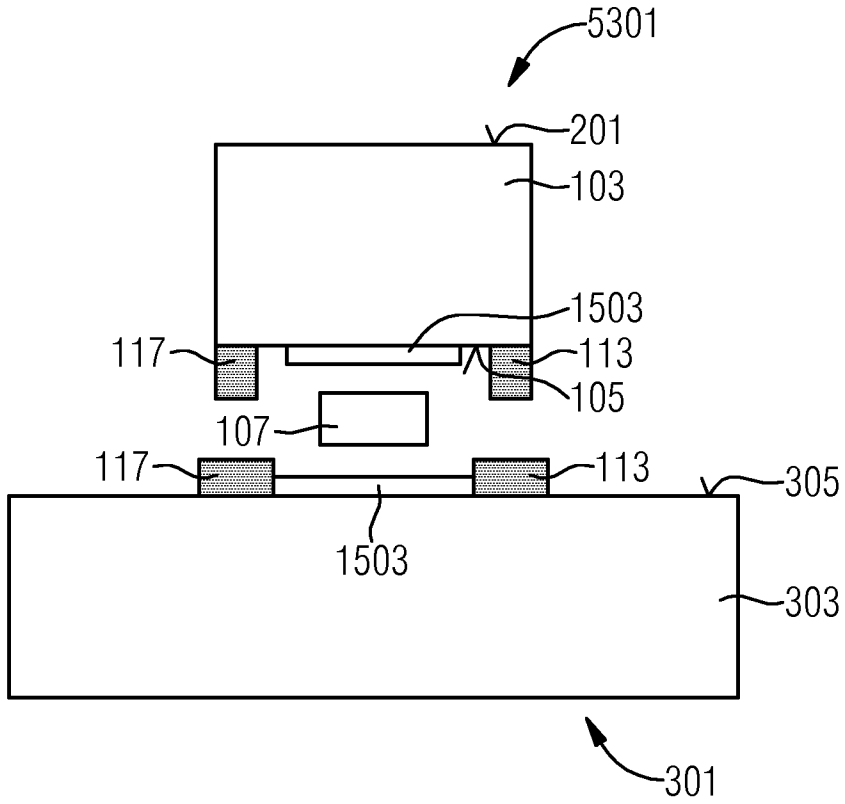

5301
201
103
1503
117
113
105
107
117
113
305
1503
303
301

FIG 54

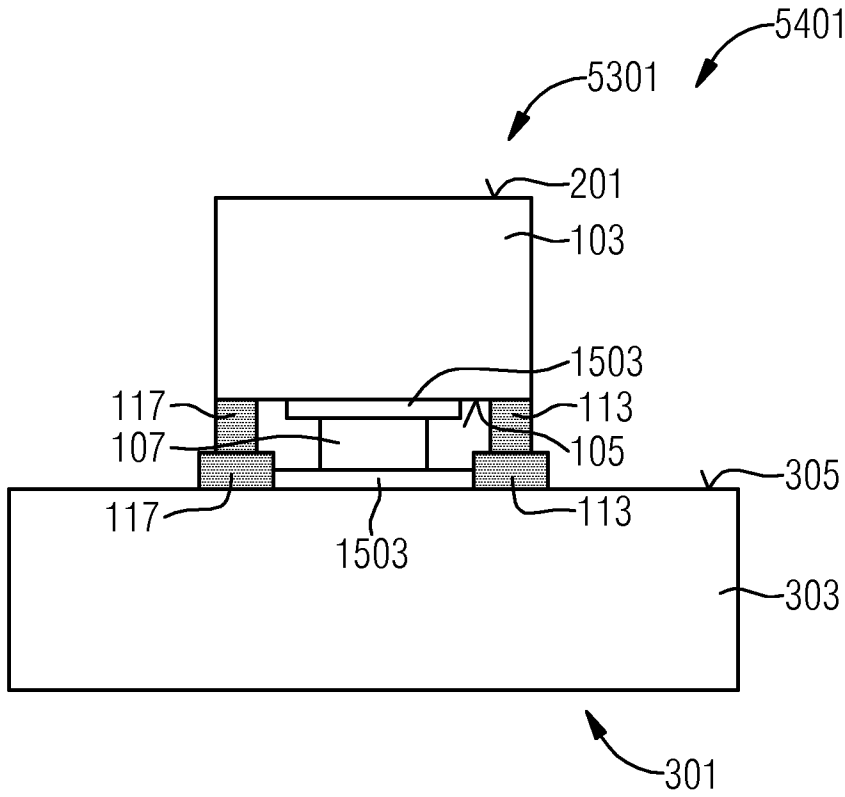

5401
5301
201
103
1503
117
113
107
105
305
117
113
1503
303
301

FIG 55

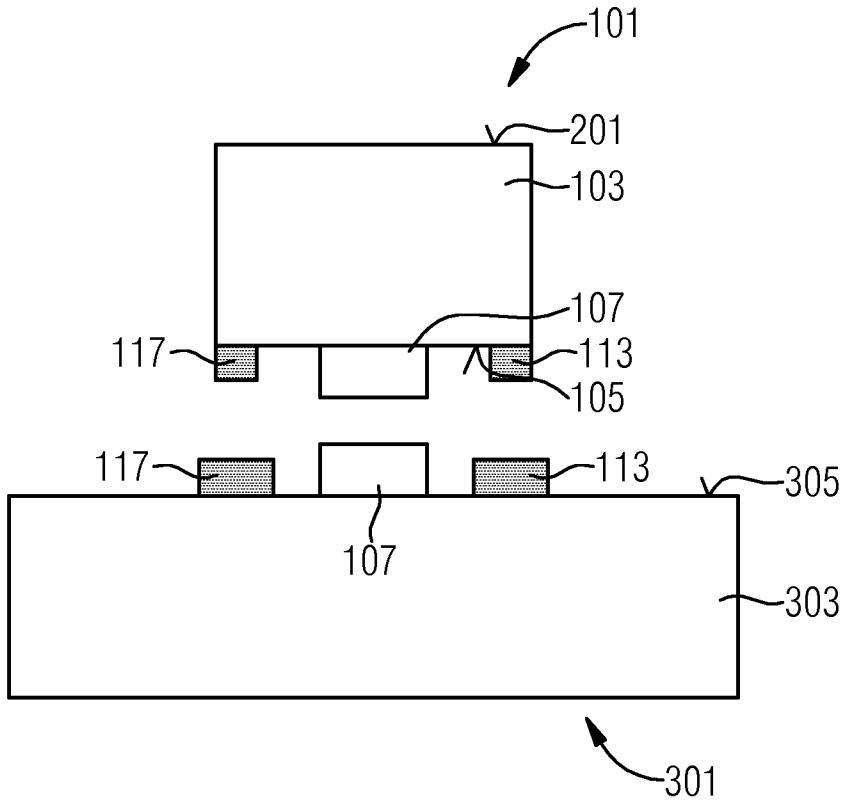

101
201
103
107
117
113
105
117
113
305
107
303
301

FIG 56

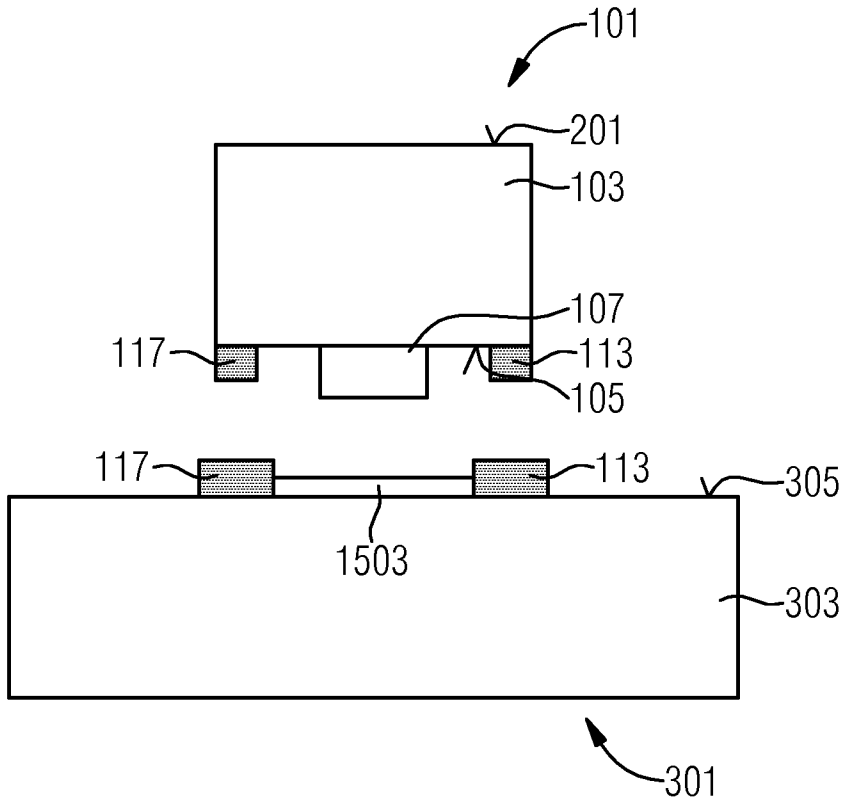
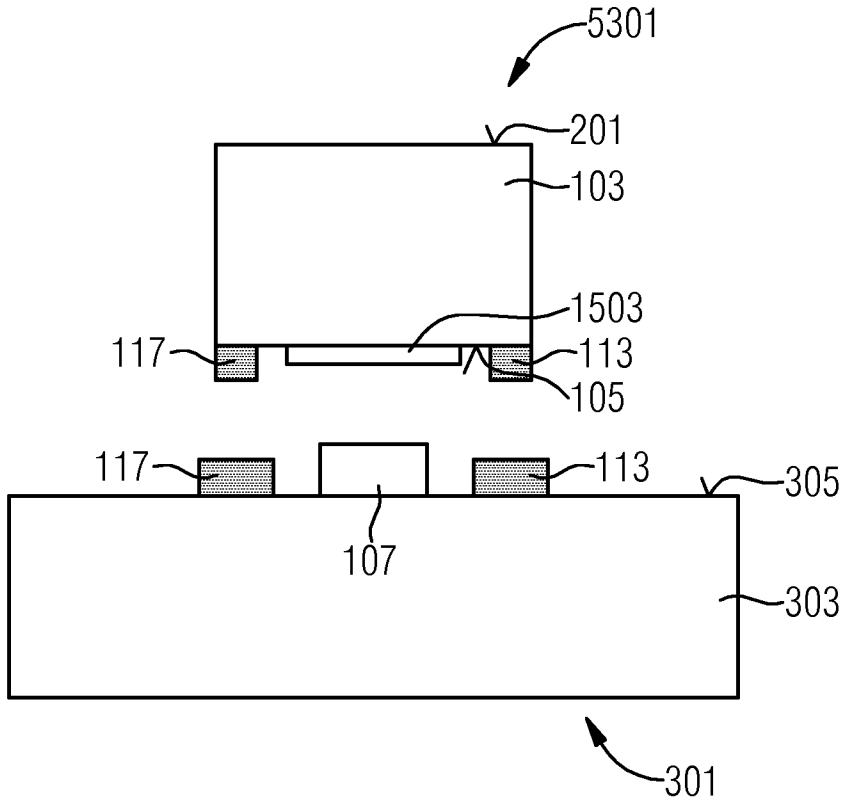

101
201
103
107
117
113
105
117
113
305
1503
303
301

FIG 57



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/055008

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L33/48
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 10 2009 005709 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 29 July 2010 (2010-07-29)	1,2,13, 14,25,29
A	claims 1-15; figures 7A-11	3-12, 15-24, 26-28,30

A	DE 10 2013 212928 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 8 January 2015 (2015-01-08) claims 1-15; figures 5-8	1-30

A	WO 2015/166022 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 5 November 2015 (2015-11-05) claims 1-18; figure 10	1,13,25, 29

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 March 2017	06/04/2017

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	But, Gabriela-Ileana

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2017/055008

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 102009005709 A1	29-07-2010	DE 102009005709 A1	29-07-2010
		EP 2380218 A2	26-10-2011
		JP 2012516047 A	12-07-2012
		WO 2010084101 A2	29-07-2010
DE 102013212928 A1	08-01-2015	CN 105340087 A	17-02-2016
		DE 102013212928 A1	08-01-2015
		JP 6063610 B2	18-01-2017
		JP 2016523455 A	08-08-2016
		KR 20160029030 A	14-03-2016
		US 2016163932 A1	09-06-2016
		WO 2015001037 A1	08-01-2015
WO 2015166022 A1	05-11-2015	CN 106233477 A	14-12-2016
		DE 102014106074 A1	19-11-2015
		DE 112015002048 A5	09-03-2017
		TW 201605075 A	01-02-2016
		US 2017054110 A1	23-02-2017
		WO 2015166022 A1	05-11-2015

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2017/055008

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L33/48
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 10 2009 005709 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 29. Juli 2010 (2010-07-29)	1,2,13, 14,25,29
A	Ansprüche 1-15; Abbildungen 7A-11	3-12, 15-24, 26-28,30

A	DE 10 2013 212928 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 8. Januar 2015 (2015-01-08) Ansprüche 1-15; Abbildungen 5-8	1-30

A	WO 2015/166022 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 5. November 2015 (2015-11-05) Ansprüche 1-18; Abbildung 10	1,13,25, 29

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
29. März 2017	06/04/2017

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	But, Gabriela-Ileana

1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP2017/055008

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 102009005709 A1	29-07-2010	DE 102009005709 A1	29-07-2010
		EP 2380218 A2	26-10-2011
		JP 2012516047 A	12-07-2012
		WO 2010084101 A2	29-07-2010
DE 102013212928 A1	08-01-2015	CN 105340087 A	17-02-2016
		DE 102013212928 A1	08-01-2015
		JP 6063610 B2	18-01-2017
		JP 2016523455 A	08-08-2016
		KR 20160029030 A	14-03-2016
		US 2016163932 A1	09-06-2016
		WO 2015001037 A1	08-01-2015
WO 2015166022 A1	05-11-2015	CN 106233477 A	14-12-2016
		DE 102014106074 A1	19-11-2015
		DE 112015002048 A5	09-03-2017
		TW 201605075 A	01-02-2016
		US 2017054110 A1	23-02-2017
		WO 2015166022 A1	05-11-2015