

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年3月18日 (2010.3.18)

【公開番号】特開2008-193005(P2008-193005A)

【公開日】平成20年8月21日 (2008.8.21)

【年通号数】公開・登録公報2008-033

【出願番号】特願2007-28607(P2007-28607)

【国際特許分類】

H 0 1 L 29/417 (2006.01)

H 0 1 L 21/338 (2006.01)

H 0 1 L 29/812 (2006.01)

H 0 1 L 21/28 (2006.01)

【F I】

H 0 1 L 29/50 J

H 0 1 L 29/80 F

H 0 1 L 21/28 3 0 1 B

H 0 1 L 21/28 E

H 0 1 L 21/28 3 0 1 R

【手続補正書】

【提出日】平成22年1月28日 (2010.1.28)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板上にゲート電極を形成する領域を規定するダミーゲートを形成する工程と、  
前記半導体基板表面に対して垂直方向の指向性スパッタであるコリメートスパッタ、ロ  
ングスロースパッタおよびイオンビームスパッタのいずれかにより、前記ダミーゲートの  
両側の前記半導体基板上、前記ダミーゲートの上面および側面を被覆し、かつ前記ダミー  
ゲートの側面における厚みが前記ダミーゲートの両側の前記半導体基板上および前記ダミ  
ーゲートの上面に比べて小さい表面膜を形成する工程と、

前記ダミーゲートの側面に形成された前記表面膜を選択的に除去する工程と、  
前記ダミーゲートおよび前記ダミーゲート上面の前記表面膜を除去する工程と、  
前記半導体基板上の前記ダミーゲートを除去した領域に前記ゲート電極を形成する工程  
と、を有することを特徴とする半導体装置の製造方法。

【請求項 2】

前記表面膜を選択的に除去する工程は、ウエットエッチングにより実行されることを特  
徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記ダミーゲートはフォトリソで形成されることを特徴とする請求項 1 または 2 記  
載の半導体装置の製造方法。

【請求項 4】

前記ダミーゲート全面にドライエッチングを施すことで、前記ダミーゲートの幅を狭幅  
化させる工程を有することを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】

前記表面膜は Si、SiO<sub>2</sub>、SiN および SiON のいずれかであることを特徴とす

る請求項 1 から 4 のいずれか一項記載の半導体装置の製造方法。

【請求項 6】

前記半導体装置は M E S F E T および H E M T のいずれか一方であることを特徴とする請求項 1 から 5 のいずれか一項記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 3

【補正方法】変更

【補正の内容】

【0 0 0 3】

短ゲート長のゲート電極を形成する方法として様々な方法が考えられている。例えば、特許文献 1 には、半導体基板上に形成したダミーゲートの幅を酸素プラズマによるドライエッチングで狭幅化した後、半導体基板上に  $\text{SiO}_2$  膜を形成する。その後、ダミーゲートを除去し、その除去した領域にゲート電極を形成することで、短ゲート長のゲート電極を形成する方法が開示されている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 6

【補正方法】変更

【補正の内容】

【0 0 0 6】

本発明は、半導体基板上にゲート電極を形成する領域を規定するダミーゲートを形成する工程と、前記半導体基板表面に対して垂直方向の指向性スパッタであるコリメートスパッタ、ロングスロースパッタおよびイオンビームスパッタのいずれかにより、前記ダミーゲートの両側の前記半導体基板上、前記ダミーゲートの上面および側面を被覆し、かつ前記ダミーゲートの側面における厚みが前記ダミーゲートの両側の前記半導体基板上および前記ダミーゲートの上面に比べて小さい表面膜を形成する工程と、前記ダミーゲートの側面に形成された前記表面膜を選択的に除去する工程と、前記ダミーゲートおよび前記ダミーゲート上面の前記表面膜を除去する工程と、前記半導体基板上の前記ダミーゲートを除去した領域に前記ゲート電極を形成する工程と、を有することを特徴とする半導体装置の製造方法である。本発明によれば、指向性スパッタを用いることで、ダミーゲートの側壁に形成される表面膜の厚さを薄くすることができるため、短ゲート長のゲート電極を形成することが可能となる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 7

【補正方法】変更

【補正の内容】

【0 0 0 7】

上記構成において、前記表面膜を選択的に除去する工程は、ウェットエッチングにより実行される構成とすることができる。この構成によれば、ダミーゲートの側壁に形成された表面膜を選択的にエッチングすることができる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 9

【補正方法】変更

【補正の内容】

【0 0 0 9】

上記構成において、前記ダミーゲート全面にドライエッチングを施すことで、前記ダミーゲートの幅を狭幅化させる工程を有する構成とすることができる。この構成によれば、

より幅の狭いダミーゲートを得ることができる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

まず、発明者が特許文献 1 に係るゲート電極の製造方法の課題を明確にするために行った実験について説明する。図 1 (a) から図 2 (c) は実験を行った比較例 1 に係るゲート電極の製造方法を説明するための断面図である。図 1 (a) を参照に、半導体基板 10 上にフォトリソストを用い、ダミーゲート 12 を形成する。ダミーゲート 12 の幅  $L1a$  は  $0.3 \mu m$ 、高さは  $500 nm$  である。図 1 (b) を参照に、酸素プラズマによりダミーゲート 12 全面をドライエッチングしてダミーゲート 12 の幅を狭幅化させる。これにより、ダミーゲート 12 の幅  $L1b$  は  $0.1 \mu m$  となる。図 1 (c) を参照に、半導体基板 10 上に  $SiO_2$  からなる表面膜 16 をスパッタを用い形成する。表面膜 16 の膜厚は  $300 nm$  である。ここで用いたスパッタは一般的なスパッタであり、等方的に表面膜 16 がスパッタされるため、ダミーゲート 12 の側壁にも十分な厚さ  $t1$  の表面膜 16 が形成される。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

図 3 (a) から図 5 (c) は本発明の実施例 1 に係る MESFET の製造方法を示す断面図である。図 3 (a) を参照に、GaAs 基板からなる半導体基板 10 内に、例えば Mg をイオン注入することで p 型領域 20 を形成し、例えば  $Si^+$  をイオン注入することで n 型能動層 22 を形成する。半導体基板 10 上に ECR プラズマ CVD (Electron Cyclotron Resonance Plasma Chemical Vapor Deposition) を用い、 $SiN$  層 24 を形成する。図 3 (b) を参照に、ゲート電極 14 を形成すべき領域の半導体基板 10 上に、i 線ステッパを用いフォトリソストによりゲート電極 14 を形成する領域を規定するダミーゲート 12 を形成する。ダミーゲート 12 の幅  $L1a$  は  $0.3 \mu m$ 、高さは  $500 nm$  である。図 3 (c) を参照に、ダミーゲート 12 をマスクとしてセルフアラインイオン注入により、例えば  $Si^+$  をドーピングして半導体基板 10 内に n 型能動層 22 よりドーピング濃度が高い  $n^+$  領域 26 を形成する。その後、ダミーゲート 12 の幅  $L1a$  を細める目的で、酸素プラズマでダミーゲート 12 全面をドライエッチングすることにより、ダミーゲート 12 の幅を狭幅化させる。再度、ダミーゲート 12 をマスクとして半導体基板 10 内に、例えば  $Si^+$  をドーピングして、n 型能動層 22 よりドーピング濃度が高く  $n^+$  領域 26 よりドーピング濃度が低い  $n'$  領域 28 を形成する。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

図 4 (a) を参照に、再度、酸素プラズマでダミーゲート 12 全面をドライエッチングすることによりダミーゲート 12 の幅を狭幅化させる。これにより、ダミーゲート 12 の幅  $L1b$  は  $0.1 \mu m$  となる。ダミーゲート 12 をマスクとしてセルフアラインイオン注入により、例えば  $Si^+$  をドーピングすることで半導体基板 10 内に n 型能動層 22 よりドー

ブ濃度が高く  $n^+$  領域 28 よりドーパ濃度が低い  $n^-$  領域 30 を形成する。このように、 $n$  型能動層 22 から  $n^-$  領域 30、 $n^+$  領域 28 および  $n^+$  領域 26 と段階的にドーパ濃度の高い不純物領域を設けることで、 $n^+$  領域 26 間に電圧を印加した場合に電界強度が局部的に集中することが避けられ、耐電圧性を上げることができる。図 4 (b) を参照に、半導体基板 10 上にコリメートスパッタにより  $SiO_2$  である表面膜 16 を形成する。表面膜 16 の厚さは 300 nm である。ここで用いたコリメートスパッタは、半導体基板 10 表面の垂直方向とスパッタ装置の  $SiO_2$  ターゲット表面の垂直方向とが合致するように半導体基板 10 を固定する方法である。これにより、半導体基板 10 表面に対して主に垂直方向にスパッタが進む指向性スパッタを実現することができる。指向性スパッタであるコリメートスパッタを用いて表面膜 16 を形成することで、ダミーゲート 12 の側壁に形成される表面膜 16 の厚さ  $t_2$  を非常に薄くすることができる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

また、実施例 1 によれば、図 4 (a) に示すように、フォトリソでダミーゲート 12 を形成した後、酸素プラズマでダミーゲート 12 全面をドライエッチングすることで、ダミーゲート 12 の幅を狭幅化させている。このため、フォトリソで形成可能なダミーゲート 12 の最小幅よりさらに細い幅のダミーゲート 12 を得ることができる。例えば、 $i$  線ステッパを用いてダミーゲート 12 の形成を行うと、形成可能なダミーゲート 12 の最小幅は  $0.3 \mu m$  であるが、その後、酸素プラズマでダミーゲート 12 全面をドライエッチングすることで、ダミーゲート 12 の幅を例えば  $0.1 \mu m$  等、 $0.3 \mu m$  以下に狭幅化させることができる。このように、ダミーゲート 12 全面に酸素プラズマによるドライエッチングを行い、ダミーゲート 12 の幅を狭幅化させることで、より細い幅のダミーゲート 12 を形成することができ、これにより、ダミーゲート 12 の幅  $L_{1b}$  で規定されるゲート長  $L_3$  もより短くすることができる。