

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年3月18日(2010.3.18)

【公開番号】特開2008-193005(P2008-193005A)

【公開日】平成20年8月21日(2008.8.21)

【年通号数】公開・登録公報2008-033

【出願番号】特願2007-28607(P2007-28607)

【国際特許分類】

H 01 L 29/417 (2006.01)

H 01 L 21/338 (2006.01)

H 01 L 29/812 (2006.01)

H 01 L 21/28 (2006.01)

【F I】

H 01 L 29/50 J

H 01 L 29/80 F

H 01 L 21/28 301B

H 01 L 21/28 E

H 01 L 21/28 301R

【手続補正書】

【提出日】平成22年1月28日(2010.1.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上にゲート電極を形成する領域を規定するダミーゲートを形成する工程と、前記半導体基板表面に対して垂直方向の指向性スパッタであるコリメートスパッタ、ロングスロースパッタおよびイオンビームスパッタのいずれかにより、前記ダミーゲートの両側の前記半導体基板上、前記ダミーゲートの上面および側面を被覆し、かつ前記ダミーゲートの側面における厚みが前記ダミーゲートの両側の前記半導体基板上および前記ダミーゲートの上面に比べて小さい表面膜を形成する工程と、

前記ダミーゲートの側面に形成された前記表面膜を選択的に除去する工程と、

前記ダミーゲートおよび前記ダミーゲート上面の前記表面膜を除去する工程と、

前記半導体基板上の前記ダミーゲートを除去した領域に前記ゲート電極を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項2】

前記表面膜を選択的に除去する工程は、ウエットエッチングにより実行されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記ダミーゲートはフォトレジストで形成されることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】

前記ダミーゲート全面にドライエッチングを施すことで、前記ダミーゲートの幅を狭幅化させる工程を有することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】

前記表面膜はSi、SiO₂、SiNおよびSiONのいずれかであることを特徴とす

る請求項 1 から 4 のいずれか一項記載の半導体装置の製造方法。

【請求項 6】

前記半導体装置は M E S F E T および H E M T のいずれか一方であることを特徴とする請求項 1 から 5 のいずれか一項記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 3

【補正方法】変更

【補正の内容】

【0 0 0 3】

短ゲート長のゲート電極を形成する方法として様々な方法が考えられている。例えば、特許文献 1 には、半導体基板上に形成したダミーゲートの幅を酸素プラズマによるドライエッティングで 狭幅化 した後、半導体基板上に SiO₂ 膜を形成する。その後、ダミーゲートを除去し、その除去した領域にゲート電極を形成することで、短ゲート長のゲート電極を形成する方法が開示されている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 6

【補正方法】変更

【補正の内容】

【0 0 0 6】

本発明は、半導体基板上にゲート電極を形成する領域を規定するダミーゲートを形成する工程と、前記半導体基板表面に対して垂直方向の指向性スパッタであるコリメートスパッタ、ロングスロースパッタおよびイオンビームスパッタのいずれかにより、前記ダミーゲートの両側の前記半導体基板上、前記ダミーゲートの上面および側面を被覆し、かつ前記ダミーゲートの側面における厚みが前記ダミーゲートの両側の前記半導体基板上および前記ダミーゲートの上面に比べて小さい表面膜を形成する工程と、前記ダミーゲートの側面に形成された前記表面膜を選択的に除去する工程と、前記ダミーゲートおよび前記ダミーゲート上面の前記表面膜を除去する工程と、前記半導体基板上の前記ダミーゲートを除去した領域に前記ゲート電極を形成する工程と、を有することを特徴とする半導体装置の製造方法である。本発明によれば、指向性スパッタを用いることで、ダミーゲートの側壁に形成される表面膜の厚さを薄くすることができるため、短ゲート長のゲート電極を形成することが可能となる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 7

【補正方法】変更

【補正の内容】

【0 0 0 7】

上記構成において、前記表面膜を選択的に除去する工程は、ウエットエッティングにより実行される構成とすることができる。この構成によれば、ダミーゲートの側壁に形成された表面膜を選択的にエッティングすることができる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 9

【補正方法】変更

【補正の内容】

【0 0 0 9】

上記構成において、前記ダミーゲート全面にドライエッティングを施すことで、前記ダミーゲートの幅を 狭幅化 させる工程を有する構成とすることができる。この構成によれば、

より幅の狭いダミーゲートを得るこができる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

まず、発明者が特許文献1に係るゲート電極の製造方法の課題を明確にするために行つた実験について説明する。図1(a)から図2(c)は実験を行つた比較例1に係るゲート電極の製造方法を説明するための断面図である。図1(a)を参照に、半導体基板10上にフォトレジストを用い、ダミーゲート12を形成する。ダミーゲート12の幅L1aは0.3μm、高さは500nmである。図1(b)を参照に、酸素プラズマによりダミーゲート12全面をドライエッチングしてダミーゲート12の幅を狭幅化させる。これにより、ダミーゲート12の幅L1bは0.1μmとなる。図1(c)を参照に、半導体基板10上にSiO₂からなる表面膜16をスパッタを用い形成する。表面膜16の膜厚は300nmである。ここで用いたスパッタは一般的なスパッタであり、等方的に表面膜16がスパッタされるため、ダミーゲート12の側壁にも十分な厚さt1の表面膜16が形成される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

図3(a)から図5(c)は本発明の実施例1に係るMESFETの製造方法を示す断面図である。図3(a)を参照に、GaAs基板からなる半導体基板10内に、例えばMgをイオン注入することでp型領域20を形成し、例えばSi⁺をイオン注入することでn型能動層22を形成する。半導体基板10上にECRプラズマCVD(Electron Cyclotron Resonance Plasma Chemical Vapor Deposition)を用い、SiN層24を形成する。図3(b)を参照に、ゲート電極14を形成すべき領域の半導体基板10上に、i線ステッパーを用いフォトレジストによりゲート電極14を形成する領域を規定するダミーゲート12を形成する。ダミーゲート12の幅L1aは0.3μm、高さは500nmである。図3(c)を参照に、ダミーゲート12をマスクとしてセルフアラインイオン注入により、例えばSi⁺をドープして半導体基板10内にn型能動層22よりドープ濃度が高いn⁺領域26を形成する。その後、ダミーゲート12の幅L1aを細める目的で、酸素プラズマでダミーゲート12全面をドライエッチングすることにより、ダミーゲート12の幅を狭幅化させる。再度、ダミーゲート12をマスクとして半導体基板10内に、例えばSi⁺をドープして、n型能動層22よりドープ濃度が高くn⁺領域26よりドープ濃度が低いn'領域28を形成する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

図4(a)を参照に、再度、酸素プラズマでダミーゲート12全面をドライエッチングすることによりダミーゲート12の幅を狭幅化させる。これにより、ダミーゲート12の幅L1bは0.1μmとなる。ダミーゲート12をマスクとしてセルフアラインイオン注入により、例えばSi⁺をドープすることで半導体基板10内にn型能動層22よりド-

ドープ濃度が高く n' 領域 28 よりドープ濃度が低い n'' 領域 30 を形成する。このように、 n 型能動層 22 から n' 領域 30、 n' 領域 28 および n^+ 領域 26 と段階的にドープ濃度の高い不純物領域を設けることで、 n^+ 領域 26 間に電圧を印加した場合に電界強度が局部的に集中することが避けられ、耐電圧性を上げることができる。図 4 (b) を参照に、半導体基板 10 上にコリメートスパッタにより SiO_2 である表面膜 16 を形成する。表面膜 16 の厚さは 300 nm である。ここで用いたコリメートスパッタは、半導体基板 10 表面の垂直方向とスパッタ装置の SiO_2 ターゲット表面の垂直方向とが合致するように半導体基板 10 を固定する方法である。これにより、半導体基板 10 表面に対して主に垂直方向にスパッタが進む指向性スパッタを実現することができる。指向性スパッタであるコリメートスパッタを用いて表面膜 16 を形成することで、ダミーゲート 12 の側壁に形成される表面膜 16 の厚さ t_2 を非常に薄くすることができる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

また、実施例 1 によれば、図 4 (a) に示すように、フォトレジストでダミーゲート 12 を形成した後、酸素プラズマでダミーゲート 12 全面をドライエッチングすることで、ダミーゲート 12 の幅を 狭幅化させている。このため、フォトプロセスで形成可能なダミーゲート 12 の最小幅よりさらに細い幅のダミーゲート 12 を得ることができる。例えば、i 線ステッパーを用いてダミーゲート 12 の形成を行うと、形成可能なダミーゲート 12 の最小幅は 0.3 μm であるが、その後、酸素プラズマでダミーゲート 12 全面をドライエッチングすることで、ダミーゲート 12 の幅を例えば 0.1 μm 等、0.3 μm 以下に 狭幅化させることができる。このように、ダミーゲート 12 全面に酸素プラズマによるドライエッチングを行い、ダミーゲート 12 の幅を 狭幅化させることで、より細い幅のダミーゲート 12 を形成することができ、これにより、ダミーゲート 12 の幅 L_{1b} で規定されるゲート長 L_3 もより短くすることができる。