

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年7月21日(2005.7.21)

【公開番号】特開2003-187591(P2003-187591A)

【公開日】平成15年7月4日(2003.7.4)

【出願番号】特願2001-381412(P2001-381412)

【国際特許分類第7版】

G 1 1 C 29/00

G 0 1 R 31/28

G 1 1 C 16/06

【F I】

G 1 1 C 29/00 6 0 3 H

G 1 1 C 29/00 6 0 3 J

G 1 1 C 29/00 6 0 3 P

G 0 1 R 31/28 B

G 1 1 C 17/00 6 3 9 A

G 1 1 C 17/00 6 3 9 B

【手続補正書】

【提出日】平成16年12月7日(2004.12.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

それぞれ複数のメモリセルを配列して構成される複数のブロックと、

前記各ブロック毎に設けられてブロック内の不良セルアレイを救済するための第1の冗長セルアレイと、

前記複数のブロックに対して少なくとも一つ設けられた不良ブロックを救済するための冗長ブロックと、

前記冗長ブロックに設けられて冗長ブロック内の不良セルアレイを救済するための第2の冗長セルアレイと、

前記ブロック内の不良セルアレイのアドレスを記憶する第1のアドレス記憶回路及びその記憶されたアドレス信号と外部からのアドレス信号を比較して不良セルアレイを前記第1の冗長セルアレイで置き換える置換信号を出力する第1のアドレス検知回路を有する第1の不良救済回路と、

前記複数のブロックの不良ブロックアドレスを記憶する第2のアドレス記憶回路及びその記憶されたアドレス信号と外部からのアドレス信号を比較して不良ブロックを前記冗長ブロックで置き換える置換信号を出力する第2のアドレス検知回路を有する第2の不良救済回路とを備え、

前記第1の不良救済回路は、前記第2の不良救済回路が実行されないアドレスでは、前記第1のアドレス検知回路による置換信号の出力を有効とし、前記第2の不良救済回路が実行されるアドレスでは、前記冗長ブロック内の不良セルアレイの前記第2の冗長セルアレイによる置換信号の出力を有効とするゲート回路を有することを特徴とする半導体記憶装置。

【請求項2】

前記第1の不良救済回路は、前記第2の不良救済回路の出力により、前記第1のアドレ

ス検知回路による置換信号の出力を無効とすべく前記ゲート回路の制御を行うことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】

前記第1の不良救済回路は、前記第2の不良救済回路の出力に基づいて不良ブロックを検出して、その検出結果により前記冗長ブロック内の不良セルアレイの前記第2の冗長セルアレイによる置換信号の出力を有効とすべく前記ゲート回路を制御する不良ブロック検出回路を有する

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項4】

前記複数のブロックは、複数のバンクにグループ分けされており、あるバンクでデータの消去又は書き込み実行中に他のバンクでデータ読み出しを可能とした

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項5】

テスト信号を入力することにより、前記第2の不良救済回路から強制的にブロック置換信号を出力させて前記冗長ブロック内のテストを行うテストモードを有する

ことを特徴とする請求項1記載の半導体記憶装置。