(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
*G09G 3/18* (2006.01)

(45) 공고일자 2006년06월21일
(11) 등록번호 10-0564275
(24) 등록일자 2006년03월20일

(21) 출원번호 10-1998-0035203
(22) 출원일자 1998년08월28일

(65) 공개번호 10-1999-0024001
(43) 공개일자 1999년03월25일

(30) 우선권주장 97-233517 1997년08월29일 일본(JP)

(73) 특허권자 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자 나카지마 요시하루
일본국 도쿄도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시키 가이샤내

마에카와 도시카즈
일본국 도쿄도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시키 가이샤내

(74) 대리인 김재만
유미특허법인

심사관 : 박부식

# (54) 액정표시장치

요약

본 발명의 액정표시장치는 칼럼선에 대응하는 출력버퍼를 구비하고 있으며, 출력버퍼의 출력단과 칼럼선 사이에 각각 형성되는 아날로그스위치, 및 상기 아날로그스위치의 개폐(온-오프)를 제어하는 스위치제어회로를 포함한다. DA컨버터는 출력버퍼의 전단(前段)에 형성되고, 스위치제어회로는 DA컨버터의 DA변환기간 또는 DA변환 전의 프리챠지기간 동안에는 아날로그스위치를 오프(개(開))상태로 하고, 상기 기간 이외의 특정의 기간 동안에는 아날로그스위치를 온(폐(閉))상태로 한다. 출력버퍼는 아날로그스위치 온 또는 오프될 때 칼럼선에서 단절되거나 칼럼선과 접속된다. 따라서, 출력회로의 전단(前段)에 형성된 DA컨버터의 DA변환기간 또는 DA변환 전의 프리챠지기간 동안에 아날로그스위치를 개상태로 하여 출력버퍼와 칼럼선을 단절시킴으로써, 출력회로는 용량부하와 단절되고, 각 출력버퍼의 출력전류는 커지지 않으면서 신호전위를 충분히 변화시킬 수 있다.

대표도

도 2

명세서

## 도면의 간단한 설명

도 1은 본 발명에 따른 액정표시장치를 개략적으로 나타낸 구성도.

도 2는 본 발명의 일실시형태를 나타낸 블록도.

도 3은 소스폴로워회로를 사용한 출력버퍼의 구성의 일예를 나타낸 회로도.

도 4는 도 2의 회로동작을 설명하기 위한 타이밍챠트.

도 5는 본 발명의 구체적인 적용예를 나타낸 회로도.

도 6은 본 발명의 동작설명을 위한 타이밍챠트.

도 7은 액티브매트릭스형 액정표시장치의 일예를 개략적으로 나타낸 구성도.

도 8은 수평드라이버(칼럼선구동회로)의 구성의 일예를 나타낸 블록도.

〈도면의 주요부분에 대한 부호의 설명〉

11 : 시프트레지스터, 13 : 샘플링회로, 14 : 래치회로, 15 : DA컨버터, 16－1～16－n : 출력버퍼, 17 : 출력회로, 18－1～18－n,25～26,31 : 아날로그스위치, 19 : 스위치제어펄스발생회로, 20－1～20－n : 칼럼선, 21 : 소스폴로워트랜지스터, 22 : 전류원, 23,29 : 커패시터, 24 : 프리챠지전원, 28 : 캐스코드(cascode)접속트랜지스터, 41 : 기준전압선택형 DA컨버터, 42 : 스위치드 커패시터 어레이(switched capacitor array)형 DA컨버터

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 출력회로에 관한 것으로, 특히 액티브매트릭스형 액정표시장치의 칼럼선구동회로에서의 칼럼선에 대한 출력회로에 관한 것이다.

액티브매트릭스형 액정표시장치의 구성의 일예를 도 7에 나타낸다. 도 7에 있어서, 액정셀(화소)(101)이 2차원 매트릭스형으로 배열됨으로써 액정패널(102)이 구성되고, 이 액정패널(102)의 주변에는 행(行)선택을 행하기 위한 수직(로(row))드라이버(103) 및 열(列)선택을 행하기 위한 수평(칼럼)드라이버(칼럼선구동회로)(104)가 형성되어 있다.

수평드라이버(104)는, 도 8에 나타낸 바와 같이, 칼럼선의 개수(n)에 상당하는 단수(段數)의 시프트레지스터(111); 이 시프트레지스터(111)를 제어하는 시프트레지스터제어회로(112); 시프트레지스터(111)로부터 순차로 출력되는 샘플링펄스에 동기(同期)하여 데이터버스라인 상의 데이터를 샘플링하는 샘플링회로(113); 그 샘플링데이터를 1수평기간 동안 유지하는 래치회로(114); 그 래치데이터를 아날로그신호로 변환하는 DA컨버터(115); 및 각 칼럼선(116－1～116－n)을 구동하는 n개의 출력버퍼(117－1～117－n)로 이루어지는 출력회로(118)로 구성되어 있다.

상기한 구성의 종래의 출력회로에서는, 출력버퍼(117－1～117－n)의 각 출력단이 직접 칼럼선(116－1～116－n)에 접속되어 있으므로, 출력버퍼(117－1～117－n)의 구성이 전류의 입출력 쌍방에 충분한 구동능력이 있는 것이면 특별히 문제가 되지 않지만, 출력버퍼(117－1～117－n)가 예를 들면 소스폴로워회로로 이루어지고, 한 쪽 방향으로만 충분한 구동능력을 가지는 경우에 문제가 발생한다.

즉, 큰 부하를 충전한 후 초기상태로 복귀하기까지의 동안에, 출력버퍼(117－1～117－n)의 출력단이 여전히 부하에 접속되어 있으면, 이 부하를 방전하기 위한 충분한 특성 또는 시간이 출력회로에 요구되게 된다. 예를 들면 소스폴로워회로를 사용하여 출력버퍼(117－1～117－n)를 구성하였을 때, 소스폴로워회로의 전류원에는 용량부하를 방전하기 위하여 필요한 전류가 요구되고, 그로 인하여 큰 소비전력이 끊임없이 필요하게 된다.

또, 소스폴로워회로의 직류전류치를 증가시키면, 다이나믹 레인지의 감소, 회로면적의 증대, 오프셋 상쇄시의 출력편차의 증대를 가져오게 된다. 이것은 특히 폴리실리콘 TFT(thin film transistor)를 사용한 소스폴로워회로로 출력버퍼(117－1～117－n)를 구성할 때에, 폴리실리콘 TFT의 스레시홀드전압 Vth가 높고 또한 Vth의 편차가 크므로 매우 큰 문제가 된다.

이상의 이유에서, 편측극성의 출력버퍼를 사용하여 출력회로를 구성하기가 곤란하였다. 또 마찬가지로, 푸쉬풀형 버퍼와 같이 양 방향의 전류출력능력을 가지는 출력버퍼를 사용한 경우라도, DA컨버터(115)의 DA변환시간 및 그 준비기간(프리챠지기간)에 불필요한 용량부하가 충전 또는 방전되는 경우가 있을 수 있다. 따라서, 이 경우 불필요하게 전력이 소비된다.

## 발명이 이루고자 하는 기술적 과제

본 발명은 상기 과제를 감안하여 이루어진 것으로, 저(低)소비전력이고 또한 출력전위의 편차가 적은 액정표시장치의 출력회로를 제공하는 것을 목적으로 하고 있다.

## 발명의 구성 및 작용

본 발명에 따르면, 칼럼선에 대응하는 출력버퍼를 구비한 액정표시장치가 제공된다. 본 발명의 액정표시장치는 출력버퍼의 출력단과 칼럼선의 각각의 사이에 제공되는 아날로그스위치 및 이들 아날로그스위치를 개폐(開閉)제어하기 위한 스위치제어회로를 포함하고 있다. DA컨버터가 출력버퍼의 전단(前段)에 형성되며, 스위치제어회로가 DA컨버터의 DA변환기간 또는 DA변환 전의 프리챠지기간 동안에는 아날로그스위치를 개상태로 하고, 상기 기간 이외의 특정 기간 동안에는 아날로그스위치를 폐상태로 한다.

상기한 구성의 액정표시장치에 있어서, 아날로그스위치가 오프(개(開))상태로 됨으로써 출력버퍼와 칼럼선이 단절되고, 온(폐(閉))상태로 됨으로써 양자가 접속된다. 따라서, 출력회로의 전단(前段)에 형성된 DA컨버터의 DA변환기간 또는 DA변환 전의 프리챠지기간 동안에는 아날로그스위치를 개상태로 하여 출력버퍼와 칼럼선을 단절시킴으로써 출력회로는 용량부하와 단절되고, 각 출력버퍼의 출력전류는 커지지 않으면서 신호전위를 충분히 변화시킬 수 있다.

본 발명의 또 다른 특징에 따르면, 수평드라이버와 수직드라이버를 구비한 액정표시장치가 제공된다. 수평드라이버는 칼럼수와 동일한 복수의 단수(段數)를 갖는 시프트프레지스터; 시프트레지스터를 제어하기 위한 시프트레지스터제어회로; 시프트레지스터로부터 순차로 출력되는 샘플링펄스에 동기하여 데이터버스라인 상의 데이터를 샘플링하는 샘플링회로; 샘플링된 데이터를 1수평기간 동안 유지하는 래치회로; 래치회로에 의하여 유지되는 데이터를 아날로그신호로 변환하는 DA컨버터; 칼럼선을 구동하는 출력버퍼; 및 칼럼선과 출력버퍼 사이에 형성되는 아날로그스위치를 포함하고 있다. 상기 수평드라이버 구성에서, 아날로그스위치의 개폐는 스위치제어회로에 의하여 제어된다.

상기 본 발명의 특징 및 기타 특징과 장점은 첨부도면을 참조하여 상세한 설명으로부터 명확히 이해될 수 있다.

다음에 본 발명의 바람직한 실시형태에 대하여 도면을 참조하여 상세하게 설명한다. 도 1은 본발명에 따른 액정표시장치의 구조를 개략적으로 나타낸 것이며, 도 2는 액정표시장치의 칼럼선구동회로(수평드라이버)에 적용된 본 발명의 일 실시예를 나타낸 블록도이다.

도 1은 액티브매트릭스형 액정표시장치의 예시적인 구조를 나타낸다. 도 1의 블록도에서, 액정패널(1020)은 2차원 매트릭스형으로 배치된 액정셀(화소)(1010)로 구성되고, 이 액정패널(1020)의 주변에는 행(行)선택을 행하기 위한 수직(로(row))드라이버(1030), 및 열(列)선택을 행하기 위한 수평(칼럼)드라이버(칼럼선구동회로)(1040)가 형성되어 있다.

도 2에서 명확히 나타난 바와 같이, 본 발명에 관한 칼럼선구동회로는 칼럼선의 개수(n)에 상당하는 단수(段數)의 시프트레지스터(11); 이 시프트레지스터(11)를 제어하는 시프트레지스터제어회로(12); 시프트레지스터(11)로부터 순차로 출력되는 샘플링펄스에 동기하여 데이터버스라인 상의 데이터를 샘플링하는 샘플링회로(13); 그 샘플링된 데이터를 1수평기간 동안 유지하는 래치회로(14); 그 래치데이터를 아날로그신호로 변환하는 DA컨버터(15); 각 칼럼선을 구동하는 n개의 출력버퍼(16－1～16－n)로 이루어지는 출력회로(17); n개의 아날로그스위치(18－1～18－n); 및 스위치제어펄스발생회로(19)를 가지는 구성으로 되어 있다.

아날로그스위치(18－1～18－n)의 각 일단(一端)은 출력버퍼(16－1～16－n)의 각 출력단에 각각 접속되어 있다. 아날로그스위치(18－1～18－n)의 타단에는 칼럼선(20－1～20－n)이 접속되어 있다. 이들 칼럼선(20－1～20－n)은 용량부하(C1～Cn)를 가지고 있다. 스위치제어펄스발생회로(19)는 아날로그스위치(18－1～18－n)의 온(폐) / 오프(개) 제어를 행하기 위한 스위치제어펄스를 발생시킨다.

구체적으로, 스위치제어펄스발생회로(19)는 DA컨버터(15)에서 DA변환을 행하는 기간, 또는 DA변환 전의 프리챠지를 행하는 준비기간(프리챠지기간)에 아날로그스위치(18－1～18－n)를 오프상태로 함으로써 출력버퍼(16－1～16－n)와 칼럼선(20－1～20－n)을 단절시키고, 어느 특정의 기간만 아날로그스위치(18－1～18－n)를 온상태로 함으로써 양자를 접속한다.

도 3에는 소스폴로워회로를 이용한 출력버퍼(16－1～16－n)의 구성의 일예가 나타나 있다. 도 3에서는, NMOS의 소스폴로워트랜지스터(21)의 게이트에는 제1의 커패시터(23)의 일단이 접속되고, 동시에 소스폴로워트랜지스터(21)의 게이트와 프리챠지전원(24)의 사이에는 제1의 아날로그스위치(25)가, 제1의 커패시터(23)의 타단과 소스폴로워트랜지스터(21)의 소스의 사이에는 제2의 아날로그스위치(26)가, 제1의 커패시터(23)의 타단과 신호원 Vin의 사이에는 제3의 아날로그스위치(27)가 각각 접속되어 있다.

또, 소스폴로워트랜지스터(21)의 드레인측에는 NMOS의 트랜지스터(28)가 캐스코드접속되고, 동시에 소스폴로워트랜지스터(21)의 게이트와 캐스코드접속트랜지스터(28)의 게이트의 사이에는 제2의 커패시터(29)가 접속되며, 또한 캐스코드접속트랜지스터(28)의 게이트와 어느 특정의 전압치 Vc의 전원(30)의 사이에는 제4의 아날로그스위치(31)가 접속되어 있다. 전원(30)의 전압치 Vc는 소스폴로워트랜지스터(21)의 프리챠지전압 Vpre의 전압치에 대하여 일정양만큼 시프트된 값으로 설정된다. 그 시프트량은 소스폴로워트랜지스터(21)와 캐스코드접속트랜지스터(28)의 포화조건에서 구해진다.

다음에, 상기한 구성의 소스폴로워회로의 회로동작에 대하여 도 4의 타이밍챠트를 사용하여 설명한다.

먼저, 프리챠지기간 T1에 있어서, 제1, 제2의 아날로그스위치(25,26)를 온상태, 제3의 아날로그스위치(27)를 오프상태로 한다. 이에 따라, 소스폴로워트랜지스터(21)의 게이트에 대하여, 프리챠지전원(24)으로부터 제1의 아날로그스위치(25)를 통하여 특정의 프리챠지전압 Vpre이 인가된다. 이 때, 소스폴로워트랜지스터(21)의 게이트와 소스의 사이에 접속된 제1의 커패시터(23)에는 오프셋의 양 Vos(＝Vgs)에 대응하는 전하가 축적된다.

그 후, 출력기간 T2에서는 제1, 제2의 아날로그스위치(25,26)를 오프상태로, 제3의 아날로그스위치(27)를 온상태로 한다. 이에 따라, 제1의 커패시터(23)의 타단측(소스폴로워트랜지스터(21)의 소스측)이 입력신호 Vin측(신호원측)에 재접속되고, 소스폴로워트랜지스터(21)의 게이트가 프리챠지전원(24)으로부터 단절된다. 이 때, 소스폴로워트랜지스터(21)의 게이트전위는 Vin＋Vos로 된다.

그 결과, 소스폴로워트랜지스터(21)의 게이트－소스전압 Vgs에 상당하는 오프셋 Vos ' 이 발생하더라도, Vos ' ＝Vos이므로 오프셋 상쇄가 이루어지고(즉, Vos－Vos ' ), 출력기간 T2에서의 출력전위 Vout는 입력전위 Vin와 대략 동일한 전위로 된다. 또한 이것은 트랜지스터 특성의 편차에 대한 출력전위의 변동이 저감될 수 있다는 것과 동등한 의미이다.

또 프리챠지기간에는 제1, 제2의 아날로그스위치(25,26)와 마찬가지로, 제4의 아날로그스위치(31)도 온상태로 함으로써, 캐스코드접속트랜지스터(28)의 게이트를 전압치 Vc까지 프리챠지한다. 그리고, 출력기간에 있어서 제4의 아날로그스위치(31)를 오프상태로 함으로써, 캐스코드접속트랜지스터(28)의 게이트를 전원(30)으로부터 단절시킨다.

제4의 아날로그스위치(31)의 온 / 오프동작에 의하여, 캐스코드접속트랜지스터(28)의 게이트전위를 전원전압 VCC보다 높게 설정할 수 있으므로, 소스폴로워트랜지스터(21)의 드레인전압이 높아진다. 이에 따라, 소스폴로워트랜지스터(21)로서, 높은 스레시홀드전압 Vth와 큰 편차를 갖는 폴리실리콘 TFT 등을 사용하여 소스폴로워회로를 구성하는 경우에도, 결과적으로 당해 트랜지스터(21)의 드레인전압 범위가 넓어지게 되므로 출력의 다이나믹 레인지를 확대할 수 있다.

또 상기의 회로구성에서는, 제1의 커패시터(23)에 대한 프리챠징을 신호원이 아니라 독립된 프리챠지전원(24)으로 행할 수 있으므로, 신호원의 출력임피던스를 매우 지나치게 할 필요가 없다. 이에 따른 이점은, 본 소스폴로워회로를 액정표시장치의 수평드라이버 내의 기준전압선택형 DA컨버터의 출력회로로 사용하는 경우에 매우 크다. 즉, 기준전압선의 선 폭을 작게 할 수 있으므로 회로 전체의 소면적화가 가능하게 된다.

전술한 회로동작에 따른 효과는 소스폴로워회로를 폴리실리콘 TFT로 구성하였을 때에 특히 유효하게 된다. 그 이유는 다음과 같다. 즉, 폴리실리콘 TFT는 기판전위를 가지지 않으므로 기판바이어스 효과가 없다. 그러므로, 입력전압(소스폴로워트랜지스터(21)의 입력전위)이 변하고, 출력전압(소스폴로워트랜지스터(21)의 소스전위)이 변하는 경우라도, 스레시홀드전압 Vth의 변화가 일어나지 않고, 오프셋 상쇄동작이 높은 정밀도로 행해진다. 또 기판전위가 없으므로, 제1의 아날로그스위치(25)의 일단측(소스폴로워트랜지스터(21)의 베이스측)의 기생용량이 작아지고, 소스폴로워트랜지스터(21)의 베이스전위가 변하는 경우라도, 제1의 커패시터(23)에 축적된 오프셋 전하가 쉽게 방전되지 않는다.

이상 설명한 오프셋 상쇄 구조를 가지는 소스폴로워회로를 칼럼선구동회로에서의 출력회로에 사용한 경우의 구체적인 구성을 도 5에 나타낸다. 도 5에는 하나의 칼럼선(20－k)에 대한 회로구성만을 나타내고, 도면중 도 3의 구성요소와 동등한 부분은 동일한 부호로 도시되어 있다.

상기 구체적인 예에서는, 출력회로(17)의 전단에 형성된 DA컨버터(15)가 상위 3비트(b0～b2)에 대하여 기준전압선택형 DA컨버터(41)를 하위 3비트(b3～b5)에 대하여 스위치드 커패시터 어레이형 DA컨버터(42)를 각각 사용한 구성의 경우에 있어서, 스위치드 커패시터 어레이형 DA컨버터(42)의 커패시터를 상기한 구성의 소스폴로워회로의 오프셋 축적용 커패시터(23)에 겸용한 구성을 하고 있다.

즉, 하위 3비트(b3～b5)에 대응하여 형성되고, 또한 일단이 소스폴로워트랜지스터(21)의 게이트에 공통으로 접속된 4개의 커패시터(43,44,45,46)의 합성용량이 오프셋 축적용의 커패시터(23)에 대응한다. 여기에서, 4개의 커패시터(43,44,45,46)의 용량비는 4Co : 2Co : Co : Co로 되도록 설정된다.

또, 커패시터(43～46)의 각 타단과 소스폴로워트랜지스터(21)의 소스의 사이에 접속된 4개의 아날로그스위치(47～50)는 제2의 아날로그스위치(26)에, 커패시터(43～46)의 각 타단과 신호원의 사이에 접속된 4개의 아날로그스위치(51～54)는 제3의 아날로그스위치(26)에 각각 대응한다. 아날로그스위치(25,47～50) 등의 개폐는 프리챠지펄스제어회로(55)에 의하여 제어된다.

한편, 출력버퍼(16－k)의 출력단과 칼럼선(20－k)의 사이에 형성된 아날로그스위치(18－k)의 개폐는 스위치제어펄스발생회로(19)에서 발생되는 스위치제어펄스에 의하여 제어된다. 구체적으로는, 도 6의 타이밍챠트에 나타낸 바와 같이, 아날로그스위치(18－k)는 프리챠지기간 및 DA변환기간 동안은 오프상태로 된다. 그리고 그 이외의 특정 기간 동안만 온상태로 된다.

전술한 바와 같이, 하위 3비트(b3～b5)측을 스위치드 커패시터 어레이형으로한 구성의 DA컨버터(14)를 구비하는 액정표시장치의 칼럼선구동회로에서는, 출력버퍼(16－1～16－n)로서 오프셋 상쇄 구조를 가진 소스폴로워회로를 사용함으로써, 오프셋 축적용의 커패시터(23)와 스위치드 커패시터 어레이형 DA컨버터(42)의 커패시터를 겸용할 수 있으므로 새롭게 추가하는 회로소자가 최소화되어 효율이 향상된다.

그런데, 일반적으로 도 5에 도시된 바와 같은 소스폴로워회로의 출력전류는 신호상승시에는 제한없이 얻어지지만, 신호강하시에는 최대 크기가 전류원(22)의 전류 Iref의 크기로 제한된다. 따라서, 신호강하시에 큰 출력부하가 접속되어 있으면 충분하게 신호를 변화시킬 수 없다. 또는, 신호를 충분하게 변화시키기 위해서는 큰 값의 전류 Iref를 필요로 한다.

그러나, 본 발명에 있어서는 신호전위가 프리챠지기간 등에 크게 감소한 경우, 이들 기간에서는 아날로그스위치(18－k)가 오프상태로 되고 출력버퍼(16－k)가 용량부하(Ck)와 단절되므로, 소스폴로워회로의 출력전류가 커지지 않아 신호전위를 충분히 변화시킬 수 있다. 바꿔 말하면, 작은 값의 전류 Iref로도 충분한 출력회로를 구성할 수 있다. 아날로그스위치(18－k)를 온상태로 하는 출력기간은 프리챠지기간 및 DA변환기간 이외의 특정 기간으로 설정될 수 있다.

또, 작은 값의 전류 Iref로 출력회로를 구성하면 출력전위의 편차를 최소화하는 장점이 얻어진다. 다음에 그 이유에 대하여 설명한다.

일반적으로, 소스폴로워회로의 오프셋전위(소스폴로워트랜지스터(21)의 게이트－소스전압) Vgs는 다음의 식으로 표시된다.

Vgs=Vth+

단, k= 0.5×μ×Cox×W / L이다. 여기에서, k는 상수, Cox, W, L은 각각 트랜지스터의 산화막 용량, 게이트 길이, 및 게이트 폭이다.

따라서, 전류 Iref의 값이 커지면 오프셋전위 Vgs는 커진다. 이것은, 일반적으로 회로의 출력 다이나믹 레인지를 좁히게 된다. 바꿔 말하면, 다아나믹 레인지의 확보를 위하여 트랜지스터 사이즈를 크게 해야 된다. 전류 Iref의 값이 작으면, 트랜지스터 사이즈를 작게 할 수 있으므로 회로의 소면적화를 실현할 수 있다.

또, 전류 Iref의 값이 크면 상수(k)의 편차(즉, 트랜지스터의 디바이스특성의 편차)에 대한 오프셋전위 Vgs의 편차 정도가 커진다. 이와 같은 관계는 도 3(도 5)과 같은 오프셋 상쇄 구조의 경우라도 기본적으로 변하지 않는다. 따라서, 전류 Iref의 값이 감소하면 출력편차의 감소를 유발한다.

이상과 같은 오프셋 상쇄 구조를 가지는 소스폴로워회로는 칼럼선구동회로(수평드라이버)를 폴리실리콘 TFT로 액정패널과 일체 형성할 때에 특히 유용하다. 그 이유는 다음과 같다.

① 폴리실리콘 TFT는 상수(k)의 편차가 매우 크다.

② 게이트바이어스 효과나 기생용량이 적고, 오프셋 상쇄 구조의 소스폴로워회로를 만들기 쉽다.

## 발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면 각 칼럼선에 대응한 복수의 출력버퍼를 가지는 액정표시장치의 출력회로에 있어서, 출력버퍼의 출력단과 칼럼선의 사이에 아날로그스위치를 형성하고, 이 아날로그스위치를 개폐제어하도록 함으로써 아날로그스위치의 개(오프)동작에서는 출력버퍼와 칼럼선이 단절되고, 출력회로가 용량부하와 단절되므로 출력버퍼의 출력전류는 커지지 않고, 따라서 한 쪽 방향의 전류버퍼로 칼럼선부하를 충전하는 시스템을 용이하게 구성할 수 있는 동시에, 저소비전력화, 회로의 소면적화, 다이나믹 레인지의 광범위화를 도모할 수 있고, 또한 출력전위의 편차를 적게할 수 있다.

본 발명이 몇 개의 바람직한 실시예를 참조하여 기술되었지만, 본 발명이 이러한 실시예만으로 제한되는 것이 아니라는 점을 이해할 수 있으며, 또한 당업자라면 본 발명의 정신을 벗어남이 없이 다양한 변화와 변경이 가해질 수 있다는 점이 명백하다.

따라서, 본 발명은 첨부된 특허청구범위만으로 정해진다.

## (57) 청구의 범위

### 청구항 1.

칼럼선에 대응하는 출력버퍼를 가지는 액정표시장치에 있어서,

상기 출력버퍼의 출력단(出力端)과 상기 칼럼선 각각의 사이에 배설된 복수의 아날로그스위치; 및

상기 복수의 아날로그스위치의 개폐를 제어하는 스위치제어회로

를 포함하는 것을 특징으로 하는 액정표시장치.

### 청구항 2.

제1항에 있어서, 상기 출력버퍼의 전단(前段)에 DA컨버터가 배설되고,

상기 스위치제어회로는 상기 DA컨버터의 DA변환기간 또는 DA변환 전의 프리챠지기간 동안에는 상기 아날로그스위치를 오프(개(開))상태로 하고, 그 이외의 특정 기간에는 상기 아날로그스위치를 온(폐(閉))상태로 하는 것을 특징으로 하는 액정표시장치.

## 청구항 3.

제1항에 있어서, 상기 출력버퍼는 각각

소스폴로워트랜지스터의 게이트에 일단이 접속된 제1의 커패시터;

상기 소스폴로워트랜지스터의 게이트와 프리챠지전원의 사이에 접속된 제1의 아날로그스위치;

상기 제1의 커패시터의 타단과 상기 소스폴로워트랜지스터의 소스의 사이에 접속되고, 상기 제1의 아날로그스위치와 연동(連動)하는 제2의 아날로그스위치;

상기 제1의 커패시터의 타단과 신호원의 사이에 접속되고, 상기 제1, 제2의 아날로그스위치의 개폐동작에 대하여 반전(反轉)동작을 행하는 제3의 아날로그스위치;

상기 소스폴로워트랜지스터의 드레인측에 캐스코드(cascode)접속된 캐스코드접속트랜지스터;

상기 소스폴로워트랜지스터의 게이트와 상기 캐스코드접속트랜지스터의 게이트의 사이에 접속된 제2의 커패시터; 및

상기 캐스코드접속트랜지스터의 게이트와 소정의 전원의 사이에 접속되고, 상기 제1, 제2의 아날로그스위치와 연동하는 제4의 아날로그스위치

를 구비한 소스폴로워회로로 이루어지는 것을 특징으로 하는 액정표시장치.

## 청구항 4.

제2항에 있어서, 상기 출력버퍼는 각각

소스폴로워트랜지스터의 게이트에 일단이 접속된 제1의 커패시터;

상기 소스폴로워트랜지스터의 게이트와 프리챠지전원의 사이에 접속된 제1의 아날로그스위치;

상기 제1의 커패시터의 타단과 상기 소스폴로워트랜지스터의 소스의 사이에 접속되고, 상기 제1의 아날로그스위치와 연동(連動)하는 제2의 아날로그스위치;

상기 제1의 커패시터의 타단과 신호원의 사이에 접속되고, 상기 제1, 제2의 아날로그스위치의 개폐동작에 대하여 반전(反轉)동작을 행하는 제3의 아날로그스위치;

상기 소스폴로워트랜지스터의 드레인측에 캐스코드(cascode)접속된 캐스코드접속트랜지스터;

상기 소스폴로워트랜지스터의 게이트와 상기 캐스코드접속트랜지스터의 게이트의 사이에 접속된 제2의 커패시터; 및

상기 캐스코드접속트랜지스터의 게이트와 소정의 전원의 사이에 접속되고, 상기 제1, 제2의 아날로그스위치와 연동하는 제4의 아날로그스위치

를 구비한 소스폴로워회로로 이루어지는 것을 특징으로 하는 액정표시장치.

## 청구항 5.

제4항에 있어서, 상기 DA컨버터는 기준전압선택형 DA컨버터 및 스위치드 커패시터 어레이형 DA컨버터로 이루어지고, 상기 스위치드 커페시터 어레이형 DA컨버터의 커패시터는 또한 상기 제 1 커패시터로 사용되는 것을 특징으로 하는 액정표시장치.

## 청구항 6.

제3항에 있어서, 상기 소스폴로워회로가 폴리실리콘박막트랜지스터(TFT)로 구성되는 것을 특징으로 하는 액정표시장치.

## 청구항 7.

제4항에 있어서, 상기 소스폴로워회로가 폴리실리콘박막트랜지스터(TFT)로 구성되는 것을 특징으로 하는 액정표시장치.

## 청구항 8.

제5항에 있어서, 상기 소스폴로워회로가 폴리실리콘박막트랜지스터(TFT)로 구성되는 것을 특징으로 하는 액정표시장치.

## 청구항 9.

수평드라이버와 수직드라이버를 구비한 액정표시장치에 있어서,

상기 수평드라이버가

칼럼과 동일한 수를 갖는 복수의 단수(段數)를 구비한 시프트레지스터;

상기 시프트레지스터를 제어하는 시프트레지스터제어회로;

상기 시프트레지스터로부터 순차로 출력되는 샘플링펄스에 동기(同期)하여 데이터버스라인 상의 데이터를 샘플링하는 샘플링회로;

상기 샘플링된 데이터를 1수평기간 동안 유지하는 래치회로;

상기 래치 회로에 의해 유지되는 데이터를 아날로그신호로 변환하는 DA컨버터;

칼럼선을 구동하는 출력버퍼; 및

상기 칼럼선과 출력버퍼 사이에 형성되는 아날로그스위치

를 포함하고,

상기 아날로그스위치는 스위치제어회로에 의해 온-오프(개폐)가 제어되는 것을 특징으로 하는 액정표시장치.

## 청구항 10.

제 9항에 있어서, 상기 스위치제어회로는 상기 DA컨버터의 DA변환기간 또는 DA변환 전의 프리챠지기간 동안에는 상기 아날로그스위치를 오프(개(開))상태로 하고, 그 이외의 특정 기간에는 상기 아날로그스위치를 온(폐(閉))상태로 하는 것을 특징으로 하는 액정표시장치.

## 청구항 11.

제9항에 있어서, 상기 출력버퍼는 각각

소스폴로워트랜지스터의 게이트에 일단이 접속된 제1의 커패시터;

상기 소스폴로워트랜지스터의 게이트와 프리챠지전원의 사이에 접속된 제1의 아날로그스위치;

상기 제1의 커패시터의 타단과 상기 소스폴로워트랜지스터의 소스의 사이에 접속되고, 상기 제1의 아날로그스위치와 연동(連動)하는 제2의 아날로그스위치;

상기 제1의 커패시터의 타단과 신호원의 사이에 접속되고, 상기 제1, 제2의 아날로그스위치의 개폐동작에 대하여 반전(反轉)동작을 행하는 제3의 아날로그스위치;

상기 소스폴로워트랜지스터의 드레인측에 캐스코드(cascode)접속된 캐스코드접속트랜지스터;

상기 소스폴로워트랜지스터의 게이트와 상기 캐스코드접속트랜지스터의 게이트의 사이에 접속된 제2의 커패시터; 및

상기 캐스코드접속트랜지스터의 게이트와 소정의 전원의 사이에 접속되고, 상기 제1, 제2의 아날로그스위치와 연동하는 제4의 아날로그스위치

를 구비한 소스폴로워회로로 이루어지는 것을 특징으로 하는 액정표시장치.

## 청구항 12.

제10항에 있어서, 상기 출력버퍼는 각각

소스폴로워트랜지스터의 게이트에 일단이 접속된 제1의 커패시터;

상기 소스폴로워트랜지스터의 게이트와 프리챠지전원의 사이에 접속된 제1의 아날로그스위치;

상기 제1의 커패시터의 타단과 상기 소스폴로워트랜지스터의 소스의 사이에 접속되고, 상기 제1의 아날로그스위치와 연동(連動)하는 제2의 아날로그스위치;

상기 제1의 커패시터의 타단과 신호원의 사이에 접속되고, 상기 제1, 제2의 아날로그스위치의 개폐동작에 대하여 반전(反轉)동작을 행하는 제3의 아날로그스위치;

상기 소스폴로워트랜지스터의 드레인측에 캐스코드(cascode)접속된 캐스코드접속트랜지스터;

상기 소스폴로워트랜지스터의 게이트와 상기 캐스코드접속트랜지스터의 게이트의 사이에 접속된 제2의 커패시터; 및

상기 캐스코드접속트랜지스터의 게이트와 소정의 전원의 사이에 접속되고, 상기 제1, 제2의 아날로그스위치와 연동하는 제4의 아날로그스위치

를 구비한 소스폴로워회로로 이루어지는 것을 특징으로 하는 액정표시장치.

## 청구항 13.

제12항에 있어서, 상기 DA컨버터는 기준전압선택형 DA컨버터 및 스위치드 커패시터 어레이형 DA컨버터로 이루어지고, 상기 스위치드 커페시터 어레이형 DA컨버터의 커패시터는 또한 상기 제 1 커패시터로 사용되는 것을 특징으로 하는 액정표시장치.

## 청구항 14.

제11항에 있어서, 상기 소스폴로워회로가 폴리실리콘박막트랜지스터(TFT)로 구성되는 것을 특징으로 하는 액정표시장치.

## 청구항 15.

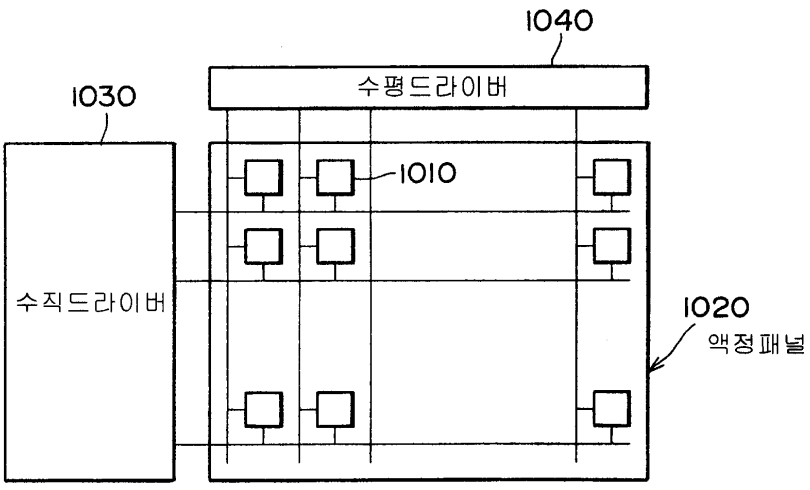
제12항에 있어서, 상기 소스폴로워회로가 폴리실리콘박막트랜지스터(TFT)로 구성되는 것을 특징으로 하는 액정표시장치.

## 청구항 16.

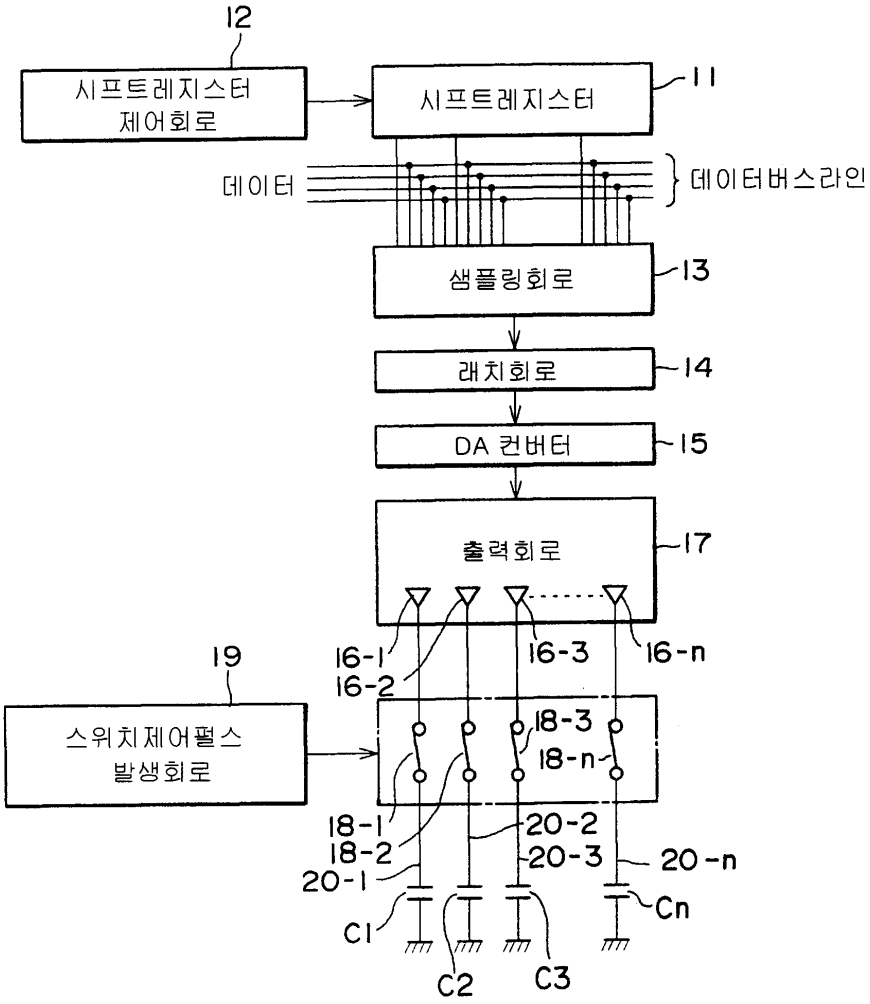
제13항에 있어서, 상기 소스폴로워회로가 폴리실리콘박막트랜지스터(TFT)로 구성되는 것을 특징으로 하는 액정표시장치.

도면

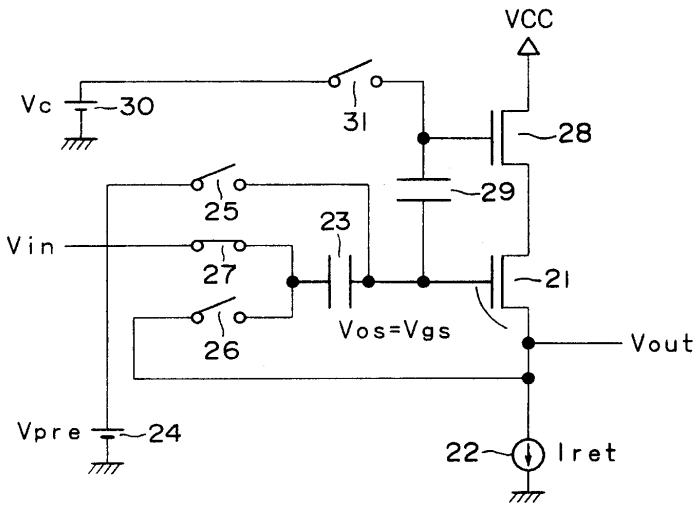
도면1



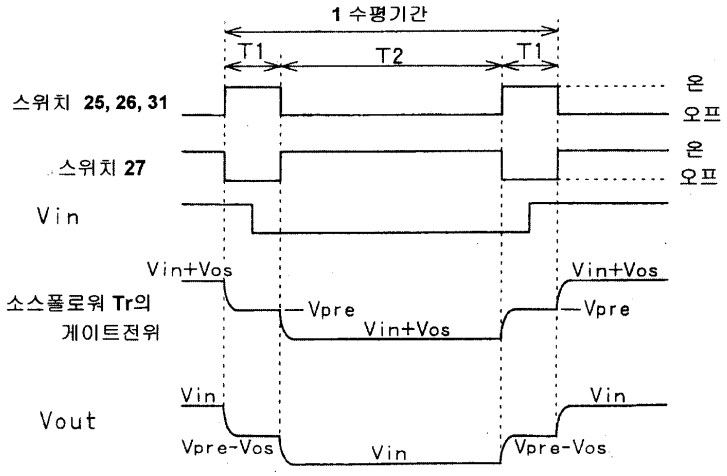
도면2


12
시프트레지스터 제어회로
시프트레지스터
11
데이터
데이터버스라인
샘플링회로
13
래치회로
14
DA 컨버터
15
출력회로
17
19
16-1
16-2
16-3
16-n
스위치제어펄스 발생회로
18-3
18-n
18-1
18-2
20-1
20-2
20-3
20-n
C1
C2
C3
Cn

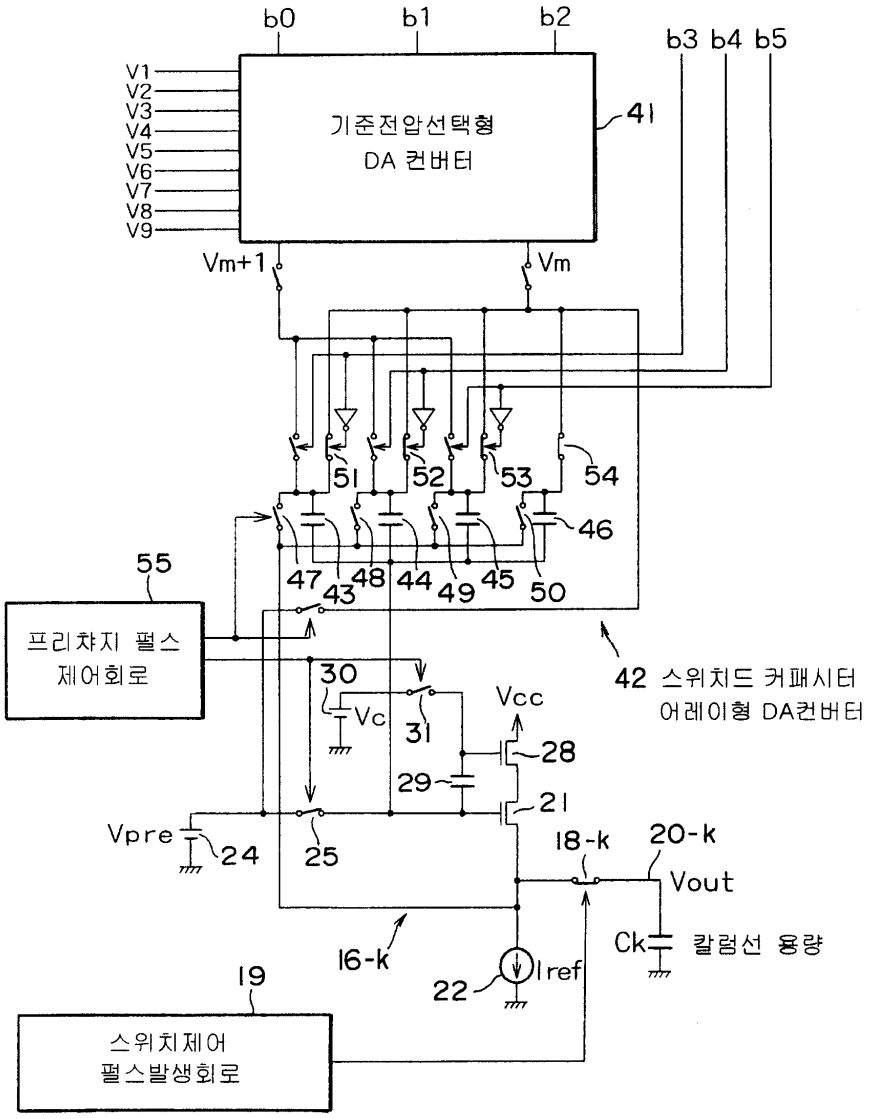
도면3


VCC
Vc
30
31
28
29
25
23
Vin
27
21
26
Vos=Vgs
Vout
Vpre
24
22
Iret

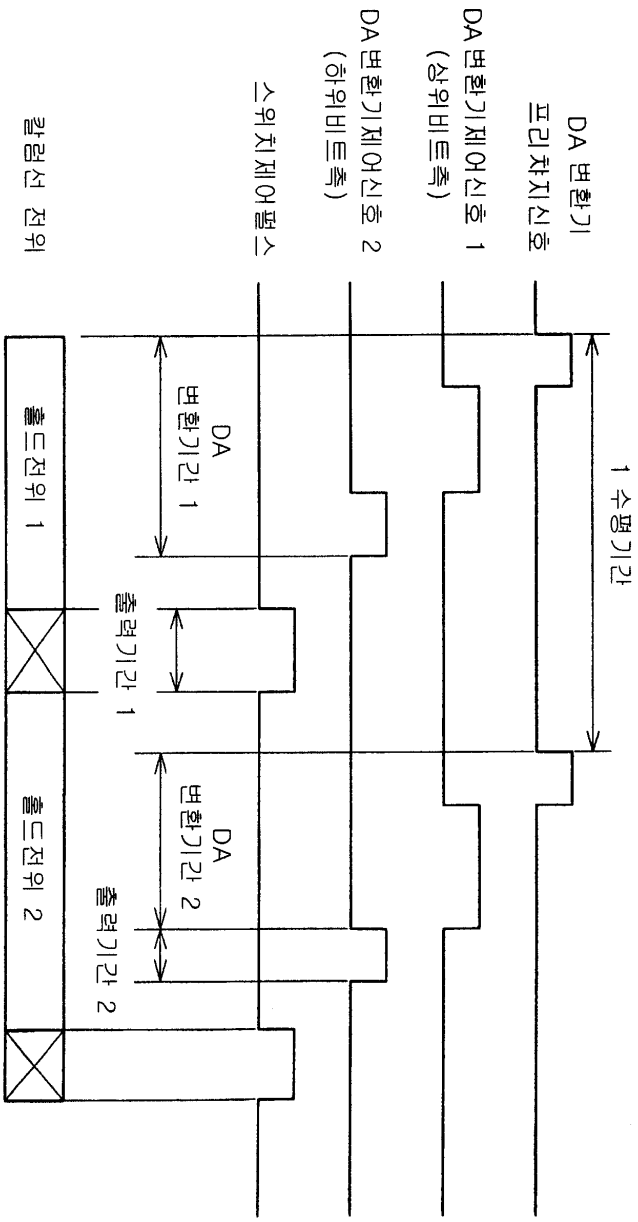
도면4


1 수평기간
T1
T2
T1
스위치 25, 26, 31
온
오프
스위치 27
온
오프
Vin
Vin+Vos
소스폴로워 Tr의
게이트전위
Vpre
Vin+Vos
Vin+Vos
Vpre
Vout
Vin
Vpre-Vos
Vin
Vin
Vpre-Vos

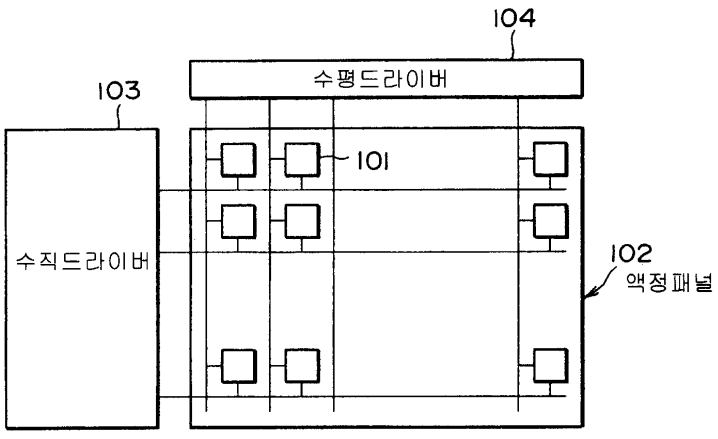
도면5


b0
b1
b2
b3 b4 b5
V1
V2
V3
V4
V5
V6
V7
V8
V9
기준전압선택형
DA 컨버터
41
Vm+1
Vm
51
52
53
54
46
47
43
48
44
49
45
50
55
프리챠지 펄스
제어회로
42 스위치드 커패시터
어레이형 DA컨버터
30
Vc
31
Vcc
28
29
21
Vpre
24
25
18-k
20-k
Vout
Ck
칼럼선 용량
16-k
22
Iref
19
스위치제어
펄스발생회로

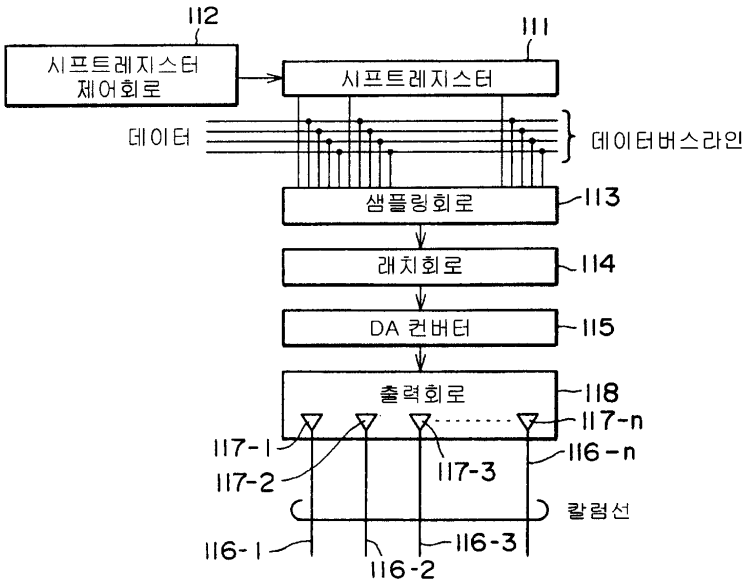
도면6


DA 변환기
프리차지신호
DA 변환기제어신호 1
(상위비트측)
DA 변환기제어신호 2
(하위비트측)
스위치제어펄스
칼럼선 전위
1 수평기간
DA
변환기간 1
출력기간 1
DA
변환기간 2
출력기간 2
홀드전위 1
홀드전위 2

도면7


104
수평드라이버
103
101
수직드라이버
102
액정패널

도면8


112
시프트레지스터
제어회로
111
시프트레지스터
데이터
데이터버스라인
샘플링회로
113
래치회로
114
DA 컨버터
115
출력회로
118
117-n
117-1
117-2
117-3
116-n
칼럼선
116-1
116-2
116-3