



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년04월26일
 (11) 등록번호 10-1730691
 (24) 등록일자 2017년04월20일

(51) 국제특허분류(Int. Cl.)
 H01L 25/065 (2006.01) H01L 23/48 (2006.01)
 (21) 출원번호 10-2014-0164598
 (22) 출원일자 2014년11월24일
 심사청구일자 2015년02월11일
 (65) 공개번호 10-2015-0059635
 (43) 공개일자 2015년06월01일
 (30) 우선권주장
 14/087,466 2013년11월22일 미국(US)
 (56) 선행기술조사문헌
 US20120119373 A1*
 US20100289133 A1
 KR1020130127073 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
 중화민국, 타이완, 신추, 신추 사이언스 파크,
 리-신 로드 6, 넘버 8
 (72) 발명자
 린 징-첸
 중화민국, 타이완 300-77, 신츄, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
 차이 포-하오
 중화민국, 타이완 300-77, 신츄, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
 (74) 대리인
 김태홍

전체 청구항 수 : 총 10 항

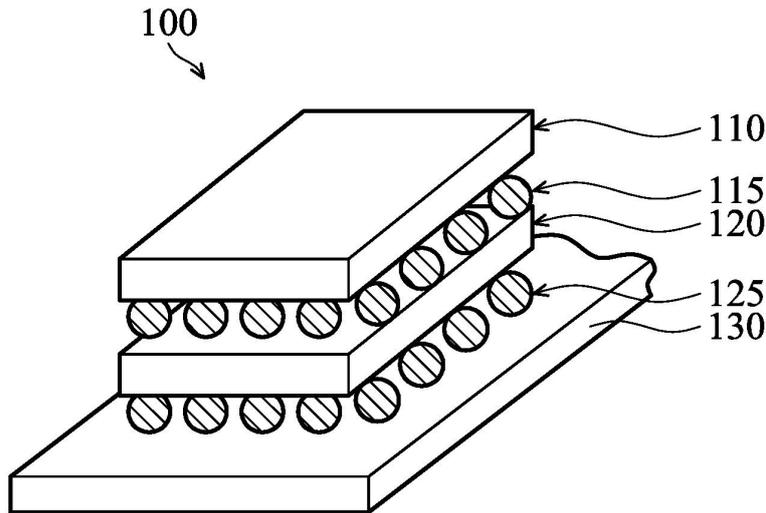
심사관 : 유병철

(54) 발명의 명칭 패키지 구조물 및 이의 형성 방법

(57) 요약

일부 실시예들에 따라서, 패키지 구조물 및 패키지 구조물을 형성하기 위한 방법이 제공된다. 패키지 구조물은, 반도체 다이 및 반도체 다이를 부분적으로 또는 완전히 캡슐화하는 몰딩 화합물을 포함한다. 패키지 구조물은 또한 상기 몰딩 화합물 내의 패키지 관통 비아를 포함한다. 상기 패키지 구조물은 상기 패키지 관통 비아와 상기 몰딩 화합물 사이의 계면 층을 더 포함한다. 상기 계면 층은 절연 재료를 포함하고 상기 몰딩 화합물과 직접적으로 접촉한다.

대표도 - 도1a



명세서

청구범위

청구항 1

패키지 구조물에 있어서,

반도체 다이;

상기 반도체 다이를 부분적으로 또는 전체적으로 캡슐화하는 몰딩 화합물;

상기 몰딩 화합물 내의 패키지 관통 비아;

상기 반도체 다이의 후방측 및 상기 몰딩 화합물 위의 재분배 층; 및

상기 패키지 관통 비아와 상기 몰딩 화합물 사이의 계면 층으로서, 상기 계면 층은 절연 재료를 포함하고 상기 몰딩 화합물과 직접적으로 접촉하며, 상기 반도체 다이의 후방측과 상기 재분배 층 사이를 직접 연결(in-line)하는 평면형 부분을 포함하고, 상기 평면형 부분은 상기 반도체 다이의 후방측에 평행한 것인, 상기 계면 층

을 포함하는 것인, 패키지 구조물.

청구항 2

제 1 항에 있어서,

상기 계면 층은 폴리벤즈옥사졸(PBO), 폴리이미드(PI) 또는 이들의 조합을 포함하는 것인, 패키지 구조물.

청구항 3

제 1 항에 있어서,

상기 재분배 층은 상기 패키지 관통 비아에 전기적으로 연결되는 것인, 패키지 구조물.

청구항 4

제 3 항에 있어서,

시드 층을 더 포함하고,

상기 재분배 층은 상기 시드 층과 상기 패키지 관통 비아 사이에 있으며, 상기 재분배 층의 두께에 대한 상기 시드 층의 두께의 비(ratio)는 0.8% 내지 30%의 범위에 있는 것인, 패키지 구조물.

청구항 5

제 1 항에 있어서,

제 2 재분배 층을 더 포함하고, 상기 반도체 다이가 상기 재분배 층과 상기 제 2 재분배 층 사이에 위치되고, 상기 제 2 재분배 층은 상기 반도체 다이의 전도성 패드에 전기적으로 연결되는 것인, 패키지 구조물.

청구항 6

제 1 항에 있어서,

상기 반도체 다이의 후방측 및 상기 몰딩 화합물 위의 재분배 층 및 시드 층을 더 포함하고, 상기 시드 층은 상기 패키지 관통 비아와 직접적으로 접촉하는 것인, 패키지 구조물.

청구항 7

제 1 항에 있어서,

상기 반도체 다이 위에 위치되고 상기 패키지 관통 비아에 전기적으로 연결되는 제 2 반도체 다이를 더 포함하

는, 패키지 구조물.

청구항 8

제 1 항에 있어서,

상기 반도체 다이 및 상기 몰딩 화합물 위에 적층된 다이 패키지를 더 포함하는, 패키지 구조물.

청구항 9

패키지 구조물에 있어서,

반도체 다이;

상기 반도체 다이를 부분적으로 또는 전체적으로 캡슐화하는 몰딩 화합물;

상기 몰딩 화합물을 관통하는 패키지 관통 비아;

상기 반도체 다이의 후방측 및 상기 몰딩 화합물 위의 재분배 층; 및

상기 몰딩 화합물로부터 상기 패키지 관통 비아를 분리시키는 계면 층으로서, 상기 계면 층은 절연 재료를 포함하고 상기 몰딩 화합물과 직접적으로 접촉하며, 상기 반도체 다이의 후방측과 상기 재분배 층 사이를 직접 연결(in-line)하는 평면형 부분을 포함하고, 상기 평면형 부분은 상기 반도체 다이의 후방측에 평행한 것인, 상기 계면 층

을 포함하는 것인, 패키지 구조물.

청구항 10

패키지 구조물을 형성하기 위한 방법에 있어서,

베이스 층, 제 1 재분배 층, 및 복수의 전도성 컬럼(column)들을 캐리어 기판 위에 형성하는 단계;

상기 전도성 컬럼들의 측벽들 위에 계면 층을 성막하는 단계로서, 상기 계면 층은 절연 재료를 포함하는 것인, 상기 계면 층을 성막하는 단계;

상기 제 1 재분배 층 위에 반도체 다이를 배치하는 단계로서, 상기 제 1 재분배 층 위에는 상기 반도체 다이의 후방측이 배치되는 것인, 상기 반도체 다이를 배치하는 단계;

상기 반도체 다이, 상기 전도성 컬럼들, 및 상기 계면 층을 부분적으로 또는 전체적으로 캡슐화하기 위해서 몰딩 화합물을 형성하는 단계로서, 상기 몰딩 화합물은 상기 계면 층과 직접적으로 접촉하는 것인, 상기 몰딩 화합물을 형성하는 단계;

상기 전도성 컬럼들 및 상기 반도체 다이 위에 제 2 재분배 층을 형성하는 단계; 및

상기 캐리어 기판을 제거하는 단계를 포함하고,

상기 계면 층은 상기 반도체 다이의 후방측과 상기 제 1 재분배 층 사이를 직접 연결(in-line)하는 평면형 부분을 포함하고, 상기 평면형 부분은 상기 반도체 다이의 후방측에 평행한 것인, 패키지 구조물 형성 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명은 패키지 구조물 형성을 위한 메커니즘들에 관한 것이다.

배경 기술

[0002] 반도체 소자는 개인용 컴퓨터들, 셀 폰들, 디지털 카메라들, 또는 다른 전자 장비와 같은 다양한 전자적 용도들에서 이용되고 있다. 반도체 소자들은 절연 또는 유전체 층들, 전도성 층들, 및 반도체 층들을 반도체 기판 상에 순차적으로 성막하는 것(depositing), 그리고 반도체 기판 상에 회로 구성요소들 및 요소들을 형성하기 위해서 리소그래피 및 에칭 프로세스들을 이용하여 여러 재료 층들을 패터닝하는 것에 의해서 제조된다.

[0003] 반도체 산업은, 최소 피쳐(feature) 크기의 지속적인 감소에 의해서 여러 가지 전자적 구성요소들(예를 들어, 트랜지스터들, 다이오드들, 저항기들, 커패시터들, 등)의 집적 밀도를 계속적으로 개선하며, 이는 보다 많은 구성요소들이 주어진 면적 내로 집적될 수 있게 한다. 이러한 보다 작은 전자적 구성요소들은 또한, 일부 용도들에서, 적은 면적 또는 보다 낮은 높이를 이용하는 보다 작은 패키지를 이용한다.

[0004] 패키지 온 패키지(PoP)와 같은, 새로운 패키징 기술들이 개발되기 시작했고, 그러한 기술에서 소자 다이(die)를 가지는 상단부 패키지가, 다른 소자 다이를 가지는 하단부 패키지에 본딩된다. 새로운 패키지 기술들을 채택하는 것에 의해서, 상이한 또는 유사한 기능들을 가지는 여러 가지 패키지들이 함께 집적된다. 반도체 소자를 위한 이러한 비교적 새로운 타입의 패키징 기술들은 제조상의 해결과제들에 직면한다.

도면의 간단한 설명

[0005] 여러 가지 실시예들 및 그러한 실시예들의 장점들에 대한 보다 완전한 이해를 위해서, 이제, 첨부 도면들과 함께 작성된 이하의 설명들을 참조한다.

도 1a는 일부 실시예들에 따른, 패키지 구조물의 사시도이다.

도 1b는 일부 실시예들에 따른, 2개의 본딩된 다이 패키지들의 횡단면도이다.

도 2a-2r은 일부 실시예들에 따른, 패키지 구조물을 형성하기 위한 프로세스의 여러 스테이지들의 횡단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0006] 개시 내용의 여러 가지 실시예들을 제조하고 이용하는 것이 이하에서 구체적으로 설명된다. 그러나, 여러 가지

실시예들이 매우 다양한 구체적인 문맥들로 구현될 수 있다는 것을 이해하여야 할 것이다. 설명되는 구체적인 실시예들은 단지 예시적인 것이고, 개시 내용의 범위를 제한하지 않는다.

[0007] 이하의 개시 내용이, 개시 내용의 상이한 피쳐들을 구현하기 위한 많은 상이한 실시예들, 또는 예들을 제공한다. 이를 이해하여야 한다. 본원 발명을 단순화하도록, 구성요소들 및 배열체들(arrangements)의 구체적인 예들을 이하에서 설명하였다. 이러한 것들은 단지 예들이고 제한적인 것으로 의도된 것이 아니다. 또한, 이하의 설명에서 제 2 프로세스에 앞서서 제 1 프로세스를 실시하는 것은 제 2 프로세스가 제 1 프로세스 직후에 실시되는 실시예들을 포함할 수 있을 것이고, 그리고 또한 부가적인 프로세스들이 제 1 프로세스와 제 2 프로세스 사이에서 실시될 수 있는 실시예들도 포함할 수 있을 것이다. 단순함 및 명료함을 위해서, 여러 가지 피쳐들이 다른 축척들(scales)로 임의적으로 도시되어 있을 수 있을 것이다. 또한, 이하의 설명에서 제 2 피쳐 상에 또는 그 위에 제 1 피쳐를 형성하는 것은, 제 1 및 제 2 피쳐들이 직접적으로 접촉되어 형성되는 실시예들을 포함할 수 있을 것이고, 또한 부가적인 피쳐들이 상기 제 1 및 제 2 피쳐들 사이에 형성되어 제 1 및 제 2 피쳐들이 직접적으로 접촉하지 않을 수 있는 실시예들을 포함할 수 있을 것이다.

[0008] 도 1a는, 일부 실시예들에 따른, 기판(130)에 추가적으로 본딩되는 다른 다이 패키지(120)에 본딩된 다이 패키지(110)를 가지는 패키지 구조물(100)의 사시도를 도시한다. 다이 패키지(110)는 본딩 구조물들(115)을 통해서 다이 패키지(120)에 본딩되고, 다이 패키지(120)는 본딩 구조물들(125)을 통해서 기판(130)에 본딩된다. 다이 패키지(110) 또는 다이 패키지(120)와 같은, 각각의 다이 패키지는 하나 이상의 반도체 다이들을 포함한다. 반도체 다이는 반도체 집적 회로 제조에서 이용되는 것과 같은 반도체 기판을 포함하고, 집적 회로들이 반도체 기판 내에 및/또는 반도체 기판 상에 형성될 수 있을 것이다. 여러 실시예들에서, 반도체 기판은 벌크(bulk) 실리콘, 반도체 웨이퍼, 실리콘-온-인슐레이터(SOI) 기판, 실리콘 게르마늄 기판, 등과 같은 반도체 재료들을 가지는 구축물들을 포함한다. III 족, IV 족, 및 V 족 원소들을 포함하는 다른 반도체 재료들이 또한 이용될 수 있을 것이다.

[0009] 반도체 기판은, 셀로우 트랜치 아이솔레이션(STI) 피쳐들 또는 실리콘의 부분 산화(LOCOS) 피쳐들과 같은, 격리 피쳐들(미도시)을 더 포함할 수 있을 것이다. 격리 피쳐들은 반도체 기판 내에 형성된 여러 가지 소자 요소들을 형성하고 격리할 수 있을 것이다. 여러 가지 소자 요소들의 예들에는, 트랜지스터들(예를 들어, 금속 산화물 반도체 전계 효과 트랜지스터들(MOSFET), 상보적 금속 산화물 반도체(CMOS) 트랜지스터들, 양극성 접합 트랜지스터들(BJT), 고전압 트랜지스터들, 고주파수 트랜지스터들, p-채널 및/또는 n-채널 전계 효과 트랜지스터들(PFETs/NFETs), 등), 다이오드들, 또는 다른 적합한 요소들이 포함된다. 성막, 에칭, 주입, 포토리소그래피, 어닐링, 및/또는 다른 적합한 프로세스를 포함하는, 여러 가지 소자 요소들을 형성하기 위한 여러 가지 프로세스들이 실시된다. 소자 요소들이 상호연결되어, 로직(logic) 소자, 메모리 소자(예를 들어, 정적 랜덤 액세스 메모리, SRAM), 무선 주파수(RF) 소자, 입/출력(I/O) 소자, 시스템-온-칩(SoC) 소자, 이들의 조합들, 또는 다른 타입의 소자들과 같은 집적 회로 소자들을 형성한다.

[0010] 기판(130)은 반도체 웨이퍼, 또는 웨이퍼의 일부일 수 있을 것이다. 일부 실시예들에서, 기판(130)은 실리콘, 게르마늄 비화물, 실리콘 온 인슐레이터("SOI"), 또는 다른 적합한 재료들을 포함한다. 일부 실시예들에서, 기판(130)은 또한 저항기들, 커패시터들, 및 인덕터들, 등과 같은 수동형 소자들, 또는 트랜지스터들과 같은 능동형 소자들을 포함한다. 일부 실시예들에서, 기판(130)은 부가적인 집적 회로들을 포함한다. 기판(130)은 기판 관통 비아들(TSVs)을 더 포함할 수 있을 것이고 인터포저(interposer)일 수 있을 것이다.

[0011] 대안적으로, 기판(130)이 다른 재료들로 제조될 수 있을 것이다. 일부 실시예들에서, 기판(130)은, 복수-층 회로 기판과 같은, 패키지 기판이다. 일부 실시예들에서, 패키지 기판은 또한 비스말레이미드 트리아진(bismaleimide triazine)(BT) 수지, FR-4(내염성인 에폭시 수지 결합체를 가지는 직조된 유리섬유 직물(woven fiberglass cloth)로 이루어진 복합 재료), 세라믹, 유리, 플라스틱, 테이프, 막, 또는 전도성 단자들을 수용하기 위해서 이용되는 전도성 패드들 또는 랜드들(lands)을 반송할(carry) 수 있는 다른 지지 재료들을 포함한다.

[0012] 일부 실시예들에서, 다이 패키지(110)와 다이 패키지(120) 사이의 본딩 구조물들(115)의 각각이 볼-대-볼(ball-to-ball) 본딩 프로세스의 이용에 의해서 형성된다. 다이 패키지들(110 및 120) 상에 형성된 2개의 땀납 볼들(solder balls)이 함께 리플로우되어(reflowed) 본딩 구조물들(115) 중 하나를 형성한다. 유사하게, 다이 패키지(120)와 기판(130) 사이의 본딩 구조물들(125)이, 본딩 구조물들(115)을 참조하여 설명한 볼-대-볼 본딩 프로세스를 이용하는 것에 의해서 형성될 수 있을 것이다.

[0013] 도 1b는 일부 실시예들에 따른, 다이 패키지(120)와 본딩된 다이 패키지(110)의 횡단면도이다. 도 1b에 도시된 바와 같이, 다이 패키지(110)는 2개의 반도체 다이들(112 및 113)을 포함하고, 반도체 다이(113)는 반도체 다이

(112) 위에 위치된다. 그러나, 다이 패키지(110)가 하나의 반도체 다이 또는 둘 초과의 반도체 다이들을 포함할 수 있다. 일부 실시예들에서, 반도체 다이(112)와 반도체 다이(113) 사이에 글루(glue) 층(미도시)이 존재한다. 반도체 다이들(112 및 113)이, 반도체 다이들에 대해서 전술한 바와 같은, 여러 가지 소자 요소들을 포함할 수 있을 것이다. 반도체 다이(112)가 기판(105)에 본딩된다. 기판(105)은 기판(130)에 대해서 전술한 여러 가지 재료들 및/또는 구성요소들을 포함할 수 있을 것이다.

[0014] 일부 실시예들에 따라서, 반도체 다이(112)는 본딩 와이어들(114)을 통해서 기판(105) 내의 전도성 요소들(119)에 전기적으로 그리고 상응하게 연결된다. 유사하게, 반도체 다이(113)는 본딩 와이어들(116)을 통해서 기판(105) 내의 전도성 요소들(119)에 전기적으로 그리고 상응하게 연결된다. 다이 패키지(110)는 또한 반도체 다이들(112 및 113)을 커버하는 몰딩 화합물(111), 및 본딩 와이어들(114 및 116)을 포함한다. 많은 연결부들(117)이 연결들을 위해서 다이 패키지(110)의 하단부 위에 형성된다. 연결부들(117)이 금속 패드들(118) 상에 형성되고, 상기 금속 패드들은 다이 패키지(110)의 전도성 요소들(119)에 의해서 본딩 와이어들(114 및 116)에 전기적으로 연결된다. 연결부들(117) 및 금속 패드들(118)은, 도 1a에 도시된 바와 같이, 본딩 구조물들(115)의 일부일 수 있을 것이다.

[0015] 다이 패키지(120)는, 일부 실시예들에 따라서, 도 1b에 도시된 바와 같이, 반도체 다이(121) 및 몰딩 화합물(131)을 통해서 침투하는 패키지 관통 비아들(TPVs)(122)을 포함한다. TPVs(122)은 반도체 다이(121)를 둘러싼다. 다이 패키지(120)는 또한, 하나 이상의 재분배 층들(RDLs)(123)을 포함하는 재분배 구조물(126)을 포함한다. RDLs(123)은, 금속 라인들 및 비아들을 포함할 수 있는 금속 상호연결 층들이고, 유전체 재료(들)에 의해서 둘러싸인다. RDLs(123)은 반도체 다이(121)의 팬-아웃(fan-out)을 가능하게 한다. 예를 들어, RDLs(123)은 연결부들(127)을 TPVs(122)으로 전기적으로 연결한다. 반도체 다이(121)에 대한 전기 연결부들은 반도체 다이(121)의 윤곽선 외부로 측방향으로 연장된다. RDLs(123)은 반도체 다이(121)의 다이 면적 보다 큰 면적 위에서 분배될 수 있을 것이다. 도 1b에 도시된 바와 같이, RDLs(123)은 몰딩 화합물(131) 및 TPVs(122) 위에 분배된다.

[0016] 볼 그리드 어레이(BGA)와 같은 연결부들(129)이, 도 1b에 도시된 바와 같이, 재분배 구조물(126) 상에서 금속 패드(미도시)에 부착된다. 도 1a에 도시된 바와 같이, 연결부들(129)이 본딩 구조물들(125)의 일부일 수 있을 것이다. 도 1b에 도시된 바와 같이, TPVs(122)는 다이 패키지(110)의 연결부들(117)에 전기적으로 연결된다. 반도체 다이(121) 및 연결부들(129)이 재분배 구조물(126)의 대향하는 측들 상에 위치한다. 반도체 다이(121)는 연결부들(127)을 통해서 재분배 구조물(126)로 전기적으로 연결된다.

[0017] 도 1b에 도시된 바와 같이, TPVs(122)는 몰딩 화합물(131)에 의해서 캡슐화된다. 일부 실시예들에 따라서, 도 1b에 도시된 바와 같이, 계면 층(132)이 TPVs(122)와 몰딩 화합물(131) 사이에 형성된다. TPVs(122)와 몰딩 화합물(131) 사이의 접촉을 개선하도록 계면 층(132)이 구성된다. 계면 층(132)이 폴리머 재료와 같은 절연 재료를 포함할 수 있을 것이다. 일부 실시예들에서, 폴리머 재료가 폴리벤즈옥사졸(PBO), 폴리이미드(PI), 다른 적합한 폴리머 재료들, 또는 그 조합들을 포함한다. 계면 층(132)은 몰딩 화합물(131) 및 TPV(122) 모두와 양호하게 접촉한다. 결과적으로, TPVs(122)와 몰딩 화합물(131) 사이에서 균열들이 형성 및 전파되는 것이 방지될 수 있을 것이다. 균열의 형성이 방지되기 때문에, RDLs(123)이 또한 균열에 의해서 파괴 및/또는 개방되는 것이 방지되고, 그에 따라 전기적-수득률(electrical yield) 및 신뢰가능성 능력들(qualifications)을 개선한다. 일부 다른 접근방식들에서, 계면 층(132)이 형성되지 않는다. 결과적으로, 그러한 접근방식들에서, TPVs(122)와 몰딩 화합물(131) 사이의 열팽창 계수(CTE)의 불일치로 인해서, 균열들이 TPVs(122)와 몰딩 화합물(131) 사이의 계면을 따라서 형성되고 전파될 수 있을 것이다.

[0018] 개시 내용의 실시예들이 많은 변경들을 가진다. 개시 내용의 실시예들의 일부 변경들이 설명된다. 도 2a-2r은, 일부 실시예들에 따른, 패키지 구조물을 형성하기 위한 프로세스의 여러 스테이지들의 횡단면도들이다.

[0019] 도 2a에 도시된 바와 같이, 일부 실시예들에 따라서, 접착제 층(202) 및 베이스 층(204)이 캐리어 기판(200) 위에 순차적으로 성막되거나 적층된다. 캐리어 기판(200)을 일시적인 지지 기판으로서 이용된다. 캐리어 기판(200)은 반도체 재료, 세라믹 재료, 폴리머 재료, 금속 재료, 다른 적합한 재료, 또는 그 조합들로 제조될 수 있을 것이다. 일부 실시예들에서, 캐리어 기판(200)이 유리 기판이다. 일부 다른 실시예들에서, 캐리어 기판(200)이 실리콘 웨이퍼와 같은 반도체 기판이다.

[0020] 접착제 층(202)이 글루로 제조될 수 있을 것이고, 또는 호일과 같은 적층(lamination) 재료일 수 있을 것이다. 일부 실시예들에서, 접착제 층(202)이 감광성이고 자외선(UV) 광 또는 레이저 광을 캐리어 기판(200) 상으로 조명하는 것에 의해서 캐리어 기판(200)으로부터 용이하게 탈착된다. 예를 들어, 접착제 층(202)은 광-대-열-변환

(LTHC) 코팅이다. 일부 다른 실시예들에서, 접착제 층(202)이 열-감응형이다. 일부 실시예들에서, 베이스 층(204)이 폴리머 층이다. 베이스 층(204)은 PBO 층, PI 층, 뿔납 레지스트(SR) 층, 아지노모토 축적 막 (ajinomoto buildup film; ABF), 다이 부착 막(DAF), 다른 도포가능한 층들, 또는 그 조합들일 수 있을 것이다.

[0021] 도 2a에 도시된 바와 같이, 일부 실시예들에 따라서, 시드(seed) 층(206)이 베이스 층(204) 위에 성막된다. 일부 실시예들에서, 시드 층(206)이 구리로 제조되고 물리 기상 증착(PVD)에 의해서 성막된다. 그러나, 개시 내용의 실시예들은 그러한 것으로 제한되지 않는다. 다른 전도성 막들이 또한 이용될 수 있을 것이다. 예를 들어, 시드 층(206)이 Ti, Ti 합금, Cu, Cu 합금, 또는 그 조합들로 제조될 수 있을 것이다. Ti 합금 또는 Cu 합금은, 크롬, 니켈, 주석, 금, 텅스텐, 다른 적합한 재료들, 또는 그 조합들을 포함할 수 있을 것이다.

[0022] 시드 층(206)은 두께(T_1)를 가진다. 일부 실시예들에서, 두께(T_1)가 약 0.1 μm 내지 약 0.6 μm 범위이다. 일부 실시예들에서, 얇은 시드 층(206)이 형성된다. 일부 실시예들에서, 확산 배리어 층(미도시)이 시드 층(206)의 성막에 앞서서 성막된다. 확산 배리어 층이 Ti 또는 다른 적합한 재료들로 제조될 수 있을 것이고, 약 0.01 μm 내지 약 0.2 μm 범위의 두께를 가진다. 대안적으로, 확산 배리어 층이 TaN과 같은 다른 재료들, 또는 다른 도포 가능한 재료로 제조되고, 두께 범위는 진술한 범위로 제한되지 않는다. 확산 배리어 층이 일부 실시예들에서 PVD에 의해서 성막된다. 일부 실시예들에서, 확산 배리어 층이 형성되지 않는다.

[0023] 일부 실시예들에 따라서, 도 2b에 도시된 바와 같이, 시드 층(206)의 성막에 이어서, 재분배 층(208)이 시드 층(206) 위에 형성된다. 재분배 층(208)은 Cu, Ni, Ti, 다른 도포가능한 재료들, 또는 그 조합들로 제조될 수 있을 것이다. 재분배 층(208)은, 시드 층(206)의 두께(T_1) 보다 두꺼운 두께(T_2)를 가진다. 일부 실시예들에서, 두께(T_2)가 약 2 μm 내지 약 12 μm 범위이다. 일부 실시예들에서, 두께(T_1) 대 두께(T_2)의 비율(T_1/T_2)이 약 0.8% 내지 약 30% 범위이다. 시드 층(206)은 재분배 층(208)의 일부로서 간주될 수 있을 것이다. 개시 내용의 실시예들은 많은 변경들을 가진다. 일부 다른 실시예들에서, 두께(T_1) 대 두께(T_2)의 비율(T_1/T_2)이 다른 적합한 범위, 예를 들어 약 0.5% 내지 약 40% 범위이다.

[0024] 일부 실시예들에서, 재분배 층(208)이 전기 도금(electroplating)에 의해서 형성된다. 포토레지스트 층(미도시)이 시드 층(206) 위에 성막된다. 포토레지스트 층이 성막되기 전에, 성막된 포토레지스트 층이 시드 층(206)과 양호하게 접촉되도록 보장하기 위해서, 시드 층(206)이 세정(clean)될 수 있을 것이다. 그에 따라, 후속하는 패터닝 프로세스들의 품질이 개선될 수 있을 것이다. 포토레지스트 층이, 스핀-온(spin-on) 프로세스와 같은 습식 프로세스에 의해서, 또는 건식 막과 같은 건식 프로세스에 의해서 성막될 수 있을 것이다. 그 후에, 시드 층(206)을 노출하는 개구부들을 형성하도록 포토레지스트 층이 패터닝된다. 관련된 프로세스들에는 포토리소그래피 및 레지스트 현상 프로세스들이 포함된다. 디스컴(descum) 프로세스가 또한 실시될 수 있을 것이다. 이어서, 하나 이상의 전도성 재료들이 포토레지스트 층의 개구부들에 의해서 노출된 시드 층(206) 상에 전기도금되어, 개구부들을 완전히 또는 부분적으로 충전하고 재분배 층(208)을 형성한다. 재분배 층(208)의 형성에 이어서, 포토레지스트 층이 박층된다.

[0025] 일부 실시예들에 따라서, 도 2c에 도시된 바와 같이, 마스크 층(210)이 시드 층(206) 및 재분배 층(208) 위에 형성된다. 마스크 층(210)은 재분배 층(208)의 일부를 노출시키는 개구부들을 가진다. 일부 실시예들에서, 마스크 층(210)은 또한 시드 층(206)의 일부를 노출시키는 개구부를 가진다. 마스크 층(210)의 개구부들은, 후속하여 형성되는 패키지 관통 비아들의 위치들을 규정한다. 일부 실시예들에서, 마스크 층(210)은 포토레지스트 재료로 제조된다. 마스크 층(210)의 개구부들이 포토리소그래피 프로세스에 의해서 형성될 수 있을 것이다. 포토리소그래피 프로세스가 노광 및 현상 프로세스들에 의해서 형성될 수 있을 것이다. 현상 프로세스에서, 적절한 용액이 마스크 층(210) 상에 도포되어 마스크 층(210)을 부분적으로 제거하여 개구부들을 형성한다. 예를 들어, 노광 프로세스 중에 적절한 복사선(예를 들어, UV 광)으로 조사된(irradiated) 마스크 층(210)의 일부가 현상 프로세스 이후에 제거된다.

[0026] 일부 실시예들에 따라, 도 2d에 도시된 바와 같이, 마스크 층(210)의 형성 이후에, 전도성 컬럼들(212)이 형성되어 마스크 층(210)의 개구부들을 충전한다. 일부 실시예들에서, 구리와 같은 전도성 재료가 시드 층(206) 및 재분배 층(208) 위에 전기도금되어 마스크 층(210)의 개구부들을 충전하고 전도성 컬럼들(212)을 형성한다. 시드 층(206) 위의 재분배 층(208)은 또한 도금 시드 층으로서 기능한다. 이러한 경우들에서, 전도성 컬럼들(212)을 형성하기 위해서 부가적인 시드 층 및 부동태화 층이 재분배 층(208) 위에 형성되지 않는다. 전도성 컬럼들(212)이 재분배 층(208) 상에 직접적으로 전기도금된다.

- [0027] 전도성 컬럼들(212)의 일부가 마스크 층(210)의 개구부들에 의해서 노출된 시드 층(206) 위에 위치된다. 전도성 컬럼들(212)이 시드 층(206)과 직접적으로 접촉할 수 있을 것이다. 계면(214)이 전도성 컬럼들(212)과 시드 층(206) 사이에 형성된다. 전도성 컬럼들(212)의 일부가 마스크 층(210)의 개구부들에 의해서 노출된 재분배 층(208) 위에 위치된다. 전도성 컬럼들(212)이 재분배 층(208)과 직접적으로 접촉할 수 있을 것이다. 계면(216)이 전도성 컬럼들(212)과 재분배 층(208) 사이에 형성된다. 계면(218)은 시드 층(206)과 재분배 층(208) 사이에 형성된다. 전도성 컬럼들(212)과 시드 층(206) 사이에는 2개의 계면들(계면들(216 및 218))이 존재한다. 일부 실시예들에서, 전도성 컬럼들(212)과 시드 층(206) 사이에 형성된 기껏해야 2개의 계면들이 존재한다.
- [0028] 도 2e에 도시된 바와 같이, 마스크 층(210)이 제거된다. 그 후에, 일부 실시예들에 따라서, 재분배 층(208) 또는 전도성 컬럼들(212)에 의해서 커버되지 않은 시드 층(206)의 일부가 후속하여 제거된다. 에칭 프로세스를 이용하여 시드 층(206)을 부분적으로 제거할 수 있을 것이다. 에칭 프로세스 이후에, 베이스 층(204)의 일부가 노출된다.
- [0029] 일부 실시예들에 따라서, 도 2f에 도시된 바와 같이, 계면 층(220)이 베이스 층(204), 전도성 컬럼들(212), 시드 층(206), 및 재분배 층(208) 위에 성막된다. 일부 실시예들에서, 계면 층(220)이 연속적이고 분리된 부분을 가지지 않는다. 계면 층(220)이 전도성 컬럼들(212) 및 후속하여 형성되는 몰딩 화합물과 양호하게 접촉된다. 일부 실시예들에서, 계면 층(220)은 폴리머 재료와 같은 절연 재료로 제조된다. 계면 층(220)은 폴리벤즈옥사졸(PBO), 폴리이미드(PI), 다른 적합한 폴리머 재료들, 또는 그 조합들로 제조될 수 있을 것이다. 일부 실시예들에서, 계면 층(220)이 산화물 재료, 질화물 재료, 산질화물 재료, 또는 그 조합들로 제조된다.
- [0030] 계면 층(220)은 스핀 코팅 프로세스, 기상 증착 폴리머화 프로세스, 또는 기상 증착 프로세스, 등과 같은 적합한 프로세스의 이용에 의해서 성막된다. 일부 실시예들에서, 계면 층(220)은 전도성 컬럼들(212)의 측면들 및 상단부 부분들을 등각적으로(conformally) 커버한다. 일부 실시예들에서, 계면 층(220)은 재분배 층(208) 위에 그리고 전도성 컬럼들(212) 사이에 위치하는 평면형 부분들(221)을 포함한다. 평면형 부분들(221)의 각각이 실질적으로 평평한 상단부 표면을 가진다.
- [0031] 일부 실시예들에 따라서, 도 2g에 도시된 바와 같이, 반도체 다이들(222)이 글루 층(224)에 의해서 계면 층(220)의 평면형 부분들(221)에 부착된다. 일부 실시예들에서, 반도체 다이들(222)의 후방측들(back sides)(222b)이 평면형 부분들(221)과 대면하고, 반도체 다이들(222)의 전방측들(222a)은 위쪽으로 대면한다. 반도체 다이들(222)의 각각이 반도체 다이들(222)의 전방측(222a)에서 부동태화 층(226), 전도성 패드들(228), 보호 층(230), 및 연결부들(232)을 포함할 수 있을 것이다. 일부 실시예들에서, 반도체 다이들(222)의 후방측들(222b)이 평면형 부분들(221)에 실질적으로 평행하다. 그에 따라, 연결부들(232)이 동일한 레벨 또는 동일한 높이에 배치될 수 있다. 연결부들(232)의 상단부 단자들이 실질적으로 동일한 수평 평면에 있을 수 있을 것이다. 일부 실시예들에서, 실질적으로 동일한 높이로 연결부들(232) 위에, 재분배 층과 같은, 후속 접촉 요소들을 형성하는 것이 보다 용이하다.
- [0032] 글루 층(224)이 반도체 다이들(222)의 후방측들(222b) 및 평면형 부분들(221)과 직접적으로 접촉할 수 있을 것이다. 일부 실시예들에 따라서, 글루 층(224)이 다이 부착 막(DAF)으로 제조된다. DAF는 에폭시 수지, 페놀 수지, 아크릴 고무, 실리카 충전제, 등, 또는 그 조합들로 제조될 수 있을 것이다. 일부 실시예들에서, 계면 층(220)이 접착제이다. 이러한 경우들에서, 글루 층(224)은 이용되지 않는다. 반도체 다이들(222)은 계면 층(220)의 평면형 부분들(221) 상에 직접적으로 배치되고 고정된다.
- [0033] 일부 실시예들에 따라서, 도 2h에 도시된 바와 같이, 몰딩 화합물(234)이 도 2g에 도시된 구조물 위에 형성된다. 몰딩 화합물(234)은 전도성 컬럼들(212) 사이의 공간을 충전하고 반도체 다이들(222)을 부분적으로 또는 완전하게 캡슐화한다. 일부 실시예들에서, 액체 몰딩 화합물 재료가 계면 층(220) 및 반도체 다이들(222) 위에 도포되어 전도성 컬럼들(212) 및 반도체 다이들(222)을 캡슐화한다. 이어서, 열적 프로세스가 적용되어, 몰딩 화합물 재료를 경화시키고 몰딩 화합물 재료를 몰딩 화합물(234)로 변환시킨다. 이제, 전도성 컬럼들(212)이 패키지 관통 비아들(TPVs)(212')이 된다. 일부 실시예들에서, TPVs(212')가 반도체 다이들(222)을 둘러싼다.
- [0034] 도 2h에 도시된 바와 같이, 계면 층(220)이 몰딩 화합물(234)과 TPVs(212') 사이에 위치된다. 계면 층(220)은 TPVs(212') 및 몰딩 화합물(234) 모두와 큰 접촉력을 가진다. 일부 실시예들에서, 계면 층(220)이 몰딩 화합물(234)과 직접적으로 접촉한다. 몰딩 화합물(234)과 계면 층(220) 사이에는 공극 또는 갭이 실질적으로 형성되지 않는다. 계면 층(220)의 상부 표면이, 전체적으로, 몰딩 화합물(234)과 직접적으로 접촉할 수 있을 것이다. 일부 실시예들에서, 몰딩 화합물(234)이 계면 층(220)에 의해서 TPVs(212')로부터 완전히 분리된다. 계면 층(220)

0)이 몰딩 화합물(234) 및 TPVs(212')와 양호하게 접촉되기 때문에, 몰딩 화합물(234)과 TPVs(212') 사이에는 균열이 실질적으로 형성되지 않는다. 도 1b에서 설명한 바와 같은 균열 문제들이 상당히 감소되거나 해결된다.

[0035] 일부 실시예들에 따라, 도 2i에 도시된 바와 같이, 몰딩 화합물(234)의 형성 후에, 몰딩 화합물(234)이 얇아져서 TPVs(212') 및 반도체 다이들(222)의 연결부들(232)을 노출시킨다. 연마 프로세스 등을 실시하여 몰딩 화합물(234)을 얇게 만들 수 있을 것이다. 일부 실시예들에서, TPVs(212')의 상단부들 위의 계면 층(220)의 부분이 또한 연마 프로세스 중에 제거된다. 일부 실시예들에서, 금속 리세스 프로세스를 실시하여 TPVs(212') 및 연결부들(232) 상의 잔류물들을 제거한다. 잔류물들은 몰딩 화합물(234)로부터 유래한 것일 수 있을 것이다. 금속 리세스 프로세스는 에칭 프로세스 등의 이용에 의해서 달성될 수 있을 것이다. 그러나, 일부 실시예들에서, 금속 리세스 프로세스는 실시되지 않는다.

[0036] 그 후에, 일부 실시예들에 따라서, 도 2j에 도시된 바와 같이, 재분배 층(235) 및 부동태화 층(236)을 포함하는 재분배 구조물이 도 2i에 도시된 구조물 위에 형성된다. 재분배 층(235)은 TPVs(212') 및 연결부들(232)에 대한 복수의 전기적 연결부들을 형성한다. 예를 들어, 재분배 층(235)의 부분이 연결부들(232) 중 하나를 통해서 전도성 패드들(228) 중 하나에 전기적으로 연결된다. 재분배 층(235)의 일부가 연결부들(232) 중 하나를 TPVs(212') 중 하나에 전기적으로 연결한다. 재분배 층(235)의 일부가 TPVs(212') 중 하나에 전기적으로 연결된다. 재분배 층(235)의 패턴이 일부 재원들(specifications)에 따라서 조정될 수 있다. 예를 들어, 만약 TPVs(212')와 전도성 패드들(228) 사이의 연결부들을 구축하기 위해서 상이한 회로 레이아웃이 이용된다면, 재분배 층(235)의 패턴이 그에 따라 변경될 수 있을 것이다. 재분배 층(235)의 재료 및 형성 방법이 재분배 층(208)의 재료 및 형성 방법과 유사할 수 있을 것이다.

[0037] 계면 층(220)에 의해서 제공되는 TPVs(212')와 몰딩 화합물(234) 사이의 강한 접착력으로 인해서, TPVs(212')와 몰딩 화합물(234) 사이에는 균열이 실질적으로 형성되지 않는다. 결과적으로, 균열 문제가 감소되기 때문에, 재분배 층(235)이 손상되는 것이 방지된다. 그에 따라, 재분배 층(235)의 품질 및 신뢰성이 개선된다.

[0038] 부동태화 층(236)이 하나 이상의 층들을 포함할 수 있을 것이다. 부동태화 층(236)은 재분배 층(235)의 부분들을 노출시키는 개구부들(미도시)을 가질 수 있을 것이다. 본드 패드들(미도시)이 노출된 재분배 층(235) 위에 형성될 수 있을 것이다. 부동태화 층(236)이 유전체 재료(들)로 제조되고 후속하는 본딩 프로세스들 중에 초래되는 본딩 응력에 대한 응력 완화(relief)를 제공한다. 일부 실시예들에서, 부동태화 층(236)이 폴리이미드, PBO, 등, 또는 그 조합들과 같은 폴리머들로 제조된다. 대안적으로 또는 부가적으로, 부동태화 층(236)이 벤조시클로부텐(BCB)을 포함할 수 있을 것이다.

[0039] 도 2k에 도시된 바와 같이, 일부 실시예들에 따라서, 부동태화 층(236) 위에 연결부들(238)이 형성된다. 연결부들(238)은 부동태화 층(236)의 개구부들(미도시)을 통해서 재분배 구조물의 본드 패드들(미도시) 상에 장착(또는 본딩)될 수 있을 것이다. 연결부들(238)의 일부가 재분배 층(235)을 통해서 반도체 다이들(222) 중 하나에 전기적으로 연결된다. 연결부들(238)의 일부가 재분배 층(235) 및 TPVs(212') 중 하나를 통해서 다른 요소들에 전기적으로 연결된다. 연결부들(238)이 뿔뿔(bumps)을 포함할 수 있을 것이다. 언더 뿔뿔 메탈러지(under bump metallurgy; UBM) 층(미도시)이 연결부들(238) 아래에 형성될 수 있을 것이다.

[0040] 일부 실시예들에 따라서, 도 2l에 도시된 바와 같이, 연결부들(238)이 형성된 후에, 도 2k에 도시된 구조물이 뒤집히고(flipped) 캐리어(240)로 부착되며 캐리어 기판(200)이 제거된다. 캐리어(240)는 감광성 또는 열-감응형인 테이프를 포함하고 연결부들(238)로부터 용이하게 탈착된다. 캐리어 기판(200) 및 접착제 층(202) 모두가 제거된다. 접착제 층(202)을 제거하여 캐리어 기판(200)을 또한 제거하기 위해서, 적절한 광이 제공된다.

[0041] 일부 실시예들에 따라서, 도 2M에 도시된 바와 같이, 보호 막(242)이 베이스 층(204) 위에 부착된다. 캐리어 기판(200)이 제거된 후에, 도 2l에 도시된 구조물의 굽힘(warp)이 발생할 수 있을 것이다. 보호 막(242)을 이용하여 굽힘을 방지할 수 있을 것이고, 그에 따라 후속 패키징 프로세스들이 매끄럽게 실시될 수 있다. 보호 막(242)은 뿔뿔 레지스트 필름, 아지노모토 축적 막(ABF), 후방측 적층 막(예를 들어, 칩 후방측 코팅 테이프), 또는 다른 적합한 막들을 포함할 수 있을 것이다. 그러나, 일부 다른 실시예들에서, 보호 막(242)이 형성되지 않는다.

[0042] 일부 실시예들에 따라서, 도 2n에 도시된 바와 같이, 보호 막(242) 및 베이스 층(204)의 일부가 제거되어 시드 층(206)과 같은 재분배 층을 노출시키는 개구부들(244)을 형성한다. 일부 실시예들에서, 레이저 드릴 프로세스를 실시하여 개구부들(244)을 형성한다. 에칭 프로세스와 같은 다른 적합한 프로세스들을 또한 이용하여 개구부들을 형성할 수 있을 것이다.

- [0043] 일부 실시예들에 따라서, 개구부들(244)이 형성된 후에, 에칭 프로세스를 실시하여 노출된 시드 층(206)의 상부 부분을 제거한다. 일부 실시예들에서, 시드 층(206)은 Cu 층 및 Ti 층과 같은 복수의 층들을 포함한다. 전술한 에칭 프로세스를 이용하여 Ti 층을 부분적으로 제거하고, 그에 따라 Cu 층을 노출시킨다. 그러나, 일부 다른 실시예들에서, 전술한 에칭 프로세스가 실시되지 않는다.
- [0044] 일부 실시예들에 따라서, 그 후에, 다이싱(dicing) 프로세스를 실시하여 서로 분리된 많은 수의 다이 패키지들을 형성하고, 다이 패키지들 중 하나를 도 2o에 도시하였다. 캐리어(240)가 또한 제거될 수 있을 것이다. 일부 실시예들에서, 뱀납 페이스트, 플럭스, 유기 뱀납가능성 보존(OSP) 층, 등이 패드 보호를 위해서 노출된 시드 층(206) 위에 형성된다.
- [0045] 일부 실시예들에 따라서, 도 2p에 도시된 바와 같이, 반도체 다이(246)가 도 2o에 도시된 구조물 위에 적층되어 다이 패키지(230)(또는 패키지 구조물)를 형성한다. 반도체 다이(246)는 부동태화 층(248), 전도성 패드들(250), 및 연결부들(252)을 포함한다. 일부 실시예들에서, 연결부들(252)은 Cu 필라들(pillars)과 같은 전도성 필라들이다. 반도체 다이(246)가 뱀납 재료(254)를 통해서 시드 층(206)에 본딩될 수 있을 것이다. 리플로우 프로세스를 실시하여 본딩을 달성할 수 있을 것이다. 일부 실시예들에서, 금속간 화합물(IMC)(256)이 뱀납 재료(254)와 시드 층(206) 사이에 형성된다.
- [0046] 일부 실시예들에 따라서, 도 2q에 도시된 바와 같이, 다이 패키지(310)가 다이 패키지(320)에 본딩된다. 다이 패키지(310)는 도 1b에 도시된 다이 패키지(110)와 유사할 수 있을 것이다. 다이 패키지(310)는 2개의 반도체 다이들(262 및 264)을 포함하고, 반도체 다이(262)가 반도체 다이(264) 위에 위치된다. 반도체 다이들(262 및 264)이, 반도체 다이들에 대해서 전술한 바와 같이, 여러 가지 소자 요소들을 포함할 수 있을 것이다. 일부 실시예들에서, 반도체 다이들(262 및 264)이 DRAM 다이들이다. 반도체 다이(264)가, 도 1b에 도시된 기관(105)과 유사한 기관(270)에 본딩된다.
- [0047] 일부 실시예들에 따라서, 반도체 다이들(262 및 264)은 본딩 와이어들(266) 및 전도성 요소들(268)을 통해서 기관(270) 내의 전도성 요소들(272)에 전기적으로 그리고 상응하게 연결된다. 다이 패키지(310)는 또한, 반도체 다이들(262 및 264) 및 본딩 와이어들(266)을 커버하는 몰딩 화합물(258)을 포함한다. 많은 수의 연결부들(260)이 연결들을 위해서 다이 패키지(310)와 다이 패키지(320) 사이에 형성된다. 연결부들(260)이 금속 패드들(274) 상에 형성된다. 연결부들(260)은 리플로우 프로세스를 이용하여 형성되는 뱀납 범프들을 포함한다.
- [0048] 일부 실시예들에 따라서, 도 2r에 도시된 바와 같이, 다이 패키지(310)와 다이 패키지(320) 사이에서 언더필(fill)(276)이 충전된다. 언더필(276)은 수지 재료로 제조될 수 있을 것이고 연결부들(260)을 보호하기 위해서 이용될 수 있을 것이다.
- [0049] 일부 실시예들에 따라서, 패키지 구조물 및 패키지 구조물을 형성하기 위한 방법이 제공된다. 패키지 구조물은, 하나 이상의 반도체 다이들을 캡슐화하는 몰딩 화합물을 통해서 침투하는 패키지 관통 비아들을 포함한다. 계면 층이 상기 몰딩 화합물과 패키지 관통 비아들 사이에 형성되어, 상기 몰딩 화합물과 상기 패키지 관통 비아 사이에 균열이 실질적으로 형성되지 않도록 보장한다. 그에 따라, 패키지 구조물의 성능 및 신뢰성이 상당히 개선된다.
- [0050] 일부 실시예들에 따라서, 패키지 구조물이 제공된다. 패키지 구조물은 반도체 다이 및 상기 반도체 다이를 부분적으로 또는 완전히 캡슐화하는 몰딩 화합물을 포함한다. 상기 패키지 구조물은 또한 몰딩 화합물 내의 패키지 관통 비아를 포함한다. 상기 패키지 구조물은 상기 패키지 관통 비아와 상기 몰딩 화합물 사이의 계면 층을 더 포함한다. 상기 계면 층은 절연 재료를 포함하고 상기 몰딩 화합물과 직접적으로 접촉한다.
- [0051] 일부 실시예들에 따라서, 패키지 구조물이 제공된다. 상기 패키지 구조물은 반도체 다이 및 상기 반도체 다이를 적어도 부분적으로 캡슐화하는 몰딩 화합물을 포함한다. 상기 패키지 구조물은 또한 상기 몰딩 화합물 내에서 많은 수의 패키지 관통 비아들을 포함한다. 상기 패키지 구조물은 상기 패키지 관통 비아들과 상기 몰딩 화합물 사이의 계면 층을 더 포함한다. 상기 계면 층은 폴리머 재료를 포함하고 상기 몰딩 화합물과 직접적으로 접촉한다.
- [0052] 일부 실시예들에 따라서, 패키지 구조물을 형성하기 위한 방법이 제공된다. 상기 방법은 베이스 층, 재분배 층, 및 복수의 전도성 컬럼들을 캐리어 기관 위에 형성하는 단계를 포함한다. 상기 방법은 또한 상기 전도성 컬럼들의 측벽들 위에 계면 층을 성막하는 단계 및 상기 재분배 층 위에 반도체 다이를 배치하는 단계를 포함한다. 상기 계면 층은 절연 재료를 포함한다. 상기 방법은 상기 반도체 다이, 상기 전도성 컬럼, 및 상기 계면 층을 부분적으로 또는 완전히 캡슐화하기 위해서 몰딩 화합물을 형성하는 단계를 더 포함한다. 상기 몰딩 화합물은 상

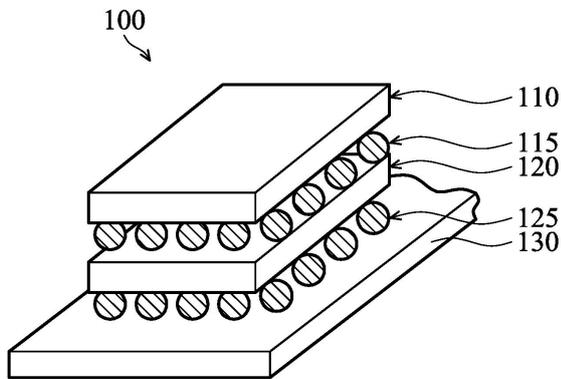
기 계면 층과 직접적으로 접촉한다. 또한, 상기 방법은 상기 반도체 컬럼들 및 상기 반도체 다이 위에 제 2 재분배 층을 형성하는 단계 및 상기 캐리어 기판을 제거하는 단계를 포함한다.

[0053]

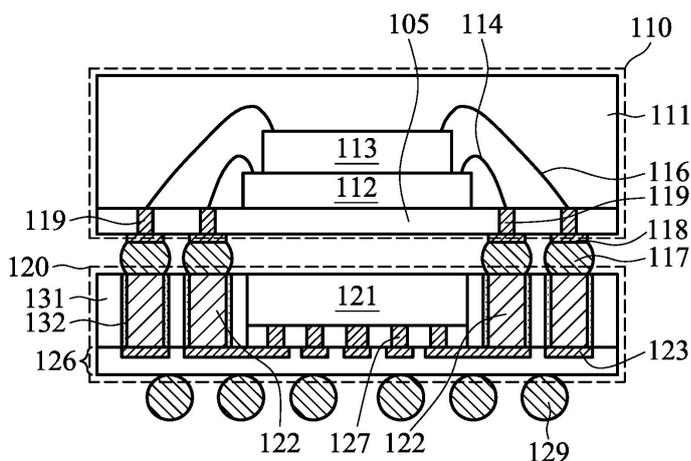
비록 실시예들 및 그 장점들을 구체적으로 설명하였지만, 첨부된 청구항들에 의해서 규정된 바와 같은 실시예들의 사상 및 범위로부터 벗어나지 않고도, 여러 가지 변화들, 치환들, 및 변경들이 여기에서 만들어질 수 있다는 것을 이해하여야 할 것이다. 또한, 본원의 범위는 명세서에 기술된 프로세스, 기계, 제조, 물질의 조성, 수단들, 방법들 및 단계들의 특별한 실시예들로 제한되지 않을 것이다. 본원의 개시 내용으로부터, 본원에서 개시된 상응하는 실시예들과 실질적으로 동일한 결과를 달성하는 또는 실질적으로 동일한 기능을 실시하는, 기존의 또는 추후에 개발되는 프로세스, 기계들, 제조, 물질의 조성들, 수단들, 방법들, 또는 단계들이 본원 개시 내용에 따라서 이용될 수 있을 것임을 당업자는 용이하게 이해할 수 있을 것이다. 따라서, 첨부된 청구항들은 그러한 프로세스들, 기계들, 제조, 물질의 조성들, 수단들, 방법들, 또는 단계들을 그 범위 내에 포함하도록 의도된 것이다. 또한, 각각의 청구항은 독립적인 실시예를 구성하고, 그리고 여러 가지 청구항들 및 실시예들의 조합이 본원 개시 내용의 범위에 포함된다.

도면

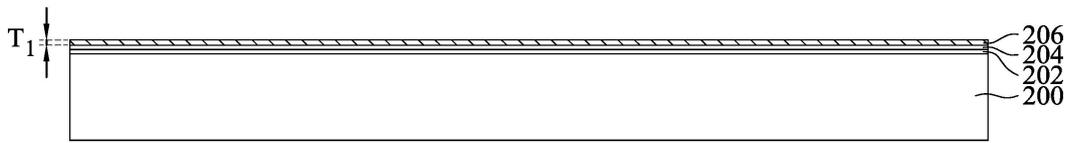
도면1a



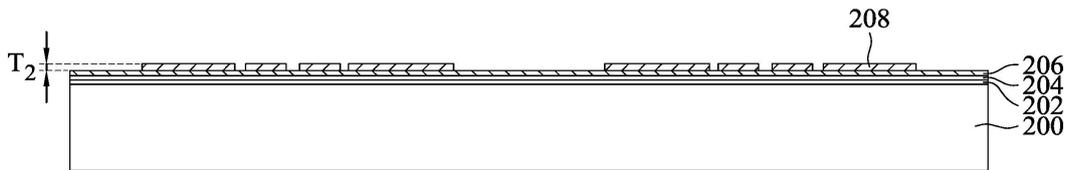
도면1b



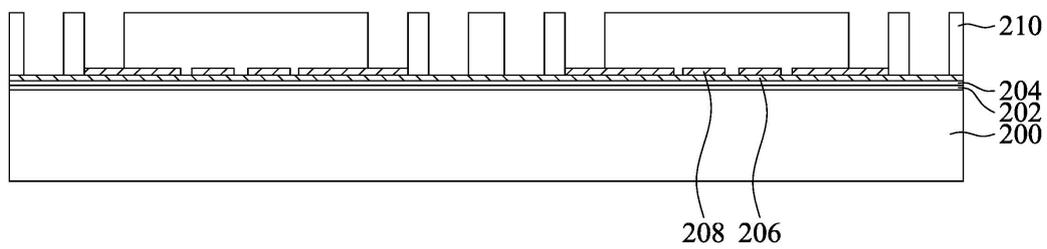
도면2a



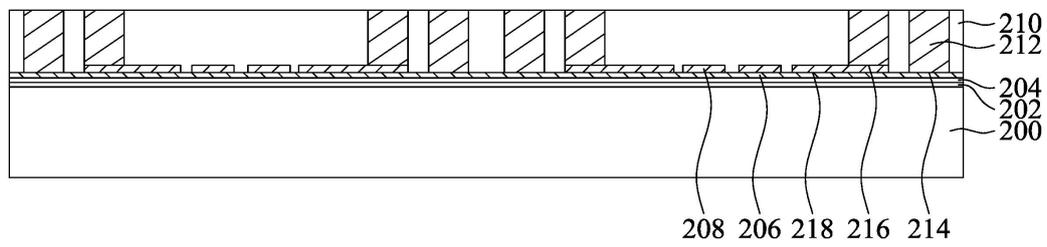
도면2b



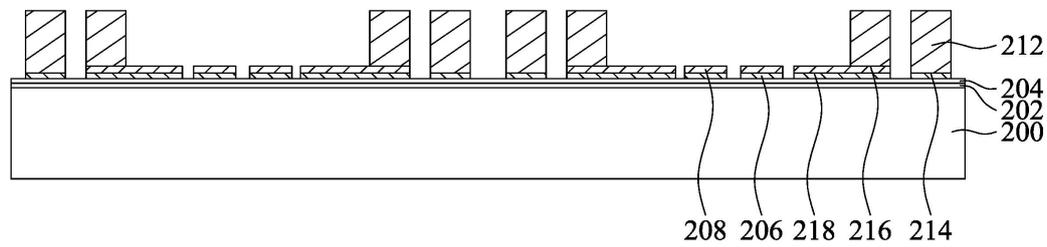
도면2c



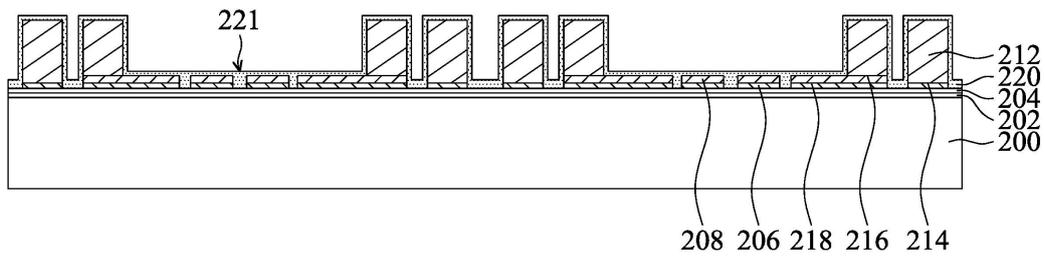
도면2d



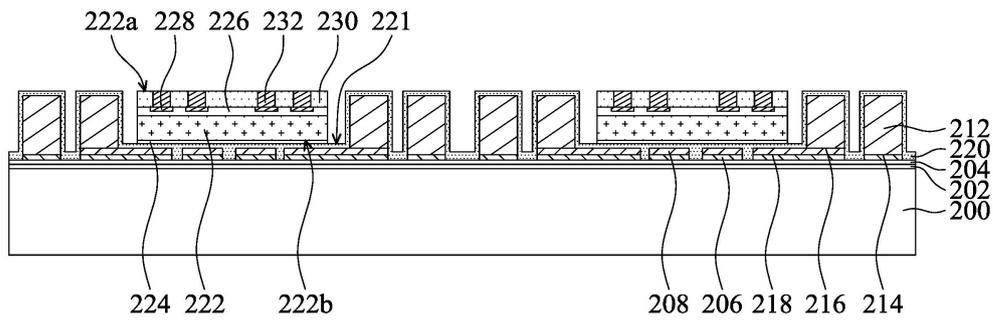
도면2e



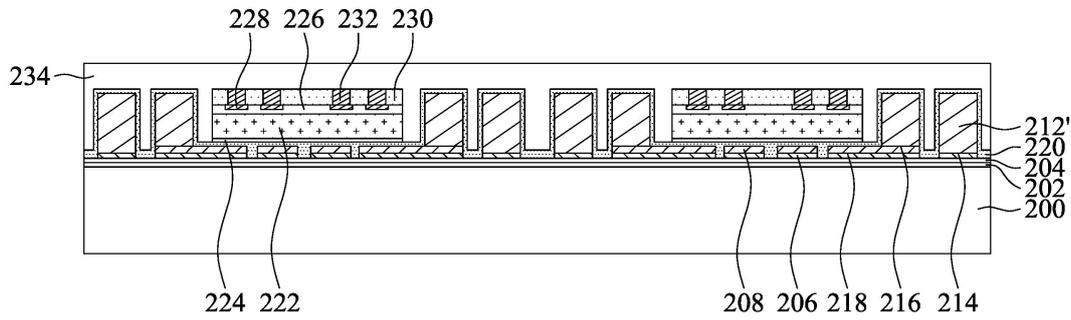
도면2f



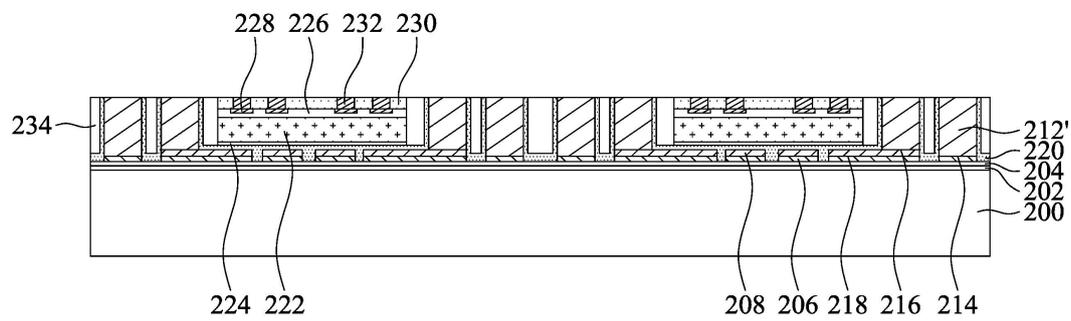
도면2g



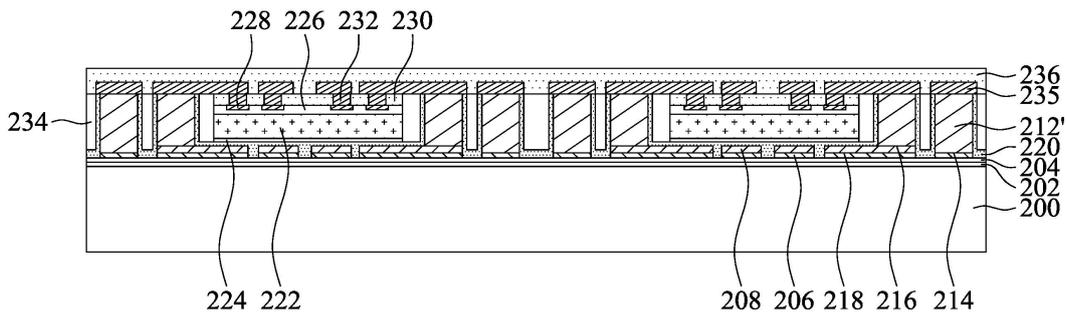
도면2h



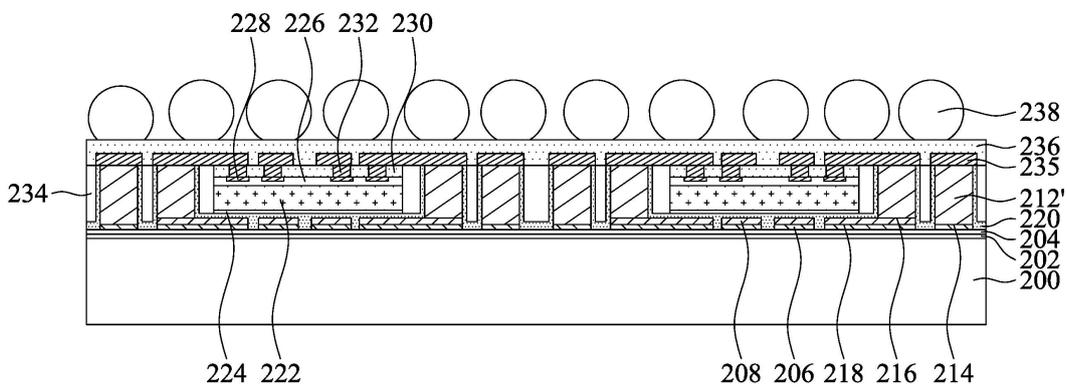
도면2i



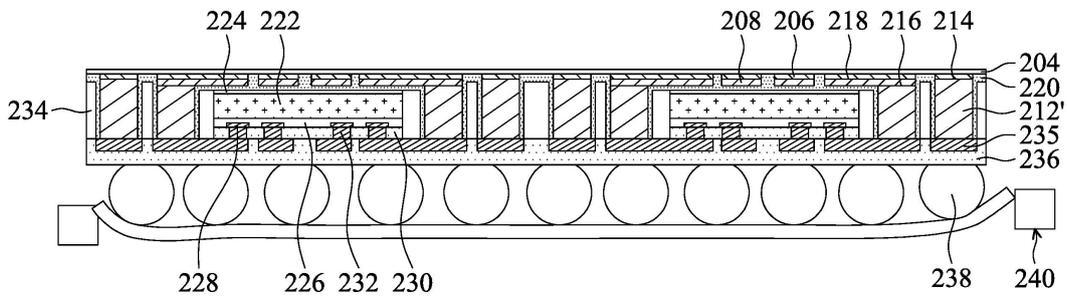
도면2j



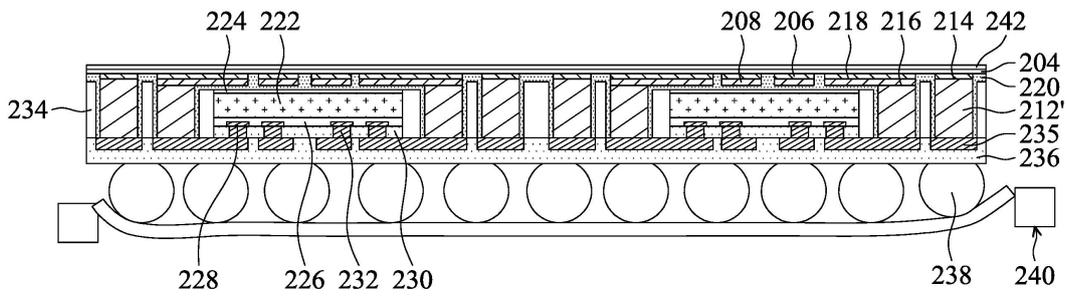
도면2k



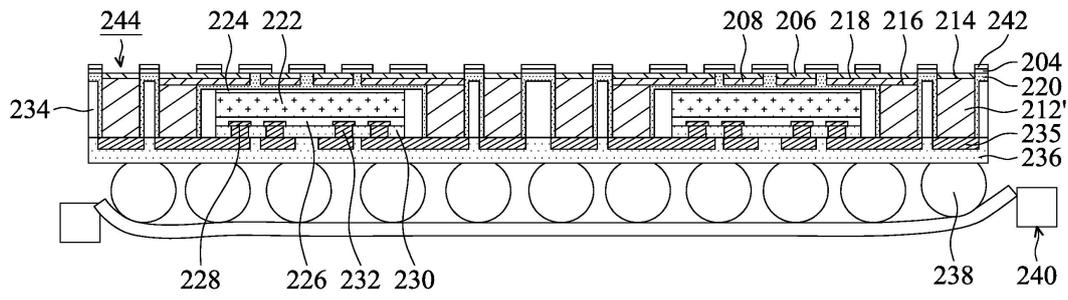
도면2l



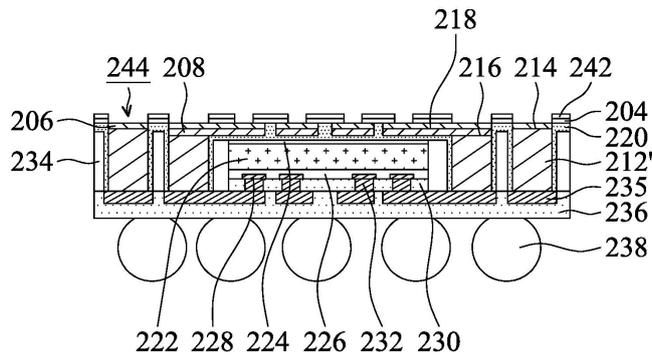
도면2m



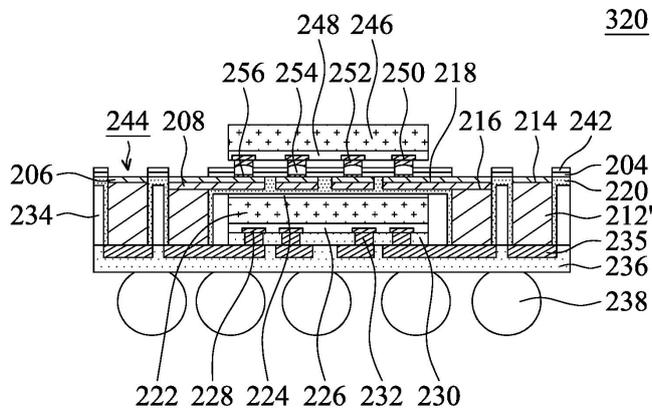
도면2n



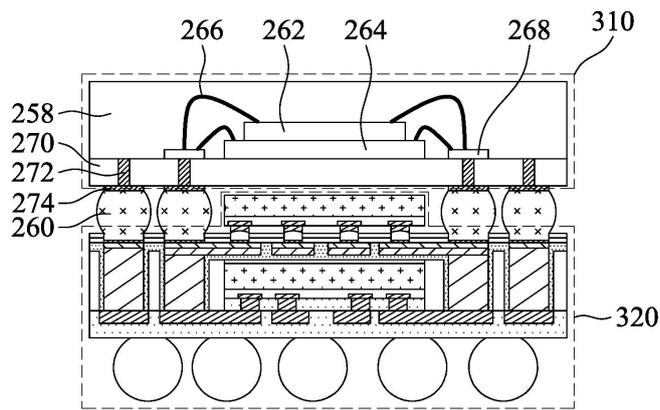
도면2o



도면2p



도면2q



도면2r

