



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0125069
(43) 공개일자 2022년09월14일

(51) 국제특허분류(Int. Cl.)

H01L 21/66 (2006.01)

(52) CPC특허분류

H01L 22/30 (2013.01)

H01L 22/12 (2013.01)

(21) 출원번호 10-2021-0029022

(22) 출원일자 2021년03월04일

심사청구일자 2021년03월04일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

유현용

서울특별시 서초구 신반포로 270(반포동, 반포자이)

손무영

서울특별시 동대문구 제기로4길 45(제기동, 더리빙플러스)

정승근

서울특별시 송파구 올림픽로35가길 9(신천동, 잠실푸르지오월드마크)

(74) 대리인

특허법인주연케이알피

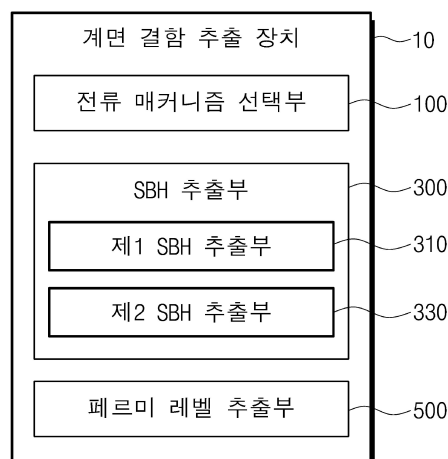
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 소스/드레인 금속 접촉 형성 시 발생하는 계면 결함의 특성을 추출하는 계면 결함 추출 장치 및 그 동작 방법

(57) 요약

본 발명은 계면 결함 추출 장치에 관한 것이며, 보다 상세하게는 소스/드레인 금속 접촉 형성 시 발생하는 계면 결함의 특성을 추출하는 계면 결함 추출 장치에 관한 것이다. 본 발명의 일 실시예에 따른 계면 결함 추출 장치는 반도체 접촉 계면의 도핑 농도에 따라 전류 매커니즘을 선택하는 전류 매커니즘 선택부, 상기 전류 매커니즘에 기초하여 쇼트키 장벽 높이(schottky barrier height; SBH)를 추출하는 SBH 추출부, 및 상기 고유 쇼트키 장벽 높이와 컨덕션 밴드의 최소값의 차이에 기초하여 페르미 레벨을 추출하는 페르미 레벨 추출부를 포함한다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호	1711121315
과제번호	2020M3F3A2A01082329
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(R&D)
연구과제명	저온 공정 기반 Si/SiGe M3D 집적 소자 및 회로 플랫폼 기술개발
기 여 율	1/2
과제수행기관명	고려대학교
연구기간	2020.07.01 ~ 2020.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711112659
과제번호	2020R1A2C2004029
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	차세대 반도체 소자를 위한 steep switching 특성 기반의 Hybrid Conductance Transition Steep Switching (HYCOS) FET 소자 개발
기 여 율	1/2
과제수행기관명	고려대학교
연구기간	2021.03.01 ~ 2022.02.28

명세서

청구범위

청구항 1

반도체 접촉 계면의 도핑 농도에 따라 전류 매커니즘을 선택하는 전류 매커니즘 선택부;

상기 전류 매커니즘에 기초하여 쇼트키 장벽 높이(schottky barrier height; SBH)를 추출하는 SBH 추출부; 및

상기 고유 쇼트키 장벽 높이와 컨덕션 밴드의 최소값의 차이에 기초하여 페르미 레벨을 추출하는 페르미 레벨 추출부를 포함하는, 계면 결함 추출 장치.

청구항 2

제1항에 있어서,

상기 SBH 추출부는,

상기 전류 매커니즘에 기초한 접촉 저항 식과 실험적으로 추출한 접촉 저항을 이용하여 제1 쇼트키 장벽 높이(schottky barrier height; SBH)를 추출하는 제1 SBH 추출부; 및

상기 추출된 제1 쇼트키 장벽 높이에서 이미지 전하 장벽 저하(image charge barrier lowering) 효과를 제거하여, 제2 쇼트키 장벽 높이를 추출하는 제2 SBH 추출부를 포함하는, 계면 결함 추출 장치.

청구항 3

제2항에 있어서,

상기 제1 쇼트키 장벽 높이는 물질 계면에 존재하는 도펀트(dopant)들로 인해 변조(modulation)된 쇼트키 장벽 높이인, 계면 결함 추출 장치.

청구항 4

제2항에 있어서,

상기 이미지 전하 장벽 저하 효과는 상기 제2 쇼트키 장벽 높이를 감소시키는 효과인, 계면 결함 추출 장치.

청구항 5

제2항에 있어서,

상기 SBH 추출부는 TLM(transmission line method) 패턴 측정방법을 통해 상기 접촉 저항을 추출하는, 계면 결함 추출 장치.

청구항 6

제1항에 있어서,

상기 전류 매커니즘 선택부는 실험적으로 상기 반도체 접촉 계면의 도핑 농도를 추출하는, 계면 결함 추출 장치.

청구항 7

제6항에 있어서,

상기 반도체 접촉 계면의 도핑 농도는 SIMS (Secondary Ion Mass Spectroscopy) 분석 방법으로 추출하는, 계면 결함 추출 장치.

청구항 8

제6항에 있어서,

상기 전류 메커니즘은 전계 방출(Field Emission) 메커니즘 및 열이온 전계 방출(Thermionic Field Emission) 메커니즘 중 적어도 하나인, 계면 결합 추출 장치.

청구항 9

제1항에 있어서,

상기 페르미 레벨은 밴드갭 에너지 영역 내에서 계면 상태 밀도가 최대값을 나타내는 에너지 레벨과 같은, 계면 결합 추출 장치.

청구항 10

계면 결합 추출 장치의 동작방법에 있어서,

반도체 접촉 계면의 도핑 농도에 따라 전류 메커니즘을 선택하는 단계;

상기 전류 메커니즘에 기초하여 쇼트키 장벽 높이(schottky barrier height; SBH)를 추출하는 단계; 및

상기 쇼트키 장벽 높이와 컨덕션 밴드의 최소값의 차이에 기초하여 페르미 레벨을 추출하는 단계를 포함하는 계면 결합 추출 장치의 동작방법.

청구항 11

제10항에 있어서,

상기 전류 메커니즘에 기초하여 쇼트키 장벽 높이를 추출하는 단계는,

상기 전류 메커니즘에 기초한 접촉 저항 식과 실험적으로 추출한 접촉 저항을 비교하여 제1 쇼트키 장벽 높이(schottky barrier height; SBH)를 추출하는 제1 SBH 추출 단계; 및

상기 추출된 제1 쇼트키 장벽 높이에서 이미지 전하 장벽 저하(image charge barrier lowering) 효과를 제거하여, 제2 쇼트키 장벽 높이를 추출하는 제2 SBH 추출 단계를 포함하는, 계면 결합 추출 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 계면 결합 추출 장치에 관한 것이며, 보다 상세하게는 소스/드레인 금속 접촉 형성 시 발생하는 계면 결합의 특성을 추출하는 계면 결합 추출 장치에 관한 것이다.

배경 기술

[0002] 현재 상용화 되어 있는 MOSFET 반도체 소자는 전류가 흐를 수 있는 채널 형성을 위한 게이트 (gate) 와 이를 통해 전류를 전달시키는 역할의 소스와 드레인 (source와 drain)으로 이루어져 있으며, DRAM, CPU 등 다양한 반도체 제품들에서 CMOS 스위칭 소자로 사용되고 있다.

[0003] 그러나, 지속적인 반도체 소자의 scaling down이 진행되며, 소스/드레인 금속 접촉 계면 특성이 반도체 소자의 전류 특성에 대한 영향력이 증가하고 있다. 일반적으로 접촉 계면 특성으로서 접촉 저항이 지표로 사용되고 있으며, 접촉 금속 물질과 소스/드레인 사이의 Schottky Barrier Height (SBH)가 접촉 저항을 결정할 수 있는 요소이다.

[0004] 따라서, 소자 소형화가 진행되면서, 접촉 저항 특성을 향상시키기 위한 정밀한 접촉 설계가 중요해지고 있으며, 소스/드레인 접촉 기술에 대해 SBH와 같은 접촉 계면 특성의 정확한 예측이 더욱 필요해지고 있다.

[0005] 반면, 현재 Silicide 접촉 기술의 SBH 예측의 경우, 기존 금속-반도체 접촉 기술의 SBH 모델링인 Metal Induced Gap States (MIGS) 이론 모델링과는 다른 결과를 띄고 있어, 현재 상용화된 소스/드레인 접촉 기술인 Silicide 접촉 기술에 대한 D_{it} 특성 (D_{it} energy peak)에 대한 추출이 중요해지고 있다.

발명의 내용

해결하려는 과제

[0006] 본 출원은 계면 결함 추출 장치를 제공함으로써, silicide 접촉 기술에 대해 해당 계면에서 발생하는 SBH와 계면 결함의 최대가 나타나는 에너지 레벨을 추출하도록 하는 것에 목적이 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 계면 결함 추출 장치는 반도체 접촉 계면의 도핑 농도에 따라 전류 매커니즘을 선택하는 전류 매커니즘 선택부, 상기 전류 매커니즘에 기초하여 쇼트키 장벽 높이(schottky barrier height; SBH)를 추출하는 SBH 추출부, 및 상기 고유 쇼트키 장벽 높이와 컨덕션 밴드의 최소값의 차이에 기초하여 페르미 레벨을 추출하는 페르미 레벨 추출부를 포함한다.

[0008] 본 발명의 일 실시예에 있어서, 상기 SBH 추출부는, 상기 전류 매커니즘에 기초한 접촉 저항 식과 실험적으로 추출한 접촉 저항을 이용하여 제1 쇼트키 장벽 높이(schottky barrier height; SBH)를 추출하는 제1 SBH 추출부, 및 상기 추출된 제1 쇼트키 장벽 높이에서 이미지 전하 장벽 저하(image charge barrier lowering) 효과를 제거하여, 제2 쇼트키 장벽 높이를 추출하는 제2 SBH 추출부를 포함할 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 제1 쇼트키 장벽 높이는 물질 계면에 존재하는 도펀트(dopant)들로 인해 변조(modulation)된 쇼트키 장벽 높이일 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 이미지 전하 장벽 저하 효과는 상기 제2 쇼트키 장벽 높이를 감소시키는 효과일 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 SBH 추출부는 TLM(transmission line method) 패턴 측정방법을 통해 상기 접촉 저항을 추출할 수 있다.

[0012] 본 발명의 일 실시예에 있어서, 상기 전류 매커니즘 선택부는 실험적으로 상기 반도체 접촉 계면의 도핑 농도를 추출할 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 반도체 접촉 계면의 도핑 농도는 SIMS (Secondary Ion Mass Spectroscopy) 분석 방법으로 추출할 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 상기 전류 매커니즘은 전계 방출(Field Emission) 매커니즘 및 열이온 전계 방출(Thermionic Field Emission) 매커니즘 중 적어도 하나일 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 페르미 레벨은 밴드갭 에너지 영역 내에서 계면 상태 밀도가 최대값을 나타내는 에너지 레벨과 같을 수 있다.

[0016] 본 발명의 일 실시예에 따른 계면 결함 추출 장치의 동작방법에 있어서, 반도체 접촉 계면의 도핑 농도에 따라 전류 매커니즘을 선택하는 단계, 상기 전류 매커니즘에 기초하여 쇼트키 장벽 높이(schottky barrier height; SBH)를 추출하는 단계, 및 상기 쇼트키 장벽 높이와 컨덕션 밴드의 최소값의 차이에 기초하여 페르미 레벨을 추출하는 단계를 포함한다.

[0017] 본 발명의 일 실시예에 있어서, 상기 전류 매커니즘에 기초하여 쇼트키 장벽 높이를 추출하는 단계는, 상기 전류 매커니즘에 기초한 접촉 저항 식과 실험적으로 추출한 접촉 저항을 비교하여 제1 쇼트키 장벽 높이(schottky barrier height; SBH)를 추출하는 제1 SBH 추출 단계, 및 상기 추출된 제1 쇼트키 장벽 높이에서 이미지 전하 장벽 저하(image charge barrier lowering) 효과를 제거하여, 제2 쇼트키 장벽 높이를 추출하는 제2 SBH 추출 단계를 포함할 수 있다.

발명의 효과

[0018] 본 발명의 일 실시예에 따른 계면 결함 추출 장치는 silicide 접촉 기술에 대해 해당 계면에서 발생하는 SBH와 계면 결함의 최대가 나타나는 에너지 레벨을 추출하도록 할 수 있다.

[0019] 본 발명의 일 실시예에 따른 계면 결함 추출 장치는 높은 스케일 장치 제작시 반도체 계면 결함 설계에 유용하게 작용하도록 할 수 있다.

[0020] 본 발명의 일 실시예에 따른 계면 결함 추출 장치는 예측한 결과를 토대로 접촉 물질을 선택할 수 있어, 낮은 접촉 저항 설계가 가능하도록 할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 실리사이드 접촉 시 발생하는 계면 상태를 보여주는 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 계면 결함 장치를 도시한 블록도이다.
- 도 3은 본 발명의 일 실시예에 따른 최대 계면 상태 밀도의 에너지 레벨과 제1 원리 계산에 따른 최대 계면 상태 밀도의 에너지 레벨을 비교한 결과를 보여주는 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 계면 결장 장치의 동작을 나타낸 순서도이다.
- 도 5는 본 발명의 일 실시예에 따른 전류 매커니즘 선택부의 동작을 나타낸 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부된 도면을 참조하여 본 개시(present disclosure)를 설명한다. 본 개시는 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들이 도면에 예시되고 관련된 상세한 설명이 기재되어 있다. 그러나, 이는 본 개시를 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 개시의 사상 및 기술 범위에 포함되는 모든 변경 및/또는 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용되었다.
- [0023] 본 개시 가운데 사용될 수 있는 "포함한다" 또는 "포함할 수 있다" 등의 표현은 개시된 해당 기능, 동작 또는 구성요소 등의 존재를 가리키며, 추가적인 하나 이상의 기능, 동작 또는 구성요소 등을 제한하지 않는다. 또한, 본 개시에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0024] 본 개시에서 "또는" 등의 표현은 함께 나열된 단어들의 어떠한, 그리고 모든 조합을 포함한다. 예를 들어, "A 또는 B"는, A를 포함할 수도, B를 포함할 수도, 또는 A와 B 모두를 포함할 수도 있다.
- [0025] 본 개시 가운데 "제 1," "제2," "첫째," 또는 "둘째," 등의 표현들이 본 개시의 다양한 구성요소들을 수식할 수 있지만, 해당 구성요소들을 한정하지 않는다. 예를 들어, 상기 표현들은 해당 구성요소들의 순서 및/또는 중요도 등을 한정하지 않는다. 상기 표현들은 한 구성요소를 다른 구성요소와 구분 짓기 위해 사용될 수 있다. 예를 들어, 제1 사용자 기기와 제 2 사용자 기기는 모두 사용자 기기이며, 서로 다른 사용자 기기를 나타낸다. 예를 들어, 본 개시의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0026] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해될 수 있어야 할 것이다.
- [0027] 본 개시에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0028] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 개시에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0029] 도 1은 실리사이드 접촉 시 발생하는 계면 상태를 보여주는 도면이다.
- [0030] 도 1을 참조하면, 실리사이드(Silicide)와 전자로 고도핑된 반도체(semiconductor)가 접촉했을 경우를 나타낸다. 이와 같이, 전자로 고도핑된 반도체와 접촉했을 경우, 쇼트키 장벽 높이(schottky barrier height; SBH)는 컨덕션 밴드(E_C)의 최소값에서 페르미 레벨(E_F)의 위치간의 차이를 의미할 수 있다.
- [0031] 실리사이드(Silicide)와 반도체(semiconductor)가 접촉했을 때, 기존과 마찬가지로 MIGS(Metal Induced Gap States)가 존재할 수 있다. 그러나, 실리사이드 접촉 기술의 경우 기존의 MIGS 이론과는 다르게, 페르미 레벨이

반도체의 E_{CNL} (charge neutrality level)에 고정되지 않고, 다른 에너지 레벨로 페르미 레벨이 고정될 수 있다.

- [0032] 제1 원리 계산에 따르면, 실리사이드(Silicide)와 반도체(semiconductor) 계면에서 발생하는 계면 상태의 단위 면적당 밀도(D_{it})는 MIGS 밀도(D_{MIGS})보다 약 2배 이상 더 크게 추출될 수 있다. 또한, 반도체의 E_{CNL} 에 페르미 레벨을 고정시키는 MIGS와는 달리 접촉한 반도체 금지대역 내부에서 D_{it} 의 최대(peak)가 발생하는 에너지 레벨로 페르미 레벨을 조절하는 상황이 유도될 수 있다.
- [0033] 즉, D_{it} 의 최대(peak)가 발생하는 에너지 레벨이 페르미 레벨을 조절하면서, 접촉 기술의 쇼트키 장벽 높이를 결정할 수 있다. D_{it} 는 접촉 기술의 접촉 특성을 결정하는 중요한 요소로 작용하여, 반도체에 접촉하는 물질마다 상이한 D_{it} 의 특성을 이용하여 물질을 선택할 때 도움을 줄 수 있다.
- [0034] 이때, 제1 원리 계산은 원자의 위치와 종류만을 기초 정보로 이용하여 양자 역학 계산을 수행하는 것을 의미할 수 있다.
- [0035] 도 2는 본 발명의 일 실시예에 따른 계면 결합 장치를 도시한 블록도이다.
- [0036] 도 2를 참조하면, 본 발명의 일 실시예에 따른 계면 결합 장치는 전류 매커니즘 선택부(100), SBH 추출부(300), 및 페르미 레벨 추출부(500)를 포함한다.
- [0037] 계면 결합 장치(10)는 실리사이드 접촉 기술 형성 시, 도펀트 분리(dopant segregation)가 일어나 고도핑 반도체 접촉이 형성될 경우 사용될 수 있다.
- [0038] 전류 매커니즘 선택부(100)는 반도체 접촉 계면의 도핑 농도에 따라 전류 매커니즘을 선택할 수 있다. 전류 매커니즘 선택부(100)는 실험적으로 반도체 접촉 계면의 도핑 농도를 추출할 수 있다. 예를 들어, 반도체 접촉 계면의 도핑 농도는 SIMS(Secondary Ion Mass Spectroscopy) 분석 방법으로 추출할 수 있다.
- [0039] 전류 매커니즘 선택부(100)는 전계 방출(Field Emission) 매커니즘 및 열이온 전계 방출(Thermionic Field Emission) 매커니즘 중 하나를 선택할 수 있다. 예를 들어, 반도체 접촉 계면의 도핑 농도가 $3E20$ 이상일 경우에는 전계 방출(Field Emission) 매커니즘을 선택하고, $1E17$ 이상 $3E20$ 미만 일 경우에는 열이온 전계 방출(Thermionic Field Emission) 매커니즘을 선택할 수 있다.
- [0040] SBH 추출부(300)는 전류 매커니즘 선택부(100)에서 선택된 전류 매커니즘에 기초하여, 쇼트키 장벽 높이(Schottky Barrier Height; SBH)를 추출할 수 있다. SBH 추출부(300)는 제1 SBH 추출부(310)와 제2 SBH 추출부(330)를 포함할 수 있다.
- [0041] 제1 SBH 추출부(310)는 접촉 저항 식과 실험적으로 추출한 접촉 저항을 이용하여 제1 쇼트키 장벽 높이를 추출할 수 있다. 이때, 전류 매커니즘에 따라 전류 밀도 수식이 다르고, 이에 따라 SBH 항을 포함하고 있는 접촉 저항 수식도 다르기 때문에, 접촉 저항 식은 전류 매커니즘에 기초하여 결정될 수 있다. 즉, 제1 SBH 추출부(310)는 전류 매커니즘에 기초한 접촉 저항 식에 실험적으로 추출한 접촉 저항을 대입하여 SBH를 추출할 수 있다.
- [0042] 또한, 실험적으로 추출한 접촉 저항은 실험적으로 TLM(transmission line method) 패턴 측정 방법을 통해 획득할 수 있다.
- [0043] 제1 SBH 추출부(310)의 제1 쇼트키 장벽 높이는 이미지 전하 장벽 저하(image charge barrier lowering) 효과가 포함되어 있을 수 있다. 이때, 이미지 전하 장벽 저하 효과는 물질 계면에 존재하는 도펀트(dopant)들로 인해 고유의 쇼트키 장벽 높이를 변조시키는 효과일 수 있다. 즉, 제1 쇼트키 장벽 높이는 실리콘과 실리사이드가 실리콘쪽에 적층된 도펀트들로 인해 접촉했을 때의 고유 SBH보다 변형이 생긴 쇼트키 장벽 높이일 수 있다.
- [0044] 제2 SBH 추출부(330)는 제1 쇼트키 장벽 높이에서 이미지 전하 장벽 저하 효과를 제거하여, 제2 쇼트키 장벽 높이를 추출할 수 있다. 제2 쇼트키 장벽 높이는 고유의 쇼트키 장벽 높이일 수 있다. 제2 쇼트키 장벽 높이는 이미지 전하 장벽 저하 효과로 인해 높이가 감소되어 있기 때문에, 제2 SBH 추출부(330)에서는 이미지 전하 장벽 저하 효과를 제거할 필요가 있다. 즉, 제1 쇼트키 장벽 높이에서 이미지 전하 장벽 저하 효과를 제거하여 제2 쇼트키 장벽 높이를 추출할 수 있다.
- [0045] 제2 쇼트키 장벽 높이는 수식을 통해 계산될 수 있다. 예를 들어, 수학적 1 및 2을 통해 이미지 전하 장벽 저하 효과로 인해 감소된 SBH의 변화량을 계산할 수 있다.

수학식 1

$$\Delta \Phi_{SBH} = \sqrt{\frac{q E_m}{4\pi \epsilon_s}}$$

[0046]

수학식 2

$$E_m = \frac{e N_d}{\epsilon_s} \left[\frac{2 \epsilon_s (V_{bi} + V_R)}{e N} \right]^{1/2}$$

[0047]

[0048] 이때, $\Delta \Phi_{SBH}$ 는 이미지 전하 장벽 저하 효과에 따른 SBH의 변화량이고, ϵ_s 는 반도체의 유전율이고, E_m 은 계면의 전기장이고, N 은 도핑 농도이고, V_{bi} 는 built in potential barrier이며, V_R 은 역전압 바이어스이다.

[0049] 상기의 수학식 1 및 2를 통해 계산된 SBH 변화량과 제1 SBH 추출부(310)에서 추출된 제1 쇼트키 장벽 높이를 더하면 제2 쇼트키 장벽 높이를 추출할 수 있다.

[0050] 페르미 레벨 추출부(500)는 반도체가 전자로 고도핑 되어 있을 경우, 제2 쇼트키 장벽 높이와 컨덕션 밴드의 최소값의 차이에 기초하여 페르미 레벨을 추출할 수 있다. 반대로, 반도체가 정공으로 고도핑 되어 있을 경우에는, 제2 쇼트키 장벽 높이와 밸런스 밴드의 최대값의 차이에 기초하여 페르미 레벨을 추출할 수 있다.

[0051] 페르미 레벨 추출부(500)를 통해 추출된 페르미 레벨은 밴드갭 에너지 영역 내에서 계면 상태 밀도(interface state density; D_{it})가 최대값을 나타내는 에너지 레벨과 같아, 계면 상태 밀도의 특성을 추출할 수 있다.

[0052] 상술한 바와 같이, 본 발명의 일 실시예에 따른 계면 결함 추출 장치(10)는 반도체 접촉 계면의 도핑 농도에 따라 전류 매커니즘을 선택하고, 전류 매커니즘에 기초하여 쇼트키 장벽 높이를 추출한다. 추출된 쇼트키 장벽 높이와 컨덕션 밴드의 최소값 또는 밸런스 밴드의 최대값 중 적어도 하나와의 차이에 기초하여 페르미 레벨을 추출함으로써, 계면 상태 밀도의 특징을 추출할 수 있다.

[0053] 상기와 같은 구조를 가지는 계면 결함 추출 장치(10)는 silicide 접촉 기술에 대해 해당 계면에서 발생하는 SBH와 계면 결함의 최대가 나타나는 에너지 레벨을 추출하도록 할 수 있다. 또한, 계면 결함 장치는 높은 스케일 장치 제작시 반도체 계면 결함 설계에 유용하게 작용하도록 할 수 있으며, 예측한 결과를 토대로 접촉 물질을 선택할 수 있어, 낮은 접촉 저항 설계가 가능하도록 할 수 있다.

[0054] 도 3은 본 발명의 일 실시예에 따른 최대 계면 상태 밀도의 에너지 레벨과 제1 원리 계산에 따른 최대 계면 상태 밀도의 에너지 레벨을 비교한 결과를 보여주는 도면이다.

[0055] 도 3을 참조하면, 제1 원리 계산을 통해서 계면 상태 밀도를 추출할 수 있다는 것을 확인할 수 있다. 그러나, 제1 원리 계산을 기반으로 계면 상태 밀도를 추출하는 경우, 큰 컴퓨터의 일이 요구된다는 문제점이 있었다.

[0056] 구체적으로, 제1 원리 계산의 경우, 순수 물질이 접촉하였을 때의 상황에 대한 모델링은 정확히 가능하지만, 실질적으로 공정을 통해 발생하는 결함이나 결함은 사용자가 직접 적용해야 하는 번거로움이 있다. 결과적으로, 실제 공정에 따른 원자 단위의 스케일의 원자 결함 배열 및 결함의 존재를 확인하는 것이 어렵기 때문에 사용자가 이에 대한 제1 원리를 기반으로 정확한 계면 모델링이 어렵다는 문제점이 있다.

[0057] 그러나, 도 3을 참조하면, 본 발명의 일 실시예에 따른 계면 결함 추출 장치를 통해 추출한 계면 상태 밀도의 특징과 제1 원리 계산에 따른 계면 상태 밀도의 에너지 레벨이 동일하다는 것을 확인할 수 있었다. 이에 따라, 계면 결함 추출 장치는 계면 모델링을 고려하지 않아도 되며, 정확한 계면 상태 밀도의 특징을 추출할 수 있다.

[0058] 도 4는 본 발명의 일 실시예에 따른 계면 결장 장치의 동작을 나타낸 순서도이다.

[0059] 도 4를 참조하면 S11 단계는 계면 도핑 농도에 기초하여 전류 매커니즘을 선택하는 단계일 수 있다. 예를 들어, 전류 매커니즘 선택부(100)는 실험적으로 반도체 접촉 계면의 도핑 농도를 추출하고 추출된 도핑 농도에 기초하여 전계 방출(Field Emission) 매커니즘 및 열이온 전계 방출(Thermionic Field Emission) 매커니즘 중 하나를

선택할 수 있다.

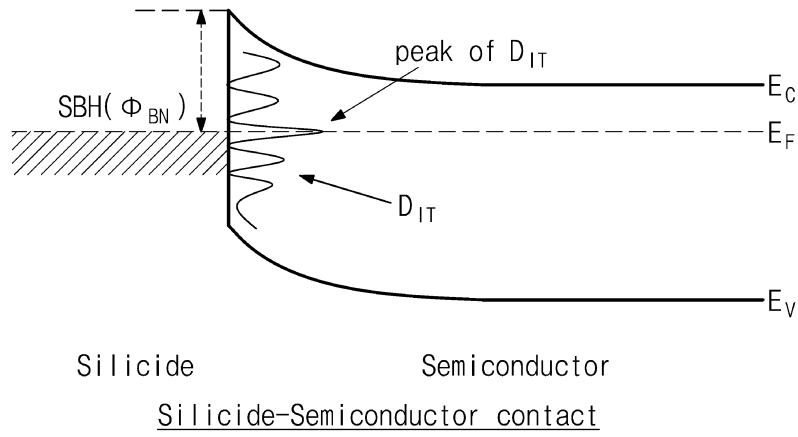
- [0060] S13 단계는 선택된 매커니즘에 기초한 접촉 저항식과 실험적으로 추출한 접촉 저항을 이용하여, 제 쇼트키 장벽 높이(SBH)를 추출하는 단계일 수 있다. 구체적으로, 제1 SBH 추출부는 접촉 저항 식과 실험적으로 추출한 접촉 저항을 이용하여 제1 쇼트키 장벽 높이를 추출할 수 있다.
- [0061] S15 단계는 추출된 쇼트키 장벽 높이에서 이미지 전하 장벽 저하 효과를 제거하여, 쇼트키 장벽 높이를 추출하는 단계일 수 있다. 구체적으로, 제2 SBH 추출부는 제1 쇼트키 장벽 높이에서 이미지 전하 장벽 저하 효과를 제거하여, 제2 쇼트키 장벽 높이를 추출할 수 있다. 제2 쇼트키 장벽 높이는 고유의 쇼트키 장벽 높이일 수 있다.
- [0062] S17 단계는 제2 쇼트키 장벽 높이와 컨덕션 밴드의 최소값 또는 밸런스 밴드의 최대값의 차이에 기초하여, 페르미 레벨을 추출하는 단계일 수 있다. 예를 들어, 반도체가 전자로 고도핑 되어 있을 경우, 제2 쇼트키 장벽 높이와 컨덕션 밴드의 최소값의 차이에 기초하여 페르미 레벨을 추출할 수 있다. 반대로, 반도체가 정공으로 고도핑 되어 있을 경우에는, 제2 쇼트키 장벽 높이와 밸런스 밴드의 최대값의 차이에 기초하여 페르미 레벨을 추출할 수 있다.
- [0063] 이때, 페르미 레벨 추출부를 통해 추출된 페르미 레벨은 밴드갭 에너지 영역 내에서 계면 상태 밀도(interface state density; D_{it})가 최대값을 나타내는 에너지 레벨과 같아, 계면 상태 밀도의 특성을 추출할 수 있다.
- [0064] 도 5는 본 발명의 일 실시예에 따른 전류 매커니즘 선택부의 동작을 나타낸 순서도이다.
- [0065] 도 5를 참조하면, S111 단계는 SIMS(Secondary Ion Mass Spectroscopy) 분석 방법을 통해 반도체 접촉 계면의 도핑 농도 추출하는 단계일 수 있다. 구체적으로, 전류 매커니즘을 선택하기 위해서는 반도체 접촉 계면의 도핑 농도를 추출할 필요가 있다.
- [0066] S113 단계는, 계면의 도핑 농도가 $3E20$ 이상인지의 여부를 판단하는 단계일 수 있다. 예를 들어, 계면의 도핑 농도가 $3E20$ 이상일 경우, S115 단계인 전계 방출(Field Emission) 매커니즘을 선택하는 단계로 넘어갈 수 있으며, 도핑 농도가 $3E20$ 이상이 아닐 경우에는 S117 단계인 열이온 전계 방출(Thermionic Field Emission) 매커니즘을 선택하는 단계로 넘어갈 수 있다. S115 및 S117 단계에 따라 결정된 매커니즘에 기초하여 S13 단계로 넘어갈 수 있다.
- [0067] 상술한 바와 같이, 본 발명의 일 실시예에 따른 계면 결함 추출 장치는 반도체 접촉 계면의 도핑 농도에 따라 전류 매커니즘을 선택하고, 전류 매커니즘에 기초하여 쇼트키 장벽 높이를 추출한다. 추출된 쇼트키 장벽 높이와 컨덕션 밴드의 최소값 또는 밸런스 밴드의 최대값 중 적어도 하나와의 차이에 기초하여 페르미 레벨을 추출함으로써, 계면 상태 밀도의 특징을 추출할 수 있다.
- [0068] 상기와 같은 구조를 가지는 계면 결함 추출 장치는 silicide 접촉 기술에 대해 해당 계면에서 발생하는 SBH와 계면 결함의 최대가 나타나는 에너지 레벨을 추출하도록 할 수 있다. 또한, 계면 결함 장치는 높은 스케일 장치 제작시 반도체 계면 결함 설계에 유용하게 작용하도록 할 수 있으며, 예측한 결과를 토대로 접촉 물질을 선택할 수 있어, 낮은 접촉 저항 설계가 가능하도록 할 수 있다.

부호의 설명

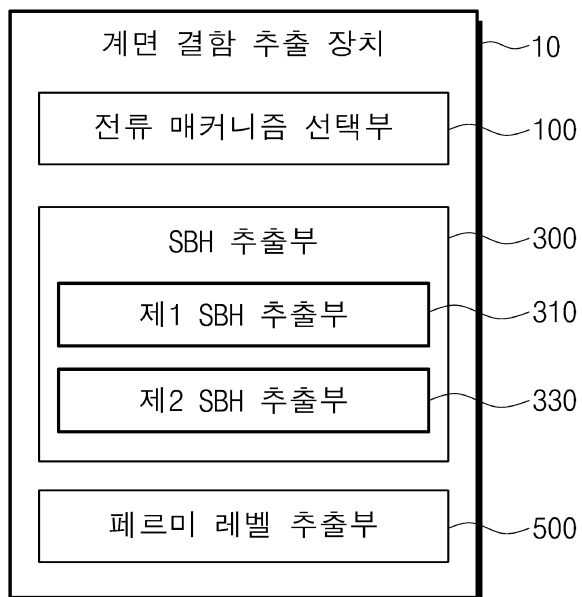
- [0069] 10 : 계면 결함 추출 장치
 100 : 전류 매커니즘 선택부
 300 : SBH 추출부
 310 : 제1 SBH 추출부
 330 : 제2 SBH 추출부
 500 : 페르미 레벨 추출부

도면

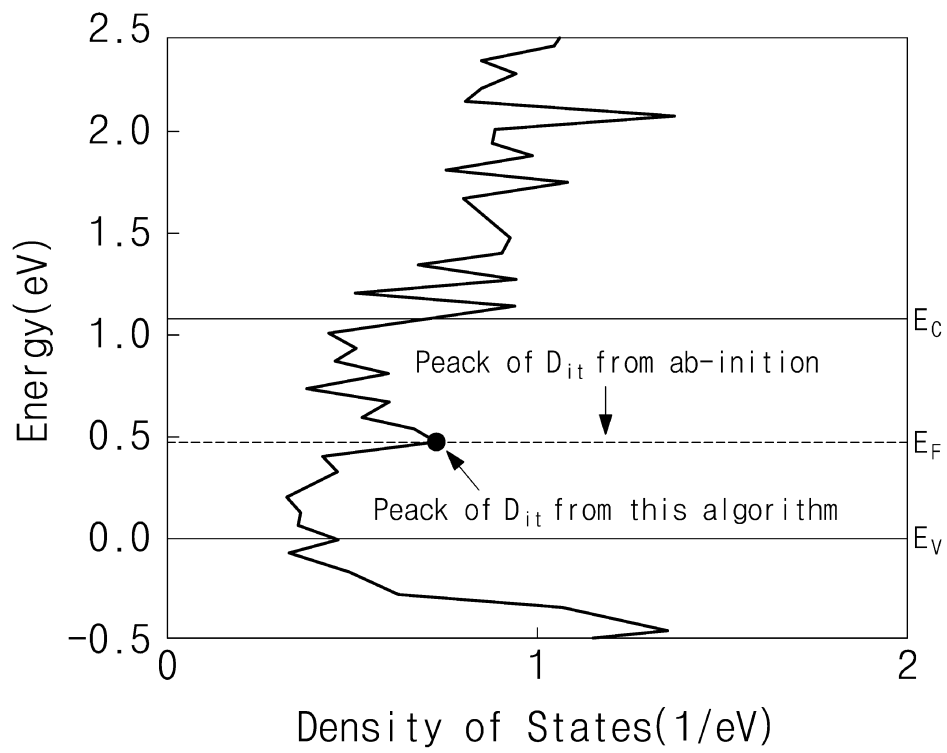
도면1



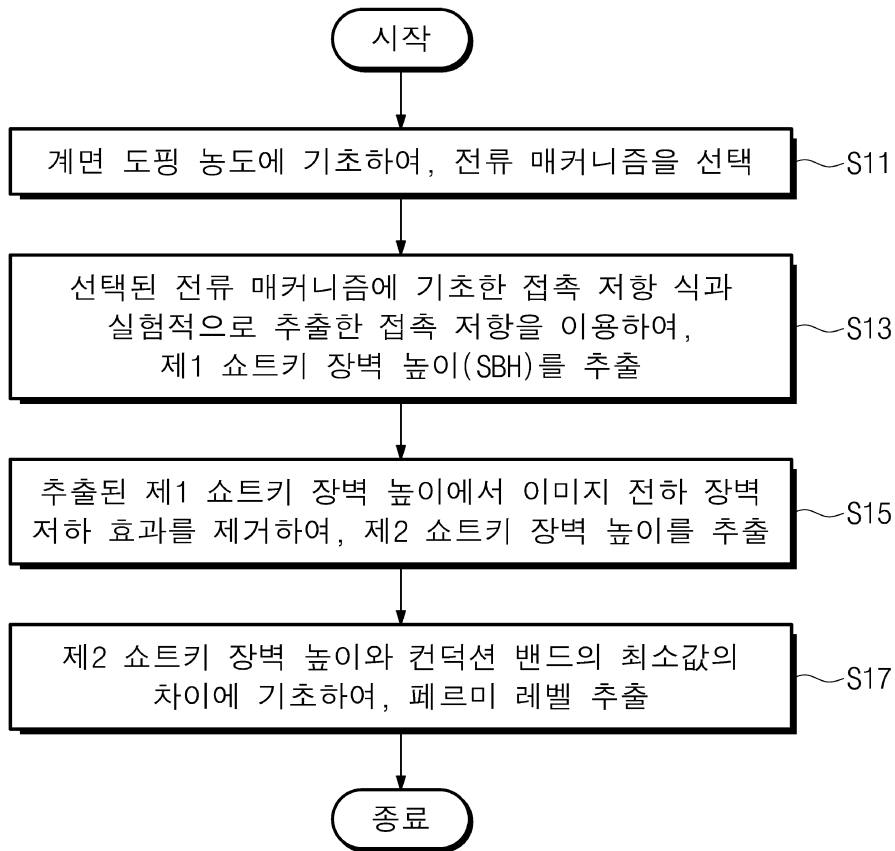
도면2



도면3



도면4



도면5

