

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
【部門区分】 第 6 部門第 4 区分
【発行日】 平成 17 年 5 月 12 日 (2005.5.12)

【公開番号】 特開 2003-228989 (P2003-228989A)
【公開日】 平成 15 年 8 月 15 日 (2003.8.15)
【出願番号】 特願 2003-9048 (P2003-9048)
【国際特許分類第 7 版】
G 1 1 C 17/18
【F I】
G 1 1 C 17/00 3 0 6 Z

【手続補正書】
【提出日】 平成 16 年 6 月 28 日 (2004.6.28)
【手続補正 1】
【補正対象書類名】 明細書
【補正対象項目名】 特許請求の範囲
【補正方法】 変更
【補正の内容】
【特許請求の範囲】
【請求項 1】

データビットをメモリアレイに書き込むための回路であって、
前記回路に接続され、前記回路に電圧電位および電流を供給するための電源と、
論理インバータに接続され、入力されたデータビット値を受信するための入力線と、
前記入力線に接続された第 1 のリードを有する第 1 の複数のトランジスタと、
前記論理インバータの出力に接続された第 1 のリードを有する第 2 の複数のトランジスタと、
前記第 1 および前記第 2 の複数のトランジスタのその他のリードに接続されると共に
前記メモリアレイに接続された複数のセンス線と、
前記第 1 および前記第 2 の複数のトランジスタのその他のリードに接続された複数の
センス増幅器と、
前記メモリアレイに接続されると共に前記センス線に接続され、前記メモリアレイの
アドレス指定されたビットに対して前記データビットの書き込みを可能にする、複数のア
ドレス線と
からなる回路。

【請求項 2】

前記第 1 の複数のトランジスタは第 1 のトランジスタと第 4 のトランジスタとを含み、
該第 1 のトランジスタの第 3 のリードが前記回路に接続された高電位電圧に接続され、
該第 1 のトランジスタの第 2 のリードが前記複数のセンス線のうちの 1 本に接続される、
請求項 2 の回路。

【請求項 3】

前記第 4 のトランジスタの第 2 のリードが前記回路に接続された低電位電圧に接続され、
前記第 4 のトランジスタの第 3 のリードが前記センス線のうちの 1 本に接続される、請
求項 2 の回路。

【請求項 4】

前記第 2 の複数のトランジスタは第 2 のトランジスタと第 3 のトランジスタとを含み、
該第 2 のトランジスタの第 3 のリードが前記複数のセンス線のうちの 1 本に接続され、該
第 2 のトランジスタの第 2 のリードが前記複数のセンス増幅器のうちの 1 つの入力に接続
される、請求項 1 の回路。

【請求項 5】

前記第3のトランジスタの第3のリードが前記複数のセンス増幅器のうちの1つの入力に接続され、前記第3のトランジスタの第2のリードが前記複数のセンス線のうちの1本に接続される、請求項4の回路。

【請求項6】

前記複数のセンス線が行センス線と列センス線とを含み、該行センス線が前記第2の複数のトランジスタのうちの第3のトランジスタの第2のリードに接続され、該行センス線が前記第1の複数のトランジスタのうちの第4のトランジスタの第3のリードに接続される、請求項1の回路。

【請求項7】

前記列センス線が前記第1の複数のトランジスタのうちの第1のトランジスタの第2のリードに接続され、前記列センス線が前記第2の複数のトランジスタのうちの第2のトランジスタの第3のリードに接続される、請求項6の回路。

【請求項8】

前記複数のセンス増幅器が行センス増幅器と列センス増幅器とを含み、該列センス増幅器の入力が前記第2の複数のトランジスタのうちの第2のトランジスタの第2のリードに接続される、請求項1の回路。

【請求項9】

前記行センス増幅器が前記第2の複数のトランジスタのうちの第3のトランジスタの第3のリードに接続される、請求項8の回路。

【請求項10】

前記複数のアドレス線が複数の行アドレス線と複数の列アドレス線とを含み、該複数の行アドレス線が低電圧状態であり且つ該複数の列アドレス線が高電圧状態であるときに、前記メモリアレイの前記アドレス指定されたビットのアドレス指定が有効になる、請求項1の回路。

【請求項11】

前記アドレス指定されたビットがアンチヒューズである場合、前記メモリアレイの前記アドレス指定されたビットへの前記データビットの前記書き込みは、前記アドレス指定されたビットの状態を高抵抗状態から低抵抗状態へ変化させ、前記アドレス指定されたビットがヒューズである場合、前記メモリアレイの前記アドレス指定されたビットへの前記データビットの前記書き込みは、前記アドレス指定されたビットの状態を低抵抗状態から高抵抗状態へ変化させる、請求項1の回路。

【請求項12】

前記アドレス指定されたビットの前記アドレス指定の一部に電力ストライピングが用いられる、請求項10の回路。

【請求項13】

メモリアレイのアドレス指定されたビットにデータビットを書き込むための回路であって、

前記回路に接続され、前記回路に電圧電位および電流を供給するための電源と、

論理インバータに接続され、入力されたデータビット値を受信するための、データビット入力線と、

前記データビット入力線に接続された第1のリードと、列センス線に接続された第2のリードと、正の電圧に接続された第3のリードとを有し、前記正の電圧が前記回路に接続される、第1のトランジスタと、

前記論理インバータの出力に接続された第1のリードと、列センス増幅器の入力に接続された第2のリードと、前記列センス線に接続された第3のリードとを有する、第2のトランジスタと、

前記論理インバータの出力に接続された第1のリードと、行センス線に接続された第2のリードと、行センス増幅器の入力に接続された第3のリードとを有する、第3のトランジスタと、

前記入力線に接続された第1のリードと、負の電圧に接続された第2のリードと、前

記行アドレス線に接続された第3のリードとを有し、前記アドレス指定されたビットへの前記データビットの書き込みを可能にする、第4のトランジスタと
からなる回路。

【請求項14】

前記メモリアレイに接続されると共に前記列センス線に接続された複数の列アドレス線と、前記行センス線に接続された複数の行アドレス線とを更に含み、該複数の列アドレス線が正の電圧であり該複数の行アドレス線が負の電圧であるときに、前記メモリアレイの前記アドレス指定されたビットのアドレス指定が有効になる、請求項13の回路。

【請求項15】

前記アドレス指定されたビットがアンチヒューズである場合は前記アドレス指定されたビットの状態を高抵抗状態から低抵抗状態へ変化させたときに、そして前記アドレス指定されたビットがヒューズである場合は前記アドレス指定されたビットの状態を低抵抗状態から高抵抗状態へ変化させたときに、前記アドレス指定されたビットが「1」の状態に書き込まれる、請求項13の回路。

【請求項16】

負帰還を形成するように接続された前記行センス増幅器および負帰還を形成するように接続された前記列センス増幅器が、前記電圧電位を中間電圧に固定することによりビット「1」の書き込みを無効にし、ビット「1」を書き込まないことで前記アドレス指定されたビットを「0」のまま維持する場合、前記アドレス指定されたビットが「0」の状態に書き込まれる、請求項13の回路。

【請求項17】

前記アドレス指定されたビットの前記アドレス指定の一部に電力ストライピングが用いられる、請求項14の回路。

【請求項18】

データビットをメモリアレイに書き込むための回路であって、

前記回路に接続され、前記回路に電圧電位および電流を供給するための電源と、

前記メモリアレイに接続され、入力されたデータビット値を受信するための入力線と

、

前記入力線に接続された第1のリードを有する第1の複数のトランジスタと、

前記入力線に接続された第1のリードを有し、前記第1の複数のトランジスタに対して相補型の、第2の複数のトランジスタと、

前記第1および前記第2の複数のトランジスタのその他のリードに接続されると共に前記メモリアレイに接続された複数のセンス線と、

前記第1および前記第2の複数のトランジスタのその他のリードに接続された複数のセンス増幅器と、

前記メモリアレイに接続されると共に前記センス線に接続され、前記メモリアレイのアドレス指定されたビットに対する前記データビットの書き込みを可能にする複数のアドレス線と

からなる回路。

【請求項19】

前記第1の複数のトランジスタは第1のトランジスタと第4のトランジスタとを含み、該第1のトランジスタの第3のリードが前記回路に接続された高電位電圧に接続され、該第1のトランジスタの第2のリードが前記複数のセンス線のうちの1本に接続される、請求項18の回路。

【請求項20】

前記第4のトランジスタの第2のリードが前記回路に接続された低電位電圧に接続され、前記第4のトランジスタの第3のリードが前記センス線のうちの1本に接続される、請求項19の回路。

【請求項21】

前記第2の複数のトランジスタは第2のトランジスタと第3のトランジスタとを含み、

該第 2 のトランジスタの第 3 のリードが前記複数のセンス線のうちの 1 本に接続され、該第 2 のトランジスタの第 2 のリードが前記複数のセンス増幅器のうちの 1 つの入力に接続される、請求項 18 の回路。

【請求項 22】

前記第 3 のトランジスタの第 3 のリードが前記複数のセンス増幅器のうちの 1 つの入力に接続され、前記第 3 のトランジスタの第 2 のリードが前記複数のセンス線のうちの 1 本に接続される、請求項 21 の回路。

【請求項 23】

前記複数のセンス線が行センス線と列センス線とを含み、該行センス線が前記第 2 の複数のトランジスタのうちの第 3 のトランジスタの第 2 のリードに接続され、該行センス線が前記第 1 の複数のトランジスタのうちの第 4 のトランジスタの第 3 のリードに接続される、請求項 18 の回路。

【請求項 24】

前記列センス線が前記第 1 の複数のトランジスタのうちの第 1 のトランジスタの第 2 のリードに接続され、前記列センス線が前記第 2 の複数のトランジスタのうちの第 2 のトランジスタの第 3 のリードに接続される、請求項 23 の回路。

【請求項 25】

前記複数のセンス増幅器が行センス増幅器と列センス増幅器とを含み、該列センス増幅器の入力が前記第 2 の複数のトランジスタのうちの第 2 のトランジスタの第 2 のリードに接続される、請求項 18 の回路。

【請求項 26】

前記行センス増幅器が前記第 2 の複数のトランジスタのうちの第 3 のトランジスタの第 3 のリードに接続される、請求項 25 の回路。

【請求項 27】

前記複数のアドレス線が複数の行アドレス線と複数の列アドレス線とを含み、該複数の行アドレス線が低電圧状態であり且つ該複数の列アドレス線が高電圧状態であるときに、前記メモリアレイの前記アドレス指定されたビットのアドレス指定が有効になる、請求項 18 の回路。

【請求項 28】

前記アドレス指定されたビットがアンチヒューズである場合、前記メモリアレイの前記アドレス指定されたビットへの前記データビットの前記書き込みは、前記アドレス指定されたビットの状態を高抵抗状態から低抵抗状態へ変化させ、前記アドレス指定されたビットがヒューズである場合、前記メモリアレイの前記アドレス指定されたビットへの前記データビットの前記書き込みは、前記アドレス指定されたビットの状態を低抵抗状態から高抵抗状態へ変化させる、請求項 18 の回路。

【請求項 29】

前記アドレス指定されたビットの前記アドレス指定の一部に電力ストライピングが用いられる、請求項 27 の回路。