

[51] Int. Cl⁷

G11C 16/06

G11C 16/10

G11C 16/14

H01L 27/115



[12] 发明专利申请公开说明书

[21] 申请号 200410098557. X

[43] 公开日 2005 年 6 月 22 日

[11] 公开号 CN 1629983A

[22] 申请日 2004.12.9

[21] 申请号 200410098557. X

[30] 优先权

[32] 2003. 12. 19 [33] JP [31] 422119/2003

[71] 申请人 株式会社瑞萨科技

地址 日本东京都

[72] 发明人 石丸哲也 山添孝德

[74] 专利代理机构 北京市金杜律师事务所

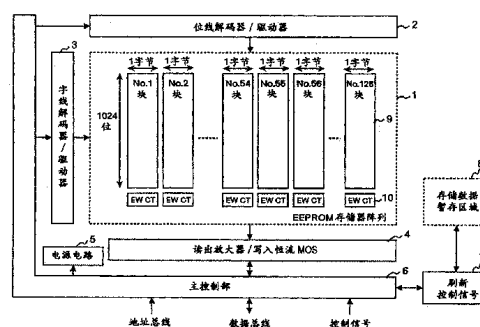
代理人 季向国

权利要求书 2 页 说明书 10 页 附图 13 页

[54] 发明名称 非易失性半导体存储器件

[57] 摘要

本发明提供一种非易失性半导体存储器件，能够防止由写入和擦除时的干扰引起的非选择单元的数据损失。在上述非易失性半导体存储器件中，将在比非易失性存储器的改写单位还大的数据存储块内执行的改写的次数，存储在每个数据存储块中所设置的擦除/写入计数器 EW CT10 中，当擦除/写入计数器 EW CT10 的值大于或等于预先指定的次数时，对与该擦除/写入计数器对应的数据存储块执行刷新操作。通过将数据存储块内的数据暂时保存在数据暂存区域(8)中，将数据存储区域暂存区域的数据擦除，并再次将暂时保存的数据写入数据存储块中，进行刷新操作。



1. 一种非易失性半导体存储器件，其特征在于：

在包括非易失性存储单元的非易失性半导体存储器阵列中，具有
5 一并擦除多个上述非易失性存储单元的擦除块，以及包含多个上述擦除块的刷新块；

设置与上述刷新块数量相同的计数区，该计数区存储在上述刷新块内进行的改写的次数，

每当上述计数区所存储的刷新块内的改写次数达到预先指定的
10 改写次数时，将上述刷新块内的数据保存在另外设置的数据暂存存储器，之后，将上述刷新块内的数据全部擦除，并将上述暂存存储器中保存的数据写入上述刷新块。

2. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于：
上述非易失性半导体存储器是 EEPROM。

15 3. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于：
上述非易失性半导体存储器是通过将电荷蓄积在栅极绝缘膜中的阱中来存储信息的电荷捕获型非易失性半导体存储器。

4. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于：
上述非易失性半导体存储器是通过将电荷蓄积在浮置栅极中来
20 存储信息的浮置栅极型非易失性半导体存储器。

5. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于：
上述非易失性半导体存储器是将强电介质的极化状态作为信息存储的 FeRAM。

6. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于：
25 上述非易失性半导体存储器是将相变化膜的低电阻状态作为高电阻状态信息进行存储的相变化存储器。

7. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于：
上述非易失性半导体存储器是将隧道磁阻的低阻状态作为高阻状态信息进行存储的 MRAM。

8. 如权利要求 1 所述的非易失性半导体存储器件, 其特征在于:
通过热载流子注入进行上述非易失性存储单元的擦除或者写入
操作。

9. 如权利要求 1 所述的非易失性半导体存储器件, 其特征在于:
5 通过热载流子注入进行上述非易失性存储单元的擦除和写入操
作。

10. 如权利要求 8 所述的非易失性半导体存储器件, 其特征在于:
在进行上述热载流子注入时施加高电压的上述非易失性存储单
元的端子中的 1 个, 连接上述刷新块内的所有非易失性存储单元。

11. 如权利要求 8 所述的非易失性半导体存储器件, 其特征在于:
10 在进行上述热载流子注入时施加高电压的上述非易失性存储单
元的端子, 在上述刷新块内的非易失性存储单元和上述计数区内的非
易失性存储单元之间不连接。

12. 如权利要求 1 所述的非易失性半导体存储器件, 其特征在于:
15 上述擦除块由 1 个字节的非易失性存储单元构成。

13. 如权利要求 1 所述的非易失性半导体存储器件, 其特征在于:
当在上述刷新块中, 计数区所存储的刷新块内的改写次数达到预
先指定的改写次数的刷新块有多个时, 对于所有的该多个刷新块依次
进行将刷新块内的数据暂时保存在另外设置的数据暂存存储器, 将刷
20 新块内的数据全部擦除, 并再次将保存的数据写入刷新块的操作。

14. 如权利要求 1 所述的非易失性半导体存储器件, 其特征在于:
当在上述刷新块中, 计数区所存储的刷新块内的改写次数达到预
先指定的改写次数的刷新块有多个时, 按刷新块内的改写次数从多到
少的顺序, 仅按预先指定的刷新块数进行将刷新块内的数据暂时保存
25 到另外设置的数据暂存存储器, 将刷新块内的数据全部擦除, 并再次
将保存的数据写入刷新块的操作。

非易失性半导体存储器件

5 技术领域

本发明涉及一种非易失性半导体存储器件，特别是涉及在能进行高速的写入、擦除，数据保持特性优异的字节改写型 EEPROM 中，能够实现微细的有效单元面积，并能防止写入、擦除时的干扰所引起的数据损失的技术。

10

背景技术

作为能进行电改写的非易失性半导体存储器件，EEPROM (Electrically Erasable and Programmable Read only Memory) 被广泛地用于程序存储或数据存储。近年来，特别是对以 IC 卡为代表的数据存储用的 EEPROM 的需求不断增强。在数据存储用的 EEPROM 中，
15 一般说来，不是采用将数千字节至数十千字节一并擦除的闪速 EEPROM，而是采用以字节为单位进行擦除、写入的字节改写型 EEPROM。在用于数据存储的情况下，所要求的改写次数一般为 10 万次以上，比用于程序存储时要多。另外，通过将 EEPROM 与微机
20 混装在同一芯片上，可以不用从装置外部读出数据。

在这样的用于数据存储的字节改写型 EEPROM 中，非选择单元中的改写时的干扰和擦除时的干扰成为问题。这里，所谓干扰就是以下的现象：当选择某存储单元进行该存储单元的写入或擦除时，加在所选择的存储单元上的电压还被加在连接在同一布线上的未选择的
25 存储单元上，未选择的存储单元进行弱写入和擦除，数据逐渐消失。在闪速 EEPROM 中，当将连接在与写入时或擦除时施加高电压的布线相同的布线上的存储单元的块一并地擦除时，擦除时的干扰不成问题，在进行 1 次写入的期间，只受写入时的干扰。对此，在字节改写型 EEPROM 中，在最坏的情况下，在对同一块内的其他所有字节进

行 10 万次改写期间,有时存在完全未进行写入和擦除的单元,该单元持续受到 10 万次 $\times$ (块内的字节数-1)的量的干扰。这样,字节改写型 EEPROM 与闪速 EEPROM 相比,干扰方面的条件更加严格。

在非专利文献 1 中报告了在字节改写型 EEPROM 中,实现 10 万次改写的技术。图 1 表示该 EEPROM 的存储单元的剖面图,图 2 表示存储单元的阵列结构。如图 1 所示,一个存储单元通过将电荷蓄积在氮化膜 SIN 中,由存储信息的 MNOS 型存储器和读出时进行单元选择的选择晶体管构成。关于阵列结构,如图 2 所示,连接选择栅极 SG 的选择栅极线(字线)SG0~SGn 和连接存储器栅极 MG 的存储器栅极线 MG0~MGn 分别平行延伸,连接存储单元的漏区 D 的位线 BL0~BL7 和连接源极区域 S 的源极线 SL0~SL7 沿着与字线并行的方向延伸,存储单元的阱 WELL1~WELLn 被每 8 位地分割成连接在字线上的存储单元。对连接在公共的存储器栅极线和阱上的 8 位、即每一字节进行改写。图 3 表示对图 2 中作为选择单元所示的块进行擦除及写入时的电压条件。在进行擦除及写入的选择单元中,将高电压加在存储器栅极 MG 和阱 WELL 之间,利用通过下部氧化膜 BOTOX 的空穴的隧道效应进行擦除,利用电子的隧道效应进行写入。在非选择单元中,将与存储器栅极线相同的电压加在阱 WELL 或源极线 SL 上,以使电场不加在 MNOS 存储器的栅绝缘膜上。即,在上述公知技术中,将阱 WELL 分割成每个字节,在写入和擦除时看作是电场未加在非选择单元的 MNOS 存储器的栅绝缘膜上的工作电压条件,从而没有干扰的影响,即使改写 10 万次,也能继续保持数据。

在上述字节改写型 EEPROM 中,在连接在选择存储器栅极线 MG 和非选择阱 WELL 上的单元中,虽然将同一电压加在存储器栅极 MG 和阱 WELL 上,但是在单元的存储器栅极 MG 和源极 S 之间施加有高电场,在图 1 所示的源附近的氮化膜 SIN 中,发生电子和空穴的注入。在存储器栅极 Lmg 较大的情况下,在远离源极 S 的 MNOS 存储器的沟道中央部,由于在氮化膜 SIN 中保持着电荷,所以上述源附近的电荷注入不成问题。可是,当存储器栅极长度 Lmg 变小时,因源

附近的电荷注入而丧失了对写入和擦除干扰的耐性，不能保障 10 万次的改写。即，上述公知技术是单元的微细化有限度的字节改写型 EEPROM。

另外，在上述公知技术中，为了利用电子和空穴的隧道效应而进行写入和擦除，还有以下课题：（1）写入、擦除花费时间，（2）不能使底部氧化膜 BOTOX 增厚，大于或等于 100℃ 的高温下的数据保持较严格等。

作为不用隧道效应方式，而是利用热载流子的注入来进行写入和擦除的非易失性存储器，有专利文献 1。图 4 表示该存储单元的剖面图。在具有选择栅极 SG 和存储器栅极 MG 两个栅的分裂栅型 MONOS 存储器中，存储器栅极绝缘膜由上部氧化膜 TOPOX、氮化膜 SIN 和下部氧化膜 BOTOX 构成，以源侧注入（source side）方式将热电子注入到氮化膜 SIN 中，从而进行写入；将 BTBT（Band-To-Band Tunneling）中发生的热空穴注入到氮化膜 SIN 中，从而进行擦除。与隧道效应注入时相比，可以通过使用热载流子注入，实现写入、擦除的高速化和数据保持的高可靠化。

但是，在上述热载流子注入的写入和擦除方式中，需要将高电压加在源极区域 S 和存储器栅极 MG 两者上，因此确保写入时和擦除时的干扰耐性成为课题。为了使引起干扰的高电场不加在写入、擦除时的非选择单元上，必须将连接存储器栅极 MG 的存储器栅极线和连接源极区域 S 的源极线分割成每个字节，为了进行这种分割，有必要对每个字节设置选择存储器栅极线和源极线的耐高压的 MOS 晶体管。当包括耐高压的 MOS 晶体管时，与不分割时相比，每一单元的面积增加为两倍。

[专利文献 1] 美国专利 USP5,969,383 号

[专利文献 2] 日本特开平 6-215584 号公报（相应的美国专利 USP6,160,738）

[非专利文献 1] IEICI 电子学学报（IEICE TRANSACTIONS ON ELECTRONICS），2001 年，VOL. E84-C，p.713-723

发明内容

如上所述, 在利用热电子注入或热空穴注入进行写入、擦除的非易失性半导体存储器中, 虽然能高速地进行写入、擦除, 并通过加厚电荷蓄积部上下的氧化膜的厚度使数据保持非常优异, 但由于在写入、擦除时将高电压加在栅极和源极区域两者上, 因此非选择单元受写入、擦除的干扰。为了在字节改写型 EEPROM 中实现 10 万次改写, 该干扰成为大问题。

作为解决非易失性半导体存储器中的干扰问题的方法, 专利文献 2 公开了进行再次写入由于干扰而丧失的数据的刷新操作的方法。在该方法中, 设一并擦除的块为刷新块, 对每一个一并擦除的块设置标志单元, 在擦除一并擦除的块时, 从标志单元的信息, 选择在一并擦除的块中最开始进行了刷新操作的块, 进行追加写入的刷新操作。由于通过刷新操作, 每隔一定改写次数注入电子进行修正, 所以, 能够使由于干扰而进行了弱擦除的单元返回受弱擦除前的状态, 能够防止由干扰引起的数据损失。

但是, 在将上述方法用于字节改写型 EEPROM 的情况下, 由于进行一次擦除的擦除块的大小为 1 字节, 所以, 必须对每字节设置标志单元, EEPROM 的面积将大幅度地增加。例如, 在设置一个 1 字节的擦除块的标志单元时, 存储单元数增加 10% 以上。

本发明的目的在于, 能进行高速写入、擦除, 在数据保持特性较好的字节改写型 EEPROM 中, 实现微细的有效单元面积, 并防止由写入、擦除时的干扰引起的数据损失。

下面, 简单地说明一下本申请所公开的发明中有代表性的内容。

本发明提供一种非易失性半导体存储器件, 其特征在于: 在包括非易失性存储单元的非易失性半导体存储器阵列中, 具有一并擦除多个上述非易失性存储单元的擦除块, 以及包含多个上述擦除块的刷新块; 设置与上述刷新块数量相同的计数区, 该计数区存储在上述刷新块内进行的改写的次数, 每当上述计数区所存储的刷新块内的改写次

数达到预先指定的改写次数时，将上述刷新块内的数据保存在另外设置的数据暂存存储器，之后，将上述刷新块内的数据全部擦除，并将上述暂存存储器中保存的数据写入上述刷新块。

通过本发明，在非易失性半导体存储器件中，特别是在可通过热载流子注入进行高速写入、擦除，并以字节为单位进行改写的非易失性半导体存储器件中，实现微细的有效单元面积，并能够防止由写入、擦除时的干扰所引起的数据损失。

附图说明

10 图 1 是现有技术的字节改写型 EEPROM 的存储单元剖面图。

图 2 是现有技术的字节改写型 EEPROM 的存储单元阵列图。

图 3 是表示现有技术的字节改写型 EEPROM 的工作电压的图。

图 4 是本发明的实施方式的非易失性半导体存储单元的剖面图。

15 图 5 是表示本发明的实施方式的非易失性半导体存储单元的阵列结构的实施例的图。

图 6 是表示本发明的实施方式的非易失性半导体存储单元的阵列结构的实施例的图。

图 7 是表示本发明的实施方式的非易失性半导体存储单元的阵列结构的实施例的图。

20 图 8 是表示在图 5～图 7 所示的存储器阵列中写入时加在各布线上的电压的波形的图。

图 9 是表示在图 5～图 7 所示的存储器阵列中擦除时加在各布线上的电压的波形的图。

图 10 是本发明的实施方式的非易失性半导体存储器件的结构图。

25 图 11 是表示将本发明的实施方式的一个块作为对象的写入、擦除、刷新操作的程序的流程图。

图 12 是表示将本发明的实施方式的多个块作为对象的写入、擦除、刷新操作的第一程序的流程图。

图 13 是表示将本发明的实施方式的多个块作为对象的写入、擦

除、刷新操作的第二程序的流程图。

具体实施方式

下面，说明本发明的非易失性半导体存储器件的基本结构。

5 图 5 表示显示本发明的实施方式的非易失性半导体存储器阵列结构的实施例。作为非易失性存储单元，采用图 4 所示的通过热载流子进行写入、擦除的分裂栅型 MONOS 存储器。连接选择栅极 SG 的选择栅极线（字线）SG0 ~ SGn 和连接选择存储器栅极 MG 的存储器栅极线 MGL 及两个相邻的存储单元所共享的源极区域的源极线 SL 分别平行延伸，连接存储单元的漏区的位线 BL0 ~ BL7 沿着与选择栅极线垂直的方向延伸。按每存储单元 8 位来分割存储器栅极线 MGL 和源极线，连接位线方向的多条源极线，作为公共的源极线 SL。对连接在公共的存储器栅极线上的 8 位、即对每一字节进行改写。

在图 5 所示的存储单元阵列中，位线方向的多个字节的存储单元
15 呈共享源极线的结构，但如图 6 所示的存储单元阵列那样，选择栅极线方向的存储单元也可以是共享源极线的结构。此时，连接在公共的源极线上的非选择单元受到写入时和擦除时的干扰。在图 5 和图 6 中，采用在写入时和擦除时施加高电压的存储器栅极线和源极线中，按字节单位分割存储器栅极线，以多个字节共享源极线的结构，反之，也可以采用按照字节单位分割源极线，以多个字节共享存储器栅极线的结构。另外，如在图 7 中显示存储单元阵列图那样，采用以多个字节共享源极线的结构，但也可以是位线方向的存储单元共享源极线，选择栅极线方向的存储单元共享存储器栅极线。此时，由于将写入时或擦除时的电压加在共享源极线的非选择单元和共享存储器栅极线的非选择单元两者上，所以，受到干扰的存储单元增多，但存储单元阵列的面积可以小于图 5 所示的阵列结构。与图 7 相反，也可以是位线方向的存储单元共享存储器栅极线，选择栅极线方向的存储单元共享源极线。
25

图 8 和图 9 分别表示图 5 ~ 图 7 所示的选择单元，以及写入和擦

除时的电压施加顺序。图 5~图 7 所示的存储单元阵列以相同的电压顺序写入、擦除。在写入、擦除的选择单元中,将高电压加在存储器栅极线 MG 和源极线 SL 两者上。与此相对,在图 5~图 7 中记作干扰单元的非选择单元,将高电压加在存储器栅极线或源极线上,在写入和擦除时就会受到干扰。即,连接于公共的源极线上的单元,成为受到干扰的存储单元的块。

图 10 是本发明的实施方式的字节改写型 EEPROM 模块的框图。除了构成现有的 EEPROM 模块的存储器阵列 1、位线解码器/驱动器 2、字线解码器/驱动器 3、读出放大器/写入恒流 MOS4、电源电路 5、主控制部 6 以外,还设有刷新控制电路 7 和数据暂存区域 8。EEPROM 存储器阵列由数据存储块 9 和擦除/写入计数区 EW CT10 构成。数据存储块为刷新的单位,对应于图 5~图 7 所示的刷新块。这里,作为例子,示出了 1 字节×1024 位的数据存储块为 128 个的结构。数据存储块 9 内的存储单元与公共的源极线或存储器栅极线连接,以 1 个字节为单位进行改写。只设有与数据存储块对应的个数的擦除/写入计数区 EW CT10。将在对应的数据存储区内进行的改写次数存储在该擦除/写入计数区 EW CT 中。为了避免数据存储块内和擦除/写入计数区 EW CT 内的擦除及写入的互相干扰,构成两者的存储单元最好不用公共的源极线和存储器栅极线连接。

图 11 是表示使本发明的擦除、写入和干扰时间复位的刷新操作的流程图。示出了对图 10 中的 No.54 块内的 1 字节进行擦除及写入时的例子。

上位装置或 CPU,首先执行 No.54 块的 1 字节的擦除和写入。然后,对与 No.54 对应的擦除/写入计数区 (EW CT) 进行读出。将该读出值和预定的值 y 进行比较,在读出值小于或等于 y 时,暂时对 EW CT 进行擦除,将在擦除前从 EW CT 读出的值加+1 后的值写入 EW CT 中。至此,擦除及写入操作结束。

在读出值大于 y 时,进行刷新操作。首先,读出 No.54 块的全部数据,将 No.54 块的全部数据写入具有等于或大于数据存储块 9 的数

数据容量的数据暂存存储器 10 中。作为数据暂存存储器，可以是 SRAM 或 DRAM 等易失性存储器或构成 EEPROM 的非易失性存储器中的任意一个。但是，在使用非易失性存储器作为数据暂存存储器的情况下，在写入对象块数据之前，有必要预先擦除数据暂存存储器数据。

在将 No.54 块的全部数据都写入数据暂存存储器后，再将 No.54 块内和对应于 No.54 块的 EW CT 内的全部数据擦除。接下来，将数据暂存存储器的数据写入 No.54 块。以上，刷新操作结束，进行刷新操作时的擦除及写入操作也结束。

上述 y 值由存储单元的干扰耐性决定，在具有对例如 10 万次的擦除、写入的干扰耐性的存储单元的情况下，y 值就设定为 10 万次。顺便说一下，在图 10 所示的 EEPROM 存储器阵列的块结构中，在不进行正式刷新操作而保证 10 万次的改写时，在最坏的情况下，要求对 10 万次 $\times$ 1023 字节 $\approx$ 1 亿次的擦除及写入的干扰耐性。即，在本发明的刷新操作中，通过每隔某指定的改写次数，使由于干扰而受到弱擦除或弱写入的时间复位，能够大幅度地防止由干扰引起的数据的损失。

以上在图 11 中，说明了在一次改写中只对一个块内的一个字节进行擦除、写入及刷新操作时的操作程序，但实际上，有时也能对多个块中存在的多个字节的单元进行擦除及写入。图 12 及图 13 表示对该多个块中存在的多个字节进行擦除、写入时的操作程序的实施例。

图 12 是表示一次对多个字节进行擦除、写入，改写时间不受限制地进行刷新操作时的操作程序的流程图。这里，示出了一次对 No.54 ~ No.54+x 的 x 个块进行各一个字节的擦除、写入时的例子。

首先，执行 No.54 ~ No.54+x 块的一个字节的擦除和写入，对与各块对应的 EW CT 进行读出。接下来，从 No.54 至 No.54+x，在读出值大于预定值 y 的情况下，依次执行与图 11 所示的方法相同的刷新操作。在刷新操作全部结束后，对未执行刷新的块，将读出值加上 +1 后的值写入 EW CT 中。

图 13 是表示一次对多个字节进行擦除、写入，改写时间有限制时的操作程序的流程图。在改写时间有限制时，不限于对需要进行刷新操作的所有刷新块都能进行刷新操作。这里，示出了一次对 No.54 ~ No.54+x 的 x 个块进行各 1 个字节的擦除、写入，一次改写操作所允许的刷新操作的次数为 N 次时的例子。N 的值可以根据刷新所需时间而预先指定。

与图 12 相同，首先，执行 No.54 ~ No.54+x 块的一个字节的擦除和写入，对与各块对应的 EW CT 进行读出。在所有读出值小于或等于预定值 y 的情况下，对任何块都不进行刷新操作。在读出值大于 y 的块小于或等于 N 个的情况下，对成为刷新对象的所有块实施图 11 所示的刷新操作。在读出值大于 y 的块大于 N 个的情况下，对这些块按照读出值从大到小的顺序，从 1 号开始添加序号，依次进行序号从 1 至 N 的块的刷新操作。最后，对未实施刷新的块，将读出值加上+1 后的值写入 EW CT 中，擦除、写入操作结束。在该方法中，即使块内的改写次数超过 y，有时也不刷新，因此，有必要预先确保对该部分干扰的宽余量。

以上，使用图 11 ~ 图 13 所示的程序，说明了本发明的擦除、写入及刷新的操作，但即使在只进行擦除或只进行写入时，也对 EW CT 的读出值和预定的值 y 进行比较，在读出值小于等于 y 的情况下，将 +1 加在 EW CT 的值上，在读出值大于 y 的情况下，执行刷新操作。但是，当只是擦除或写入的任意一方的干扰成为问题的情况下，只在进行了该操作时，进行 EW CT 的计数和刷新操作即可。上述改写次数的计数方法，在擦除和写入操作中进行了一次，但也可以在写入和擦除时分别计数一次。

在图 10 所示的实施例中，将 1024 字节作为连接于公共的源极线上的一个块，其大小由刷新操作所需的时间决定。在使用擦除和写入速度较慢的 EEPROM 存储器的情况下，为了在 1 次擦除和写入的操作所允许的时间内进行刷新操作，必须使连接在公共的源极线上的块的字节数减少。当字节数减少时，EEPROM 存储器阵列的面积增加。

在以上的实施例中，示出了以分裂栅型 MONOS 存储单元构成的非易失性存储器，但即使在不是分裂栅型而是已知文献 USP6,011,725 所述的单栅型的非易失性存储器中，或即使在不是 MONOS 存储器而是将电荷蓄积在浮置栅极中的非易失性存储器中，同样地能够防止由

5 干扰引起的数据的损失。进而，即使在 FeRAM、相变化存储器、MRAM 等非易失性存储器上，本发明也有效。

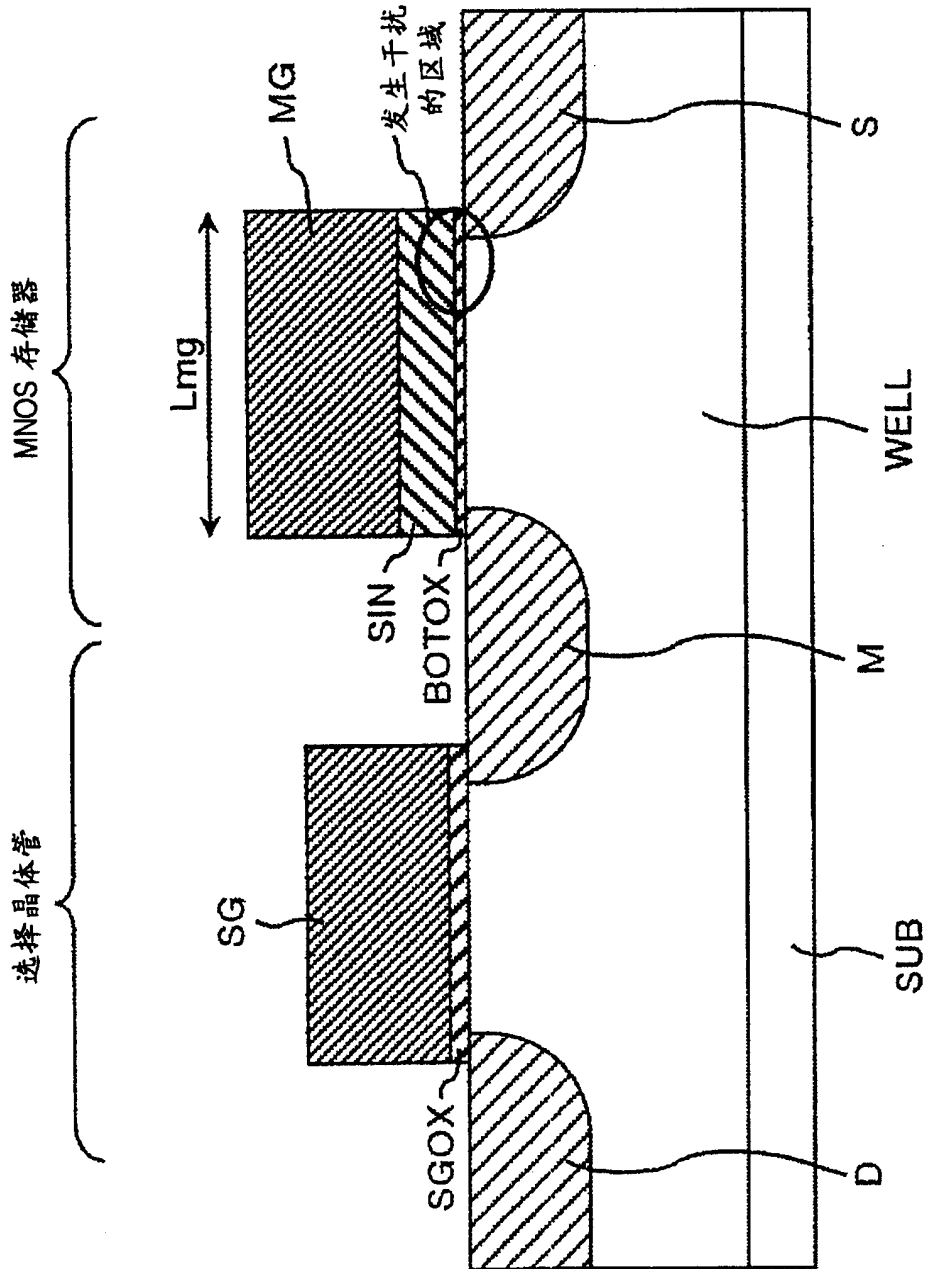


图 1

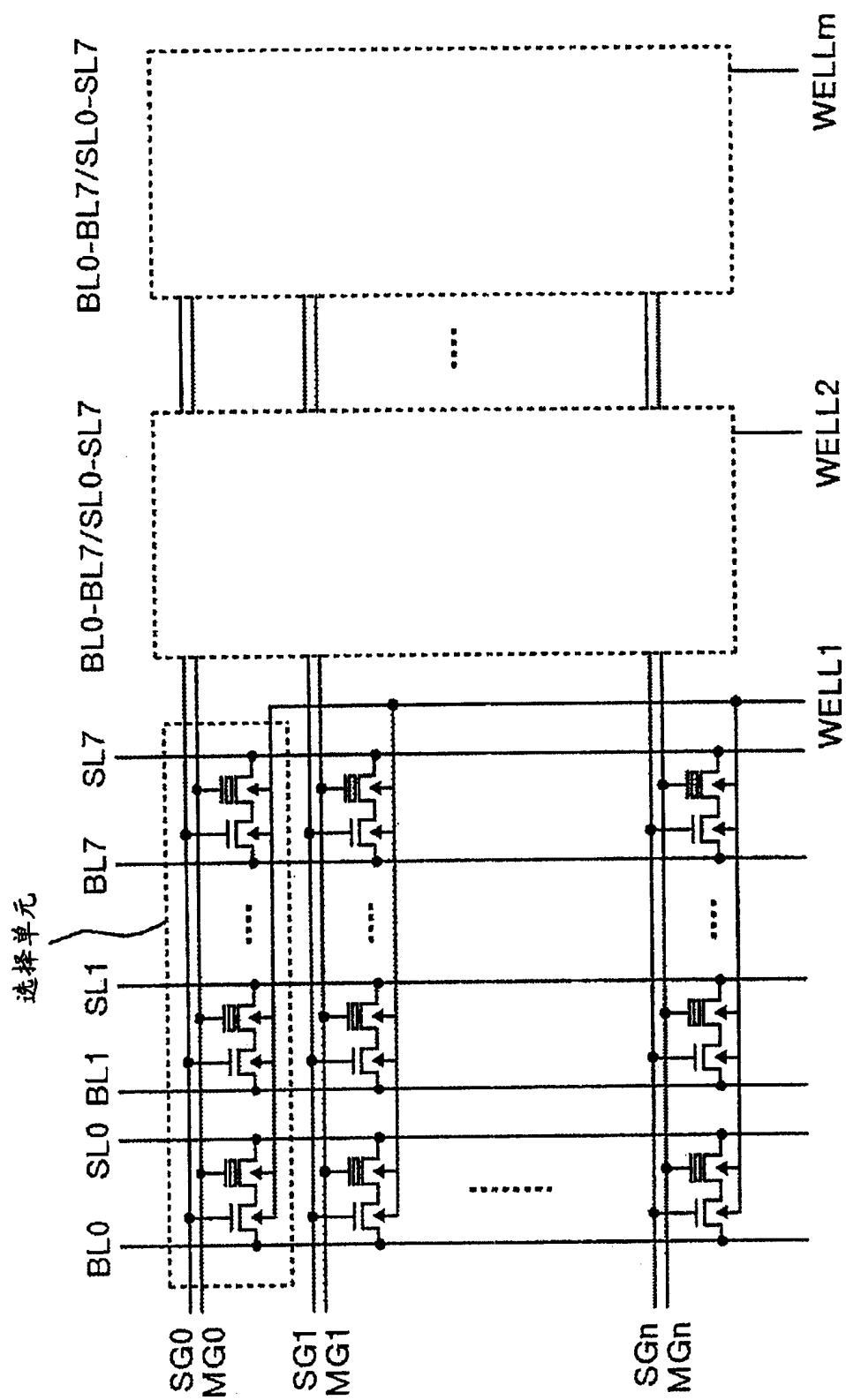


图 2

			选择 WELL			非选择 WELL		
			SL	BL	WELL	SL	BL	WELL
擦除	选择 SG • MG	SG 1.5V	1.5V	1.5V	1.5V	1.5V	OPEN	-13V
		MG -13V						
	非选择 SG • MG	SG 0V						
		MG 1.5V						
写入	选择 SG • MG	SG 1.5V	-13V /1.5V *	-13V /1.5V *	-13V	1.5V	OPEN	-13V
		MG 1.5V						
	非选择 SG • MG	SG 0V						
		MG -13V						

* 进行写入的单元为 -13V，不进行写入的单元为 1.5V

图 3

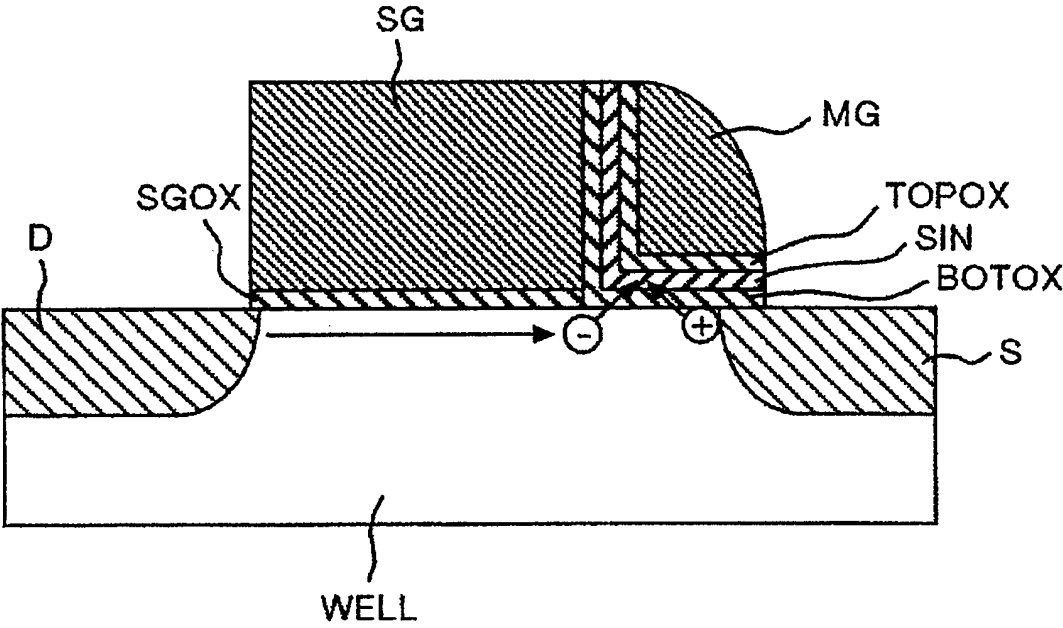


图 4

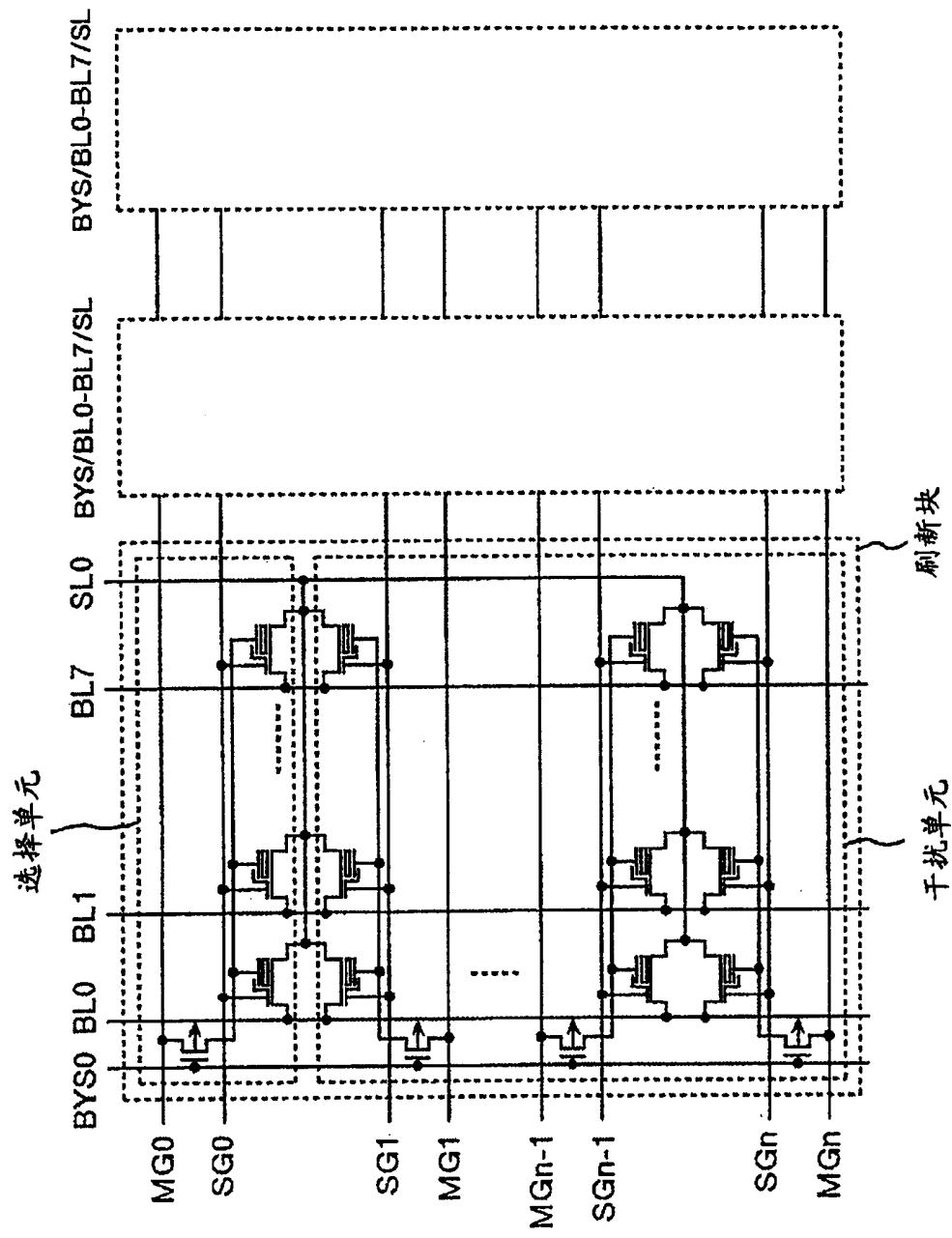


图 5

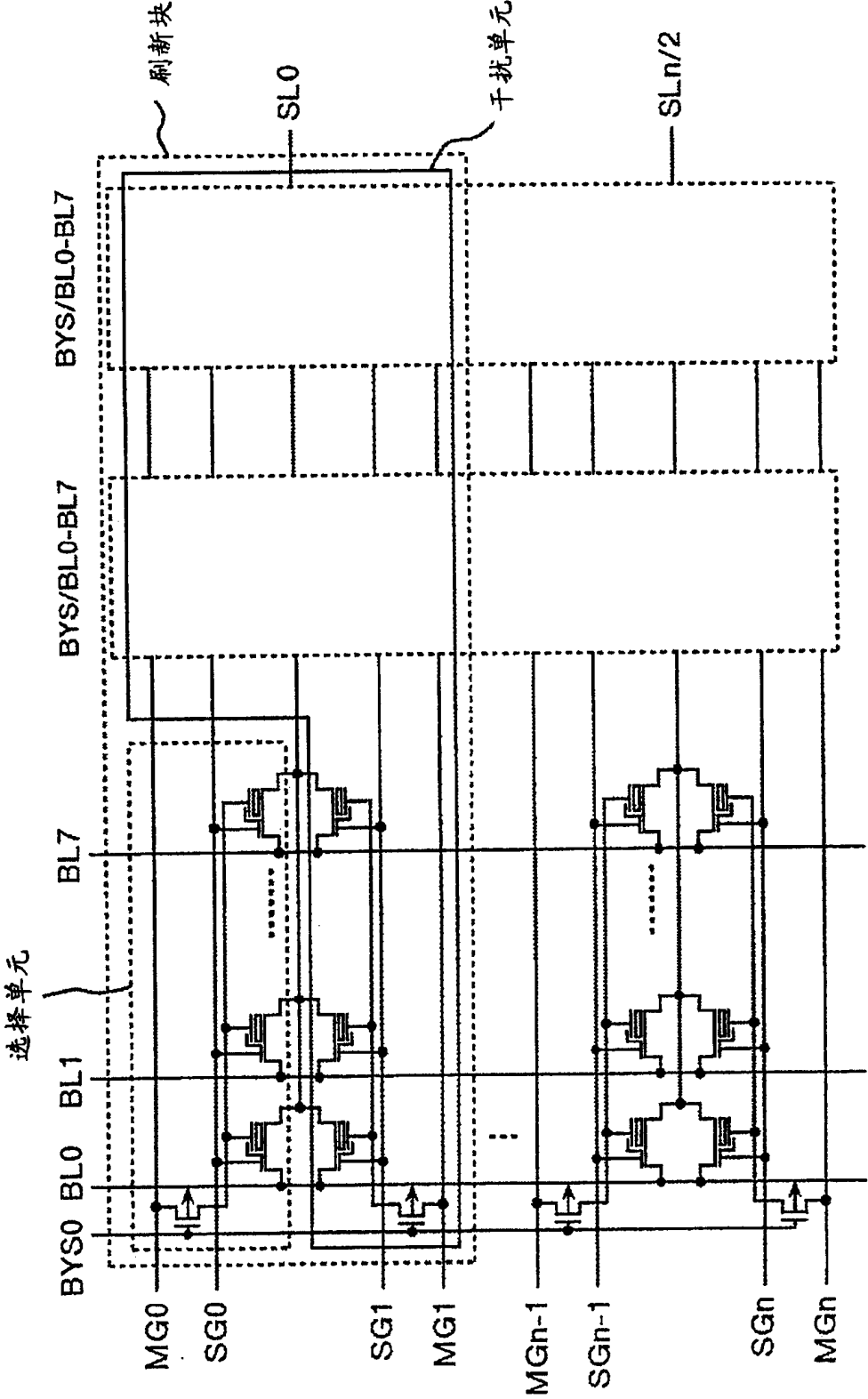


图 6

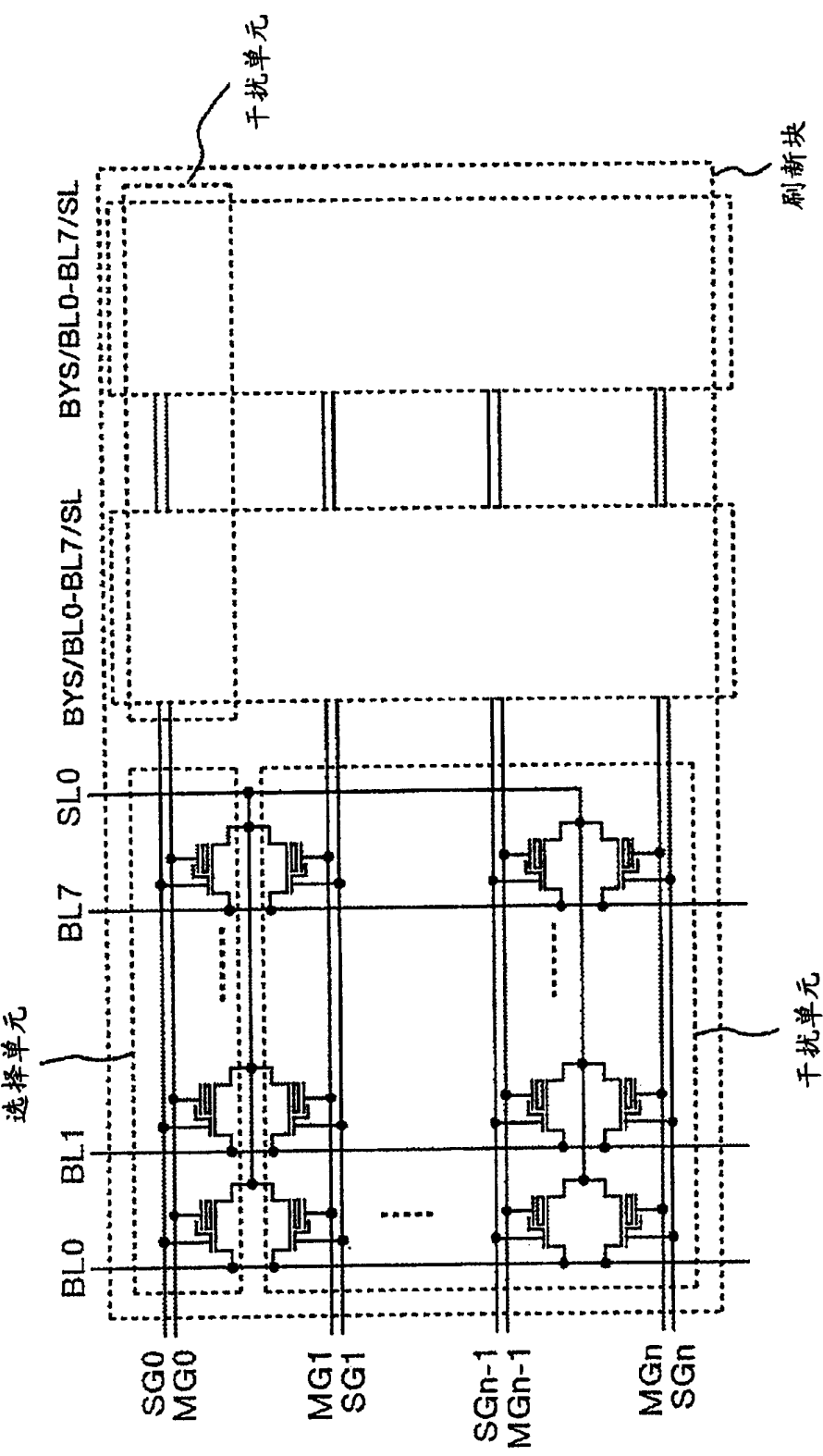


图 7

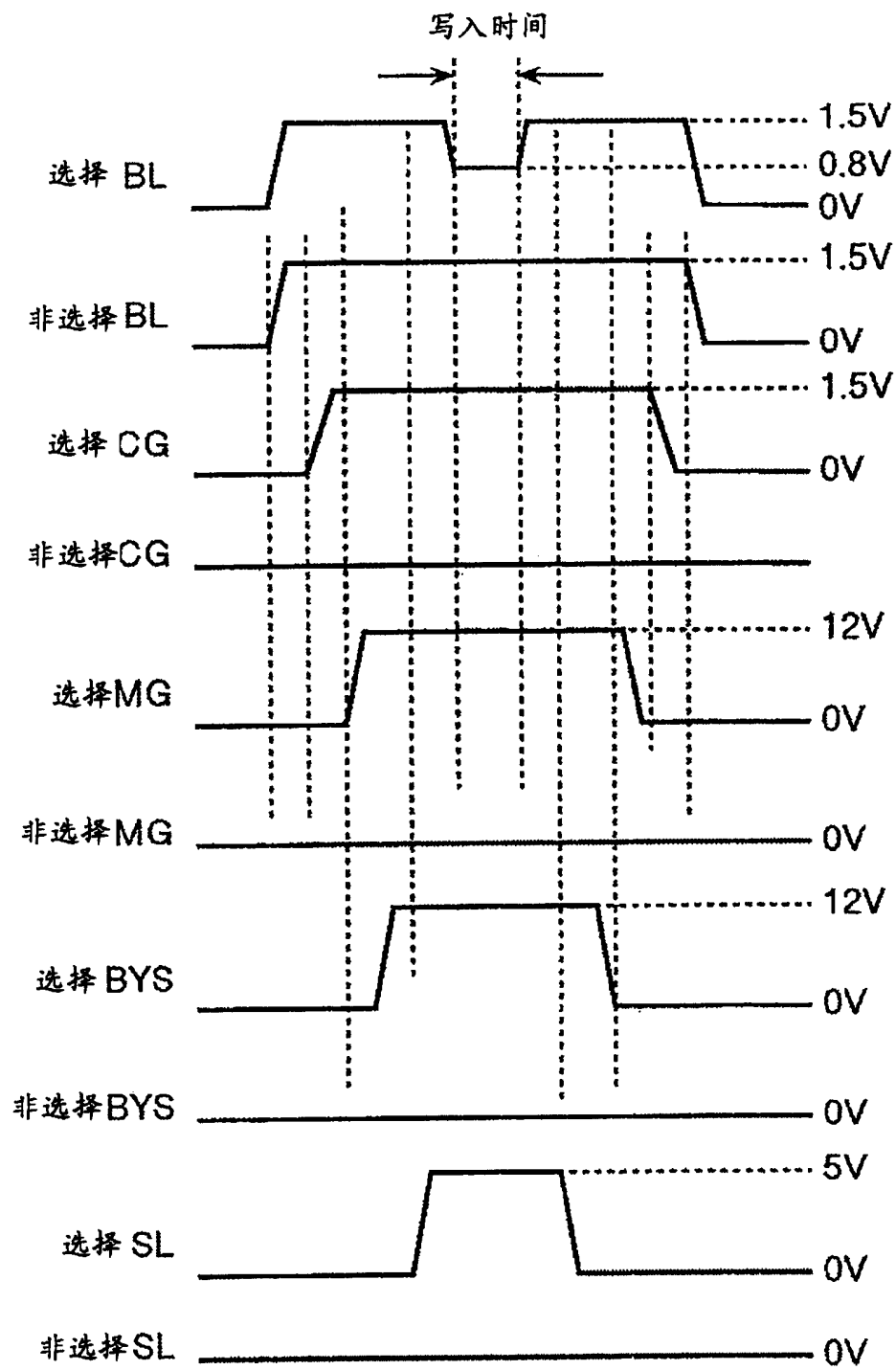


图 8

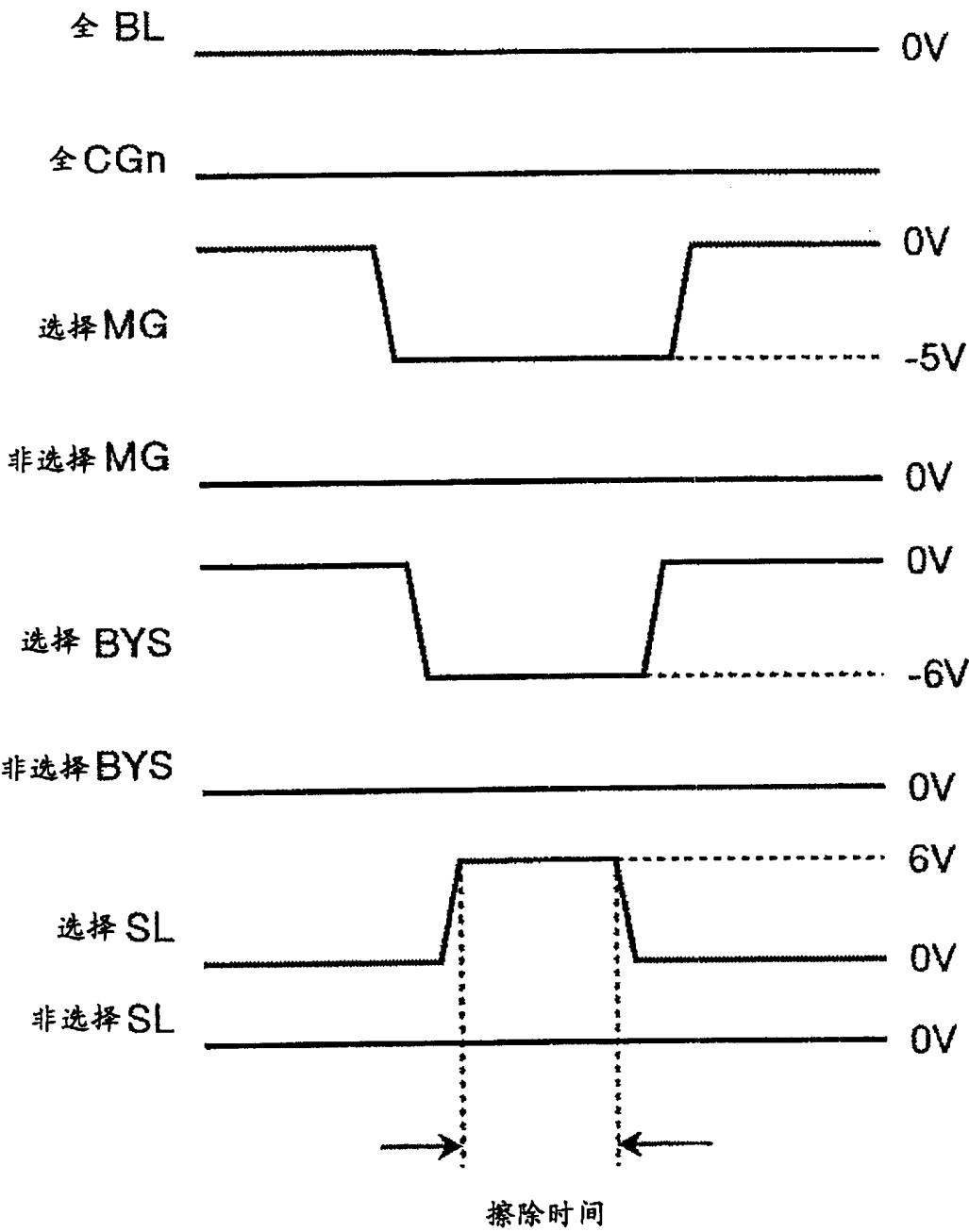


图 9

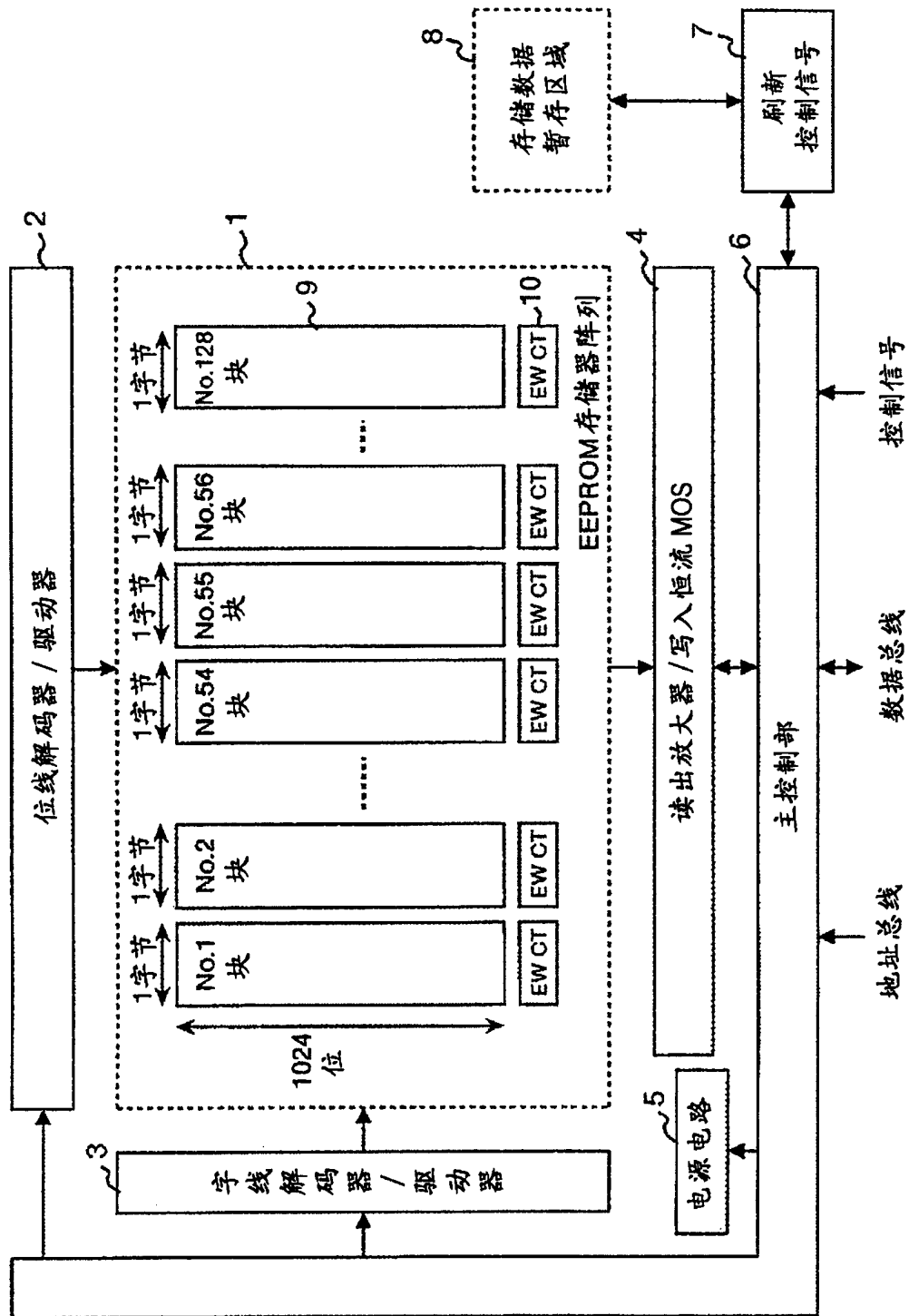


图 10

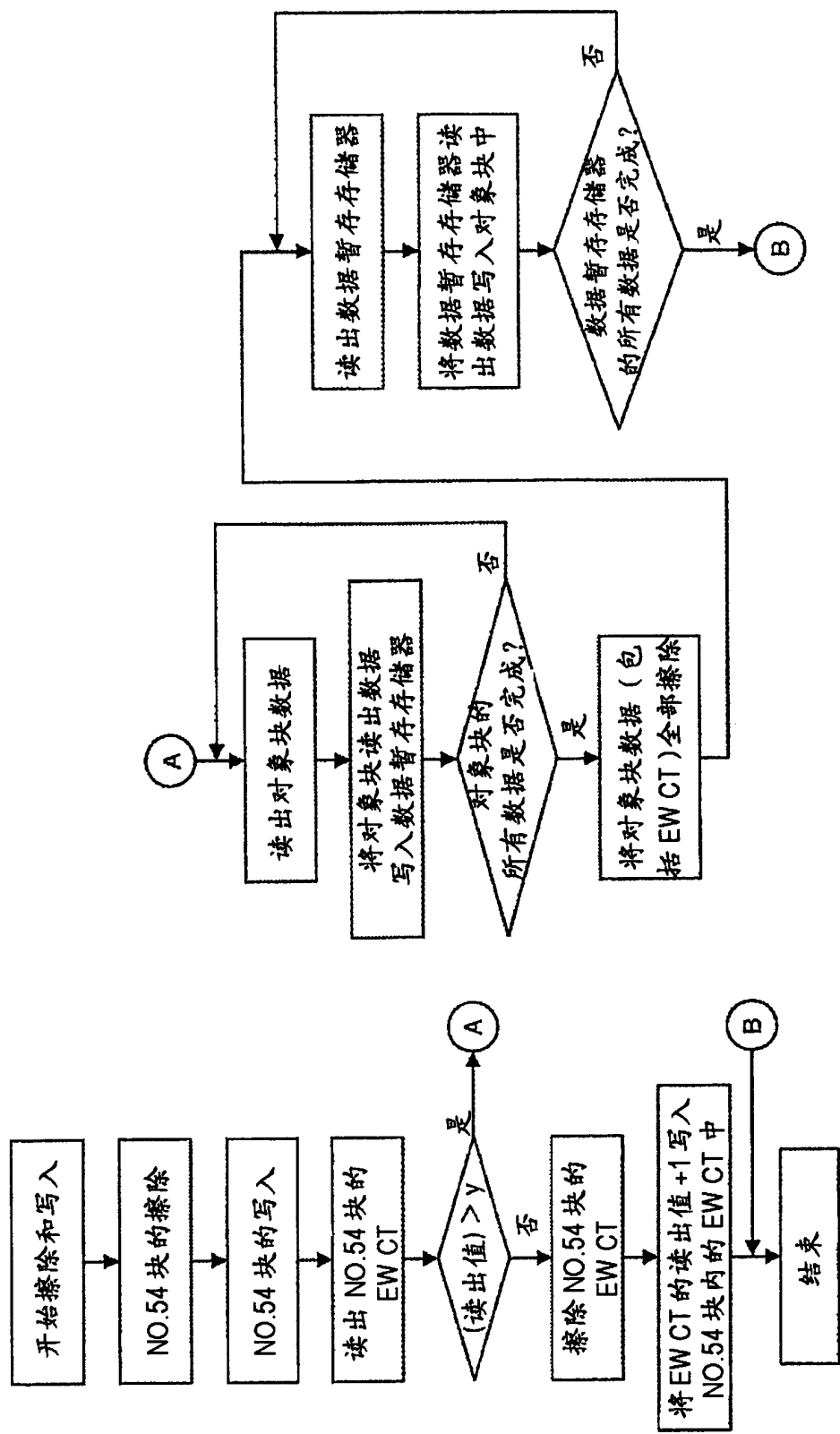


图 11

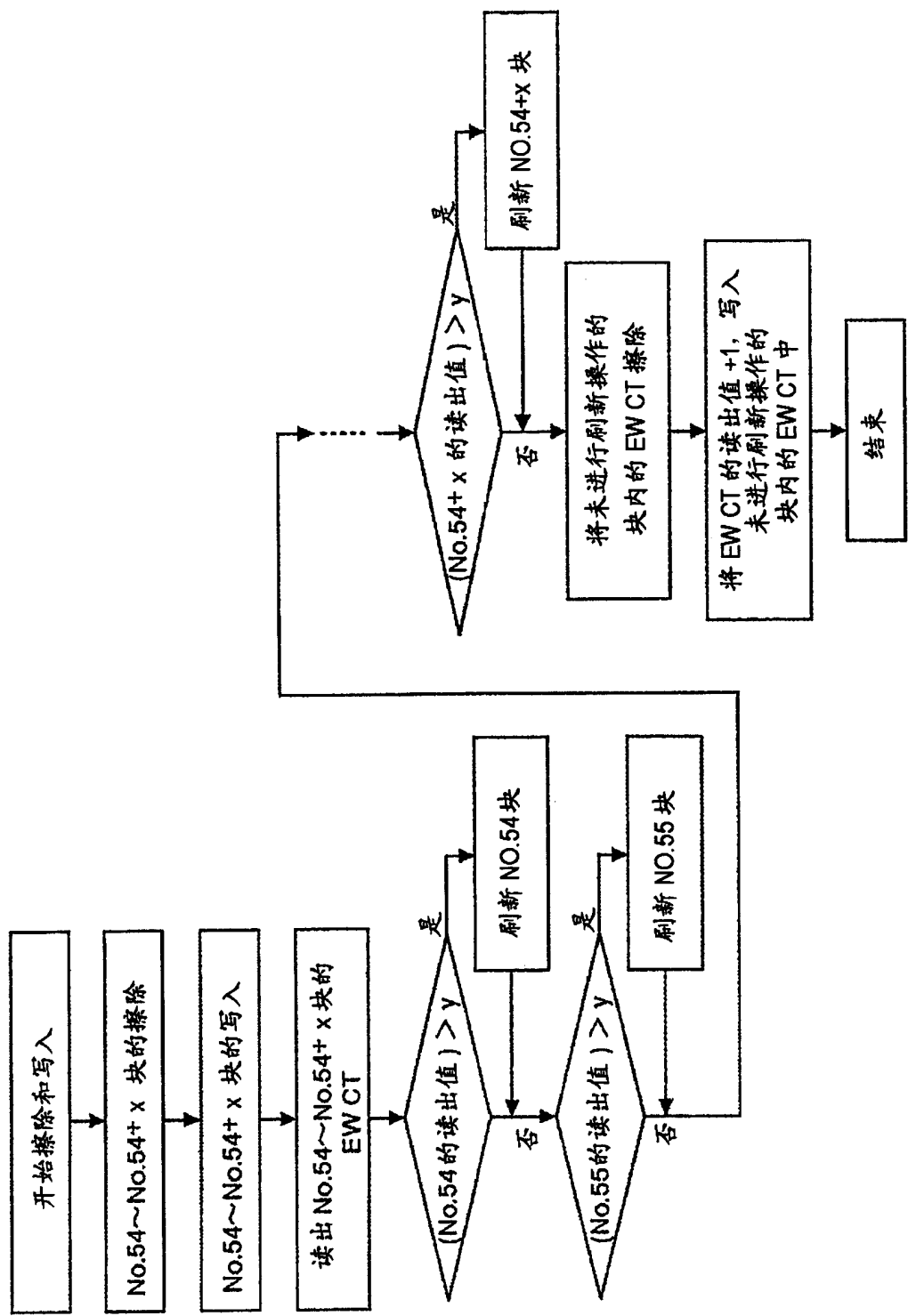


图 12

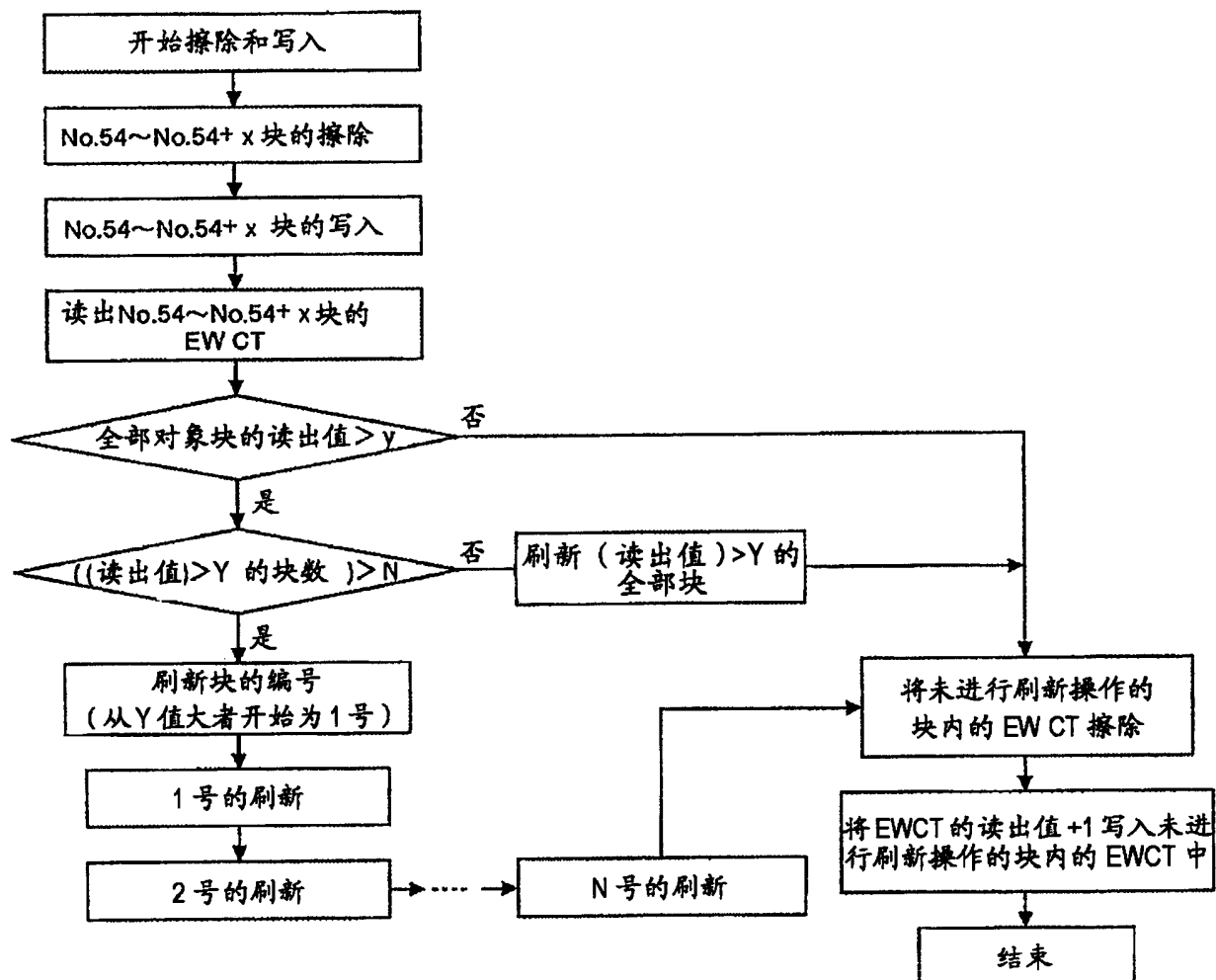


图 13