

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】令和 3 年 2 月 18 日 (2021.2.18)

【公開番号】特開 2018-98790 (P2018-98790A)

【公開日】平成 30 年 6 月 21 日 (2018.6.21)

【年通号数】公開・登録公報 2018-023

【出願番号】特願 2017-234289 (P2017-234289)

【国際特許分類】

H 0 3 M 1/10 (2006.01)

H 0 3 M 1/14 (2006.01)

【F I】

H 0 3 M 1/10 A

H 0 3 M 1/14 B

【手続補正書】

【提出日】令和 3 年 1 月 7 日 (2021.1.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

逐次比較レジスタ型アナログデジタル変換器である S A R A D C (2 0 0 ; 6 0 0) に
おけるデジタルアナログ変換器 (D A C) のミスマッチ較正方法であって、

前記 S A R A D C (2 0 0 ; 6 0 0) は、アナログ入力信号 ($V_{T N}$) を、m 個の最上
位ビット ($B_{M S B}$) と n 個の最下位ビット ($B_{L S B}$) によって形成されるデジタル信
号 ($C_{O U T}$) に変換するように構成され、

前記方法は、

a) 複数の調整可能なキャパシタ ($2 1 4 a, 2 1 4 b, \dots, 2 1 4 m; 6 1 4 a, 6 1$
 $4 b, \dots, 6 1 4 m$) を備える第 1 の D A C ($2 1 6 ; 6 1 6$) を有する第 1 段の A D C
($2 1 0 ; 6 1 0$) が、前記アナログ入力信号 ($V_{T N}$) に対応する前記デジタル信号 ($C_{O U T}$) の最上位ビット ($B_{M S B}$) を決定するステップと；

b) 利得係数を有する利得モジュール ($2 3 0 ; 6 3 0$) が、前記第 1 段の A D C ($2 1$
 $0 ; 6 1 0$) から出力される残差信号 ($V_{R E S}$) を増幅するステップであって、前記 n
個の最下位ビット ($B_{L S B}$) の最上位ビットが前記 m 個の最上位ビット ($B_{M S B}$) の
最下位ビットに利得係数を乗算したものに等しいステップと；

c) 第 2 段の A D C ($2 2 0 ; 6 2 0$) が、前記アナログ入力信号 ($V_{T N}$) に対応する
前記デジタル信号 ($C_{O U T}$) の最下位ビット ($B_{L S B}$) を決定するステップと；

d) 前記アナログ入力信号 ($V_{T N}$) から決定されたバイナリコードが、複数の調整可能
なキャパシタ ($2 1 4 a, 2 1 4 b, \dots, 2 1 4 m; 6 1 4 a, 6 1 4 b, \dots, 6 1 4 m$) の 1 つに関連するバイナリトリガコードと一致するか否かを検出するステップと；

e) メモリモジュール ($2 4 2 ; 6 4 2$) から、前記バイナリトリガコードと関連しかつ
、較正処理がトリガされる場合に前記バイナリトリガコードの同一のデジタル信号 (C_{O}
 $U T$) を与える、予め設定されたバイナリ較正コードを検索するステップと；

f) 前記バイナリ較正コードを用いて、前記アナログ入力信号 ($V_{T N}$) と、前記バイナ
リ較正コードの最初の m ビットを表すアナログ信号 ($V_{M S B}^*$) との間の差を計算する
ことにより、前記第 1 段の A D C ($2 1 0 ; 6 1 0$) の較正残差信号 ($V_{R E S}^*$) を決
定するステップと；

g) 前記利得モジュール (230; 630) が、すべての最下位ビット (B_{LSB}) が前記第2段のADC (220; 620) によって決定されるまで、前記較正残差信号 (V_{RES}^*) を一時的に格納するステップと;

h) 前記ステップg) の後に、前記利得モジュール (230; 630) が、前記較正残差信号 (V_{RES}^*) を増幅して、増幅された較正残差信号 (V_{AMP}^*) を形成するステップと;

i) 上記バイナリ較正コードを用いて、前記増幅された較正残差信号 (V_{AMP}^*) を、前記バイナリ較正コードの最後のnビットを表す別のアナログ信号 (V_{LSB}^*) と比較することによって、前記第2段のADC (220; 620) の較正ビット (B_{LSB}^*) を決定するステップと;

j) 前記デジタル信号 (COUT) の最下位ビットと、前記較正ビット (B_{LSB}^*) とが互いに異なって、前記第1段のDAC (210; 610) の第1のDAC (216; 616) における複数の調整可能なキャパシタ (214a, 214b, ..., 214m; 614a, 614b, ..., 614m) のうちの前記1つと、前記第2段のADC (220; 620) の第2のDAC (226; 626) との間でDACのミスマッチが存在することを示すか否かが判断するステップと;

k) 前記DACのミスマッチの存在が、前記複数の調整可能なキャパシタ (214a, 214b, ..., 214m; 614a, 614b, ..., 614m) のうちの前記1つを調整することによって決定される場合に、前記バイナリトリガコードに対応する第1のDAC (216; 616) における複数の調整可能なキャパシタ (214a, 214b, ..., 214m; 614a, 614b, ..., 614m) の前記1つのDACのミスマッチを較正するステップと;

を含むDACのミスマッチ較正方法。

【請求項2】

前記ステップj) はさらに、

前記デジタル信号 (COUT) の最下位ビットと前記較正ビット (B_{LSB}^*) の差がゼロ以外であって、前記DACのミスマッチの存在を示すか否かを判断するステップと;

前記最下位ビットの値を決定するステップであって、前記最下位ビットの値が0の値を有する場合に下方較正を示し、前記最下位ビットの値が1の値を有する場合に上方較正を示すステップと;

を含む請求項1に記載の方法。

【請求項3】

前記ステップj) はさらに、

前記最下位ビットの値と、前記較正ビット (B_{LSB}^*) の値を決定するステップであって、

前記決定された両方のビットの値が0の場合に、前記第1のDAC (216; 616) における前記複数の調整可能なキャパシタ (214a, 214b, ..., 214m; 614a, 614b, ..., 614m) のうちの前記1つと、前記第2のDAC (226; 626) との間でDACのミスマッチの存在を示さず、

前記決定された両方のビットの値が1の場合に、前記第1のDAC (216; 616) における前記複数の調整可能なキャパシタ (214a, 214b, ..., 214m; 614a, 614b, ..., 614m) のうちの前記1つと、前記第2のDAC (226; 626) との間でDACのミスマッチの存在を示さず、

前記最下位ビットの値が1でありかつ前記較正ビット (B_{LSB}^*) の値が0である場合に、前記第1のDAC (216; 616) における前記複数の調整可能なキャパシタ (214a, 214b, ..., 214m; 614a, 614b, ..., 614m) のうちの前記1つと、前記第2のDAC (226; 626) との間でDACのミスマッチの存在を上方較正で示し、

前記最下位ビットの値が0でありかつ前記較正ビット (B_{LSB}^*) の値が1である場合に、前記第1のDAC (216; 616) における前記複数の調整可能なキャパシタ (

2 1 4 a , 2 1 4 b , ... , 2 1 4 m ; 6 1 4 a , 6 1 4 b , ... , 6 1 4 m) のうちの前記 1 つと、前記第 2 の D A C (2 2 6 ; 6 2 6) との間で D A C のミスマッチの存在を下方 較正で示すステップと；

含む請求項 1 に記載の方法。

【請求項 4】

逐次比較レジスタ型アナログデジタル変換器である S A R A D C (2 0 0 ; 6 0 0) で あって、

前記 S A R A D C (2 0 0 ; 6 0 0) は、アナログ入力信号 (V_{IN}) を、m 個の最上 位ビット (B_{MSB}) と n 個の最下位ビット (B_{LSB}) とにより形成されるデジタル信 号 (C_{OUT}) に変換するように構成され、

前記 S A R A D C (2 0 0 ; 6 0 0) は、

複数の調整可能な複数のキャパシタ (2 1 4 a , 2 1 4 b , ... , 2 1 4 m ; 6 1 4 a , 6 1 4 b , ... , 6 1 4 m) を備える第 1 の D A C (2 1 6 ; 6 1 6) を有する第 1 段の A D C (2 1 0 ; 6 1 0) であって、前記第 1 段の A D C (2 1 0 ; 6 1 0) が前記アナロ グ入力信号 (V_{IN}) に対応する前記デジタル信号 (C_{OUT}) の最上位ビット (B_{MSB}) を決定し、前記デジタル信号 (C_{OUT}) の最下位ビット (B_{LSB}) に対応する残 差信号 (V_{RES}) を出力する第 1 段の A D C (2 1 0 ; 6 1 0) と；

前記第 1 段の A D C (2 1 0 ; 6 1 0) から出力される残差信号 (V_{RES}) を受信す るように構成された利得モジュール (2 3 0 ; 6 3 0) であって、前記利得モジュール (2 3 0 ; 6 3 0) が利得係数を有して前記残差信号 (V_{RES}) を増幅し、前記増幅され た残差信号 (V_{AMP}) を出力し、n 個の最下位ビット (B_{LSB}) の最上位ビットが前 記 m 個の最上位ビット (B_{MSB}) の最下位ビットに利得係数を乗算したものに等しい利 得モジュール (2 3 0 ; 6 3 0) と；

前記増幅された残差信号 (V_{AMP}) を受信するように構成された第 2 段の A D C (2 2 0 ; 6 2 0) であって、前記第 2 段の A D C (2 2 0 ; 6 2 0) が、前記増幅された残 差信号 (V_{AMP}) から、前記アナログ入力信号 (V_{IN}) に対応する前記デジタル信号 (C_{OUT}) の最下位ビット (B_{LSB}) を決定する第 2 段の A D C (2 2 0 ; 6 2 0) と、

制御モジュール (2 4 0 ; 6 4 0) とを備え、

前記制御モジュール (2 4 0 ; 6 4 0) は、

前記第 1 段の A D C (2 1 0 ; 6 1 0) と、前記利得モジュール (2 3 0 ; 6 3 0) と 、前記第 2 段の A D C (2 2 0 ; 6 2 0) とを制御し、

前記アナログ入力信号 (V_{IN}) に対応する前記デジタル信号 (C_{OUT}) を出力し、

前記複数の調整可能なキャパシタ (2 1 4 a , 2 1 4 b , ... , 2 1 4 m ; 6 1 4 a , 6 1 4 b , ... , 6 1 4 m) のうちの 1 つに関連するバイナリトリガコードを格納し、

前記アナログ入力信号 (V_{IN}) から決定されたバイナリコードが前記バイナリトリガ コードと一致するか否かを検出し、

メモリモジュール (2 4 2 ; 6 4 2) から、前記バイナリトリガコードに関連しかつ、 較正処理がトリガされた場合に、前記バイナリトリガコードの同じデジタル信号 (C_{OUT}) を与える、予め設定されたバイナリ較正コードを検索し、

前記バイナリ較正コードを前記第 1 段の A D C (2 1 0 ; 6 1 0) に提供し、

前記第 1 段の A D C (2 1 0 ; 6 1 0) は、前記アナログ入力信号 (V_{IN}) と、前記 バイナリ較正コードの最初の m ビットを表すアナログ信号 (V_{MSB}^*) との間の差を計 算することによって、較正残差信号 (V_{RES}^*) を決定するように構成された残差生成 モジュール (2 1 9 ; 6 1 9) をさらに備え、

前記制御モジュール (2 4 0 ; 6 4 0) は、

複数の制御信号を前記利得モジュール (2 3 0 ; 6 3 0) に提供し、

前記利得モジュール (2 3 0 ; 6 3 0) はさらに、すべての最下位ビット (B_{LSB}) が前記第 2 段の A D C (2 2 0 ; 6 2 0) によって決定されるまで、前記較正残差信号 (V_{RES}^*) を一時的に格納し、その後、前記較正残差信号 (V_{RES}^*) を増幅し、前

記増幅された較正残差信号 (V^*_{AMP}) を形成するように構成され、
 前記制御モジュール (240; 640) は、
 上記バイナリ較正コードを前記第2段のADC (220; 620) に提供し、
 前記第2段のADC (220; 620) はさらに、前記増幅された較正残差信号 (V^*_{AMP}) を前記バイナリ較正コードの最後のnビットを表す別のアナログ信号 (V^*_{LSB}) と比較することによって、較正ビット (B^*_{LSB}) を決定するように構成されたコンパレータ (226; 626) を備え、
 前記制御モジュール (240; 640) は、
 前記デジタル信号の最下位ビット (C_{OUT}) と前記較正ビット (B^*_{LSB}) が互いに異なるか否かが判断し、前記異なることは、前記第1段のADC (210; 610) の第1のDAC (216; 616) における前記複数の調整可能なキャパシタ (214a, 214b, ..., 214m; 614a, 614b, ..., 614m) のうちの前記1つと、前記第2段のADC (220; 620) の第2のDAC (226; 626) との間にDACのミスマッチが存在することを示し、
 前記制御モジュール (240; 640) は、
 前記DACのミスマッチの存在が、信号に従って前記複数の調整可能なキャパシタ (214a, 214b, ..., 214m; 614a, 614b, ..., 614m) のうちの前記1つを調整するようにさらに構成される第1のDAC (216; 616) に、当該信号を送信することによって決定された場合において、前記バイナリトリガコードに対応する第1のDAC (216; 616) における前記複数の調整可能なキャパシタ (214a, 214b, ..., 214m; 614a, 614b, ..., 614m) の前記1つのDACのミスマッチ較正を開始する、
 SARADC (200; 600)。

【請求項5】

前記利得モジュール (230; 630) は、
 第1の増幅器 (232; 632) と、
 第2の増幅器 (236; 636) と、
 前記第1の増幅器 (232; 632) と前記第2の増幅器 (236; 636) との間に設けられた第1のスイッチ (234; 634) と、
 前記第2の増幅器 (236; 636) の後段に設けられた第2のスイッチ (238; 638) とを備え、
 前記制御モジュール (240; 640) はさらに、
 すべての最下位ビット (B_{LSB}) が前記第2段のADC (220; 620) によって決定されるまで、前記較正残差信号 (V^*_{RES}) を一時的に格納するように、前記第1のスイッチ (234; 634) 及び前記第2のスイッチ (238; 638) を制御するように構成される、
 請求項4に記載のSARADC (200; 600)。

【請求項6】

前記制御モジュール (240; 640) はさらに、
 前記最下位ビットと前記較正ビット (B^*_{LSB}) との差が前記DACのミスマッチの存在を示すゼロ以外であるか否かを判断する差計算モジュール (247; 647) と、
 前記最下位ビットの値を決定するように構成されたDACミスマッチ較正モジュール (244; 644) とを備え、
 前記最下位ビットの値が0の値を有する場合に下方較正を示し、前記最下位ビットの値が1の値を有する場合に上方較正を示す、
 請求項4又は5に記載のSARADC (200; 600)。