



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월28일
(11) 등록번호 10-2282580
(24) 등록일자 2021년07월22일

- (51) 국제특허분류(Int. Cl.)
G11C 16/08 (2006.01) *G11C 16/04* (2006.01)
G11C 16/24 (2006.01) *G11C 16/32* (2006.01)
G11C 8/10 (2006.01) *G11C 8/12* (2006.01)
H01L 27/11524 (2017.01) *H01L 27/11526* (2017.01)
- (52) CPC특허분류
G11C 16/08 (2013.01)
G11C 16/0425 (2013.01)
- (21) 출원번호 10-2020-7023530
- (22) 출원일자(국제) 2019년01월28일
 심사청구일자 2020년08월14일
- (85) 번역문제출일자 2020년08월14일
- (65) 공개번호 10-2020-0102520
- (43) 공개일자 2020년08월31일
- (86) 국제출원번호 PCT/US2019/015369
- (87) 국제공개번호 WO 2019/182684
 국제공개일자 2019년09월26일
- (30) 우선권주장
 62/647,573 2018년03월23일 미국(US)
 16/015,020 2018년06월21일 미국(US)
- (56) 선행기술조사문헌
 KR1020170106751 A*
 US20050269622 A1
 US07382657 B
 US07868657 B
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
실리콘 스토리지 테크놀로지 인크
 미국 캘리포니아주 95134 산호세 홀거 웨이 450
- (72) 발명자
티와리 비핀
 미국, 94568 캘리포니아, 더블린, 애스터우드 드
 라이브 5599
트란 휴 반
 미국, 95135 캘리포니아, 산 호세, 게일리 플레이
 스 2642
 (뒷면에 계속)
- (74) 대리인
강명구, 박윤원

전체 청구항 수 : 총 20 항

심사관 : 한선경

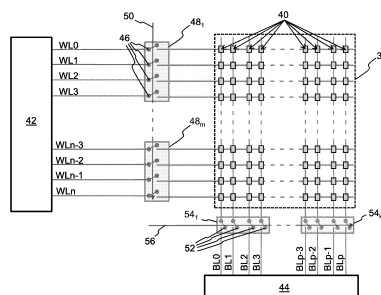
(54) 발명의 명칭 비휘발성 메모리 어레이에서 피크 전력 요구 및 잡음을 관리하기 위한 시스템 및 방법

(57) 요약

메모리 디바이스는 메모리 셀들의 로우들 및 컬럼들, 메모리 셀 로우에 각각 접속된 워드 라인들, 메모리 셀 컬럼에 각각 접속된 비트 라인들, 워드 라인들에 접속된 워드 라인 드라이버, 비트 라인들에 접속된 비트 라인 드라이버, 하나의 메모리 셀 로우를 워드 라인 드라이버에 선택적으로 접속하기 위해 워드 라인들 중 하나 상에 각

(뒷면에 계속)

대표도 - 도4



각 배치된 워드 라인 스위치들, 및 하나의 메모리 셀 컬럼을 비트 라인 드라이버에 선택적으로 접속하기 위해 비트 라인들 중 하나 상에 각각 배치된 비트 라인 스위치들을 포함한다. 컨트롤러가 제1 시점에 메모리 셀들의 로우들 중 일부만을 워드 라인 드라이버에 접속하도록 워드 라인 스위치들을 제어하고, 제2 시점에 메모리 셀들의 컬럼들 중 일부만을 비트 라인 드라이버에 접속하도록 비트 라인 스위치들을 제어한다.

(52) CPC특허분류

G11C 16/24 (2013.01)

G11C 16/32 (2013.01)

G11C 8/10 (2013.01)

G11C 8/12 (2013.01)

H01L 27/11524 (2013.01)

H01L 27/11526 (2013.01)

(72) 발명자

도 난

미국, 95070 캘리포니아, 새러토거, 월넛 애비뉴
20451

라이덴 마크

미국, 94507 캘리포니아, 앨러모, 로열 오크스 드
라이브 3242

명세서

청구범위

청구항 1

메모리 디바이스로서,

로우(row)들 및 컬럼(column)들로 배열된 복수의 메모리 셀들 - 각각의 메모리 셀은 반도체 기판 내에 이격된 소스 및 드레인 영역들과, 소스 및 드레인 영역들 사이에서 연장되는 반도체 기판의 채널 영역과, 상기 채널 영역의 제 1 부분 위에 배치되어 제 1 부분으로부터 절연되는 플로팅 게이트와, 상기 채널 영역의 제 2 부분 위에 배치되어 제 2 부분으로부터 절연되는 제어 게이트를 포함함;

상기 메모리 셀들의 로우에 대한 상기 제어 게이트에 각각 접속된 복수의 워드 라인들;

상기 메모리 셀들의 컬럼에 대한 드레인 영역에 각각 접속된 복수의 비트 라인들;

상기 워드 라인들에 접속된 워드 라인 드라이버;

상기 비트 라인들에 접속된 비트 라인 드라이버;

상기 워드 라인 드라이버에 그리고 상기 워드 라인 드라이버로부터 상기 메모리 셀들의 로우들 중 하나에 대한 제어 게이트를 선택적으로 접속하고 접속해제하기 위해 상기 워드 라인들 중 하나 상에 각각 배치된 복수의 워드 라인 스위치들;

상기 비트 라인 드라이버에 그리고 상기 비트 라인 드라이버로부터 상기 메모리 셀들의 컬럼들 중 하나에 대한 드레인 영역을 선택적으로 접속하고 접속해제하기 위해 상기 비트 라인들 중 하나 상에 각각 배치된 복수의 비트 라인 스위치들; 및

제1 시점에 상기 메모리 셀들의 로우들 전부가 아닌 일부의 제어 게이트를 상기 워드 라인 드라이버에 접속하도록 상기 복수의 워드 라인 스위치들을 제어하고, 제2 시점에 상기 메모리 셀들의 컬럼들 전부가 아닌 일부의 제어 게이트를 상기 비트 라인 드라이버에 접속하도록 상기 복수의 비트 라인 스위치들을 제어하도록 구성된 컨트롤러를 포함하는, 메모리 디바이스.

청구항 2

제1항에 있어서, 상기 제1 시점은 상기 제2 시점과 동일한, 메모리 디바이스.

청구항 3

제1항에 있어서, 상기 제1 시점은 상기 제2 시점 이전 또는 이후인, 메모리 디바이스.

청구항 4

제1항에 있어서, 상기 복수의 워드 라인 스위치들은 상기 워드 라인 스위치들의 m개의 그룹들을 포함하고 여기서 m은 1보다 큰 정수이며, 상기 컨트롤러는,

상기 제1 시점에 상기 m개의 그룹들 중 제1 그룹 내의 상기 워드 라인 스위치들을 접속 상태에 있도록 제어하고,

상기 제1 시점에 상기 m개의 그룹들 중 제2 그룹 내의 상기 워드 라인 스위치들을 접속해제 상태에 있도록 제어하고,

상기 제1 시점 이후인 제3 시점에 상기 m개의 그룹들 중 상기 제1 그룹 내의 상기 워드 라인 스위치들을 접속해제 상태에 있도록 제어하고,

상기 제3 시점에 상기 m개의 그룹들 중 상기 제2 그룹 내의 상기 워드 라인 스위치들을 접속 상태에 있도록 제어하도록 구성되는, 메모리 디바이스.

청구항 5

제4항에 있어서, 상기 워드 라인 드라이버는 상기 제1 및 제3 시점들에 접속 상태에 있는 워드 라인 스위치를 갖는 상기 워드 라인들 중 임의의 것을 접지 전압에 결합하도록 구성되는, 메모리 디바이스.

청구항 6

제1항에 있어서, 상기 복수의 비트 라인 스위치들은 상기 비트 라인 스위치들의 k 개의 그룹들을 포함하고 여기서 k 는 1보다 큰 정수이며, 상기 컨트롤러는,

상기 제2 시점에 상기 k 개의 그룹들 중 제1 그룹 내의 상기 비트 라인 스위치들을 접속 상태에 있도록 제어하고,

상기 제2 시점에 상기 k 개의 그룹들 중 제2 그룹 내의 상기 비트 라인 스위치들을 접속해제 상태에 있도록 제어하고,

상기 제2 시점 이후인 제3 시점에 상기 k 개의 그룹들 중 상기 제1 그룹 내의 상기 비트 라인 스위치들을 접속해제 상태에 있도록 제어하고,

상기 제3 시점에 상기 k 개의 그룹들 중 상기 제2 그룹 내의 상기 비트 라인 스위치들을 접속 상태에 있도록 제어하도록 구성되는, 메모리 디바이스.

청구항 7

제6항에 있어서, 상기 비트 라인 드라이버는 상기 제2 및 제3 시점들에 접속 상태에 있는 비트 라인 스위치를 갖는 상기 비트 라인들 중 임의의 것을 특정 전압으로 충전하도록 구성되는, 메모리 디바이스.

청구항 8

제6항에 있어서, 상기 비트 라인 드라이버는 상기 제2 및 제3 시점들에 접속 상태에 있는 비트 라인 스위치를 갖는 상기 비트 라인들 중 임의의 것을 접지 전압에 결합하도록 구성되는, 메모리 디바이스.

청구항 9

제6항에 있어서, 상기 비트 라인 드라이버는 상기 제2 및 제3 시점들에 접속 상태에 있는 비트 라인 스위치를 갖는 상기 비트 라인들 중 임의의 것 상의 전압 또는 전류를 감지하도록 구성된 감지 증폭기 회로를 포함하는, 메모리 디바이스.

청구항 10

제1항에 있어서, 상기 복수의 워드 라인 스위치들은 상기 워드 라인 스위치들의 m 개의 그룹들을 포함하고 여기서 m 은 1보다 큰 정수이며, 상기 복수의 비트 라인 스위치들은 상기 비트 라인 스위치들의 k 개의 그룹들을 포함하고 여기서 k 는 1보다 큰 정수이며, 상기 컨트롤러는,

상기 제1 시점에 상기 m 개의 그룹들 중 제1 그룹 내의 상기 워드 라인 스위치들을 접속 상태에 있도록 제어하고,

상기 제1 시점에 상기 m 개의 그룹들 중 제2 그룹 내의 상기 워드 라인 스위치들을 접속해제 상태에 있도록 제어하고,

상기 제1 시점 이후인 제3 시점에 상기 m 개의 그룹들 중 상기 제1 그룹 내의 상기 워드 라인 스위치들을 접속해제 상태에 있도록 제어하고,

상기 제3 시점에 상기 m 개의 그룹들 중 상기 제2 그룹 내의 상기 워드 라인 스위치들을 접속 상태에 있도록 제어하고,

상기 제1 시점과 동일한 상기 제2 시점에 상기 k 개의 그룹들 중 제1 그룹 내의 상기 비트 라인 스위치들을 접속 상태에 있도록 제어하고,

상기 제2 시점에 상기 k 개의 그룹들 중 제2 그룹 내의 상기 비트 라인 스위치들을 접속해제 상태에 있도록 제어하고,

상기 제3 시점에 상기 k 개의 그룹들 중 상기 제1 그룹 내의 상기 비트 라인 스위치들을 접속해제 상태에 있도록

제어하고,

상기 제3 시점에 상기 k개의 그룹들 중 상기 제2 그룹 내의 상기 비트 라인 스위치들을 접속 상태에 있도록 제어하도록 구성되는, 메모리 디바이스.

청구항 11

메모리 디바이스로서,

로우들 및 컬럼들로 배열된 복수의 메모리 셀들 - 각각의 메모리 셀은 반도체 기관 내에 이격된 소스 및 드레인 영역들과, 소스 및 드레인 영역들 사이에서 연장되는 반도체 기관의 채널 영역과, 상기 채널 영역의 제 1 부분 위에 배치되어 제 1 부분으로부터 절연되는 플로팅 게이트와, 상기 채널 영역의 제 2 부분 위에 배치되어 제 2 부분으로부터 절연되는 제어 게이트를 포함함;

상기 메모리 셀들의 로우에 대한 제어 게이트에 각각 접속된 복수의 워드 라인들;

상기 메모리 셀들의 컬럼에 대한 드레인 영역에 각각 접속된 복수의 비트 라인들;

상기 워드 라인들에 접속된 워드 라인 드라이버;

상기 비트 라인들에 접속된 비트 라인 드라이버;

상기 워드 라인 드라이버에 그리고 상기 워드 라인 드라이버로부터 상기 메모리 셀들의 로우들 중 하나에 대한 제어 게이트를 선택적으로 접속하고 접속해제하기 위해 상기 워드 라인들 중 하나 상에 각각 배치된 복수의 워드 라인 스위치들; 및

제1 시점에 상기 메모리 셀들의 로우들 전부가 아닌 일부의 제어 게이트를 상기 워드 라인 드라이버에 접속하도록 상기 복수의 워드 라인 스위치들을 제어하도록 구성된 컨트롤러를 포함하는, 메모리 디바이스.

청구항 12

제11항에 있어서, 상기 복수의 워드 라인 스위치들은 상기 워드 라인 스위치들의 m개의 그룹들을 포함하고 여기서 m은 1보다 큰 정수이며, 상기 컨트롤러는,

상기 제1 시점에 상기 m개의 그룹들 중 제1 그룹 내의 상기 워드 라인 스위치들을 접속 상태에 있도록 제어하고,

상기 제1 시점에 상기 m개의 그룹들 중 제2 그룹 내의 상기 워드 라인 스위치들을 접속해제 상태에 있도록 제어하고,

상기 제1 시점 이후인 제2 시점에 상기 m개의 그룹들 중 상기 제1 그룹 내의 상기 워드 라인 스위치들을 접속해제 상태에 있도록 제어하고,

상기 제2 시점에 상기 m개의 그룹들 중 상기 제2 그룹 내의 상기 워드 라인 스위치들을 접속 상태에 있도록 제어하도록 구성되는, 메모리 디바이스.

청구항 13

삭제

청구항 14

삭제

청구항 15

메모리 디바이스를 동작시키는 방법으로서, 상기 메모리 디바이스는,

로우들 및 컬럼들로 배열된 복수의 메모리 셀들 - 각각의 메모리 셀은 반도체 기관 내에 이격된 소스 및 드레인 영역들과, 소스 및 드레인 영역들 사이에서 연장되는 반도체 기관의 채널 영역과, 상기 채널 영역의 제 1 부분 위에 배치되어 제 1 부분으로부터 절연되는 플로팅 게이트와, 상기 채널 영역의 제 2 부분 위에 배치되어 제 2 부분으로부터 절연되는 제어 게이트를 포함함;

상기 메모리 셀들의 로우에 대한 제어 게이트에 각각 접속된 복수의 워드 라인들;

상기 메모리 셀들의 컬럼에 대한 드레인 영역에 각각 접속된 복수의 비트 라인들;

상기 워드 라인들에 접속된 워드 라인 드라이버;

상기 비트 라인들에 접속된 비트 라인 드라이버;

상기 워드 라인 드라이버에 그리고 상기 워드 라인 드라이버로부터 상기 메모리 셀들의 로우들 중 하나에 대한 제어 게이트를 선택적으로 접속하고 접속해제하기 위해 상기 워드 라인들 중 하나 상에 각각 배치된 복수의 워드 라인 스위치들; 및

상기 비트 라인 드라이버에 그리고 상기 비트 라인 드라이버로부터 상기 메모리 셀들의 컬럼들 중 하나에 대한 드레인 영역을 선택적으로 접속하고 접속해제하기 위해 상기 비트 라인들 중 하나 상에 각각 배치된 복수의 비트 라인 스위치들을 포함하고,

상기 방법은,

제1 시점에 상기 메모리 셀들의 로우들 전부가 아닌 일부의 제어 게이트를 상기 워드 라인 드라이버에 접속하도록 상기 복수의 워드 라인 스위치들을 동작시키는 단계, 및

제2 시점에 상기 메모리 셀들의 컬럼들 전부가 아닌 일부의 드레인 영역을 상기 비트 라인 드라이버에 접속하도록 상기 복수의 비트 라인 스위치들을 동작시키는 단계를 포함하는, 메모리 디바이스 동작 방법.

청구항 16

제15항에 있어서, 상기 복수의 워드 라인 스위치들은 상기 워드 라인 스위치들의 m 개의 그룹들을 포함하고 여기서 m 은 1보다 큰 정수이며, 상기 방법은,

상기 제1 시점에 상기 m 개의 그룹들 중 제1 그룹 내의 상기 워드 라인 스위치들을 접속 상태에 있도록 동작시키는 단계;

상기 제1 시점에 상기 m 개의 그룹들 중 제2 그룹 내의 상기 워드 라인 스위치들을 접속해제 상태에 있도록 동작시키는 단계;

상기 제1 시점 이후인 제3 시점에 상기 m 개의 그룹들 중 상기 제1 그룹 내의 상기 워드 라인 스위치들을 접속해제 상태에 있도록 동작시키는 단계; 및

상기 제3 시점에 상기 m 개의 그룹들 중 상기 제2 그룹 내의 상기 워드 라인 스위치들을 접속 상태에 있도록 동작시키는 단계를 포함하는, 메모리 디바이스 동작 방법.

청구항 17

제16항에 있어서,

상기 제1 및 제3 시점들에 접속 상태에 있는 워드 라인 스위치를 갖는 상기 워드 라인들 중 임의의 것을 접지 전압에 결합하는 단계를 추가로 포함하는, 메모리 디바이스 동작 방법.

청구항 18

제15항에 있어서, 상기 복수의 비트 라인 스위치들은 상기 비트 라인 스위치들의 k 개의 그룹들을 포함하고 여기서 k 는 1보다 큰 정수이며, 상기 방법은,

상기 제2 시점에 상기 k 개의 그룹들 중 제1 그룹 내의 상기 비트 라인 스위치들을 접속 상태에 있도록 동작시키는 단계;

상기 제2 시점에 상기 k 개의 그룹들 중 제2 그룹 내의 상기 비트 라인 스위치들을 접속해제 상태에 있도록 동작시키는 단계;

상기 제2 시점 이후인 제3 시점에 상기 k 개의 그룹들 중 상기 제1 그룹 내의 상기 비트 라인 스위치들을 접속해제 상태에 있도록 동작시키는 단계; 및

상기 제3 시점에 상기 k 개의 그룹들 중 상기 제2 그룹 내의 상기 비트 라인 스위치들을 접속 상태에 있도록 동

작시키는 단계를 포함하는, 메모리 디바이스 동작 방법.

청구항 19

제18항에 있어서,

상기 제2 및 제3 시점들에 접속 상태에 있는 비트 라인 스위치를 갖는 상기 비트 라인들 중 임의의 것을 특정 전압으로 충전하는 단계를 추가로 포함하는, 메모리 디바이스 동작 방법.

청구항 20

제18항에 있어서,

상기 제2 및 제3 시점들에 접속 상태에 있는 비트 라인 스위치를 갖는 상기 비트 라인들 중 임의의 것을 접지 전압에 결합하는 단계를 추가로 포함하는, 메모리 디바이스 동작 방법.

청구항 21

제18항에 있어서,

상기 제2 및 제3 시점들에 접속 상태에 있는 비트 라인 스위치를 갖는 상기 비트 라인들 중 임의의 것 상의 전압 또는 전류를 감지하는 단계를 추가로 포함하는, 메모리 디바이스 동작 방법.

청구항 22

제15항에 있어서, 상기 복수의 워드 라인 스위치들은 상기 워드 라인 스위치들의 m개의 그룹들을 포함하고 여기서 m은 1보다 큰 정수이며, 상기 복수의 비트 라인 스위치들은 상기 비트 라인 스위치들의 k개의 그룹들을 포함하고 여기서 k는 1보다 큰 정수이며, 상기 방법은,

상기 제1 시점에 상기 m개의 그룹들 중 제1 그룹 내의 상기 워드 라인 스위치들을 접속 상태에 있도록 동작시키는 단계;

상기 제1 시점에 상기 m개의 그룹들 중 제2 그룹 내의 상기 워드 라인 스위치들을 접속해제 상태에 있도록 동작시키는 단계;

상기 제1 시점 이후인 제3 시점에 상기 m개의 그룹들 중 상기 제1 그룹 내의 상기 워드 라인 스위치들을 접속해제 상태에 있도록 동작시키는 단계;

상기 제3 시점에 상기 m개의 그룹들 중 상기 제2 그룹 내의 상기 워드 라인 스위치들을 접속 상태에 있도록 동작시키는 단계;

상기 제1 시점과 동일한 상기 제2 시점에 상기 k개의 그룹들 중 제1 그룹 내의 상기 비트 라인 스위치들을 접속 상태에 있도록 동작시키는 단계;

상기 제2 시점에 상기 k개의 그룹들 중 제2 그룹 내의 상기 비트 라인 스위치들을 접속해제 상태에 있도록 동작시키는 단계;

상기 제3 시점에 상기 k개의 그룹들 중 상기 제1 그룹 내의 상기 비트 라인 스위치들을 접속해제 상태에 있도록 동작시키는 단계; 및

상기 제3 시점에 상기 k개의 그룹들 중 상기 제2 그룹 내의 상기 비트 라인 스위치들을 접속 상태에 있도록 동작시키는 단계를 포함하는, 메모리 디바이스 동작 방법.

발명의 설명

기술 분야

[0001] 관련 출원

[0002] 본 출원은 2018년 3월 23일자로 출원된 미국 가출원 제62/647,573호 및 2018년 6월 21일자로 출원된 미국 특허 출원 제16/015,020호의 이익을 주장한다.

[0003] 기술분야

[0004] 본 발명은 비휘발성 메모리 어레이들에 관한 것이다.

배경 기술

[0005] 비휘발성 메모리 디바이스들은 본 기술 분야에 잘 알려져 있다. 예를 들어, 분리형 게이트 메모리 셀이 미국 특허 제5,029,130호에 개시되어 있다. 이러한 메모리 셀은 소스 영역과 드레인 영역 사이에 연장되는 기관의 채널 영역 위에 배치되고 그의 전도율을 제어하는 제어 게이트 및 플로팅 게이트를 갖는다. (플로팅 게이트 상에 전자들을 주입함으로써) 메모리 셀을 프로그램하고, (플로팅 게이트로부터 전자들을 제거함으로써) 메모리 셀을 소거하고, (플로팅 게이트의 프로그래밍 상태를 결정하기 위해 채널 영역의 전도율을 측정하거나 검출함으로써) 메모리 셀을 판독하기 위해 전압들의 다양한 조합들이 제어 게이트, 소스 및 드레인에 인가된다.

[0006] 비휘발성 메모리 셀들 내의 게이트들의 구성 및 개수는 달라질 수 있다. 예를 들어, 미국 특허 제7,315,056호는 소스 영역 위에 프로그램/소거 게이트를 추가로 포함하는 메모리 셀을 개시한다. 미국 특허 제7,868,375호는 소스 영역 위에 소거 게이트를 그리고 플로팅 게이트 위에 커플링 게이트를 추가로 포함하는 메모리 셀을 개시한다.

[0007] 도 1은 이격된 소스 및 드레인 영역들(14/16)이 실리콘 반도체 기관(12)에 형성된 분리형 게이트 메모리 셀(10)을 예시한다. 기관의 채널 영역(18)이 소스/드레인 영역들(14/16) 사이에 정의된다. 플로팅 게이트(20)가 채널 영역(18)의 제1 부분 위에 배치되고 그로부터 절연된다(그리고 부분적으로 소스 영역(14) 위에 있고 그로부터 절연된다). 제어 게이트(워드 라인 게이트 또는 선택 게이트로도 지칭됨)(22)가 채널 영역(18)의 제2 부분 위에 배치되고 그로부터 절연된 하부 부분, 및 위쪽으로 그리고 플로팅 게이트(20) 위로 연장되는 상부 부분을 갖는다(즉, 제어 게이트(22)는 플로팅 게이트(20)의 상부 예지 주위를 감싼다).

[0008] 메모리 셀(10)은 제어 게이트(22) 상에 고 포지티브 전압을 그리고 소스 및 드레인 영역들(14/16) 상에 기준 전위를 배치함으로써 소거될 수 있다. 플로팅 게이트(20)와 제어 게이트(22) 사이의 고 전압 강하는 잘 알려진 파울러-노드하임(Fowler-Nordheim) 터널링 메커니즘에 의해 플로팅 게이트(20) 상의 전자들이 플로팅 게이트(20)로부터 개재된 절연체를 통해 제어 게이트(22)로 터널링하게 할 것이다(플로팅 게이트(20)를 포지티브로 대전된 또는 더 포지티브로 대전된 상태 - 소거된 상태로 됨). 메모리 셀(10)은 드레인 영역(16)에 접지 전위를, 소스 영역(14) 상에 포지티브 전압을, 그리고 제어 게이트(22) 상에 포지티브 전압을 인가함으로써 프로그램될 수 있다. 이어서 전자들이 드레인 영역(16)으로부터 소스 영역(14)을 향해 흐를 것이며, 이때 일부 전자들은 가속화되고 가열되며 이에 의해 그들은 플로팅 게이트(20) 상에 (열 전자 주입(hot electron injection)에 의해) 주입된다(플로팅 게이트를 네거티브로 대전된 또는 더 네거티브로 대전된 상태 - 프로그램된 상태로 됨). 메모리 셀(10)은 드레인 영역(16) 상에 접지 전위를, 소스 영역(14) 상에 포지티브 전압을, 그리고 제어 게이트(22) 상에 포지티브 전압을 배치함으로써 판독될 수 있다(제어 게이트(22) 아래의 채널 영역 부분을 턴옴). 플로팅 게이트가 포지티브로 대전(소거)되는 경우, 전류가 소스 영역(14)으로부터 드레인 영역(16)으로 흐를 것이다(즉, 메모리 셀(10)은 감지된 전류 흐름에 기초하여 그의 소거된 "1" 상태에 있는 것으로 감지된다). 플로팅 게이트(20)가 네거티브로 대전(프로그램)되는 경우, 플로팅 게이트 아래의 채널 영역은 약하게 턴옴되거나 턴옴되며, 그에 의해 임의의 전류 흐름을 감소시키거나 방지한다(즉, 메모리 셀(10)은 감지된 낮은 전류 흐름 또는 전류 흐름 없음에 기초하여 그의 프로그램된 "0" 상태에 있는 것으로 감지된다).

[0009] 도 2는 메모리 셀(10)과 동일한 요소들을 갖지만, 소스 영역(14) 위에 배치되고 그로부터 절연된 프로그램/소거 (PE) 게이트(26)를 추가로 갖는 대안적인 분리형 게이트 메모리 셀(24)을 예시한다(즉, 이것은 3-게이트 설계이다). 메모리 셀(24)은 PE 게이트(26) 상에 고 전압을 배치하여 플로팅 게이트(20)로부터 PE 게이트(26)로의 전자들의 터널링을 유도함으로써 소거될 수 있다. 메모리 셀(24)은 제어 게이트(22), PE 게이트(26), 및 소스 영역(14) 상에 포지티브 전압들을, 그리고 드레인 영역(16) 상에 전류를 배치하여 채널 영역(18)을 통해 흐르는 전류로부터의 전자들을 플로팅 게이트(20) 상에 주입함으로써 프로그램될 수 있다. 메모리 셀(24)은 제어 게이트(22) 및 드레인 영역(16) 상에 포지티브 전압들을 배치하고, 전류 흐름을 감지함으로써 판독될 수 있다.

[0010] 도 3은 메모리 셀(10)과 동일한 요소들을 갖지만, 소스 영역(14) 위에 배치되고 그로부터 절연된 소거 게이트(30), 및 플로팅 게이트(20) 위에 있고 그로부터 절연된 커플링 게이트(32)를 추가로 갖는 대안적인 분리형 게이트 메모리 셀(28)을 예시한다. 메모리 셀(28)은 소거 게이트(30) 상에 고 전압을 그리고 선택적으로 커플링 게이트(32) 상에 네거티브 전압을 배치하여 플로팅 게이트(20)로부터 소거 게이트(30)로의 전자들의 터널링을 유도함으로써 소거될 수 있다. 메모리 셀(28)은 제어 게이트(22), 소거 게이트(30), 커플링 게이트(32), 및 소스 영역(14) 상에 포지티브 전압들을, 그리고 드레인 영역(16) 상에 전류를 배치하여 채널 영역(18)을 통해 흐

르는 전류로부터의 전자들을 플로팅 게이트(20) 상에 주입함으로써 프로그램될 수 있다. 메모리 셀(28)은 제어 게이트(22) 및 드레인 영역(16) 상에(그리고 선택적으로 소거 게이트(30) 및/또는 커플링 게이트(32) 상에) 포지티브 전압들을 배치하고, 전류 흐름을 감지함으로써 판독될 수 있다.

[0011] 위에 언급된 모든 메모리 셀들에 대해, 그들은 전형적으로 디지털 방식으로 동작되며, 이는 메모리 셀들을 "0" 상태로 프로그램하고, 메모리 셀들을 "1" 상태로 소거하고, 메모리 셀들이 프로그램된 상태에 있는지 또는 소거된 상태에 있는지를 결정하기 위해 메모리 셀들을 판독하기 위해서 프로그램, 소거 및 판독 동작들 각각에서 전압들이 인가된다는 것을 의미한다. 디지털 동작들에서, 각각의 메모리 셀은 1 비트의 데이터만을 저장할 수 있고(즉, 셀은 단지 2개의 가능한 프로그래밍 상태를 가짐), 이 데이터는 메모리 셀을 그의 판독 임계치 위에 배치하고 이에 의해 그가 전자들로 프로그램되지 않은 경우에는 판독 전류를 전도할 것이고 그가 전자들로 프로그램된 경우에는 전도하지 않을(또는 매우 적게 전도할) 것에 의해 판독된다.

[0012] 전술한 메모리 셀들을 아날로그 방식으로 동작시키는 것이 또한 가능하며, 이에 의해 각각의 메모리 셀은 하위 임계 판독 동작을 이용하여 메모리 셀을 판독함으로써 결정되는 많은 프로그래밍 상태들 중 하나로 프로그램될 수 있다. 구체적으로, 각각의 메모리 셀은 원하는 프로그래밍 상태가 달성될 때까지 전자들로 점진적으로 프로그램될 수 있다. 판독 동작 동안, 메모리 셀 판독 전압(들)은 메모리 셀을 하위 임계 상태에 배치하도록 선택되며(즉, 판독 전압(들)은 메모리 셀을 그의 프로그램된 상태가 어떻든 간에 턴온시키기에 불충분함), 따라서 메모리 셀의 채널 영역을 통과하는 임의의 전류는 하위 임계 누설 전류를 나타낸다. 그러나, 그러한 하위 임계 누설 전류는 메모리 셀의 프로그래밍 상태에 비례할 것이고, 이에 따라 메모리 셀의 프로그래밍 상태를 나타낼 것이다. 따라서, 이러한 방식으로, 메모리 셀들은 아날로그 방식으로 사용될 수 있고, 이에 따라 그들은 아날로그 프로그래밍 상태로 프로그램되고, 아날로그 프로그래밍 상태에 비례하는 아날로그 판독 전류를 생성한다. 아날로그 동작은 신경망들과 같은 응용들에 대해 이상적이며, 여기서 메모리 셀들은 개별 가중치 값들을 저장하는 데 사용되고, 어레이는 벡터/행렬 곱셈을 수행하는 데 사용된다(즉, 뉴런 계층 입력들은 워드 라인들 상에 배치되고, 비트 라인들 상의 출력들을 생성하기 위해 개별 메모리 셀들에 저장된 가중치들로 효과적으로 곱해진다).

[0013] 디지털 동작에서, 메모리 셀들의 전체 로우(row)가 일반적으로 단일 판독 동작에서 판독된다. 이것은 워드 라인이 그의 판독 전압으로 활성화될 뿐만 아니라, 메모리 셀들의 그 로우에 대한 비트 라인들 각각이 판독 동작 동안 너무 활성화된다는 것을 의미한다. 따라서 디지털 동작을 위한 피크 전류 요구는 하나의 워드 라인 및 모든 비트 라인들을 활성화하는 데 필요한 전류 요건들에 의해 좌우된다. 그러나, 아날로그 동작에서, 모든 워드 라인들 및 비트 라인들이 (예를 들어, 벡터/행렬 곱셈 연산 동안) 동시에 활성화될 수 있다. 이것은 아날로그 동작에서의 메모리 어레이에 의한 피크 전류 요구가 디지털 동작의 피크 전류 요구의 몇 배일 수 있다는 것을 의미한다. 높은 피크 전류 요구는 디바이스 오동작을 야기할 수 있는 과도한 전력 공급 잡음, 디바이스 오동작을 또한 야기할 수 있는 상당한 전압 강하, 및 RF 에너지에 의해 전력을 공급받는 디바이스들에 대한 악영향들을 유발할 수 있다. 전류 요구의 소스들은 큰 워드 라인 드라이버들, 비트 라인 사전 충전, 차동 전류 감지를 위한 차동 증폭기들, 및 활성화를 포함한다. 모든 경우들에서, 전압 및 전류 공급기들은 메모리 어레이를 동작시키기 위한 피크 전압 및 전류 요건들을 핸들링할 필요가 있으며, 이는 이러한 디바이스들을 더 크고 더 많은 전력을 소비하게 만든다.

[0014] 피크 전력 요구 및 잡음을 감소시키는 비휘발성 메모리 어레이 아키텍처 및 설계에 대한 필요성이 존재한다.

발명의 내용

[0015] 전술한 문제들 및 요구는 메모리 디바이스로서, 로우들 및 컬럼(column)들로 배열된 복수의 메모리 셀들, 메모리 셀들의 로우에 각각 접속된 복수의 워드 라인들, 메모리 셀들의 컬럼에 각각 접속된 복수의 비트 라인들, 워드 라인들에 접속된 워드 라인 드라이버, 비트 라인들에 접속된 비트 라인 드라이버, 워드 라인 드라이버에 그리고 워드 라인 드라이버로부터 메모리 셀들의 로우들 중 하나를 선택적으로 접속하고 접속해제하기 위해 워드 라인들 중 하나 상에 각각 배치된 복수의 워드 라인 스위치들, 비트 라인 드라이버에 그리고 비트 라인 드라이버로부터 메모리 셀들의 컬럼들 중 하나를 선택적으로 접속하고 접속해제하기 위해 비트 라인들 중 하나 상에 각각 배치된 복수의 비트 라인 스위치들, 및 제1 시점에 메모리 셀들의 로우들 전부가 아닌 일부를 워드 라인 드라이버에 접속하도록 복수의 워드 라인 스위치들을 제어하고, 제2 시점에 메모리 셀들의 컬럼들 전부가 아닌 일부를 비트 라인 드라이버에 접속하도록 복수의 비트 라인 스위치들을 제어하도록 구성된 컨트롤러를 포함하는, 메모리 디바이스에 의해 해결된다.

[0016] 메모리 디바이스는 로우들 및 컬럼들로 배열된 복수의 메모리 셀들, 메모리 셀들의 로우에 각각 접속된 복수의

워드 라인들, 메모리 셀들의 컬럼에 각각 접속된 복수의 비트 라인들, 워드 라인들에 접속된 워드 라인 드라이버, 비트 라인들에 접속된 비트 라인 드라이버, 워드 라인 드라이버에 그리고 워드 라인 드라이버로부터 메모리 셀들의 로우들 중 하나를 선택적으로 접속하고 접속해제하기 위해 워드 라인들 중 하나 상에 각각 배치된 복수의 워드 라인 스위치들, 및 제1 시점에 메모리 셀들의 로우들 전부가 아닌 일부를 워드 라인 드라이버에 접속하도록 복수의 워드 라인 스위치들을 제어하도록 구성된 컨트롤러를 포함한다.

[0017] 메모리 디바이스는 로우들 및 컬럼들로 배열된 복수의 메모리 셀들, 메모리 셀들의 로우에 각각 접속된 복수의 워드 라인들, 메모리 셀들의 컬럼에 각각 접속된 복수의 비트 라인들, 워드 라인들에 접속된 워드 라인 드라이버, 비트 라인들에 접속된 비트 라인 드라이버, 비트 라인 드라이버에 그리고 비트 라인 드라이버로부터 메모리 셀들의 컬럼들 중 하나를 선택적으로 접속하고 접속해제하기 위해 비트 라인들 중 하나 상에 각각 배치된 복수의 비트 라인 스위치들, 및 제1 시점에 메모리 셀들의 컬럼들 전부가 아닌 일부를 비트 라인 드라이버에 접속하도록 복수의 비트 라인 스위치들을 제어하도록 구성된 컨트롤러를 포함한다.

[0018] 메모리 디바이스를 동작시키는 방법으로서, 메모리 디바이스는 로우들 및 컬럼들로 배열된 복수의 메모리 셀들, 메모리 셀들의 로우에 각각 접속된 복수의 워드 라인들, 메모리 셀들의 컬럼에 각각 접속된 복수의 비트 라인들, 워드 라인들에 접속된 워드 라인 드라이버, 비트 라인들에 접속된 비트 라인 드라이버, 워드 라인 드라이버에 그리고 워드 라인 드라이버로부터 메모리 셀들의 로우들 중 하나를 선택적으로 접속하고 접속해제하기 위해 워드 라인들 중 하나 상에 각각 배치된 복수의 워드 라인 스위치들, 및 비트 라인 드라이버에 그리고 비트 라인 드라이버로부터 메모리 셀들의 컬럼들 중 하나를 선택적으로 접속하고 접속해제하기 위해 비트 라인들 중 하나 상에 각각 배치된 복수의 비트 라인 스위치들을 포함하는, 방법. 본 방법은 제1 시점에 메모리 셀들의 로우들 전부가 아닌 일부를 워드 라인 드라이버에 접속하도록 복수의 워드 라인 스위치들을 동작시키는 단계, 및 제2 시점에 메모리 셀들의 컬럼들 전부가 아닌 일부를 비트 라인 드라이버에 접속하도록 복수의 비트 라인 스위치들을 동작시키는 단계를 포함한다.

[0019] 본 발명의 다른 목적들 및 특징들이 명세서, 청구범위 및 첨부 도면의 검토에 의해 명백해질 것이다.

도면의 간단한 설명

- [0020] 도 1은 2개의 전도성 게이트를 갖는 종래의 분리형 게이트 메모리 셀의 측단면도이다.
- 도 2는 3개의 전도성 게이트를 갖는 종래의 분리형 게이트 메모리 셀의 측단면도이다.
- 도 3은 4개의 전도성 게이트를 갖는 종래의 분리형 게이트 메모리 셀의 측단면도이다.
- 도 4는 본 발명의 메모리 어레이 구성의 개략도이다.
- 도 5는 본 발명의 예시적인 메모리 디바이스의 아키텍처를 도시하는 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0021] 메모리 어레이를 동작시키기 위한 전력 및 전류 요구들은 소정 시점들에서 함께 동작되는 소정 컴포넌트들을 선택적으로 그룹화하고, 소정 동작들 동안 다른 것들을 제외하고 그 컴포넌트들의 그룹을 함께 동작시킴으로써 감소될 수 있다. 그렇게 함으로써, 전류 및 전압을 공급하는 컴포넌트들은 크기 및 복잡성이 감소될 수 있으며, 더 적은 전력을 소비할 것이다.

[0022] 도 4는 본 발명의 메모리 어레이 구성을 예시하며, 전술한 메모리 셀 구성들 중 임의의 것에 적용 가능하다. 메모리 어레이(38)는 로우들 및 컬럼들로 배열된 메모리 셀들(40)을 포함한다. 워드 라인들(WL0, WL1, ... WLn-1 및 WLn)은 로우 방향으로 연장되고, 워드 라인 드라이버(42)에 의해 구동된다. 비트 라인들(BL0, BL1, ... BLp-1 및 BLp)은 컬럼 방향으로 연장되고, 비트 라인 드라이버(44)에 의해 구동된다. 비트 라인 드라이버(44)는 비트 라인들 상으로 전압들/전류들을 구동하기 위한 회로뿐만 아니라, 비트 라인들 상의 전압들/전류들을 감지하기 위한 감지 증폭기 회로를 포함한다. 각각의 메모리 셀(40)은 워드 라인들(WL) 중 하나와 비트 라인들(BL) 중 하나의 교차점에 위치된다. 워드 라인들(WL0-WLn) 각각은 메모리 셀들(40)의 전체 로우를 위한 제어 게이트들(워드 라인 게이트들 또는 선택 게이트들로도 지칭됨)에 접속되고/되거나 이들을 형성한다. 비트 라인들(BL0-BLp) 각각은 메모리 셀들(40)의 전체 컬럼을 위한 드레인 영역들에 접속된다.

[0023] 각각의 워드 라인(WL)은 워드 라인 드라이버(42)로부터 워드 라인(WL) 상의 인입 신호들을 선택적으로 통과시키거나 차단하는 스위치(WL 스위치(46))를 포함한다. 구체적으로, 각각의 스위치는 그가 그를 통해 신호들을 전도하거나 통과시킬 때 또는 접속 상태, 및 그가 그를 통해 신호들을 전도하거나 통과시키지 않을 개방 또는

접속해제 상태를 갖는다. 워드 라인 스위치들(46)은 그룹들(48₁, 48₂, ... 48_m)로 클러스터링될 수 있으며, 여기서 각각의 그룹 내의 워드 라인 스위치들(46) 모두가 함께 동작된다. 워드 라인 스위치들(46)은 하나 이상의 WL 스위치 제어 라인들(50) 상의 제어 신호들에 응답하여 (신호들을 차단하기 위해) 개방되고 (신호들을 통과시키기 위해) 폐쇄된다.

[0024] 각각의 비트 라인(BL)은 비트 라인 드라이버(44)로/로부터 비트 라인 상의 신호들을 선택적으로 통과시키거나 차단하는 스위치(BL 스위치(52))를 포함한다. 구체적으로, 각각의 스위치는 그가 그를 통해 신호들을 전도하거나 통과시킬 폐쇄 또는 접속 상태, 및 그가 그를 통해 신호들을 전도하거나 통과시키지 않을 개방 또는 접속해제 상태를 갖는다. 비트 라인 스위치들(52)은 그룹들(54₁, 54₂, ... 54_k)로 클러스터링될 수 있으며, 여기서 각각의 그룹 내의 비트 라인 스위치들(52) 모두가 함께 동작된다. 비트 라인 스위치들(52)은 하나 이상의 BL 스위치 제어 라인들(56) 상의 제어 신호들에 응답하여 (신호들을 차단하기 위해) 개방되고 (신호들을 통과시키기 위해) 폐쇄된다.

[0025] 본 발명은 워드 라인들(WL) 상의 WL 스위치들(46) 및 비트 라인들(BL) 상의 BL 스위치들(52)을 선택적으로 제어함으로써 피크 전류/전력 요구를 관리하고 제어한다. 구체적으로, WL 스위치들(46) 중 일부만이 소정 시점에 활성화(폐쇄)되어 워드 라인 드라이버(42)로부터 워드 라인들(WL) 중 단지 일부로 전압들/전류들을 통과시킨다. 유사하게, BL 스위치들(52) 중 일부만이 소정 시점에 활성화(폐쇄)되어 비트 라인 드라이버(44)와 비트 라인들(BL) 중 단지 일부 사이에서 전압들/전류들을 통과시킨다. WL 스위치들(46) 전부가 아니라 일부 및/또는 BL 스위치들(52) 전부가 아니라 일부를 하나의 시간에 폐쇄되게 함으로써, 메모리 어레이에 의한 피크 전류 요구는 감소된다. 피크 전류 요구의 이러한 감소는 WL 스위치들(46)의 그룹들(48) 전부가 아닌 하나 이상을 하나의 시간에 활성화함으로써 달성될 수 있다. 유사하게, 피크 전류 요구의 이러한 감소는 BL 스위치들(52)의 그룹들(54) 전부가 아닌 하나 이상을 하나의 시간에 활성화함으로써 달성될 수 있다.

[0026] 예를 들어, 소정 동작들은 비트 라인들이 특정 전압으로 사전 충전될 것을 요구한다. 그러한 동작 동안, BL 스위치들(52)의 그룹들(54) 전부가 아닌 하나 이상이 활성화(폐쇄)될 수 있고, 따라서 비트 라인들 중 일부만이 비트 라인 드라이버(44)에 의해 하나의 시간(즉, 제1 시점)에 사전 충전된다. 다른 비트 라인들은 나중 시간(들)에(즉, 제1 시점과는 상이한 하나 이상의 다른 시점에) 사전 충전될 수 있다. 다른 예에서, 감지 증폭기 회로는 차동 감지 증폭기들을 포함할 수 있으며, 이들 각각은 비트 라인들 중 2개 사이의 전압에 있어서의 차이를 검출한다. BL 스위치들(52)은 상이한 시간들에 비트 라인 드라이버(44) 내의 상이한 차동 감지 증폭기들에 접속된 비트 라인들의 상이한 그룹들(54)을 순차적으로 활성화하는 데 사용될 수 있다. 또 다른 예에서, 워드 라인들 및 비트 라인들은 소정 동작들 동안 전압이 방전된다(즉, 접지에 결합함으로써). WL 스위치들(46) 및/또는 BL 스위치들(52)은 이러한 동작 동안 상이한 시간들에 연속적으로 폐쇄될 수 있으며, 따라서 라인들 중 일부만이 하나의 시간에 방전된다(이는 접지 잡음을 감소시킨다). 이것은 개별적으로(스위치별로) 또는 그룹 단위로(그룹별로, 그룹들별로 등) 행해질 수 있다. 상기 예들 중 임의의 것에서, 스위치들의 하나의 그룹을 수반하는 동작으로부터의 응답은 스위치들의 다른 그룹에 대한 입력 트리거일 수 있다.

[0027] 각각의 스위치 그룹(48/54) 내의 워드 라인들(WL) 및 비트 라인들(BL)의 수는 디바이스의 피크 전류 요구들에 따라 달라질 수 있다. 대안적으로, 스위치들은 그룹들로 동작됨이 없이 개별적으로 동작될 수 있다. 전술한 WL 스위치들(46) 및 BL 스위치들(52)은 워드 라인 드라이버(42) 및 비트 라인 드라이버(44)의 설계 및 동작의 간소화를 가능하게 한다.

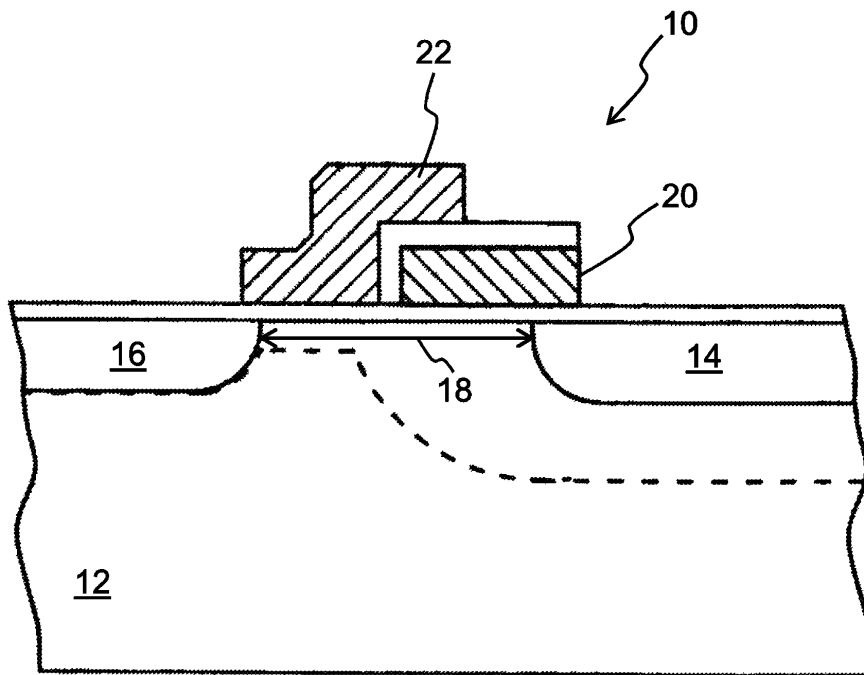
[0028] 예시적인 메모리 디바이스의 아키텍처가 도 5에 예시되어 있다. 메모리 디바이스는 2개의 별개의 평면(평면 A(62a) 및 평면 B(62b))으로 분리될 수 있는, 비휘발성 메모리 셀들의 어레이(60)를 포함한다. 메모리 셀들은 도 1 내지 도 3에 도시된 타입의 것이고, 단일 칩 상에 형성되고, 반도체 기판(12)에서 복수의 로우들 및 컬럼들로 배열될 수 있다. 비휘발성 메모리 셀들의 어레이에 어드레스 디코더들(예컨대, XDEC(64)(바람직하게는 워드 라인 드라이버(42)를 포함하는 로우 디코더), SLDRV(66)(소스 라인들을 구동하기 위한 소스 라인 드라이버), YMUX(68)(바람직하게는 비트 라인 드라이버(44)를 포함하는 컬럼 디코더), HVDEC(70)(고 전압 디코더) 및 비트 라인 컨트롤러(BLINHCTL)(72))이 인접해 있는데, 이들은 선택된 메모리 셀들에 대한 판독, 프로그램, 및 소거 동작들 동안 어드레스들을 디코딩하고 다양한 전압들을 다양한 메모리 셀 게이트들 및 영역들에 공급하는 데 사용된다. 컨트롤러(76)(제어 회로를 포함함)가 타깃 메모리 셀들 상에서 각각의 동작(프로그램, 소거, 판독)을 구현하도록 다양한 디바이스 요소들을 제어한다. 전하 펌프(CHRGPM) (74)가 컨트롤러(76)의 제어 하에 메모리 셀들을 판독, 프로그램 및 소거하는 데 사용되는 다양한 전압들을 제공한다. WL 스위치 제어 라인(들)(50) 및 BL 스위치 제어 라인(들)(56) 상의 제어 신호들은 바람직하게는 컨트롤러(76)에 의해 제공된다.

[0029] 본 발명은 전술되고 본 명세서에 예시된 실시예(들)로 제한되는 것이 아니라, 임의의 청구항들의 범위에 속하는 임의의 그리고 모든 변형들을 포괄한다는 것이 이해되어야 한다. 예를 들어, 본 명세서에서 본 발명에 대한 언급은 임의의 청구항 또는 청구항 용어의 범위를 제한하는 것이 아니라, 대신에 단지 하나 이상의 청구항에 의해 커버될 수 있는 하나 이상의 특징들에 대해 언급하는 것으로 의도된다. 전술된 재료들, 프로세스들, 및 수치 예들은 단지 예시적인 것일 뿐이며, 청구항들을 제한하는 것으로 간주되어서는 안된다. 재료의 단일 층들이 그러한 또는 유사한 재료들의 다수의 층들로서 형성될 수 있고, 그 반대도 마찬가지이다.

[0030] 본 명세서에 사용된 바와 같이, 용어들 "~ 위에" 및 "~ 상에" 둘 모두는 "직접적으로 ~ 상에"(어떠한 중간 재료들, 요소들 또는 공간도 사이에 배치되지 않음)와 "간접적으로 ~ 상에"(중간 재료들, 요소들 또는 공간이 사이에 배치됨)를 포괄적으로 포함한다는 것에 유의하여야 한다. 마찬가지로, 용어 "인접한"은 "직접적으로 인접한"(어떠한 중간 재료들, 요소들 또는 공간도 사이에 배치되지 않음)과 "간접적으로 인접한"(중간 재료들, 요소들 또는 공간이 사이에 배치됨)을 포함하고, "~에 실장되는"은 "직접적으로 ~에 실장되는"(어떠한 중간 재료들, 요소들 또는 공간도 사이에 배치되지 않음)과 "간접적으로 ~에 실장되는"(중간 재료들, 요소들 또는 공간이 사이에 배치됨)을 포함하고, "전기적으로 결합되는"은 "직접적으로 ~에 전기적으로 결합되는"(요소들을 함께 전기적으로 접속시키는 어떠한 중간 재료들 또는 요소들도 사이에 없음)과 "간접적으로 ~에 전기적으로 결합되는"(요소들을 함께 전기적으로 접속시키는 중간 재료들 또는 요소들이 사이에 있음)을 포함한다. 예를 들어, "기관 위에" 요소를 형성하는 것은 어떠한 중간 재료들/요소들도 사이에 갖지 않고서 직접적으로 기관 상에 요소를 형성하는 것뿐만 아니라, 하나 이상의 중간 재료들/요소들을 사이에 갖고서 간접적으로 기관 상에 요소를 형성하는 것을 포함할 수 있다.

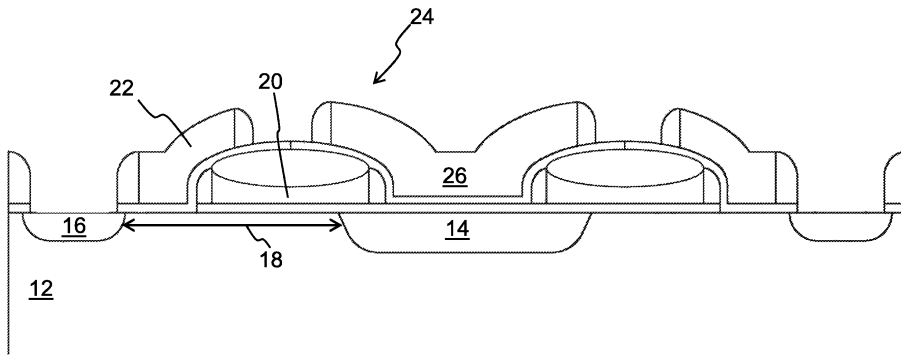
도면

도면1



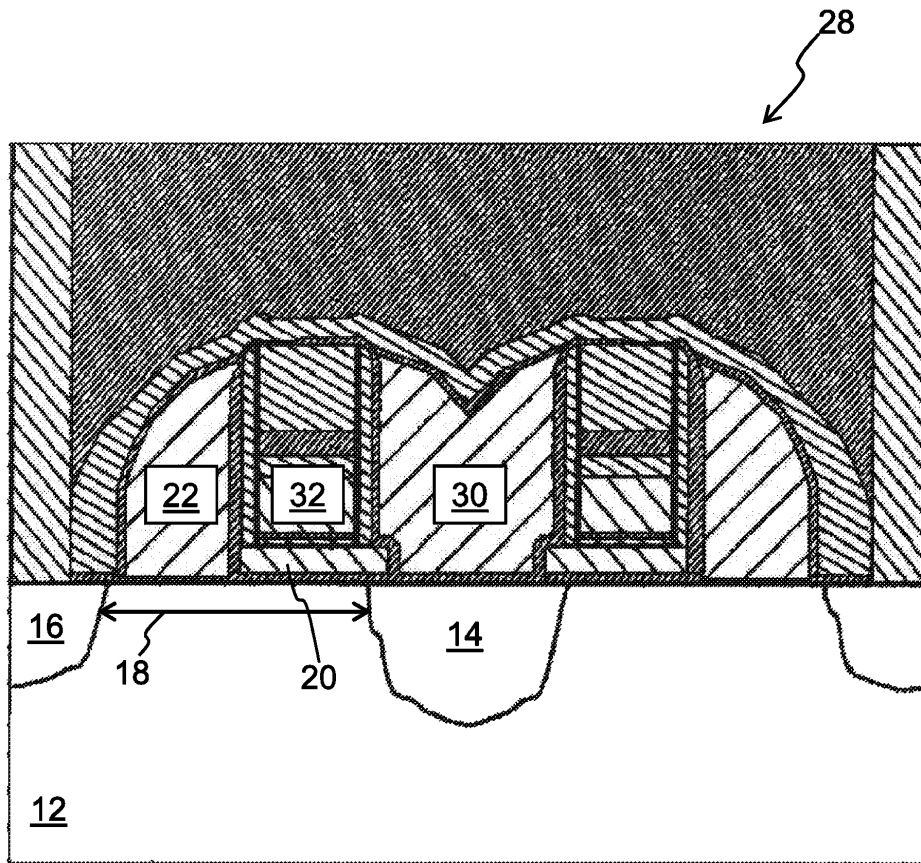
(중래 기술)

도면2



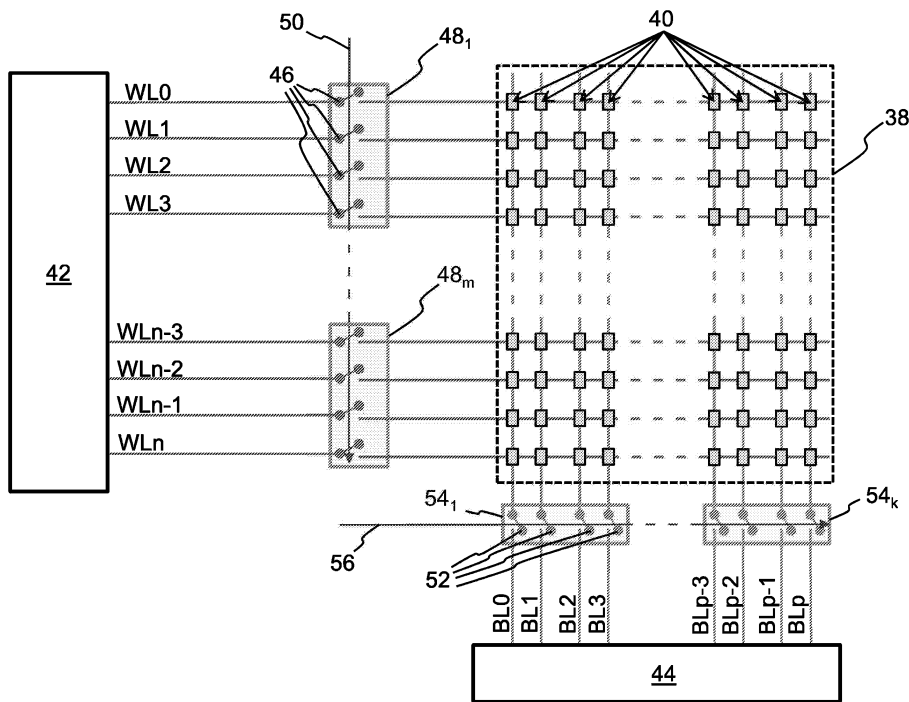
(종래 기술)

도면3



(종래 기술)

도면4



도면5

