

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】令和 3 年 10 月 21 日 (2021.10.21)

【公表番号】特表 2020-536264 (P2020-536264A)

【公表日】令和 2 年 12 月 10 日 (2020.12.10)

【年通号数】公開・登録公報 2020-050

【出願番号】特願 2019-563283 (P2019-563283)

【国際特許分類】

G 0 9 G 3/3233 (2016.01)

G 0 9 G 3/20 (2006.01)

H 0 1 L 51/50 (2006.01)

H 0 1 L 27/32 (2006.01)

【F I】

G 0 9 G 3/3233

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/20 6 7 0 J

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 2 1 A

H 0 5 B 33/14 A

H 0 1 L 27/32

【手続補正書】

【提出日】令和 3 年 9 月 13 日 (2021.9.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

画素回路であって、

駆動回路と、データ書き込み回路と、第 1 リセット回路と、第 1 発光制御回路と、発光素子とを含み、

前記駆動回路は、制御端と、第 1 端と、第 2 端とを含み、前記第 1 端及び前記第 2 端に流れて前記発光素子の発光を駆動するための駆動電流を制御するように構成され、

前記データ書き込み回路は、走査信号に応答してデータ信号を前記駆動回路に書き込むように構成され、

前記第 1 発光制御回路は、第 1 発光制御信号に応答して第 1 電圧を前記駆動回路の第 1 端に印加するように構成され、

前記第 1 リセット回路は、第 1 リセット信号に応答してリセット電圧を前記駆動回路の制御端に印加するように構成され、

前記リセット電圧と前記第 1 電圧とが共に印加される時に前記駆動回路が固定バイアス状態になることを特徴とする画素回路。

【請求項 2】

前記第 1 リセット信号と前記第 1 発光制御信号とは、少なくとも一部の時間帯内で同時にオン信号であることを特徴とする請求項 1 に記載の画素回路。

【請求項 3】

前記駆動回路は、第 1 トランジスタを含み、

前記第 1 トランジスタのゲート電極は、前記駆動回路の制御端として第 1 ノードに接続され、前記第 1 トランジスタの第 1 電極は、前記駆動回路の第 1 端として第 2 ノードに接続され、前記第 1 トランジスタの第 2 電極は、前記駆動回路の第 2 端として第 3 ノードに接続され、

前記第 1 トランジスタは、前記リセット電圧と前記第 1 電圧とが共に印加される時に前記固定バイアス状態になることを特徴とする請求項 1 又は 2 に記載の画素回路。

【請求項 4】

前記データ書き込み回路は、第 2 トランジスタを含み、

前記第 2 トランジスタのゲート電極は、走査信号端に接続されて前記走査信号を受信するように構成され、前記第 2 トランジスタの第 1 電極は、データ信号端に接続されて前記データ信号を受信するように構成され、前記第 2 トランジスタの第 2 電極は、前記第 2 ノードに接続されることを特徴とする請求項 3 に記載の画素回路。

【請求項 5】

書き込まれる前記データ信号を記憶し且つ前記走査信号に応答して前記駆動回路に対して補償を行うように構成される補償回路を更に含むことを特徴とする請求項 3 に記載の画素回路。

【請求項 6】

前記補償回路は、第 3 トランジスタと、蓄積コンデンサとを含み、

前記第 3 トランジスタのゲート電極は、走査信号端に接続されて前記走査信号を受信するように構成され、前記第 3 トランジスタの第 1 電極は、前記第 3 ノードに接続され、前記第 3 トランジスタの第 2 電極は、前記蓄積コンデンサの第 1 電極に接続され、前記蓄積コンデンサの第 2 電極は、第 1 電圧端に接続されるように構成されることを特徴とする請求項 5 に記載の画素回路。

【請求項 7】

前記第 1 リセット回路は、第 4 トランジスタを含み、

前記第 4 トランジスタのゲート電極は、第 1 リセット制御端に接続されて前記第 1 リセット信号を受信するように構成され、前記第 4 トランジスタの第 1 電極は、前記第 1 ノードに接続され、前記第 4 トランジスタの第 2 電極は、リセット電圧端に接続されて前記リセット電圧を受信するように構成されることを特徴とする請求項 3 乃至 6 のいずれか一項に記載の画素回路。

【請求項 8】

前記第 1 発光制御回路は、第 5 トランジスタを含み、

前記第 5 トランジスタのゲート電極は、第 1 発光制御端に接続されて前記第 1 発光制御信号を受信するように構成され、前記第 5 トランジスタの第 1 電極は、第 1 電圧端に接続されて前記第 1 電圧を受信するように構成され、前記第 5 トランジスタの第 2 電極は、前記第 2 ノードに接続されることを特徴とする請求項 3、4、5、7 のいずれか一項に記載の画素回路。

【請求項 9】

前記第 1 発光制御信号とは異なる第 2 発光制御信号に応答して前記駆動電流を前記発光素子に印加するように構成される第 2 発光制御回路を更に含むことを特徴とする請求項 1 又は 2 に記載の画素回路。

【請求項 10】

前記第 1 発光制御信号とは異なる第 2 発光制御信号に応答して前記駆動電流を前記発光素子に印加するように構成される第 2 発光制御回路を更に含むことを特徴とする請求項 3 乃至 6 のいずれか一項に記載の画素回路。

【請求項 11】

前記第 2 発光制御回路は、第 6 トランジスタを含み、

前記第 6 トランジスタのゲート電極は、第 2 発光制御端に接続されて前記第 2 発光制御信号を受信するように構成され、前記第 6 トランジスタの第 1 電極は、前記第 3 ノードに接続され、前記第 6 トランジスタの第 2 電極は、第 4 ノードに接続され、

前記発光素子の第1電極は、前記第4ノードに接続するように構成され、前記発光素子の第2電極は、第2電圧端に接続されて第2電圧を受信するように構成されることを特徴とする請求項10に記載の画素回路。

【請求項12】

前記第1リセット信号とは異なる第2リセット信号に応答して前記リセット電圧を前記駆動回路の第2端に印加するように構成される第2リセット回路を更に含むことを特徴とする請求項11に記載の画素回路。

【請求項13】

前記第2リセット回路は、第7トランジスタを含み、
前記第7トランジスタのゲート電極は、第2リセット制御端に接続されて前記第2リセット信号を受信するように構成され、前記第7トランジスタの第1電極は、前記第4ノードに接続され、前記第7トランジスタの第2電極は、リセット電圧端に接続されて前記リセット電圧を受信するように構成されることを特徴とする請求項12に記載の画素回路。

【請求項14】

前記第1リセット信号とは異なる第2リセット信号に応答して前記リセット電圧を前記駆動回路の第2端に印加するように構成される第2リセット回路を更に含むことを特徴とする請求項1乃至10のいずれか一項に記載の画素回路。

【請求項15】

前記第1発光制御信号と前記第2発光制御信号とは、少なくとも一部の時間帯内で同時にオン信号であることを特徴とする請求項9乃至13のいずれか一項に記載の画素回路。

【請求項16】

表示装置であって、
アレイ状の分布を呈する複数の画素ユニットと、複数本の走査信号線と、複数本のデータ信号線と、複数本の発光制御線とを含み、
前記画素ユニットの各々は、請求項1に記載の画素回路を含み、
 N （1より大きい整数）行目の走査信号線は、 N 行目の画素回路におけるデータ書き込み回路及び補償回路に接続されて前記走査信号を提供し、
 M （0より大きい整数）列目のデータ信号線は、 M 列目の画素回路におけるデータ書き込み回路に接続されて前記データ信号を提供し、
 $N-1$ 行目の走査信号線は、 N 行目の画素回路における第1リセット回路に接続され、前記 $N-1$ 行目の走査信号線に輸入される走査信号は、前記第1リセット信号として前記第1リセット回路に提供され、
 $N+1$ 行目の発光制御線は、 N 行目の画素回路における第1発光制御回路に接続されて前記第1発光制御信号を提供することを特徴とする表示装置。

【請求項17】

前記画素回路は、
前記第1発光制御信号とは異なる第2発光制御信号に応答して前記駆動電流を前記発光素子に印加するように構成される第2発光制御回路と、
前記第1リセット信号とは異なる第2リセット信号に応答して前記リセット電圧を前記駆動回路の第2端及び前記補償回路に印加するように構成される第2リセット回路とを更に含み、
 N 行目の発光制御線は、 N 行目の画素回路における第2発光制御回路に接続されて前記第2発光制御信号を提供し、
 $N+1$ 行目の走査信号線は、 N 行目の画素回路における第2リセット回路に接続され、前記 $N+1$ 行目の走査信号線に輸入される走査信号は、前記第2リセット信号として前記第2リセット回路に提供されることを特徴とする請求項16に記載の表示装置。

【請求項18】

表示装置であって、
アレイ状の分布を呈する複数の画素ユニットと、複数本の走査信号線と、複数本のデータ信号線と、複数本のリセット制御線と、複数本の発光制御線とを含み、

前記画素ユニットの各々は、請求項 1 に記載の画素回路を含み、
N（0 より大きい整数）行目の走査信号線は、N 行目の画素回路におけるデータ書き込み回路及び補償回路に接続されて前記走査信号を提供し、
M（0 より大きい整数）列目のデータ信号線は、M 列目の画素回路におけるデータ書き込み回路に接続されて前記データ信号を提供し、
N 行目のリセット制御線は、N 行目の画素回路における第 1 リセット回路に接続されて前記第 1 リセット信号を提供し、
N + 1 行目の発光制御線は、N 行目の画素回路における第 1 発光制御回路に接続されて前記第 1 発光制御信号を提供することを特徴とする表示装置。

【請求項 19】

前記画素回路は、
前記第 1 発光制御信号とは異なる第 2 発光制御信号に応答して前記駆動電流を前記発光素子に印加するように構成される第 2 発光制御回路と、
前記第 1 リセット信号とは異なる第 2 リセット信号に応答して前記リセット電圧を前記駆動回路の第 2 端及び前記補償回路に印加するように構成される第 2 リセット回路とを含み、
N 行目の発光制御線は、N 行目の画素回路における第 2 発光制御回路に接続されて前記第 2 発光制御信号を提供し、
N + 1 行目のリセット制御線は、N 行目の画素回路における第 2 リセット回路に接続されて前記第 2 リセット信号を提供することを特徴とする請求項 18 に記載の表示装置。

【請求項 20】

請求項 1 に記載の画素回路の駆動方法であって、
前記第 1 リセット信号を入力して、前記第 1 リセット回路をオンし、前記リセット電圧を前記駆動回路の制御端に印加し、前記第 1 発光制御信号を入力して、前記第 1 発光制御回路をオンし、前記第 1 電圧を前記駆動回路の第 1 端に印加して、前記駆動回路が前記固定バイアス状態になるようにする初期化段階を含むことを特徴とする画素回路の駆動方法。

【請求項 21】

請求項 12 に記載の画素回路の駆動方法であって、
前記第 1 リセット信号を入力して、前記第 1 リセット回路をオンし、前記リセット電圧を前記駆動回路の制御端に印加し、前記第 1 発光制御信号を入力して、前記第 1 発光制御回路をオンし、前記第 1 電圧を前記駆動回路の第 1 端に印加して、前記駆動回路が前記固定バイアス状態になるようにする初期化段階と、
前記走査信号及び前記データ信号を入力して、前記データ書き込み回路、前記駆動回路及び前記補償回路をオンし、前記データ書き込み回路が前記データ信号を前記駆動回路に書き込み、前記補償回路が前記駆動回路に対して補償を行うデータ書き込み及び補償段階と、
前記第 2 発光制御信号及び前記第 2 リセット信号を入力して、前記第 2 発光制御回路及び前記第 2 リセット回路をオンし、前記駆動回路、前記補償回路及び前記発光素子をリセットするリセット段階と、
前記第 1 発光制御信号及び前記第 2 発光制御信号を入力して、前記第 1 発光制御回路、第 2 発光制御回路及び前記駆動回路をオンし、前記第 2 発光制御回路が前記駆動電流を前記発光素子に印加して前記発光素子を発光させる発光段階と
を含むことを特徴とする画素回路の駆動方法。