СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1702361 A1

(51)5 G 06 F 7/50

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

[illegible]

1

(21) 4833259/24
(22) 18.04.90
(46) 30.12.91. Бюл. № 48
(71) Научно-исследовательский институт автоматических систем
(72) В.Г. Курочкин
(53) 681.325.5 (088.8)
(56) Авторское свидетельство СССР
№ 1312567. кл. G 06 F 7/50, 1985.
Авторское свидетельство СССР
№ 1363189, кл. G 06 F 7/50, 1986.

(54) ФОРМИРОВАТЕЛЬ ПЕРЕНОСА

(57) Изобретение относится к вычислительной технике и может быть использовано при построении арифметических цифровых устройств на КМДП-транзисторах, в частности многоразрядных параллельных сумматоров-вычитателей и схем сравнения. Цель изобретения – повышение быстродействия. Формирователь переноса содержит в каждом разряде входы первого и второго операндов, вход переноса, выход переноса, первый и второй входы управления, первый и второй выходы управления, элемент И-НЕ, элемент ИЛИ-НЕ, пять МДП-транзисторов р-типа, пять МДП-транзисторов n-типа, шины питания и нулевого потенциала, соединенные между собой функционально. Кроме того, каждый нечетный разряд (считая младший нулевым) содержит два элемента НЕ, соединенных функционально, причем входы переноса младшей пары разрядов соединены с входом начального переноса формирователя, а выход переноса старшего разряда образует выход переноса формирователя. 1 ил., 1 табл.

2

Изобретение относится к вычислительной технике и может быть использовано при построении арифметических цифровых устройств на КМДП-транзисторах, в частности многоразрядных параллельных сумматоров-вычитателей и схем сравнения.

Известен узел формирования переноса в сумматоре, два разряда которого содержат три МДП-транзистора р-типа, три МДП-транзистора n-типа, четыре элемента НЕ, два элемента И–НЕ, два элемента ИЛИ–НЕ.

Недостатком такого устройства является невысокое быстродействие в режиме передачи сквозного переноса, вызванное последовательным прохождением сигнала переноса через каждый разряд узла.

Наиболее близким по технической сущности к предлагаемому является формирователь переноса, содержащий в каждом разряде по три МДП-транзистора р- и n-типа, элемент И–НЕ, элемент ИЛИ–НЕ.

Недостатком такого устройства также является невысокое быстродействие в режиме передачи сквозного переноса, вызванное последовательным прохождением сигнала переноса через каждый разряд формирователя.

Цель изобретения – повышение быстродействия.

Поставленная цель достигается тем, что в формирователь переноса, каждый разряд которого содержит элемент И–НЕ, элемент

(19) SU (11) 1702361 A1

ИЛИ-НЕ, три МДП-транзистора n-типа и три МДП-транзистора p-типа, причем выход элемента И–НЕ соединен с затворами первых МДП-транзисторов n- и p-типа, выход элемента ИЛИ-НЕ соединен с затворами вторых МДП-транзисторов n- и p-типа, истоки первого МДП-транзистора p-типа и второго МДП-транзистора n-типа соединены соответственно с шинами питания и нулевого потенциала формирователя, стоки первого МДП-транзистора p-типа и второго МДП-транзистора n-типа образуют выход переноса данного разряда формирователя, затворы третьих МДП-транзисторов n- и p-типа соединены с входом переноса данного разряда формирователя, первые и вторые входы элементов ИЛИ–НЕ, И–НЕ данного разряда формирователя соединены с входами соответствующих разрядов первого и второго операндов формирователя, введены дополнительно в каждый разряд первый и второй входы управления и четвертые и пятые МДП-транзисторы n- и p-типа, а каждый нечетный разряд формирователя, считая с младшего нулевого, дополнен первым и вторым инверторами, причем в каждом разряде формирователя истоки четвертого и пятого МДП-транзисторов p-типа соединены с шиной питания формирователя, истоки четвертого и пятого МДП-транзисторов n-типа соединены с шиной нулевого потенциала формирователя, затворы четвертых МДП-транзисторов n- и p-типа соединены с первым входом управления данного разряда формирователя, затворы пятых МДП-транзисторов n- и p-типа соединены с вторым входом управления данного разряда формирователя, стоки третьего и четвертого МДП-транзисторов p-типа соединены с истоком второго МДП-транзистора p-типа, стоки третьего и пятого МДП-транзисторов n-типа соединены с истоком первого МДП-транзистора n-типа, стоки первого МДП-транзистора n-типа и второго МДП-транзистора p-типа соединены с выходом переноса данного разряда формирователя, сток пятого МДП-транзистора p-типа соединен с истоком третьего МДП-транзистора p-типа, сток четвертого МДП-транзистора n-типа соединен с истоком третьего МДП-транзистора n-типа, выходы элементов И–НЕ, ИЛИ–НЕ образуют соответственно первый и второй выходы управления данного разряда формирователя, которые у каждого четного разряда формирователя, считая с младшего нулевого, соединены соответственно с первым и вторым входами управления соседнего более старшего разряда формирователя, а у каждого нечетного разряда формирователя соединены с входами соответствующих первого и второго инверторов, выходы которых соединены соответственно с вторым и первым входами управления соседнего более старшего разряда формирователя, выход переноса каждого четного разряда формирователя соединен с входом переноса следующего более старшего четного разряда формирователя, выход переноса каждого нечетного разряда формирователя соединен с входом переноса следующего более старшего нечетного разряда формирователя, у самой младшей пары разрядов формирователя входы переноса соединены с входом начального переноса формирователя, а первый и второй входы управления самого младшего разряда формирователя соединены соответственно с шинами логической "1" и логического "0".

На чертеже представлена электрическая функциональная схема предлагаемого устройства.

На схеме условно показаны младшие разряды устройства, где каждый разряд 1 содержит входы 2 и 3 первого и второго операндов соответственно, вход 4 переноса и выход 5 переноса, первый и второй входы 6,7 управления, первый и второй выходы 8,9 управления, элементы И–НЕ 10, ИЛИ–НЕ 11, первый – пятый МДП-транзисторы p-типа 12 – 16 соответственно, первый – пятый МДП-транзисторы n-типа 17 – 21 соответственно, шины 22, 23 питания и нулевого потенциала устройства, а каждый нечетный разряд устройства, считая с младшего нулевого, содержит первый и второй элементы НЕ 24, 25, причем входы переноса младшей пары разрядов устройства соединены с входом 26 его начального переноса, а выход переноса его старшего разряда образует выход 27 переноса устройства.

Обозначим прямые значения j-го разряда первого и второго входных операндов устройства как A_j и B_j соответственно, где $j = \{0,1,...,N-1\}$, N – разрядность входных операндов; прямое значение сигнала переноса, формируемого соответствующим разрядом устройства, как C_{j+1}, прямое значение начального переноса устройства – как $C_{вх}$ и прямое значение его выходного переноса – как $C_{вых}$.

Формирователь переноса работает следующим образом.

Будем считать, что уровень логический "1" ("1") соответствует напряжению шины 22 питания формирователя, а уровень логического "0" ("0") – напряжению шины 23 нулевого потенциала формирователя.

Для удобства выделим два следующих режима работы каждого разряда формирователя: режим генерации собственного переноса; режим передачи сквозного переноса.

Разряд формирователя переноса работает в режиме генерации собственного переноса при совпадении сигналов на его входах 2 и 3 разрядов операндов; при этом на его выходах 8,9 управления формируются сигналы "00" или "11" и в случае комбинации "00" открыты первый и второй МДП-транзисторы p-типа 12,13, закрыты первый и второй МДП-транзисторы n-типа 17,18 и на выходе 5 переноса данного разряда формирователя устанавливается уровень логической "1"; в случае комбинации "11", открыты его первый и второй МДП-транзисторы n-типа 17,18, закрыты первый и второй МДП-транзисторы p-типа 12,13 и на выходе 5 переноса данного разряда формирователя устанавливается уровень логического "0".

Разряд формирователя работает в режиме передачи сквозного переноса при несовпадении сигналов на его входах 2 и 3 разрядов операндов; при этом на его первом и втором выходах 8,9 управления формируются соответственно уровни логических "1" и "0", первый МДП-транзистор p-типа 12 и второй МДП-транзистор n-типа 18 закрыты, первый МДП-транзистор n-типа 17 и второй МДП-транзистор p-типа 13 открыты, и состояние сигнала на выходе 5 переноса данного разряда формирователя определяется уровнями сигналов на его первом и втором входах 6,7 управления, а также уровнем сигнала на его входе 4 переноса.

Так, если на входах 6 и 7 управления данного разряда формирователя установлена комбинация "00", соответствующая режиму генерации собственного переноса соседнего более младшего разряда формирователя, у рассматриваемого разряда формирователя открыты четвертый и пятый МДП-транзисторы p-типа 15,16, закрыты четвертый и пятый МДП-транзисторы n-типа 20,21 и на его выходе 5 переноса устанавливается уровень логической "1". Если на входах 6 и 7 управления данного разряда формирователя установлена комбинация "11", также соответствующая режиму генерации собственного переноса соседнего более младшего разряда формирователя, у рассматриваемого разряда формирователя открыты четвертый и пятый МДП-транзисторы n-типа 20,21, закрыты четвертый и пятый МДП-транзисторы p-типа 15,16 и на его выходе 5 переноса устанавливается уровень логического "0". Если же на первом и втором входах 6,7 управления данного разряда формирователя установлены состояния "1" и "0", соответствующие режиму передачи сквозного переноса соседнего более младшего разряда формирователя, у рассматриваемого разряда формирователя четвертый МДП-транзистор p-типа 15 и пятый МДП-транзистор n-типа 21 закрыты, пятый МДП-транзистор p-типа 16 и четвертый МДП-транзистор n-типа 20 открыты, и на выход 5 переноса через третьи МДП-транзисторы p-типа 14 и n-типа 19 передается двоичноинверсное значение сигнала с его входа 4 переноса; сочетание состояний "0" и "1" на первом и втором входах 6,7 управления разрядов формирователя запрещено.

Для обеспечения правильности функционирования формирователя у самого младшего его разряда первый и второй входы 6,7 управления соединены соответственно с "1" и "0", а входы 4 переноса у самой младшей пары его разрядов – с входом 26 начального переноса.

Пусть на вход 26 начального переноса формирователя подается прямое значение сигнала входного переноса. Тогда в режиме передачи сквозного переноса на выходы 5 переноса младшей пары разрядов формирователя передается его двоичноинверсное значение, в режиме генерации собственного переноса "0" на их выходах 5 соответствует комбинации "11" прямых значений сигналов на их входах 2 и 3 операндов, а "1" – комбинации "00" этих сигналов.

У следующей пары разрядов формирователя в режиме передачи сквозного переноса на их выходы 5 передается прямое значение сигнала (26) начального переноса; в режиме генерации собственного переноса "0" на их выходах 5 соответствует комбинации "00" прямых значений сигналов на их входах 2 и 3 операндов, а "1" – комбинации "11" этих сигналов, и так далее.

В таблице отражены возможные состояния на выходах 8 и 9 управления для четных и нечетных пар разрядов формирователя, считая с младшей нулевой.

Из таблицы следует, что для четной пары разрядов формирователя состояния выходов 8 и 9 управления могут быть описаны как.

$F_{(8)}=A_j \vee B_j = \overline{\overline{A_j} * \overline{B_j}}$, $F_{(9)} = A_j * B_j = \overline{\overline{A_j} \vee \overline{B_j}}$; для нечетной пары – как

$F''_{(8)} = \overline{A_j} \vee \overline{B_j} = \overline{A_j * B_j}$, $F''_{(9)} = A_j * B_j = \overline{\overline{A_j} \vee \overline{B_j}}$; причем

$F''_{(8)} = \overline{F}_{(9)}$ и $F''_{(9)} = \overline{F}_{(8)}$.

Из изложенного выше видно, что для каждого разряда формирователя представление входных операндов – двоичноинвер-

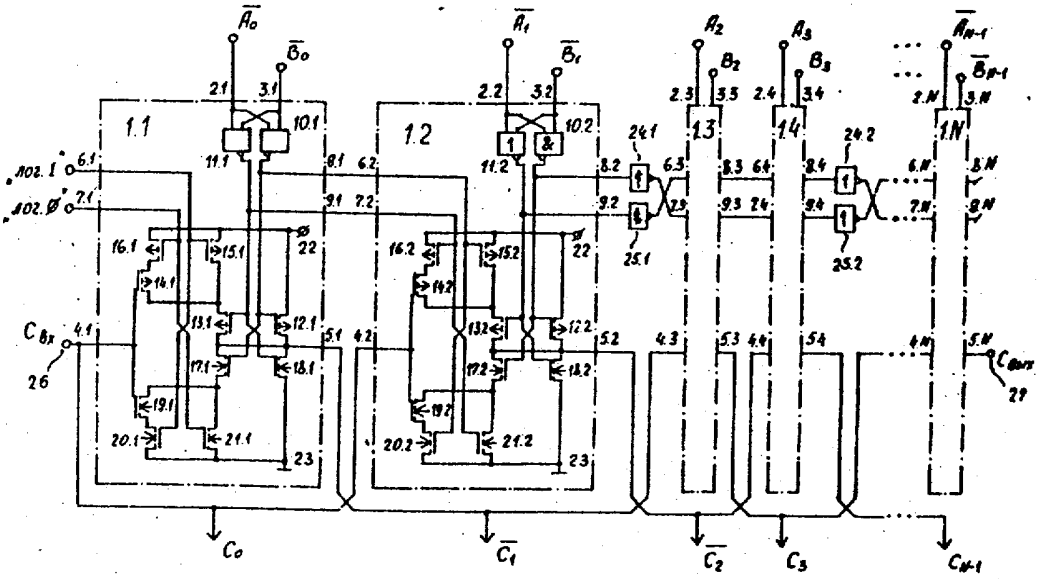
сное по отношению к представлению сигнала на его входе переноса; внутри каждой пары разрядов формирователя, считая с младшей нулевой, первый и второй выходы 8,9 управления более младшего разряда соединены соответственно с первым и вторым входами 6,7 управления более старшего разряда, а при переходе от одной пары разрядов к другой первый и второй выходы 8,9 управления старшего разряда более младшей пары соединены соответственно через элементы НЕ 24 и 25 с вторым и первым входами 7,6 управления младшего разряда более старшей пары; при этом на входах 6 и 7 управления разрядов формирователя запрещенная комбинация "01" не возникает, а сигнал с выхода 5 переноса данного разряда формирователя поступает на вход 4 переноса не ближайшего соседнего разряда, как у прототипа, а следующего за ним более старшего разряда.

Таким образом, в режиме передачи сквозного переноса максимальная задержка распространения сигнала в N-разрядном предлагаемом устройстве соответствует времени распространения сигнала в E[N+1)/2] последовательно соединенных разрядов формирователя, где E[x] – целая часть x, что в два раза меньше, чем у прототипа.

Формула изобретения

Формирователь переноса, каждый разряд которого содержит элемент И–НЕ, элемент ИЛИ–НЕ, первый,, второй и третий МДП-транзисторы n-типа и первый, второй и третий МДП-транзисторы p-типа, причем выход элемента И–НЕ соединен с затворами первого МДП-транзистора n-типа и первого МДП-транзистора p-типа, выход элемента ИЛИ–НЕ соединен с затворами второго МДП-транзистора n-типа и второго МДП-транзистора p-типа, исток первого МДП-транзистора p-типа соединен с шиной питания, а исток второго МДП-транзистора n-типа соединен с шиной нулевого потенциала формирователя, стоки первого МДП-транзистора p-типа и второго МДП-транзистора n-типа соединены с выходом переноса данного разряда формирователя, затворы третьих МДП-транзисторов n- и p-типа соединены с входом переноса данного разряда формирователя, первые и вторые входы элементов И–НЕ, ИЛИ–НЕ данного разряда формирователя соединены соответственно с входами первого и второго операндов соответствующего разряда формирователя, отличающийся тем, что, с целью повышения быстродействия, в каждый разряд формирователя введены четвертые и пятые МДП-транзисторы n- и p-типа, первый и второй входы управления, первый и второй выходы управления, а в каждый нечетный разряд формирователя, считая младший нулевым, введены первый и второй элементы НЕ, причем в каждом разряде формирователя истоки четвертого и пятого МДП-транзисторов p-типа соединены с шиной питания формирователя, истоки четвертого и пятого МДП-транзисторов n-типа соединены с шиной нулевого потенциала формирователя, затворы четвертых МДП-транзисторов n- и p-типа соединены с первым входом управления данного разряда формирователя, затворы пятых МДП-транзисторов n- и p- типа соединены с вторым входом управления данного разряда формирователя, стоки третьего и четвертого МДП-транзисторов p-типа соединены с истоком второго МДП-транзистора p-типа, стоки третьего и пятого МДП-транзисторов n-типа соединены с истоком первого МДП-транзистора n-типа, стоки первого МДП-транзистора n-типа и второго МДП-транзистора p-типа соединены с выходом переноса данного разряда формирователя, сток пятого МДП-транзистора p-типа соединен с истоком третьего МДП-транзистора p-типа, сток четвертого МДП-транзистора n-типа соединен с истоком третьего МДП-транзистора n-типа, выходы элементов И–НЕ, ИЛИ–НЕ соединены соответственно с первым и вторым выходами управления данного разряда формирователя, которые в каждом четном разряде формирователя, считая с младшего нулевого, соединены соответственно с первым и вторым входами управления смежного старшего разряда, а в каждом нечетном разряде формирователя соединены соответственно с входами первого и второго элементов НЕ, выходы которых соединены соответственно с вторым и первым входами управления смежного старшего разряда формирователя, выход переноса каждого четного разряда формирователя соединен с входом переноса следующего старшего четного разряда формирователя, выход переноса каждого нечетного разряда формирователя соединен с входом переноса следующего старшего нечетного разряда формирователя, вход переноса нулевого разряда соединен с входом начального переноса формирователя, первый и второй входы управления нулевого разряда формирователя соединены соответственно с шинами логической "1" и логического "0".

Состояние разрядов входных операндов		Состояние выходов управления разрядов формирователя			
		четной пары		нечетной пары	
A_i	B_i	(8)	(9)	(8)	(9)
0	0	0	0	1	1
0	1	1	0	1	0
1	0	1	0	1	0
1	1	1	1	0	0



Составитель В.Курочкин
Редактор А.Маковская Техред М.Моргентал Корректор М.Максимишинец

Заказ 4543 Тираж Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101