

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2018년 1월 11일 (11.01.2018) **WIPO | PCT**

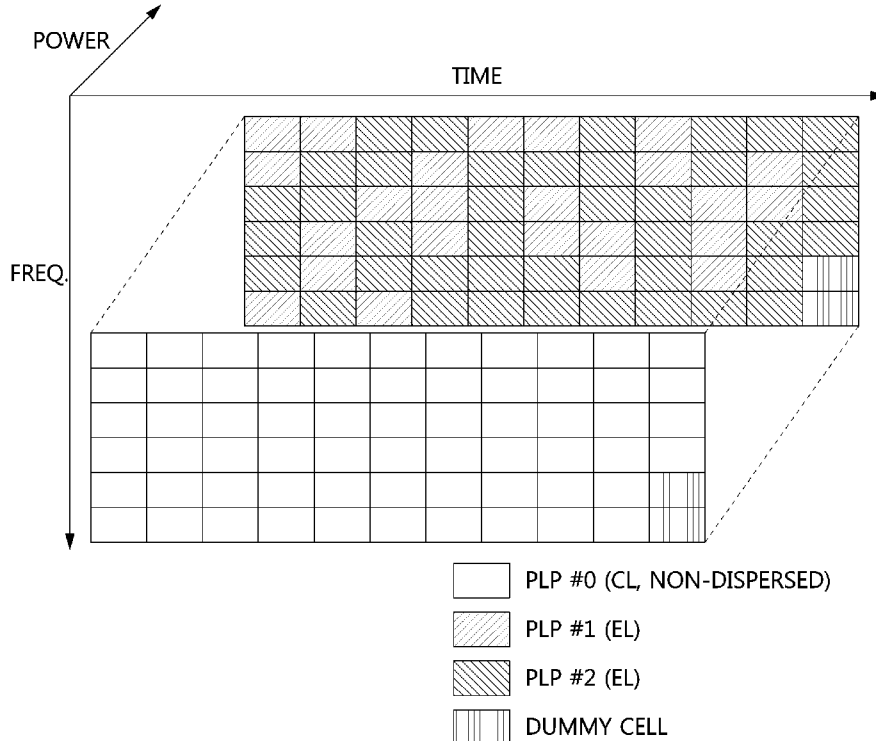


(10) 국제공개번호
WO 2018/008968 A1

- (51) 국제특허분류: **H04L 5/00** (2006.01) **H04L 1/00** (2006.01)
- (21) 국제출원번호: PCT/KR2017/007161
- (22) 국제출원일: 2017년 7월 5일 (05.07.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2016-0085566 2016년 7월 6일 (06.07.2016) KR
10-2017-0083809 2017년 6월 30일 (30.06.2017) KR
- (71) 출원인: 한국전자통신연구원 (**ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE**) [KR/KR]; 34129 대전광역시 유성구 가정로 218 (가정동), Daejeon (KR).
- (72) 발명자: 임보미 (**LIM, Bo-Mi**); 34178 대전광역시 유성구 계룡로74번길 20, 1210호, Daejeon (KR). 박성익 (**PARK, Sung-Ik**); 34118 대전광역시 유성구 가정로 43, 110동 1203호, Daejeon (KR). 권선형 (**KWON, Sun-Hy-oung**); 35214 대전광역시 서구 대덕대로 319, 510호, Daejeon (KR). 이재영 (**LEE, Jae-Young**); 34094 대전광역시 유성구 노은로426번길 15, 602동 1101호, Daejeon (KR). 김흥목 (**KIM, Heung-Mook**); 34069 대전광역시 유성구 반석동로 33, 503동 202호, Daejeon (KR). 허남호 (**HUR, Nam-Ho**); 30064 세종특별자치시 도움1로 105, 512동 1003호, Sejong-si (KR).
- (74) 대리인: 한양특허법인 (**HANYANG PATENT FIRM**); 06296 서울시 강남구 논현로38길 12, 한양빌딩, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT,

(54) Title: BROADCAST SIGNAL FRAME GENERATION DEVICE AND BROADCAST SIGNAL FRAME GENERATION METHOD, WHICH USE ENHANCED LAYER PHYSICAL LAYER PIPE

(54) 발명의 명칭: 인핸스드 레이어 피지컬 레이어 파이프를 이용하는 방송 신호 프레임 생성 장치 및 방송 신호 프레임 생성 방법



(57) Abstract: According to one embodiment of the present invention, a broadcast signal frame generation device comprises: a combiner combining a core layer signal and an enhanced layer signal so as to generate a multiplexed signal; a power normalizer for lowering power of the multiplexed signal to a power corresponding to the core layer signal; a time interleaver for generating a time-interleaved signal by performing time interleaving applied to both the core layer signal and the enhanced layer signal; and a frame builder for generating a broadcast signal frame including a preamble for signaling start position information and size information of each of physical layer





AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

pipes (PLPs), wherein the physical layer pipes comprise a core layer physical layer pipe corresponding to the core layer signal, and an enhanced layer physical layer pipe corresponding to the enhanced layer signal.

(57) 요약서: 본 발명의 일실시예에 따른 방송 신호 프레임 생성 장치는, 코어 레이어 신호 및 인핸스드 레이어 신호를 결합(combine)하여 멀티플렉싱된 신호를 생성하는 결합기; 상기 멀티플렉싱된 신호의 파워를, 상기 코어 레이어 신호에 상응하는 파워로 낮추는 파워 노멀라이저; 상기 코어 레이어 신호 및 인핸스드 레이어 신호에 함께 적용되는 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 타임 인터리버; 및 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 프레임 빌더를 포함한다. 이 때, 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 피지컬 레이어 파이프를 포함한다.

명세서

발명의 명칭: 인핸스드 레이어 피지컬 레이어 파이프를 이용하는 방송 신호 프레임 생성 장치 및 방송 신호 프레임 생성 방법

기술분야

- [1] 본 발명은 방송 시스템에서 사용되는 방송 신호 송/수신 기술에 관한 것으로, 특히 타임 인터리빙을 사용하는 방송 신호 송/수신 시스템에 관한 것이다.

배경기술

- [2] BICM(Bit-Interleaved Coded Modulation)은 대역-효율적인(bandwidth-efficient) 전송기술로 오류정정 부호화기(error-correction coder), 비트단위 인터리버(bit-by-bit interleaver) 및 높은 차수의 변조기(modulator)가 결합된 형태이다.
- [3] BICM은 오류정정 부호화기로 LDPC(Low-Density Parity Check) 부호기 또는 터보 부호기를 이용함으로써, 간단한 구조로 뛰어난 성능을 제공할 수 있다. 또한, BICM은 변조 차수(modulation order)와 오류정정 부호의 길이 및 부호율 등을 다양하게 선택할 수 있기 때문에, 높은 수준의 플렉서빌리티(flexibility)를 제공한다. 이와 같은 장점 때문에, BICM은 DVB-T2나 DVB-NGH 와 같은 방송표준에서 사용되고 있을 뿐만 아니라 다른 차세대 방송시스템에서도 사용될 가능성이 높다.
- [4] 여러 개의 다중 서비스를 동시에 지원하기 위해서는 다수개의 신호들을 섞어 주는 과정인 멀티플렉싱(multiplexing)이 필요하다. 이러한 멀티플렉싱 기법 중 현재 널리 사용되는 기법으로는 시간 자원을 나누어 사용하는 TDM(Time Division Multiplexing)과 주파수 자원을 나누어 사용하는 FDM(Frequency Division Multiplexing)이 있다. 즉, TDM은 서비스 별로 분할된 시간을 할당하는 방식이며, FDM은 서비스 별로 분할된 주파수 자원을 할당하여 사용하는 기법이다. 최근에는 차세대 방송 시스템에 적용 가능한 TDM 및 FDM보다 높은 수준의 플렉서빌리티(flexibility)와 우수한 성능을 제공하는 새로운 멀티플렉싱 기법에 대한 필요성이 절실하게 대두되고 있다.
- [5] 하나의 서비스를 여러 개의 피지컬 레이어 파이프들을 이용하여 전송하는 경우, 피지컬 레이어 파이프에 상응하는 타임 인터리빙 모드에 따라 디코딩 과정이 크게 달라질 수 있다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명의 목적은 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프 및 인핸스드 레이어 피지컬 레이어 파이프가 모두 적절히 복원될 수 있도록 하는 파라미터 시그널링 기법을 제공하는 것이다.
- [7] 또한, 본 발명의 목적은 인핸스드 레이어 피지컬 레이어 파이프의 사이즈

정보와 시작 위치 정보가 타임 인터리빙(인터-서브프레임 인터리빙)에 의하여 변경되는 경우에도 적절히 코어 레이어 피지컬 레이어 파이프 및 인핸스드 레이어 피지컬 레이어 파이프를 복원하는 것이다.

과제 해결 수단

- [8] 상기한 목적을 달성하기 위한 본 발명에 따른 방송 신호 송신 장치는 호스트 방송 신호를 상기한 목적을 달성하기 위한 본 발명에 따른 방송 신호 프레임 생성 장치는, 코어 레이어 신호 및 인핸스드 레이어 신호를 결합(combine)하여 멀티플렉싱된 신호를 생성하는 결합기; 상기 멀티플렉싱된 신호의 파워를, 상기 코어 레이어 신호에 상응하는 파워로 낮추는 파워 노멀라이저; 상기 코어 레이어 신호 및 인핸스드 레이어 신호에 함께 적용되는 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 타임 인터리버; 및 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 프레임 빌더를 포함한다. 이 때, 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 피지컬 레이어 파이프를 포함한다.
- [9] 이 때, 시작 위치 정보 및 사이즈 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우에, 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우와는 다른 생성 방식으로 생성될 수 있다.
- [10] 이 때, 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우 제1 기준 타이밍을 기반으로 생성되고, 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우 상기 제1 기준 타이밍과 상이한 제2 기준 타이밍을 기반으로 생성될 수 있다.
- [11] 이 때, 시작 위치 정보 및 사이즈 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이전을 기준(with respect to)으로 정의될 수 있다.
- [12] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 현재 서브프레임 내에서 정의(defined within the current subframe)될 수 있다.
- [13] 이 때, 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이후를 기준(with respect to)으로 정의될 수 있다.
- [14] 이 때, 사이즈 정보는 상기 피지컬 레이어 파이프들 각각에 할당된 데이터 셀들의 개수에 기반하여 설정될 수 있다.
- [15] 이 때, 시작 위치 정보는 상기 피지컬 레이어 파이프들 각각의 첫 번째 데이터 셀에 상응하는 인덱스와 동일하게 설정될 수 있다.
- [16] 이 때, 시작 위치 정보 및 사이즈 정보는 레이어 식별 정보에 상응하는 조건문의

조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.

- [17] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은, 코어 레이어 신호 및 인헨스드 레이어 신호를 결합(combine)하여 멀티플렉싱된 신호를 생성하는 단계; 상기 멀티플렉싱된 신호의 파워를, 상기 코어 레이어 신호에 상응하는 파워로 낮추는 단계; 상기 코어 레이어 신호 및 인헨스드 레이어 신호에 함께 적용되는 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 단계; 및 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 단계를 포함한다. 이 때, 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인헨스드 레이어 신호에 상응하는 인헨스드 레이어 피지컬 레이어 파이프를 포함한다.
- [18] 이 때, 시작 위치 정보 및 사이즈 정보는 상기 인헨스드 레이어 피지컬 레이어 파이프를 위한 경우에, 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우와는 다른 생성 방식으로 생성될 수 있다.
- [19] 이 때, 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우 제1 기준 타이밍을 기반으로 생성되고, 상기 인헨스드 레이어 피지컬 레이어 파이프를 위한 경우 상기 제1 기준 타이밍과 상이한 제2 기준 타이밍을 기반으로 생성될 수 있다.
- [20] 이 때, 시작 위치 정보 및 사이즈 정보는 상기 인헨스드 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이전을 기준(with respect to)으로 정의될 수 있다.
- [21] 이 때, 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 현재 서브프레임 내에서 정의(defined within the current subframe)될 수 있다.
- [22] 이 때, 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이후를 기준(with respect to)으로 정의될 수 있다.

발명의 효과

- [23] 본 발명에 따르면, 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프 및 인헨스드 레이어 피지컬 레이어 파이프가 모두 적절히 복원될 수 있도록 하는 시그널링 기법이 제공된다.
- [24] 또한, 본 발명은 인헨스드 레이어 피지컬 레이어 파이프의 사이즈 정보와 시작 위치 정보가 타임 인터리빙(인터-서브프레임 인터리빙)에 의하여 변경되는 경우에도 적절히 코어 레이어 피지컬 레이어 파이프 및 인헨스드 레이어 피지컬 레이어 파이프를 복원할 수 있다.

도면의 간단한 설명

- [25] 도 1은 본 발명의 일실시예에 따른 방송 신호 송/수신 시스템을 나타낸 블록도이다.
- [26] 도 2는 본 발명의 일실시예에 따른 방송 신호 송/수신 방법을 나타낸 동작 흐름도이다.
- [27] 도 3은 도 1에 도시된 방송 신호 프레임 생성 장치의 일 예를 나타낸 블록도이다.
- [28] 도 4는 방송 신호 프레임 구조의 일 예를 나타낸 도면이다.
- [29] 도 5는 도 4에 도시된 방송 신호 프레임이 수신되는 과정의 일 예를 나타낸 도면이다.
- [30] 도 6은 도 4에 도시된 방송 신호 프레임이 수신되는 과정의 다른 예를 나타낸 도면이다.
- [31] 도 7는 도 1에 도시된 방송 신호 프레임 생성 장치의 다른 예를 나타낸 블록도이다.
- [32] 도 8는 도 1에 도시된 신호 디멀티플렉싱 장치의 일 예를 나타낸 블록도이다.
- [33] 도 9은 도 8에 도시된 코어 레이어 BICM 디코더 및 인핸스드 레이어 심볼 추출기의 일 예를 나타낸 블록도이다.
- [34] 도 10은 도 8에 도시된 코어 레이어 BICM 디코더 및 인핸스드 레이어 심볼 추출기의 다른 예를 나타낸 블록도이다.
- [35] 도 11는 도 8에 도시된 코어 레이어 BICM 디코더 및 인핸스드 레이어 심볼 추출기의 또 다른 예를 나타낸 블록도이다.
- [36] 도 12은 도 1에 도시된 신호 디멀티플렉싱 장치의 다른 예를 나타낸 블록도이다.
- [37] 도 13은 코어 레이어 신호 및 인핸스드 레이어 신호의 결합으로 인한 파워 상승을 나타낸 도면이다.
- [38] 도 14는 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법을 나타낸 동작 흐름도이다.
- [39] 도 15는 본 발명의 일실시예에 따른 방송 신호 프레임을 포함하는 슈퍼프레임 구조를 나타낸 도면이다.
- [40] 도 16은 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프를 적용한 LDM 프레임의 일 예를 나타낸 도면이다.
- [41] 도 17은 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프를 적용한 LDM 프레임의 다른 예를 나타낸 도면이다.
- [42] 도 18은 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프를 적용한 LDM 프레임의 활용 예를 나타낸 도면이다.
- [43] 도 19는 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프를 적용한 LDM 프레임의 다른 활용 예를 나타낸 도면이다.

- [44] 도 20은 컨벌루셔널 타임 인터리버가 사용되는 경우의 일 예를 나타낸 도면이다.
- [45] 도 21은 컨벌루셔널 타임 인터리버가 사용되는 경우의 다른 예를 나타낸 도면이다.
- [46] 도 22는 하이브리드 타임 인터리버가 사용되는 경우의 일 예를 나타낸 도면이다.
- [47] 도 23은 도 22에 도시된 예에서 타임 인터리버 그룹을 나타낸 도면이다.
- [48] 도 24 내지 도 26은 도 23에 도시된 예에서 불완전한 FEC 블록의 사이즈를 계산하는 과정을 도시한 도면이다.
- [49] 도 27은 L1D_plp_TI_mode="00"인 경우에 L1D_plp_fec_block_start에 필요한 비트수를 설명하기 위한 도면이다.
- [50] 도 28 및 29는 L1D_plp_TI_mode="01"인 경우에 L1D_plp_CTI_fec_block_start에 필요한 비트수를 설명하기 위한 도면들이다.
- [51] 도 30은 레이어드 디비전 멀티플렉싱과 함께 HTI 모드가 사용되는 경우 인핸스드 레이어 더미 값들의 삽입을 나타낸 도면이다.
- [52] 도 31은 본 발명의 일 실시예에 따른 더미 값들의 생성에 사용되는 쉬프트 레지스터의 일 예를 나타낸 도면이다.
- [53] 도 32는 타임 인터리빙 모드의 유형을 나타낸 도면이다.
- [54] 도 33은 인트라-서브프레임 인터리빙과 인터-서브프레임 인터리빙이 동시에 사용되는 경우를 나타낸 도면이다.
- [55] 도 34는 인트라-서브프레임 인터리빙과 인터-서브프레임 인터리빙이 동시에 사용되는 경우의 서브프레임들을 나타낸 도면이다.
- [56] 도 35는 서로 다른 타임 인터리빙 유닛들이 동시에 사용되는 경우를 나타낸 도면이다.
- [57] 도 36은 동일한 타임 인터리빙 유닛이 동시에 사용되는 경우의 서브프레임들을 나타낸 도면이다.
- [58] 도 37은 하나의 완전한 전송 프로덕트가 복수개의 피지컬 레이어 피지컬 레이어 파이프들로 이루어진 경우를 나타낸 도면이다.
- [59] 도 38은 도 3 또는 도 7에 도시된 타임 인터리버의 일 예를 나타낸 블록도이다.
- [60] 도 39는 도 38에 도시된 트위스티드 블록 인터리버의 쓰기 동작을 나타낸 도면이다.
- [61] 도 40은 도 38에 도시된 트위스티드 블록 인터리버의 읽기 동작을 나타낸 도면이다.
- [62] 도 41은 도 38에 도시된 컨벌루셔널 딜레이 라인의 일 예를 나타낸 블록도이다.
- [63] 도 42는 도 38에 도시된 트위스티드 블록 인터리버의 동작의 일 예를 나타낸 도면이다.
- [64] 도 43은 도 38에 도시된 컨벌루셔널 딜레이 라인의 동작의 일 예를 나타낸 도면이다.

- [65] 도 44는 도 43에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [66] 도 45는 도 42에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [67] 도 46은 도 38에 도시된 트위스티드 블록 인터리버의 동작의 다른 예를 나타낸 도면이다.
- [68] 도 47은 도 38에 도시된 컨벌루셔널 딜레이 라인의 동작의 다른 예를 나타낸 도면이다.
- [69] 도 48은 도 47에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [70] 도 49는 도 46에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [71] 도 50은 컨벌루셔널 딜레이 라인에 포함된 FIFO 레지스터 초기값들을 나타낸 도면이다.
- [72] 도 51은 도 8 또는 도 12에 도시된 타임 디인터리버의 일 예를 나타낸 블록도이다.
- [73] 도 52는 본 발명의 일실시예에 따른 타임 인터리빙 방법을 나타낸 동작 흐름도이다.
- [74] 도 53은 레이어드 디비전 멀티플렉싱된 피지컬 레이어 파이프들을 타임 인터리빙 이전을 기준으로 나타낸 도면이다.
- [75] 도 54는 레이어드 디비전 멀티플렉싱된 피지컬 레이어 파이프들을 타임 인터리빙 이후를 기준으로 나타낸 도면이다.
- [76] 도 55는 레이어드 디비전 멀티플렉싱된 피지컬 레이어 파이프들을 포함하는 서브프레임을 나타낸 도면이다.
- [77] 도 56은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 인터리빙을 수행하는 컨벌루셔널 딜레이 라인의 첫 번째 타이밍을 나타낸 도면이다.
- [78] 도 57은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 인터리빙을 수행하는 컨벌루셔널 딜레이 라인의 두 번째 타이밍을 나타낸 도면이다.
- [79] 도 58은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 인터리빙을 수행하는 컨벌루셔널 딜레이 라인의 세 번째 타이밍을 나타낸 도면이다.
- [80] 도 59는 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 디인터리빙을 수행하는 역 컨벌루셔널 딜레이 라인의 첫 번째 타이밍을 나타낸 도면이다.
- [81] 도 60은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 디인터리빙을 수행하는 역 컨벌루셔널 딜레이 라인의 두 번째 타이밍을 나타낸

도면이다.

- [82] 도 61은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 인터리빙을 수행하는 역 컨벌루셔널 딜레이 라인의 세 번째 타이밍을 나타낸 도면이다.

발명의 실시를 위한 형태

- [83] 본 발명을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다. 여기서, 반복되는 설명, 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능, 및 구성에 대한 상세한 설명은 생략한다. 본 발명의 실시형태는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
- [84] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [85] 도 1은 본 발명의 일실시예에 따른 방송 신호 송/수신 시스템을 나타낸 블록도이다.
- [86] 도 1을 참조하면, 본 발명의 일실시예에 따른 방송 신호 송/수신 시스템은 방송 신호 송신 장치(110), 무선 채널(120) 및 방송 신호 수신 장치(130)를 포함한다.
- [87] 방송 신호 송신 장치(110)는 코어 레이어 데이터 및 인헨스드 레이어 데이터를 멀티플렉싱하여 방송 신호 프레임을 생성하는 방송 신호 프레임 생성 장치(111) 및 OFDM 송신기(113)를 포함한다.
- [88] 방송 신호 프레임 생성 장치(111)는 코어 레이어 데이터에 상응하는 코어 레이어 신호 및 인헨스드 레이어 데이터에 상응하는 인헨스드 레이어 신호를 결합(combine)하고, 결합된 신호의 파워를 코어 레이어 신호에 상응하는 파워로 낮추기 위한 파워 노멀라이징을 수행하고, 파워 노멀라이징이 수행된 이후 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성한다. 이 때, 코어 레이어 신호 및 인헨스드 레이어 신호는 서로 다른 파워 레벨로 결합될 수 있다. 이 때, 타임 인터리빙은 코어 레이어 신호 및 인헨스드 레이어 신호에 함께 적용되는 것일 수 있다. 이 때, 방송 신호 프레임 생성 장치(111)는 타임 인터리빙된 신호를 이용하여 부트스트랩 및 프리앰블이 포함된 방송 신호 프레임을 생성할 수 있다. 이 때, 방송 신호 프레임은 ATSC 3.0 프레임일 수 있다.
- [89] 이 때, 프리앰블은 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 것일 수 있다.
- [90] 이 때, 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인헨스드 레이어 신호에 상응하는 인헨스드 레이어 피지컬 레이어 파이프를 포함할 수 있다.
- [91] 실시예에 따라, 방송 신호 프레임 생성 장치(111)는 두 개의 레이어 신호들을 결합하지 않고, 하나의 레이어 신호(BICM 출력 신호)를 타임 인터리빙하고,

방송 신호 프레임을 생성할 수도 있다.

- [92] 이 때, 프리앰블은 타임 인터리빙에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링할 수 있다.
- [93] 이 때, 피지컬 레이어 파이프들은 하나의 인핸스드 레이어 피지컬 레이어 파이프 및 상기 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱되는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함할 수 있다.
- [94] 이 때, 인핸스드 레이어 피지컬 레이어 파이프에 상응하는 타임 인터리빙 모드는 상기 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들과 동일할 수 있다.
- [95] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들은 모두 노 타임 인터리빙 모드이거나, 모두 하이브리드 타임 인터리빙 모드일 수 있다.
- [96] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.
- [97] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들 각각은 각각의 서브프레임 내에서 정수개의 FEC 블록들로 이루어질 수 있다.
- [98] 이 때, 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [99] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.
- [100] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.
- [101] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.

- [102] 이 때, 피지컬 레이어 파이프들은 하나의 완전한 전송 프로덕트(one complete delivered product)에 상응하는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함하고, 상기 코어 레이어 피지컬 레이어 파이프들은 레이어드 디비전 멀티플렉싱되지 않을 수 있다.
- [103] 이 때, 코어 레이어 피지컬 레이어 파이프들은 각각 노 타임 인터리빙 모드 또는 하이브리드 타임 인터리빙 모드 중 어느 하나의 타임 인터리빙 모드를 사용하고, 컨벌루셔널 타임 인터리빙 모드는 사용하지 않을 수 있다.
- [104] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용하거나 모두 인터-서브프레임 인터리빙 모드를 사용할 수 있다.
- [105] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 동일한 L1D_plp_HTI_inter_subframe 값을 가질 수 있다.
- [106] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드이고 상기 코어 레이어 피지컬 레이어 파이프들이 모두 인터-서브프레임 인터리빙 모드를 사용하는 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 동일한 타임 인터리빙 유닛(N_{IW})을 사용할 수 있다.
- [107] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들 중 적어도 하나가 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 파이프들 중 하이브리드 타임 인터리빙 모드로 구성된 코어 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.
- [108] 이 때, 하나의 완전한 전송 프로덕트는 하나 이상의 서브프레임에 상응하고, 상기 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [109] 이 때, 타임 인터리빙은 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 사이의 경계(boundary)는 상기 코어 레이어 신호에 상응하는 코어 레이어의 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 사이의 경계일 수 있다. 즉, 코어 레이어의 피지컬 레이어 파이프들 사이의 경계들 중 하나가 타임 인터리버 그룹들 사이의 경계일 수 있다.
- [110] 이 때, 타임 인터리버 그룹들 중 하나에 상응하는 인핸스드 레이어 데이터에는 더미 값들(dummy values)이 포함될 수 있다.
- [111] 이 때, 더미 값들은 PLP 그룹 내의 인핸스드 레이어 셀들의 총 수가 상기 PLP 그룹 내의 코어 레이어 셀들의 총 수와 동일해지도록 상기 PLP 그룹 내의 마지막 인핸스드 PLP의 실제 데이터 셀들 다음에(after the actual data cells of the last Enhanced PLP) 삽입될 수 있다.

- [112] 이 때, 더미 값들은 코어 레이어 데이터에는 삽입되지 않을 수 있다.
- [113] 이 때, 더미 값들은 코어 레이어 BICM 및 인헨스드 레이어 BICM이 완료된 이후, 상기 코어 레이어 신호 및 인헨스드 레이어 신호가 결합되기 이전에 삽입될 수 있다.
- [114] 이 때, 더미 값들은 기설정된 스크램블링 시퀀스에 상응하는 것일 수 있다.
- [115] 이 때, 스크램블링 시퀀스는 상기 마지막 인헨스드 PLP를 위해 사용된 컨스틸레이션 맵핑을 이용하여 변조될 수 있다.
- [116] 이 때, 더미 값들은 상기 마지막 인헨스드 PLP와 동일한 파워를 가질 수 있다.
- [117] 이 때, 스크램블링 시퀀스는 기설정된 제너레이터 폴리노미얼에 상응하는 16-비트 쉬프트 레지스터를 이용하여 생성될 수 있다.
- [118] 이 때, 스크램블링 시퀀스는 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성될 수 있다.
- [119] 이 때, 스크램블링 시퀀스는 0xF180(1111 0001 1000 0000) 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [120] OFDM 송신기(113)는 생성된 방송 신호 프레임을 OFDM 통신 방식을 이용하여 안테나(117)를 통해 송신하여 송신된 OFDM 신호가 무선 채널(120)을 통해 방송 신호 수신 장치(130)의 안테나(137)를 통해 수신되도록 한다.
- [121] 방송 신호 수신 장치(130)는 OFDM 수신기(133) 및 신호 디멀티플렉싱 장치(131)를 포함한다. 무선 채널(120)을 통해 전송된 신호가 안테나(137)를 통해 수신되면, OFDM 수신기(133)는 동기(synchronization), 채널 추정(channel estimation) 및 등화(equalization) 과정 등을 통해 OFDM 신호를 수신한다.
- [122] 이 때, OFDM 수신기(133)는 상기 OFDM 신호로부터 부트스트랩을 검출하여 복조하고, 부트스트랩에 포함된 정보를 이용하여 프리앰블을 복조하고, 프리앰블에 포함된 정보를 이용하여 수퍼 임포우즈드 페이로드를 복조할 수도 있다.
- [123] 신호 디멀티플렉싱 장치(131)는 OFDM 수신기(133)를 통해 수신된 신호(수퍼 임포우즈드 페이로드)로부터 먼저 코어 레이어 데이터를 복원하고, 복원된 코어 레이어 데이터에 상응하는 캔슬레이션(cancellation)을 통해 인헨스드 레이어 데이터를 복원한다. 이 때, 신호 디멀티플렉싱 장치(131)는 먼저 방송 신호 프레임을 생성하고, 방송 신호 프레임으로부터 부트스트랩을 복원하고, 부트스트랩에 포함된 정보를 이용하여 프리앰블을 복원한 후 프리앰블에 포함된 시그널링 정보 데이터 신호의 복원에 활용할 수 있다. 이 때, 시그널링 정보는 L1 시그널링 정보일 수 있고, 인젝션 레벨 정보, 노멀라이징 팩터 정보 등을 포함할 수 있다.
- [124] 이 때, 프리앰블은 모든 피지컬 레이어 파이프들 각각에 대하여 타임

- 인터리버에 상응하는 타임 인터리빙 모드를 포함할 수 있다.
- [125] 이 때, 프리앰블은 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)을 식별하기 위한 PLP 식별 정보; 및 계층적인 분할에 상응하는 레이어들을 식별하기 위한 레이어 식별 정보를 포함할 수 있다.
- [126] 이 때, PLP 식별 정보 및 레이어 식별 정보는 별개의 필드들로 상기 프리앰블에 포함될 수 있다.
- [127] 이 때, 타임 인터리버 정보는 코어 레이어를 기준으로 상기 프리앰블에 포함될 수 있다.
- [128] 이 때, 프리앰블은 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교한 결과에 따라 선택적으로 상기 인젝션 레벨 컨트롤러에 상응하는 인젝션 레벨 정보를 포함할 수 있다.
- [129] 이 때, 프리앰블은 피지컬 레이어 파이프들의 타입 정보, 시작 위치 정보 및 사이즈 정보를 포함할 수 있다.
- [130] 이 때, 타입 정보는 분산되지 않은(non-dispersed) 피지컬 레이어 파이프에 상응하는 제1 타입과 분산된(dispersed) 피지컬 레이어 파이프에 상응하는 제2 타입 중 어느 하나를 식별하기 위한 것일 수 있다.
- [131] 이 때, 분산되지 않은 피지컬 레이어 파이프는 연속적인 데이터 셀 인덱스들(contiguous data cell indices)에 대하여 할당되고, 상기 분산된 피지컬 레이어 파이프는 둘 이상의 서브슬라이스들로 이루어질 수 있다.
- [132] 이 때, 타입 정보는 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교한 결과에 따라 선택적으로 시그널링될 수 있다.
- [133] 이 때, 타입 정보는 코어 레이어에 대해서만 시그널링될 수 있다.
- [134] 이 때, 시작 위치 정보는 피지컬 레이어 파이프의 첫 번째 데이터 셀에 상응하는 인덱스와 동일하게 설정될 수 있다.
- [135] 이 때, 시작 위치 정보는 셀 어드레싱 스킴(cell addressing scheme)을 이용하여 상기 피지컬 레이어 파이프의 시작 위치(start position)를 지시(indicate)할 수 있다.
- [136] 이 때, 시작 위치 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [137] 이 때, 사이즈 정보는 상기 피지컬 레이어 파이프에 할당된 데이터 셀들의 개수에 기반하여 설정될 수 있다.
- [138] 이 때, 사이즈 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [139] 이 때, 타임 인터리버 정보는 상기 코어 레이어를 기준으로 시그널링될 수 있다.
- [140] 이 때, 타임 인터리버는 하이브리드 타임 인터리버(hybrid time interleaver)에 상응하는 것일 수 있다. 이 때, 코어 레이어 및 인헨스드 레이어의 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)은 온전한 FEC 블록들만(only complete FEC

blocks)을 포함할 수 있다.

- [141] 이 때, 프리앰블은 상기 타임 인터리버 그룹들의 경계가 상기 인헨스드 레이어의 FEC 블록들의 경계에 상응하지 않는 경우, 상기 타임 인터리버 그룹들의 경계에 상응하는 상기 인헨스드 레이어의 FEC 블록의 일부분을 식별하기 위한 정보를 시그널링할 수 있다.
- [142] 이 때, FEC 블록의 일부분을 식별하기 위한 정보는 상기 코어 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인헨스드 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인헨스드 레이어에 상응하는 모듈레이션 정보 및 상기 인헨스드 레이어에 상응하는 FEC 타입 정보 중 어느 하나 이상을 포함할 수 있다.
- [143] 이 때, 피지컬 레이어 파이프의 시작 위치 정보는 상기 피지컬 레이어 파이프의 첫 번째 데이터 셀의 인덱스에 상응하는 것일 수 있다.
- [144] 이 때, 모듈레이션 정보는 상기 FEC 타입 정보가 기설정된 조건을 만족하는 경우에만 시그널링되는 것일 수 있다.
- [145] 이 때, 인헨스드 레이어 신호는 상기 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션(cancellation)에 기반하여 복원되는 인헨스드 레이어 데이터에 상응하는 것일 수 있다.
- [146] 이 때, 타임 인터리버는 컨벌루셔널 타임 인터리버(convolutional time interleaver)에 상응하고, 상기 타임 인터리버 그룹들은 완전하지 않은 FEC 블록(incomplete FEC block)을 포함하는 피지컬 레이어 파이프(Physical Layer Pipe; PLP)를 포함하고, 상기 프리앰블은 상기 피지컬 레이어 파이프 내의 첫 번째 완전한 FEC 블록의 시작 위치 정보를 시그널링하는 것일 수 있다.
- [147] 이 때, 타임 인터리버는 복수의 동작 모드들 중 하나로 상기 인터리빙을 수행할 수 있다.
- [148] 이 때, 상기 동작 모드들은 타임 인터리빙을 생략하는 제1 모드, 컨벌루셔널 타임 인터리빙(Convolutional time interleaving)을 수행하는 제2 모드 및 하이브리드 타임 인터리빙(Hybrid time interleaving)을 수행하는 제3 모드를 포함할 수 있다.
- [149] 이 때, 프리앰블은 상기 제1 모드 및 제2 모드에 대해서는 현재 피지컬 레이어 파이프(Physical Layer Pipe)에 상응하는 첫 번째 온전한 FEC 블록(first complete FEC block)의 시작 위치를 나타내는 필드를 포함하고, 상기 제3 모드에 대해서는 상기 첫 번째 FEC 블록의 시작 위치를 나타내는 필드를 포함하지 않을 수 있다. 이 때, 시작 위치를 나타내는 필드는 현재 서브프레임 동안 현재 피지컬 레이어 파이프 내에서 시작되는 첫 번째 FEC 블록의 시작 위치를 나타내는 것일 수 있다.
- [150] 이 때, 첫 번째 FEC 블록의 시작 위치를 나타내는 필드는 상기 제1 모드에서 사용되는 제1 필드 및 상기 제2 모드에서 사용되는 제2 필드 중 어느 하나이고, 상기 제1 필드 및 제2 필드는 길이가 상이할 수 있다.

- [151] 이 때, 제2 필드의 길이는 제1 필드의 길이보다 길 수 있다.
- [152] 이 때, 제1 필드의 길이는 LDPC 부호어의 길이와 모듈레이션 오더에 기반하여 결정되고, 상기 제2 필드의 길이는 상기 LDPC 부호어의 길이와 모듈레이션 오더뿐만 아니라 컨벌루션 타임 인터리버의 뎀스(depth)를 더 고려하여 결정될 수 있다.
- [153] 이 때, 제1 필드의 길이는 15비트이고, 상기 제2 비트의 길이는 22비트일 수 있다.
- [154] 이 때, 제1 필드 및 제2 필드는 각각 상기 코어 레이어 신호에 상응하는 코어 레이어 및 상기 인헨스드 레이어 신호에 상응하는 인헨스드 레이어 각각에 대하여 별개로 시그널링될 수 있다.
- [155] 후술하겠지만, 도 1에 도시된 방송 신호 프레임 생성 장치(111)는 코어 레이어 신호 및 인헨스드 레이어 신호를 결합(combine)하여 멀티플렉싱된 신호를 생성하는 결합기; 상기 멀티플렉싱된 신호의 파워를, 상기 코어 레이어 신호에 상응하는 파워로 낮추기 위한 파워 노멀라이징을 수행하는 파워 노멀라이저; 상기 파워 노멀라이징이 수행된 이후 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 타임 인터리버; 및 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 프레임 빌더를 포함할 수 있다. 이 때, 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인헨스드 레이어 신호에 상응하는 인헨스드 레이어 피지컬 레이어 파이프를 포함할 수 있다. 이 때, 상기 타임 인터리버는 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인헨스드 레이어 데이터에는 더미 값들이 포함될 수 있다. 이 때, 도 1에 도시된 방송 신호 송신 장치(110)는 코어 레이어 신호 및 인헨스드 레이어 신호를 결합(combine)하여 멀티플렉싱된 신호를 생성하는 결합기; 상기 멀티플렉싱된 신호의 파워를, 상기 코어 레이어 신호에 상응하는 파워로 낮추기 위한 파워 노멀라이징을 수행하는 파워 노멀라이저; 상기 파워 노멀라이징이 수행된 이후 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 타임 인터리버; 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 프레임 빌더; 및 상기 방송 신호 프레임을 OFDM 통신 방식을 이용하여 안테나를 통해 송신하는 OFDM 송신기를 포함하는 것으로 볼 수 있다. 이 때, 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인헨스드 레이어 신호에 상응하는 인헨스드 레이어 피지컬 레이어 파이프를 포함할 수 있다. 이 때, 상기 타임 인터리버는 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인헨스드 레이어 데이터에는 더미 값들이 포함될 수 있다.

- [156] 실시예에 따라, 도 1에 도시된 방송 신호 프레임 생성 장치(111)는 싱글 레이어의 경우에 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 타임 인터리버; 및 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 프레임 빌더를 포함할 수도 있다. 이 때, 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인헨스드 레이어 신호에 상응하는 인헨스드 레이어 피지컬 레이어 파이프를 포함할 수 있다. 이 때, BICM 출력 신호는 후술할 BICM 장치의 출력 신호일 수 있다. 이 때, 도 1에 도시된 방송 신호 송신 장치(110)는 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 타임 인터리버; 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 프레임 빌더; 및 상기 방송 신호 프레임을 OFDM 통신 방식을 이용하여 안테나를 통해 송신하는 OFDM 송신기를 포함하는 것으로 볼 수 있다. 이 때, 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인헨스드 레이어 신호에 상응하는 인헨스드 레이어 피지컬 레이어 파이프를 포함할 수 있다.
- [157] 후술하겠지만, 도 1에 도시된 신호 디멀티플렉싱 장치는 방송 신호 프레임에 상응하는 수신 신호에 타임 디인터리빙을 적용하여 타임 디인터리빙 신호를 생성하는 타임 디인터리버; 상기 수신 신호 또는 상기 타임 디인터리빙 신호의 파워를 송신기의 파워 노멀라이저에 의한 파워 감소만큼 높이는 디-노멀라이저; 상기 디-노멀라이저에 의해 파워 조절된 신호로부터 코어 레이어 데이터를 복원하는 코어 레이어 BICM 디코더; 상기 코어 레이어 BICM 디코더의 코어 레이어 FEC 디코더의 출력 신호를 이용하여, 상기 디-노멀라이저에 의해 파워 조절된 신호에 대한 상기 코어 레이어 데이터에 상응하는 캔슬레이션을 수행하여 인헨스드 레이어 신호를 추출하는 인헨스드 레이어 심볼 추출기; 상기 인헨스드 레이어 신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 디-인젝션 레벨 컨트롤러; 및 상기 디-인젝션 레벨 컨트롤러의 출력 신호를 이용하여 인헨스드 레이어 데이터를 복원하는 인헨스드 레이어 BICM 디코더를 포함할 수 있다. 이 때, 도 1에 도시된 방송 신호 수신 장치(130)는 방송 신호 프레임에 상응하는 전송된 신호에 대한 동기, 채널추정 및 등화 중 어느 하나 이상을 수행하여 수신 신호를 생성하는 OFDM 수신기; 상기 수신 신호에 타임 디인터리빙을 적용하여 타임 디인터리빙 신호를 생성하는 타임 디인터리버; 상기 수신 신호 또는 상기 타임 디인터리빙 신호의 파워를 송신기의 파워 노멀라이저에 의한 파워 감소만큼 높이는 디-노멀라이저; 상기 디-노멀라이저에 의해 파워 조절된 신호로부터 코어 레이어 데이터를 복원하는 코어 레이어 BICM 디코더; 상기 코어 레이어 BICM 디코더의 코어 레이어 FEC

디코더의 출력 신호를 이용하여, 상기 다-노멀라이저에 의해 파워 조절된 신호에 대한 상기 코어 레이어 데이터에 상응하는 캔슬레이션을 수행하여 인헨스드 레이어 신호를 추출하는 인헨스드 레이어 심볼 추출기; 상기 인헨스드 레이어 신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 다-인젝션 레벨 컨트롤러; 및 상기 다-인젝션 레벨 컨트롤러의 출력 신호를 이용하여 인헨스드 레이어 데이터를 복원하는 인헨스드 레이어 BICM 디코더를 포함하는 것으로 볼 수 있다.

- [158] 이 때, 타임 디인터리버는 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인헨스드 레이어 데이터에는 더미 값들이 포함되어 있을 수 있다.
- [159] 이 때, 타임 디인터리버는 타임 인터리빙 모드에 상응할 수 있다.
- [160] 이 때, 프리앰블은 모든 피지컬 레이어 파이프들 각각에 대하여 타임 인터리빙에 상응하는 타임 인터리빙 모드를 포함할 수 있다.
- [161] 도 1에는 명시적으로 도시되지 아니하였으나, 본 발명의 일실시예에 따른 방송 신호 송/수신 시스템은 코어 레이어 데이터 및 인헨스드 레이어 데이터 이외에도 하나 이상의 확장 레이어 데이터를 멀티플렉싱/디멀티플렉싱할 수 있다. 이 때, 확장 레이어 데이터는 코어 레이어 데이터 및 인헨스드 레이어 데이터보다 낮은 파워 레벨로 멀티플렉싱될 수 있다. 나아가, 둘 이상의 확장 레이어들이 포함되는 경우, 첫 번째 확장 레이어의 인젝션 파워 레벨보다 두 번째 확장 레이어의 인젝션 파워 레벨이 낮고, 두 번째 확장 레이어의 인젝션 파워 레벨보다 세 번째 확장 레이어의 인젝션 파워 레벨이 낮을 수 있다.
- [162] 도 2는 본 발명의 일실시예에 따른 방송 신호 송/수신 방법을 나타낸 동작 흐름도이다.
- [163] 도 2를 참조하면, 본 발명의 일실시예에 따른 방송 신호 송/수신 방법은 코어 레이어 신호 및 인헨스드 레이어 신호를 결합하여 멀티플렉싱하여 방송 신호 프레임을 생성한다(S210). 이 때, 코어 레이어 신호 및 인헨스드 레이어 신호는 서로 다른 파워 레벨로 결합될 수 있다. 이 때, 방송 신호 프레임은 타임 인터리빙을 수행하여 생성될 수 있고, 상기 프리앰블은 모든 피지컬 레이어 파이프들 각각에 대하여 타임 인터리빙에 상응하는 타임 인터리빙 모드를 포함할 수 있다.
- [164] 실시예에 따라, 단계(S210)는 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하고, 상기 타임 인터리빙에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성할 수도 있다.
- [165] 이 때, 프리앰블은 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 것일 수 있다. 이 때, 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인헨스드 레이어 신호에 상응하는 인헨스드 레이어

피지컬 레이어 파이프를 포함할 수 있다.

- [166] 이 때, 피지컬 레이어 파이프들은 하나의 완전한 전송 프로덕트(one complete delivered product)에 상응하는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함하고, 상기 코어 레이어 피지컬 레이어 파이프들은 레이어드 디비전 멀티플렉싱되지 않을 수 있다.
- [167] 이 때, 코어 레이어 피지컬 레이어 파이프들은 각각 노 타임 인터리빙 모드 또는 하이브리드 타임 인터리빙 모드 중 어느 하나의 타임 인터리빙 모드를 사용하고, 컨벌루셔널 타임 인터리빙 모드는 사용하지 않을 수 있다.
- [168] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용하거나 모두 인터-서브프레임 인터리빙 모드를 사용할 수 있다.
- [169] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 동일한 L1D_plp_HTI_inter_subframe 값을 가질 수 있다.
- [170] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드이고 상기 코어 레이어 피지컬 레이어 파이프들이 모두 인터-서브프레임 인터리빙 모드를 사용하는 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 동일한 타임 인터리빙 유닛(N_{IW})을 사용할 수 있다.
- [171] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들 중 적어도 하나가 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 파이프들 중 하이브리드 타임 인터리빙 모드로 구성된 코어 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.
- [172] 이 때, 하나의 완전한 전송 프로덕트는 하나 이상의 서브프레임에 상응하고, 상기 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [173] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.
- [174] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.
- [175] 이 때, 피지컬 레이어 파이프들은 하나의 인핸스드 레이어 피지컬 레이어 파이프 및 상기 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱되는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함할 수 있다.
- [176] 이 때, 인핸스드 레이어 피지컬 레이어 파이프에 상응하는 타임 인터리빙

모드는 상기 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들과 동일할 수 있다.

- [177] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들은 모두 노 타임 인터리빙 모드이거나, 모두 하이브리드 타임 인터리빙 모드일 수 있다.
- [178] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.
- [179] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들 각각은 각각의 서브프레임 내에서 정수개의 FEC 블록들로 이루어질 수 있다.
- [180] 이 때, 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [181] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.
- [182] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.
- [183] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [184] 이 때, 단계(S210)에 의하여 생성되는 방송 신호 프레임은 부트스트랩, 프리앰블 및 수퍼-임포우즈드 페이로드를 포함할 수 있다. 이 때, 부트스트랩 및 프리앰블 중 어느 하나 이상은 L1 시그널링 정보를 포함할 수 있다. 이 때, L1 시그널링 정보는 인젝션 레벨 정보 및 노멀라이징 팩터 정보를 포함할 수 있다.
- [185] 이 때, 프리앰블은 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)을 식별하기 위한 PLP 식별 정보; 및 계층적인 분할에 상응하는 레이어들을 식별하기 위한 레이어 식별 정보를 포함할 수 있다.
- [186] 이 때, PLP 식별 정보 및 레이어 식별 정보는 별개의 필드들로 상기 프리앰블에

포함될 수 있다.

- [187] 이 때, 타임 인터리버 정보는 코어 레이어를 기준으로 상기 프리앰블에 포함될 수 있다.
- [188] 이 때, 프리앰블은 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교한 결과에 따라 선택적으로 상기 인젝션 레벨 컨트롤러에 상응하는 인젝션 레벨 정보를 포함할 수 있다.
- [189] 이 때, 프리앰블은 피지컬 레이어 파이프들의 타입 정보, 시작 위치 정보 및 사이즈 정보를 포함할 수 있다.
- [190] 이 때, 타입 정보는 분산되지 않은(non-dispersed) 피지컬 레이어 파이프에 상응하는 제1 타입과 분산된(dispersed) 피지컬 레이어 파이프에 상응하는 제2 타입 중 어느 하나를 식별하기 위한 것일 수 있다.
- [191] 이 때, 분산되지 않은 피지컬 레이어 파이프는 연속적인 데이터 셀 인덱스들(contiguous data cell indices)에 대하여 할당되고, 상기 분산된 피지컬 레이어 파이프는 둘 이상의 서브슬라이스들로 이루어질 수 있다.
- [192] 이 때, 타입 정보는 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교한 결과에 따라 선택적으로 시그널링될 수 있다.
- [193] 이 때, 타입 정보는 코어 레이어에 대해서만 시그널링될 수 있다.
- [194] 이 때, 시작 위치 정보는 피지컬 레이어 파이프의 첫 번째 데이터 셀에 상응하는 인덱스와 동일하게 설정될 수 있다.
- [195] 이 때, 시작 위치 정보는 셀 어드레싱 스킴(cell addressing scheme)을 이용하여 상기 피지컬 레이어 파이프의 시작 위치(start position)를 지시(indicate)할 수 있다.
- [196] 이 때, 시작 위치 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [197] 이 때, 사이즈 정보는 상기 피지컬 레이어 파이프에 할당된 데이터 셀들의 개수에 기반하여 설정될 수 있다.
- [198] 이 때, 사이즈 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [199] 이 때, 타임 인터리버 정보는 상기 코어 레이어를 기준으로 시그널링될 수 있다.
- [200] 이 때, 타임 인터리빙된 신호를 생성하는 단계는 하이브리드 타임 인터리버(hybrid time interleaver)를 이용하여 상기 인터리빙을 수행할 수 있다. 이 때, 코어 레이어 및 인헨스드 레이어의 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)은 온전한 FEC 블록들만(only complete FEC blocks)을 포함할 수 있다.
- [201] 이 때, 프리앰블은 상기 타임 인터리버 그룹들의 경계가 상기 인헨스드 레이어의 FEC 블록들의 경계에 상응하지 않는 경우, 상기 타임 인터리버 그룹들의 경계에 상응하는 상기 인헨스드 레이어의 FEC 블록의 일부분을

식별하기 위한 정보를 시그널링할 수 있다.

- [202] 이 때, FEC 블록의 일부분을 식별하기 위한 정보는 상기 코어 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인핸스드 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인핸스드 레이어에 상응하는 모듈레이션 정보 및 상기 인핸스드 레이어에 상응하는 FEC 타입 정보 중 어느 하나 이상을 포함할 수 있다.
- [203] 이 때, 피지컬 레이어 파이프의 시작 위치 정보는 상기 피지컬 레이어 파이프의 첫 번째 데이터 셀의 인덱스에 상응하는 것일 수 있다.
- [204] 이 때, 모듈레이션 정보는 상기 FEC 타입 정보가 기설정된 조건을 만족하는 경우에만 시그널링될 수 있다.
- [205] 이 때, 인핸스드 레이어 신호는 상기 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션(cancellation)에 기반하여 복원되는 인핸스드 레이어 데이터에 상응하는 것일 수 있다.
- [206] 이 때, 타임 인터리빙된 신호를 생성하는 단계는 컨벌루셔널 타임 인터리버(convolutional time interleaver)를 이용하여 상기 인터리빙을 수행하고, 상기 타임 인터리버 그룹들은 완전하지 않은 FEC 블록(incomplete FEC block)을 포함하는 피지컬 레이어 파이프(Physical Layer Pipe; PLP)를 포함하고, 상기 프리앰블은 상기 피지컬 레이어 파이프 내의 첫 번째 완전한 FEC 블록의 시작 위치 정보를 시그널링할 수 있다.
- [207] 이 때, 상기 인터리빙은 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인핸스드 레이어 데이터에는 더미 값들이 포함될 수 있다.
- [208] 이 때, 더미 값들은 PLP 그룹 내의 인핸스드 레이어 셀들의 총 수가 상기 PLP 그룹 내의 코어 레이어 셀들의 총 수와 동일해지도록 상기 PLP 그룹 내의 마지막 인핸스드 PLP의 실제 데이터 셀들 다음에(after the actual data cells of the last Enhanced PLP) 삽입될 수 있다.
- [209] 이 때, 더미 값들은 코어 레이어 데이터에는 삽입되지 않을 수 있다.
- [210] 이 때, 더미 값들은 코어 레이어 BICM 및 인핸스드 레이어 BICM이 완료된 이후, 상기 코어 레이어 신호 및 인핸스드 레이어 신호가 결합되기 이전에 삽입될 수 있다.
- [211] 이 때, 더미 값들은 기설정된 스크램블링 시퀀스에 상응하는 것일 수 있다.
- [212] 이 때, 스크램블링 시퀀스는 상기 마지막 인핸스드 PLP를 위해 사용된 컨스텔레이션 맵핑을 이용하여 변조될 수 있다.
- [213] 이 때, 더미 값들은 상기 마지막 인핸스드 PLP와 동일한 파워를 가질 수 있다.
- [214] 이 때, 스크램블링 시퀀스는 기설정된 제너레이터 폴리노미얼에 상응하는 16-비트 쉬프트 레지스터를 이용하여 생성될 수 있다.
- [215] 이 때, 스크램블링 시퀀스는 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성될 수 있다.

- [216] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [217] 이 때, 상기 인터리빙은 복수의 동작 모드들 중 하나를 이용하여 수행될 수 있다.
- [218] 이 때, 동작 모드들은 타임 인터리빙을 생략하는 제1 모드, 컨벌루셔널 타임 인터리빙(Convolutional time interleaving)을 수행하는 제2 모드 및 하이브리드 타임 인터리빙(Hybrid time interleaving)을 수행하는 제3 모드를 포함할 수 있다.
- [219] 이 때, 프리앰블은 상기 제1 모드 및 제2 모드에 대해서는 현재 피지컬 레이어 파이프(Physical Layer Pipe)에 상응하는 첫 번째 온전한 FEC 블록(first complete FEC block)의 시작 위치를 나타내는 필드를 포함하고, 상기 제3 모드에 대해서는 상기 첫 번째 FEC 블록의 시작 위치를 나타내는 필드를 포함하지 않을 수 있다.
- [220] 이 때, 첫 번째 FEC 블록의 시작 위치를 나타내는 필드는 상기 제1 모드에서 사용되는 제1 필드 및 상기 제2 모드에서 사용되는 제2 필드 중 어느 하나이고, 상기 제1 필드 및 제2 필드는 길이가 상이할 수 있다.
- [221] 이 때, 제2 필드의 길이는 제1 필드의 길이보다 길 수 있다.
- [222] 이 때, 제1 필드의 길이는 LDPC 부호어의 길이와 모듈레이션 오더에 기반하여 결정되고, 상기 제2 필드의 길이는 상기 LDPC 부호어의 길이와 모듈레이션 오더뿐만 아니라 컨벌루셔널 타임 인터리버의 뎀스(depth)를 더 고려하여 결정될 수 있다.
- [223] 이 때, 제1 필드의 길이는 15비트이고, 상기 제2 필드의 길이는 22비트일 수 있다.
- [224] 이 때, 제1 필드 및 제2 필드는 각각 상기 코어 레이어 신호에 상응하는 코어 레이어 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 각각에 대하여 별개로 시그널링될 수 있다.
- [225] 또한, 본 발명의 일실시예에 따른 방송 신호 송/수신 방법은 방송 신호 프레임에 OFDM 전송한다(S220).
- [226] 또한, 본 발명의 일실시예에 따른 방송 신호 송/수신 방법은 전송된 신호를 OFDM 수신한다(S230).
- [227] 이 때, 단계(S230)는 동기(synchronization), 채널 추정(channel estimation) 및 등화(equalization) 과정 등을 수행할 수 있다.
- [228] 이 때, 단계(S230)는 부트스트랩을 복원하고, 복원된 부트스트랩에 포함된 신호를 이용하여 프리앰블을 복원하고, 프리앰블에 포함된 시그널링 정보를 이용하여 데이터 신호를 복원할 수 있다.
- [229] 또한, 본 발명의 일실시예에 따른 방송 신호 송/수신 방법은 수신된 신호에서 코어 레이어 데이터를 복원한다(S240).

- [230] 또한, 본 발명의 일실시예에 따른 방송 신호 송/수신 방법은 코어 레이어 신호 채널레이션을 통해 인헨스드 레이어 데이터를 복원한다(S250).
- [231] 특히, 도 2에 도시된 단계(S240) 및 단계(S250)는 단계(S210)에 상응하는 디멀티플렉싱 동작에 해당하는 것일 수 있다.
- [232] 후술하겠지만, 도 2에 도시된 단계(S210)는 싱글 레이어의 경우 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 단계; 및 상기 타임 인터리빙에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 단계를 포함하는 것으로 볼 수 있다. 이 때, 단계(S210) 및 단계(S220)의 방송 신호 송신 방법은, 싱글 레이어의 경우 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 단계; 상기 타임 인터리빙에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 단계; 및 상기 방송 신호 프레임을 OFDM 통신 방식을 이용하여 안테나를 통해 송신하는 단계를 포함하는 것으로 볼 수 있다.
- [233] 후술하겠지만, 도 2에 도시된 단계(S210)는 코어 레이어 신호 및 인헨스드 레이어 신호를 결합하여 멀티플렉싱된 신호를 생성하는 단계; 상기 멀티플렉싱된 신호의 파워를, 상기 코어 레이어 신호에 상응하는 파워로 낮추기 위한 파워 노멀라이징을 수행하는 단계; 상기 파워 노멀라이징이 수행된 이후 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 단계; 및 상기 타임 인터리빙에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 단계를 포함할 수 있다. 이 때, 상기 타임 인터리빙은 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인헨스드 레이어 데이터에는 더미 값들이 포함될 수 있다. 이 때, 단계(S210) 및 단계(S220)의 방송 신호 송신 방법은, 코어 레이어 신호 및 인헨스드 레이어 신호를 결합하여 멀티플렉싱된 신호를 생성하는 단계; 상기 멀티플렉싱된 신호의 파워를, 상기 코어 레이어 신호에 상응하는 파워로 낮추기 위한 파워 노멀라이징을 수행하는 단계; 상기 파워 노멀라이징이 수행된 이후 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 단계; 상기 타임 인터리빙에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 단계; 및 상기 방송 신호 프레임을 OFDM 통신 방식을 이용하여 안테나를 통해 송신하는 단계를 포함하는 것으로 볼 수 있다. 이 때, 상기 타임 인터리빙은 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인헨스드 레이어 데이터에는 더미 값들이 포함될 수 있다.
- [234] 후술하겠지만, 도 2에 도시된 단계들(S240, S250)은 방송 신호 프레임에

상응하는 수신 신호에 타임 디인터리빙을 적용하여 타임 디인터리빙 신호를 생성하는 단계; 상기 수신 신호 또는 상기 타임 디인터리빙 신호의 파워를 송신기의 파워 노멀라이저에 의한 파워 감소만큼 높이는 단계; 상기 파워 조절된 신호로부터 코어 레이어 데이터를 복원하는 단계; 상기 파워 조절된 신호에 대한 상기 코어 레이어 데이터에 상응하는 캔슬레이션을 수행하여 인헨스드 레이어 신호를 추출하는 단계; 상기 인헨스드 레이어 신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 단계; 및 파워 조절된 상기 인헨스드 레이어 신호를 이용하여 인헨스드 레이어 데이터를 복원하는 단계를 포함할 수 있다. 이 때, 본 발명의 일실시예에 따른 방송 신호 수신 방법은, 방송 신호 프레임에 상응하는 전송된 신호에 대한 동기, 채널추정 및 등화 중 어느 하나 이상을 수행하여 수신 신호를 생성하는 단계; 상기 수신 신호에 타임 디인터리빙을 적용하여 타임 디인터리빙 신호를 생성하는 단계; 상기 수신 신호 또는 상기 타임 디인터리빙 신호의 파워를 송신기의 파워 노멀라이저에 의한 파워 감소만큼 높이는 단계; 상기 파워 조절된 신호로부터 코어 레이어 데이터를 복원하는 단계; 상기 파워 조절된 신호에 대한 상기 코어 레이어 데이터에 상응하는 캔슬레이션을 수행하여 인헨스드 레이어 신호를 추출하는 단계; 상기 인헨스드 레이어 신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 단계; 및 파워 조절된 상기 인헨스드 레이어 신호를 이용하여 인헨스드 레이어 데이터를 복원하는 단계를 포함하는 것으로 볼 수 있다.

- [235] 이 때, 타임 디인터리빙은 타임 인터리빙 모드에 상응할 수 있다.
- [236] 이 때, 프리앰블은 모든 피지컬 레이어 파이프들 각각에 대하여 타임 인터리빙에 상응하는 타임 인터리빙 모드를 포함할 수 있다.
- [237] 이 때, 타임 디인터리빙은 복수의 동작 모드들 중 하나로 상기 디인터리빙을 수행할 수 있다.
- [238] 이 때, 타임 디인터리빙은 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 중 하나에 상응하는 인헨스드 레이어 데이터에는 더미 값들이 포함되어 있을 수 있다.
- [239] 도 3은 도 1에 도시된 방송 신호 프레임 생성 장치의 일 예를 나타낸 블록도이다.
- [240] 도 3을 참조하면, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 장치는 코어 레이어 BICM부(310), 인헨스드 레이어 BICM부(320), 인젝션 레벨 컨트롤러(330), 결합기(340), 파워 노멀라이저(345), 타임 인터리버(350), 시그널링 생성부(360) 및 프레임 빌더(370)를 포함할 수 있다.
- [241] 일반적으로, BICM(Bit-Interleaved Coded Modulation) 장치는 오류정정 부호화기, 비트 인터리버 및 심볼 매퍼로 구성되며, 도 3에 도시된 코어 레이어 BICM부(310) 및 인헨스드 레이어 BICM부(320)도 각각 오류정정 부호화기, 비트 인터리버 및 심볼 매퍼를 포함할 수 있다. 특히, 도 3에 도시된 오류정정 부호화기(CORE LAYER FEC ENCODER, ENHANCED LAYER FEC

ENCODER)는 각각 BCH 인코더 및 LDPC 인코더가 직렬로 결합된 것일 수 있다. 이 때, 오류정정 부호화기의 입력은 BCH 인코더로 입력되고, BCH 인코더의 출력은 LDPC 인코더로 입력되며, LDPC 인코더의 출력은 오류정정 부호화기의 출력이 될 수 있다.

- [242] 도 3에 도시된 바와 같이, 코어 레이어 데이터(Core Layer data) 및 인핸스드 레이어 데이터(Enhanced Layer data)는 각각 서로 다른 BICM부를 통과한 후 결합기(340)를 통해 합쳐진다. 즉, 본 발명에서 레이어드 디비전 멀티플렉싱(Layered Division Multiplexing; LDM)이라 함은 다수 개의 계층을 파워 차이를 이용하여 하나로 결합하여 전송하는 것을 의미할 수 있다.
- [243] 즉, 코어 레이어 데이터는 코어 레이어 BICM부(310)를 통과하고, 인핸스드 레이어 데이터는 인핸스드 레이어 BICM부(320)를 통과한 후 인젝션 레벨 컨트롤러(330)를 거쳐서 결합기(340)에서 결합된다. 이 때, 인핸스드 레이어 BICM부(320)는 코어 레이어 BICM부(310)와는 상이한 BICM 인코딩을 수행할 수 있다. 즉, 인핸스드 레이어 BICM부(320)는 코어 레이어 BICM부(310)보다 높은 비트율에 상응하는 오류정정 부호화나 심볼 맵핑을 수행할 수 있다. 또한, 인핸스드 레이어 BICM부(320)는 코어 레이어 BICM부(310)보다 덜 강인한(less robust) 오류정정 부호화나 심볼 맵핑을 수행할 수 있다.
- [244] 예를 들어, 코어 레이어 오류정정 부호화기가 인핸스드 레이어 오류정정 부호화기보다 비트율이 낮을 수 있다. 이 때, 인핸스드 레이어 심볼 맵퍼는 코어 레이어 심볼 맵퍼보다 덜 강인(less robust)할 수 있다.
- [245] 결합기(340)는 코어 레이어 신호 및 인핸스드 레이어 신호를 결합(combine)하는 것으로 볼 수 있다. 이 때, 결합기(340)는 코어 레이어 신호 및 인핸스드 레이어 신호를 서로 다른 파워 레벨로 결합할 수 있다. 실시예에 따라, 파워 레벨 조절은 인핸스드 레이어 신호가 아닌 코어 레이어 신호에 대하여 수행될 수도 있다. 이 때, 코어 레이어 신호에 대한 파워는 인핸스드 레이어 신호의 파워보다 커지도록 조절될 수 있다.
- [246] 코어 레이어 데이터는 강인한(robust) 수신을 위해 낮은 부호율(low code rate)의 FEC(Forward error correction) 코드를 사용하는 반면, 인핸스드 레이어 데이터는 높은 데이터 전송률을 위해 높은 부호율의 FEC 코드를 사용할 수 있다.
- [247] 즉, 코어 레이어 데이터는 인핸스드 레이어 데이터와 비교하여 동일한 수신환경에서 더 넓은 방송구역(coverage)을 가질 수 있다.
- [248] 인핸스드 레이어 BICM부(320)를 통과한 인핸스드 레이어 데이터는 인젝션 레벨 컨트롤러(330)를 통해 그 게인(또는 파워)가 조절되어 결합기(340)에 의해 코어 레이어 데이터와 결합된다.
- [249] 즉, 인젝션 레벨 컨트롤러(330)는 인핸스드 레이어 신호의 파워를 줄여서 파워 리듀스드 인핸스드 레이어 신호를 생성한다. 이 때, 인젝션 레벨 컨트롤러(330)에서 조절되는 신호의 크기는 인젝션 레벨(injection level)에 따라 결정될 수 있다. 이 때, 신호 A에 신호 B를 삽입하는 경우의 인젝션 레벨은 하기

수학식 1과 같이 정의될 수 있다.

[250] [수학식 1]

[251]

$$\text{Injection level(dB)} = -10 \log_{10} \left(\frac{\text{Signal Power of B}}{\text{Signal Power of A}} \right)$$

[252] 예를 들어, 코어 레이어 신호에 인핸스드 레이어 신호를 삽입할 때 인젝션 레벨을 3dB라고 가정하면, 인핸스드 레이어 신호는 코어 레이어 신호의 절반에 해당하는 파워 크기를 가지는 것을 의미한다.

[253] 이 때, 인젝션 레벨 컨트롤러(330)는 인핸스드 레이어 신호의 파워 레벨을 0dB에서 25.0dB까지 0.5dB 또는 1dB 간격으로 조절할 수 있다.

[254] 일반적으로, 코어 레이어에 할당되는 전송 파워가 인핸스드 레이어에 할당되는 전송 파워에 비해 크게 할당되며, 이를 통해 수신기에서 코어 레이어에 대한 우선적인 복호가 가능하다.

[255] 이 때, 결합기(340)는 코어 레이어 신호 및 파워 리듀스드 인핸스드 레이어 신호를 결합하여 멀티플렉싱된 신호를 생성하는 것으로 볼 수 있다.

[256] 결합기(340)에 의해 결합된 신호는 코어 레이어 신호와 인핸스드 레이어 신호의 결합에 의하여 발생한 파워 상승만큼 파워를 낮추기 위해 파워 노멀라이저(345)로 제공되어 파워 조절이 수행된다. 즉, 파워 노멀라이저(345)는 결합기(340)에 의해 멀티플렉싱된 신호의 파워를, 코어 레이어 신호에 상응하는 파워 레벨로 낮춘다. 결합된 신호의 레벨이 한 레이어 신호의 레벨보다 높기 때문에 방송 신호 송/수신 시스템의 나머지 부분에서 진폭 클리핑(amplitude clipping) 등을 방지하기 위해서 파워 노멀라이저(345)의 파워 노멀라이징이 필요하다.

[257] 이 때, 파워 노멀라이저(345)는 하기 수학식 2의 노멀라이징 팩터(normalizing factor)를 결합된 신호의 크기에 곱하여 알맞은 신호의 크기로 조절할 수 있다. 하기 수학식 2를 계산하기 위한 인젝션 레벨 정보는 시그널링 플로우(signaling flow)를 통해 파워 노멀라이저(345)로 전달될 수 있다.

[258] [수학식 2]

[259]

$$\text{Normalizing factor} = \left(\sqrt{(1 + 10^{-\text{InjectionLevel(dB)}/10})} \right)^{-1}$$

[260] 인핸스드 레이어 신호 S_E 가 코어 레이어 신호 S_C 에 기설정된 인젝션 레벨에 의해 인젝션될 때 코어 레이어 신호 및 인핸스드 레이어 신호의 파워 레벨이 1로 노멀라이즈된다고 가정하면, 결합 신호는 $S_C + \alpha S_E$ 와 같이 표현될 수 있다.

[261] 이 때, α 는 다양한 인젝션 레벨들에 상응하는 스케일링 팩터(scaling factor)를 나타낸다. 즉, 인젝션 레벨 컨트롤러(330)는 스케일링 팩터에 상응하는 것일 수 있다.

[262] 예를 들어, 인핸스드 레이어의 인젝션 레벨이 3dB이면, 결합된 신호는
와 같이 표현될 수 있다.

$$S_c + \sqrt{\frac{1}{2}} S_E$$

[263] 결합된(combined) 신호(멀티플렉싱된 신호)의 파워가 코어 레이어 신호와
비교하여 증가하였기 때문에, 파워 노멀라이저(345)는 이와 같은 파워 증가를
완화(mitigate)시켜야 한다.

[264] 파워 노멀라이저(345)의 출력은 $\beta(S_c + \alpha S_E)$ 와 같이 표현될 수 있다.

[265] 이 때, β 는 인핸스드 레이어의 다양한 인젝션 레벨에 따른 노멀라이징
팩터(normalizing factor)를 나타낸다.

[266] 인핸스드 레이어의 인젝션 레벨이 3dB인 경우, 코어 레이어 신호 대비 결합
신호의 파워 증가는 50%이다. 따라서, 파워 노멀라이저(345)의 출력은
와 같이 표현될 수 있다.

$$\sqrt{\frac{2}{3}} (S_c + \sqrt{\frac{1}{2}} S_E)$$

[267] 하기 표 1은 다양한 인젝션 레벨에 따른 스케일링 팩터 α 와 노멀라이징 팩터
 β 를 나타낸다(CL: Core Layer, EL: Enhanced Layer). 인젝션 레벨과 스케일링 팩터
 α 및 노멀라이징 팩터 β 와의 관계는 아래와 같이 정의될 수 있다.

[268] [수학식 3]

[269]

$$\begin{cases} \alpha = 10^{\left(\frac{\text{Injection level}}{20}\right)} \\ \beta = \frac{1}{\sqrt{1 + \alpha^2}} \end{cases}$$

[270] [표1]

EL Injection level relative to CL	Scaling factor α	Normalizing factor β
3.0 dB	0.7079458	0.8161736
3.5 dB	0.6683439	0.8314061
4.0 dB	0.6309573	0.8457262
4.5 dB	0.5956621	0.8591327
5.0 dB	0.5623413	0.8716346
5.5 dB	0.5308844	0.8832495
6.0 dB	0.5011872	0.8940022
6.5 dB	0.4731513	0.9039241
7.0 dB	0.4466836	0.9130512
7.5 dB	0.4216965	0.9214231
8.0 dB	0.3981072	0.9290819
8.5 dB	0.3758374	0.9360712
9.0 dB	0.3548134	0.9424353
9.5 dB	0.3349654	0.9482180
10.0 dB	0.3162278	0.9534626

- [271] 실시예에 따라, 인젝션 레벨은 0dB에서 25dB까지의 값일 수 있다. 인젝션 레벨이 0dB인 경우, 코어 레이어 신호와 인핸스드 레이어 신호는 동일한 파워로 결합될 수 있다. 이 때, 스케일링 팩터는 1이고, 노멀라이징 팩터는 0.7071068일 수 있다.
- [272] 즉, 파워 노멀라이저(345)는 노멀라이징 팩터(normalizing factor)에 상응하고, 멀티플렉싱된 신호의 파워를 결합기(340)에 의하여 상승된 만큼 낮추는 것으로 볼 수 있다.
- [273] 이 때, 노멀라이징 팩터 및 스케일링 팩터는 각각 0보다 크고 1보다 작은 유리수일 수 있다.
- [274] 이 때, 스케일링 팩터는 인젝션 레벨 컨트롤러(330)에 상응하는 파워 감소가 클수록 감소하고, 노멀라이징 팩터는 인젝션 레벨 컨트롤러(330)에 상응하는 파워 감소가 클수록 증가할 수 있다.
- [275] 파워 노멀라이징된 신호는 채널에서 발생하는 군집오류(burst error)를 분산시키기 위한 타임 인터리버(time interleaver)(350)를 통과한다.
- [276] 이 때, 타임 인터리버(350)는 코어 레이어 신호 및 인핸스드 레이어 신호에 함께

적용되는 인터리빙을 수행하는 것으로 볼 수 있다. 즉, 코어 레이어와 인헨스드 레이어가 타임 인터리버를 공유함으로써 불필요한 메모리 사용을 방지하고, 수신기에서의 레이턴시를 줄일 수 있다.

- [277] 후술하겠지만, 인헨스드 레이어 신호는 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션(cancellation)에 기반하여 복원되는 인헨스드 레이어 데이터에 상응하는 것일 수 있고, 결합기(340)는 코어 레이어 신호 및 인헨스드 레이어 신호보다 낮은 파워 레벨의 하나 이상의 확장 레이어(extension layer) 신호를 상기 코어 레이어 신호 및 인헨스드 레이어 신호와 함께 결합할 수 있다.
- [278] 한편, 인젝션 레벨 정보를 포함하는 L1 시그널링 정보는 시그널링 전용의 BICM을 포함하는 시그널링 생성부(360)에서 부호화된다. 이 때, 시그널링 생성부(360)는 인젝션 레벨 컨트롤러(330)로부터 인젝션 레벨 정보(IL INFO)를 제공 받아서 L1 시그널링 신호를 생성할 수 있다.
- [279] L1 시그널링에서 L1은 ISO 7 레이어 모델의 최하위 레이어(lowest layer)인 레이어 1(Layer-1)을 나타낸다. 이 때, L1 시그널링은 프리앰블(preamble)에 포함될 수도 있다.
- [280] 일반적으로, L1 시그널링은 OFDM 송신기의 주요 파라미터인 FFT 사이즈, 가드 인터벌 사이즈(guard interval size) 등과 BICM 주요 파라미터인 채널 코드 레이트(channel code rate), 모듈레이션 정보 등을 포함할 수 있다. 이러한 L1 시그널링 신호는 데이터 신호와 결합하여 방송 신호 프레임을 구성한다.
- [281] 프레임 빌더(370)는 L1 시그널링 신호와 데이터 신호를 결합하여 방송 신호 프레임을 생성한다. 이 때, 프레임 빌더(370)는 타임 인터리빙된 신호를 이용하여 상기 코어 레이어 신호와 상기 인헨스드 레이어 신호에 공유되는 타임 인터리버 정보 및 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)의 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성할 수 있다. 이 때, 방송 신호 프레임은 부트스트랩을 더 포함할 수 있다.
- [282] 이 때, 프레임 빌더(370)는 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성할 수 있다. 이 때, 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인헨스드 레이어 신호에 상응하는 인헨스드 레이어 피지컬 레이어 파이프를 포함할 수 있다.
- [283] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 인헨스드 레이어 피지컬 레이어 파이프를 위한 경우에, 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우와는 다른 생성 방식으로 생성될 수 있다.
- [284] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우 제1 기준 타이밍을 기반으로 생성되고, 상기 인헨스드 레이어 피지컬 레이어 파이프를 위한 경우 상기 제1 기준 타이밍과 상이한 제2

기준 타이밍을 기반으로 생성될 수 있다.

- [285] 이 때, 제1 기준 타이밍은 타임 인터리빙 이후에 상응하고, 제2 기준 타이밍은 상기 타임 인터리빙 이전에 상응할 수 있다.
- [286] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 인헨스드 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이전을 기준(with respect to)으로 정의될 수 있다.
- [287] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 현재 서브프레임 내에서 정의(defined within the current subframe)될 수 있다.
- [288] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이후를 기준(with respect to)으로 정의될 수 있다.
- [289] 이 때, 상기 사이즈 정보는 상기 피지컬 레이어 파이프들 각각에 할당된 데이터 셀들의 개수에 기반하여 설정될 수 있다.
- [290] 이 때, 상기 시작 위치 정보는 상기 피지컬 레이어 파이프들 각각의 첫 번째 데이터 셀에 상응하는 인덱스와 동일하게 설정될 수 있다.
- [291] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [292] 이 때, 프레임 빌더(370)는 타임 인터리버(350)에 상응하는 타임 인터리빙 모드를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성하는 것으로 볼 수 있다.
- [293] 이 때, 타임 인터리빙 모드는 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링될 수 있다.
- [294] 이 때, 피지컬 레이어 파이프들은 하나의 인헨스드 레이어 피지컬 레이어 파이프 및 상기 하나의 인헨스드 레이어 피지컬 레이어 파이프들에 레이어드 디비전 멀티플렉싱되는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함할 수 있다.
- [295] 이 때, 인헨스드 레이어 피지컬 레이어 파이프에 상응하는 타임 인터리빙 모드는 상기 인헨스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들과 동일할 수 있다.
- [296] 이 때, 인헨스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들은 모두 노 타임 인터리빙 모드이거나, 모두 하이브리드 타임 인터리빙 모드일 수 있다.
- [297] 이 때, 인헨스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임

인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.

- [298] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들 각각은 각각의 서브프레임 내에서 정수개의 FEC 블록들로 이루어질 수 있다.
- [299] 이 때, 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [300] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.
- [301] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.
- [302] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [303] 싱글 레이어의 경우, 인핸스드 레이어 BICM부(320), 인젝션 레벨 컨트롤러(330), 결합기(340) 및 파워 노멀라이저(345)는 생략될 수 있다. 이 때, 타임 인터리버(350)는 코어 레이어 BICM부(310)의 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성할 수 있다. 또한, 프레임 빌더(370)는 타임 인터리버(350)에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성할 수 있다.
- [304] 이 때, 피지컬 레이어 파이프들은 하나의 완전한 전송 프로덕트(one complete delivered product)에 상응하는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함하고, 상기 코어 레이어 피지컬 레이어 파이프들은 레이어드 디비전 멀티플렉싱되지 않을 수 있다.
- [305] 이 때, 코어 레이어 피지컬 레이어 파이프들은 각각 노 타임 인터리빙 모드 또는 하이브리드 타임 인터리빙 모드 중 어느 하나의 타임 인터리빙 모드를 사용하고, 컨벌루션형 타임 인터리빙 모드는 사용하지 않을 수 있다.
- [306] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용하거나 모두

인터-서브프레임 인터리빙 모드를 사용할 수 있다.

- [307] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 동일한 $L1D_plp_HTI_inter_subframe$ 값을 가질 수 있다.
- [308] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드이고 상기 코어 레이어 피지컬 레이어 파이프들이 모두 인터-서브프레임 인터리빙 모드를 사용하는 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 동일한 타임 인터리빙 유닛(N_{IU})을 사용할 수 있다.
- [309] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들 중 적어도 하나가 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 파이프들 중 하이브리드 타임 인터리빙 모드로 구성된 코어 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.
- [310] 이 때, 하나의 완전한 전송 프로덕트는 하나 이상의 서브프레임에 상응하고, 상기 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [311] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.
- [312] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.
- [313] 이 때, 타임 인터리버(350)는 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 사이의 경계(boundary)는 상기 코어 레이어 신호에 상응하는 코어 레이어의 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 사이의 경계일 수 있다. 즉, 코어 레이어의 피지컬 레이어 파이프들 사이의 경계들 중 하나가 타임 인터리버 그룹들 사이의 경계가 될 수 있다.
- [314] 이 때, 타임 인터리버 그룹들 중 하나에 상응하는 인핸스드 레이어 데이터에는 더미 값들이 포함될 수 있다.
- [315] 이 때, 더미 값들은 PLP 그룹 내의 인핸스드 레이어 셀들의 총 수가 상기 PLP 그룹 내의 코어 레이어 셀들의 총 수와 동일해지도록 상기 PLP 그룹 내의 마지막 인핸스드 PLP의 실제 데이터 셀들 다음에(after the actual data cells of the last Enhanced PLP) 삽입될 수 있다.
- [316] 이 때, 더미 값들은 코어 레이어 데이터에는 삽입되지 않을 수 있다.
- [317] 이 때, 더미 값들은 코어 레이어 BICM 및 인핸스드 레이어 BICM이 완료된 이후, 상기 코어 레이어 신호 및 인핸스드 레이어 신호가 결합되기 이전에 삽입될 수 있다.
- [318] 이 때, 더미 값들은 기설정된 스크램블링 시퀀스에 상응하는 것일 수 있다.

- [319] 이 때, 상기 스크램블링 시퀀스는 상기 마지막 인핸스드 PLP를 위해 사용된 컨스텔레이션 맵핑을 이용하여 변조될 수 있다.
- [320] 이 때, 더미 값들은 상기 마지막 인핸스드 PLP와 동일한 파워를 가질 수 있다.
- [321] 이 때, 스크램블링 시퀀스는 기설정된 제너레이터 폴리노미얼에 상응하는 16-비트 쉬프트 레지스터를 이용하여 생성될 수 있다.
- [322] 이 때, 스크램블링 시퀀스는 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성될 수 있다.
- [323] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [324] 이 때, 타임 인터리버 정보는 상기 코어 레이어를 기준으로 시그널링될 수 있다.
- [325] 실시예에 따라 타임 인터리버 정보 중 일부는 코어 레이어를 기준으로 시그널링되고, 타임 인터리버 정보 중 다른 일부는 레이어와 무관하게 시그널링될 수 있다.
- [326] 즉, 타임 인터리버 정보는 코어 레이어에 상응하는 레이어 식별 정보에 기반하여 시그널링될 수 있다.
- [327] 이 때, 타임 인터리버(350)는 하이브리드 타임 인터리버(hybrid time interleaver)에 상응하는 것일 수 있다. 이 때, 코어 레이어 및 인핸스드 레이어의 피지컬 레이어 파이프들은 온전한 FEC 블록들만(only complete FEC blocks)을 포함할 수 있다.
- [328] 이 때, 프리앰블은 상기 타임 인터리버 그룹들의 경계가 상기 인핸스드 레이어의 FEC 블록들의 경계에 상응하지 않는 경우, 상기 타임 인터리버 그룹들의 경계에 상응하는 상기 인핸스드 레이어의 FEC 블록의 일부분을 식별하기 위한 정보를 시그널링할 수 있다.
- [329] 이 때, FEC 블록의 일부분을 식별하기 위한 정보는 상기 코어 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인핸스드 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인핸스드 레이어에 상응하는 모듈레이션 정보 및 상기 인핸스드 레이어에 상응하는 FEC 타입 정보 중 어느 하나 이상을 포함할 수 있다.
- [330] 이 때, 피지컬 레이어 파이프의 시작 위치 정보는 상기 피지컬 레이어 파이프의 첫 번째 데이터 셀의 인덱스에 상응하는 것일 수 있다.
- [331] 이 때, 모듈레이션 정보는 상기 FEC 타입 정보가 기설정된 조건을 만족하는 경우에만 시그널링될 수 있다.
- [332] 이 때, 인핸스드 레이어 신호는 상기 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션(cancellation)에 기반하여 복원되는 인핸스드 레이어 데이터에 상응하는 것일 수 있다.

- [333] 이 때, 타임 인터리버(350)는 컨벌루셔널 타임 인터리버(convolutional time interleaver)에 상응하고, 상기 타임 인터리버 그룹들은 완전하지 않은 FEC 블록(incomplete FEC block)을 포함하는 피지컬 레이어 파이프(Physical Layer Pipe; PLP)를 포함하고, 상기 프리앰블은 상기 피지컬 레이어 파이프 내의 첫 번째 완전한 FEC 블록의 시작 위치 정보를 시그널링할 수 있다.
- [334] 이 때, 타임 인터리버(350)는 복수의 동작 모드들 중 하나로 상기 인터리빙을 수행할 수 있다.
- [335] 이 때, 상기 동작 모드들은 타임 인터리빙을 생략하는 제1 모드(L1D_plp_TI_mode=00), 컨벌루셔널 타임 인터리빙(Convolutional time interleaving)을 수행하는 제2 모드(L1D_plp_TI_mode=01) 및 하이브리드 타임 인터리빙(Hybrid time interleaving)을 수행하는 제3 모드(L1D_plp_TI_mode=10)를 포함할 수 있다.
- [336] 이 때, 상기 프리앰블은 상기 제1 모드 및 제2 모드에 대해서는 현재 피지컬 레이어 파이프(Physical Layer Pipe)에 상응하는 첫 번째 온전한 FEC 블록(first complete FEC block)의 시작 위치를 나타내는 필드를 포함하고, 상기 제3 모드에 대해서는 상기 첫 번째 FEC 블록의 시작 위치를 나타내는 필드를 포함하지 않을 수 있다.
- [337] 이 때, 상기 첫 번째 FEC 블록의 시작 위치를 나타내는 필드는 상기 제1 모드(L1D_plp_TI_mode=00)에서 사용되는 제1 필드(L1D_plp_fec_block_start) 및 상기 제2 모드(L1D_plp_TI_mode=01)에서 사용되는 제2 필드(L1D_plp_CTI_fec_block_start) 중 어느 하나이고, 상기 제1 필드 및 제2 필드는 길이가 상이할 수 있다. 이 때, 제1 필드(L1D_plp_fec_block_start)는 현재 서브프레임 동안 현재 피지컬 레이어 파이프 내에서 시작되는 첫 번째 FEC 블록의 시작 위치를 나타내고, 제2 필드(L1D_plp_CTI_fec_block_start)는 현재 또는 후속하는(current or subsequent) 서브프레임들에서 컨벌루셔널 타임 인터리버를 떠나는 현재 피지컬 레이어 파이프의 첫 번째 온전한 FEC 블록의 시작 위치를 나타낼 수 있다. 이 때, 제1 필드(L1D_plp_fec_block_start) 및 제2 필드(L1D_plp_CTI_fec_block_start)는 모두 인터리빙 이후를 기준으로 시그널링될 수 있다. 특히, 제2 필드(L1D_plp_CTI_fec_block_start)의 경우 인터리빙 이후를 기준으로 시그널링하면 시그널링에 필요한 비트수가 증가할 수 있다.
- [338] 이 때, 제2 필드의 길이는 제1 필드의 길이보다 길 수 있다.
- [339] 이 때, 1 필드의 길이는 LDPC 부호어의 길이와 모듈레이션 오더에 기반하여 결정되고, 상기 제2 필드의 길이는 상기 LDPC 부호어의 길이와 모듈레이션 오더뿐만 아니라 컨벌루셔널 타임 인터리버의 템스(depth)를 더 고려하여 결정될 수 있다.
- [340] 이 때, 제1 필드의 길이는 15비트이고, 제2 필드의 길이는 22비트일 수 있다.
- [341] 이 때, 제1 필드 및 제2 필드는 각각 상기 코어 레이어 신호에 상응하는 코어

레이어 및 상기 인헨스드 레이어 신호에 상응하는 인헨스드 레이어 각각에 대하여 별개로 시그널링될 수 있다.

- [342] 이 때, 프레임 빌더(370)는 상기 부트스트랩을 생성하는 부트스트랩 생성부; 상기 프리앰블을 생성하는 프리앰블 생성부; 및 상기 타임 인터리빙된 신호에 상응하는 수퍼 임포우즈드 페이로드를 생성하는 수퍼 임포우즈드 페이로드 생성부를 포함할 수 있다.
- [343] 이 때, 부트스트랩은 상기 프리앰블보다 짧고, 고정된 길이를 가질 수 있다.
- [344] 이 때, 부트스트랩은 상기 프리앰블의 구조를 나타내는 심볼을 포함하고,
- [345] 상기 심볼은 상기 프리앰블의 변조방법/부호율, FFT 사이즈, 가드 인터벌 길이 및 파일럿 패턴의 조합을 나타내는 고정(fixed-length) 비트열(bit string)에 상응하는 것일 수 있다.
- [346] 이 때, 심볼은 상기 변조방법/부호율이 동일한 경우, 제1 FFT 사이즈에 상응하는 프리앰블 구조보다, 상기 제1 FFT 사이즈보다 작은 제2 FFT 사이즈에 상응하는 프리앰블 구조가 우선적으로 할당되고, 상기 변조방법/부호율 및 상기 FFT 사이즈가 동일한 경우, 제1 가드 인터벌 길이에 상응하는 프리앰블 구조보다, 상기 제1 가드 인터벌 길이보다 큰 제2 가드 인터벌 길이에 상응하는 프리앰블 구조가 우선적으로 할당되는 룩업 테이블에 상응하는 것일 수 있다.
- [347] 방송 신호 프레임은 멀티패스(multi-path) 및 도플러(Doppler)에 강인한 OFDM 송신기를 거쳐서 전송된다. 이 때, OFDM 송신기는 차세대 방송시스템의 전송신호 생성을 담당하는 것으로 볼 수 있다.
- [348] 이 때, 프리앰블은 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)을 식별하기 위한 PLP 식별 정보; 및 계층적인 분할에 상응하는 레이어들을 식별하기 위한 레이어 식별 정보를 포함할 수 있다.
- [349] 이 때, PLP 식별 정보 및 레이어 식별 정보는 별개의 필드들로 상기 프리앰블에 포함될 수 있다.
- [350] 이 때, 타임 인터리버 정보는 코어 레이어를 기준으로 상기 프리앰블에 포함될 수 있다.
- [351] 이 때, 프리앰블은 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교($IF(j>0)$)한 결과에 따라 선택적으로 상기 인젝션 레벨 컨트롤러에 상응하는 인젝션 레벨 정보를 포함할 수 있다.
- [352] 이 때, 프리앰블은 피지컬 레이어 파이프들의 타입 정보, 시작 위치 정보 및 사이즈 정보를 포함할 수 있다.
- [353] 이 때, 타입 정보는 분산되지 않은(non-dispersed) 피지컬 레이어 파이프에 상응하는 제1 타입과 분산된(dispersed) 피지컬 레이어 파이프에 상응하는 제2 타입 중 어느 하나를 식별하기 위한 것일 수 있다.
- [354] 이 때, 분산되지 않은 피지컬 레이어 파이프는 연속적인 데이터 셀 인덱스들(contiguous data cell indices)에 대하여 할당되고, 상기 분산된 피지컬 레이어 파이프는 둘 이상의 서브슬라이스들로 이루어질 수 있다.

- [355] 이 때, 타입 정보는 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교한 결과에 따라 선택적으로 시그널링될 수 있다.
- [356] 이 때, 타입 정보는 코어 레이어에 대해서만 시그널링될 수 있다.
- [357] 이 때, 시작 위치 정보는 피지컬 레이어 파이프의 첫 번째 데이터 셀에 상응하는 인덱스와 동일하게 설정될 수 있다.
- [358] 이 때, 시작 위치 정보는 셀 어드레싱 스킴(cell addressing scheme)을 이용하여 상기 피지컬 레이어 파이프의 시작 위치(start position)를 지시(indicate)할 수 있다.
- [359] 이 때, 시작 위치 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [360] 이 때, 사이즈 정보는 상기 피지컬 레이어 파이프에 할당된 데이터 셀들의 개수에 기반하여 설정될 수 있다.
- [361] 이 때, 사이즈 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [362] 도 4는 방송 신호 프레임 구조의 일 예를 나타낸 도면이다.
- [363] 도 4를 참조하면, 방송 신호 프레임은 부트스트랩(410), 프리앰블(420) 및 수퍼-임포우스트 페이로드(super-imposed payload)(430)를 포함한다.
- [364] 도 4에 도시된 프레임은 수퍼프레임(super-frame)에 포함될 수 있다.
- [365] 이 때, 방송 신호 프레임은 하나 이상의 OFDM 심볼들로 구성될 수 있다. 방송 신호 프레임은 레퍼런스 심볼 또는 파일럿 심볼을 포함할 수도 있다.
- [366] LDM(Layered Division Multiplexing)이 적용된 프레임 구조는 도 4에 도시된 바와 같이 부트스트랩(410) 및 프리앰블(420) 및 수퍼-임포우스트 페이로드(430)를 포함한다.
- [367] 이 때, 부트스트랩(410) 및 프리앰블(420)은 두 개의 프리앰블들이 계층화된(hierarchical) 것으로 볼 수 있다.
- [368] 이 때, 부트스트랩(410)은 빠른(fast) 획득(acquisition) 및 검출(detection)을 위해 프리앰블(420)보다 짧은 길이를 가질 수 있다. 이 때, 부트스트랩(410)은 고정된 길이를 가질 수 있다. 이 때, 부트스트랩(410)은 고정된 길이의 심볼을 포함할 수 있다. 예를 들어, 부트스트랩(410)은 각각 0.5ms 길이의 OFDM 심볼들 4개로 구성되어 총 2ms의 고정된 시간길이를 가질 수 있다.
- [369] 이 때, 부트스트랩(410)은 고정된 대역폭(bandwidth)을 가지고, 프리앰블(420) 및 수퍼-임포우스트 페이로드(430)는 부트스트랩(410)보다 넓고 가변적인 대역폭을 가질 수 있다.
- [370] 프리앰블(420)은 강인(robust)한 LDPC 코드를 사용하여 상세한 시그널링 정보를 전송할 수 있다. 이 때, 프리앰블(420)은 시그널링 정보에 따라 길이가 가변될 수 있다.
- [371] 이 때, 부트스트랩(410) 및 페이로드(430)는 모두 여러 레이어들이 공유하는

공통 신호에 상응하는 것으로 볼 수 있다.

- [372] 슈퍼-임포우스트 페이로드(430)는 두 개 이상의 계층(layer) 신호들이 멀티플렉싱된 신호에 상응하는 것일 수 있다. 이 때, 슈퍼-임포우스트 페이로드(430)는 코어 레이어 페이로드 및 인핸스드 레이어 페이로드가 서로 다른 파워 레벨로 결합된 것일 수 있다. 이 때, 코어 레이어 페이로드에는 인-밴드 시그널링부(in-band signaling section)가 포함될 수 있다. 이 때, 인-밴드 시그널링부는 인핸스드 레이어 서비스를 위한 시그널링 정보를 포함할 수 있다.
- [373] 이 때, 부트스트랩(410)은 프리앰블의 구조(preamble structure)를 나타내는 심볼을 포함할 수 있다.
- [374] 이 때, 프리앰블의 구조를 나타내기 위해 부트스트랩에 포함되는 심볼은 하기 표 2와 같이 설정될 수 있다.

[375] [표 2]

preamble_structure	L1-Basic Mode	FFT Size	GI Length (samples)	Pilot Pattern (D _x)
0	L1-Basic Mode 1	8192	2048	3
1	L1-Basic Mode 1	8192	1536	4
2	L1-Basic Mode 1	8192	1024	3
3	L1-Basic Mode 1	8192	768	4
4	L1-Basic Mode 1	16384	4096	3
5	L1-Basic Mode 1	16384	3648	4
6	L1-Basic Mode 1	16384	2432	3
7	L1-Basic Mode 1	16384	1536	4
8	L1-Basic Mode 1	16384	1024	6
9	L1-Basic Mode 1	16384	768	8
10	L1-Basic Mode 1	32768	4864	3
11	L1-Basic Mode 1	32768	3648	3
12	L1-Basic Mode 1	32768	3648	8
13	L1-Basic Mode 1	32768	2432	6
14	L1-Basic Mode 1	32768	1536	8
15	L1-Basic Mode	32768	1024	12

	1			
16	L1-Basic Mode 1	32768	768	16
17	L1-Basic Mode 2	8192	2048	3
18	L1-Basic Mode 2	8192	1536	4
19	L1-Basic Mode 2	8192	1024	3
20	L1-Basic Mode 2	8192	768	4
21	L1-Basic Mode 2	16384	4096	3
22	L1-Basic Mode 2	16384	3648	4
23	L1-Basic Mode 2	16384	2432	3
24	L1-Basic Mode 2	16384	1536	4
25	L1-Basic Mode 2	16384	1024	6
26	L1-Basic Mode 2	16384	768	8
27	L1-Basic Mode 2	32768	4864	3
28	L1-Basic Mode 2	32768	3648	3
29	L1-Basic Mode 2	32768	3648	8
30	L1-Basic Mode 2	32768	2432	6
31	L1-Basic Mode 2	32768	1536	8
32	L1-Basic Mode	32768	1024	12

	2			
33	L1-Basic Mode 2	32768	768	16
34	L1-Basic Mode 3	8192	2048	3
35	L1-Basic Mode 3	8192	1536	4
36	L1-Basic Mode 3	8192	1024	3
37	L1-Basic Mode 3	8192	768	4
38	L1-Basic Mode 3	16384	4096	3
39	L1-Basic Mode 3	16384	3648	4
40	L1-Basic Mode 3	16384	2432	3
41	L1-Basic Mode 3	16384	1536	4
42	L1-Basic Mode 3	16384	1024	6
43	L1-Basic Mode 3	16384	768	8
44	L1-Basic Mode 3	32768	4864	3
45	L1-Basic Mode 3	32768	3648	3
46	L1-Basic Mode 3	32768	3648	8
47	L1-Basic Mode 3	32768	2432	6
48	L1-Basic Mode 3	32768	1536	8
49	L1-Basic Mode	32768	1024	12

	3			
50	L1-Basic Mode 3	32768	768	16
51	L1-Basic Mode 4	8192	2048	3
52	L1-Basic Mode 4	8192	1536	4
53	L1-Basic Mode 4	8192	1024	3
54	L1-Basic Mode 4	8192	768	4
55	L1-Basic Mode 4	16384	4096	3
56	L1-Basic Mode 4	16384	3648	4
57	L1-Basic Mode 4	16384	2432	3
58	L1-Basic Mode 4	16384	1536	4
59	L1-Basic Mode 4	16384	1024	6
60	L1-Basic Mode 4	16384	768	8
61	L1-Basic Mode 4	32768	4864	3
62	L1-Basic Mode 4	32768	3648	3
63	L1-Basic Mode 4	32768	3648	8
64	L1-Basic Mode 4	32768	2432	6
65	L1-Basic Mode 4	32768	1536	8
66	L1-Basic Mode	32768	1024	12

	4			
67	L1-Basic Mode 4	32768	768	16
68	L1-Basic Mode 5	8192	2048	3
69	L1-Basic Mode 5	8192	1536	4
70	L1-Basic Mode 5	8192	1024	3
71	L1-Basic Mode 5	8192	768	4
72	L1-Basic Mode 5	16384	4096	3
73	L1-Basic Mode 5	16384	3648	4
74	L1-Basic Mode 5	16384	2432	3
75	L1-Basic Mode 5	16384	1536	4
76	L1-Basic Mode 5	16384	1024	6
77	L1-Basic Mode 5	16384	768	8
78	L1-Basic Mode 5	32768	4864	3
79	L1-Basic Mode 5	32768	3648	3
80	L1-Basic Mode 5	32768	3648	8
81	L1-Basic Mode 5	32768	2432	6
82	L1-Basic Mode 5	32768	1536	8
83	L1-Basic Mode	32768	1024	12

	5			
84	L1-Basic Mode 5	32768	768	16
85	L1-Basic Mode 6	8192	2048	3
86	L1-Basic Mode 6	8192	1536	4
87	L1-Basic Mode 6	8192	1024	3
88	L1-Basic Mode 6	8192	768	4
89	L1-Basic Mode 6	16384	4096	3
90	L1-Basic Mode 6	16384	3648	4
91	L1-Basic Mode 6	16384	2432	3
92	L1-Basic Mode 6	16384	1536	4
93	L1-Basic Mode 6	16384	1024	6
94	L1-Basic Mode 6	16384	768	8
95	L1-Basic Mode 6	32768	4864	3
96	L1-Basic Mode 6	32768	3648	3
97	L1-Basic Mode 6	32768	3648	8
98	L1-Basic Mode 6	32768	2432	6
99	L1-Basic Mode 6	32768	1536	8
100	L1-Basic Mode	32768	1024	12

	6			
101	L1-Basic Mode 6	32768	768	16
102	L1-Basic Mode 7	8192	2048	3
103	L1-Basic Mode 7	8192	1536	4
104	L1-Basic Mode 7	8192	1024	3
105	L1-Basic Mode 7	8192	768	4
106	L1-Basic Mode 7	16384	4096	3
107	L1-Basic Mode 7	16384	3648	4
108	L1-Basic Mode 7	16384	2432	3
109	L1-Basic Mode 7	16384	1536	4
110	L1-Basic Mode 7	16384	1024	6
111	L1-Basic Mode 7	16384	768	8
112	L1-Basic Mode 7	32768	4864	3
113	L1-Basic Mode 7	32768	3648	3
114	L1-Basic Mode 7	32768	3648	8
115	L1-Basic Mode 7	32768	2432	6
116	L1-Basic Mode 7	32768	1536	8
117	L1-Basic Mode	32768	1024	12

	7			
118	L1-Basic Mode 7	32768	768	16
119	Reserved	Reserved	Reserved	Reserved
120	Reserved	Reserved	Reserved	Reserved
121	Reserved	Reserved	Reserved	Reserved
122	Reserved	Reserved	Reserved	Reserved
123	Reserved	Reserved	Reserved	Reserved
124	Reserved	Reserved	Reserved	Reserved
125	Reserved	Reserved	Reserved	Reserved
126	Reserved	Reserved	Reserved	Reserved
127	Reserved	Reserved	Reserved	Reserved

- [376] 예를 들어, 상기 표 2에 표시된 프리앰블 구조를 나타내기 위해, 7비트의 고정된 심볼이 할당될 수 있다.
- [377] 상기 표 2에 기재된 L1-Basic Mode 1, L1-Basic Mode 2 및 L1-Basic Mode 3은 QPSK 및 3/15 LDPC에 상응하는 것일 수 있다.
- [378] 상기 표 2에 기재된 L1-Basic Mode 4는 16-NUC(Non Uniform Constellation) 및 3/15 LDPC에 상응하는 것일 수 있다.
- [379] 상기 표 2에 기재된 L1-Basic Mode 5는 64-NUC(Non Uniform Constellation) 및 3/15 LDPC에 상응하는 것일 수 있다.
- [380] 상기 표 2에 기재된 L1-Basic Mode 6 및 L1-Basic Mode 7은 256-NUC(Non Uniform Constellation) 및 3/15 LDPC에 상응하는 것일 수 있다. 이하에서 설명하는 변조방법/부호율은 QPSK 및 3/15 LDPC와 같이 변조방법과 부호율의 조합을 나타낸다.
- [381] 상기 표 2에 기재된 FFT size는 Fast Fourier Transform 크기를 나타내는 것일 수 있다.
- [382] 상기 표 2에 기재된 GI length는 가드 인터벌 길이(Guard Interval Length)를 나타내는 것으로, 시간 영역에서 데이터가 아닌 가드 인터벌의 길이를 나타내는 것일 수 있다. 이 때, 가드 인터벌 길이가 길수록 시스템은 강인(robust)해진다.
- [383] 상기 표 2에 기재된 Pilot Pattern은 파일럿 패턴의 D_x 를 나타내는 것일 수 있다. 표 2에는 명시적으로 기재하지 않았으나 표 2에 기재된 예에서 D_y 는 모두 1일 수 있다. 예를 들어, $D_x = 3$ 은 채널 추정을 위한 파일럿이 x축 방향으로 3개 중 하나 포함됨을 의미할 수 있다. 예를 들어, $D_y = 1$ 은 y축 방향으로 매 번 파일럿이 포함됨을 의미할 수 있다.
- [384] 표 2의 예에서 알 수 있는 바와 같이, 제1 변조방법/부호율보다 강인한 제2

변조방법/부호율에 상응하는 프리앰블 구조가 상기 제1 변조방법/부호율에 상응하는 프리앰블 구조보다 우선적으로 룩업테이블에 할당될 수 있다.

[385] 이 때, 우선적으로 할당된다 함은 룩업테이블에 보다 작은 수의 인덱스에 상응하여 저장되는 것일 수 있다.

[386] 또한, 같은 변조방법/부호율의 경우 제1 FFT 사이즈보다 작은 제2 FFT 사이즈에 상응하는 프리앰블 구조가 상기 제1 FFT 사이즈에 상응하는 프리앰블 구조보다 우선적으로 룩업테이블에 할당될 수 있다.

[387] 또한, 같은 변조방법/부호율 및 FFT 사이즈의 경우 제1 가드 인터벌보다 큰 제2 가드 인터벌에 상응하는 프리앰블 구조가 상기 제1 가드 인터벌에 상응하는 프리앰블 구조보다 우선적으로 룩업테이블에 할당될 수 있다.

[388] 표 2에 기재된 바와 같이 룩업테이블에 프리앰블 구조가 할당되는 순서를 설정함으로써 부트스트랩을 이용한 프리앰블 구조 식별이 보다 효율적으로 수행될 수 있다.

[389] 도 5는 도 4에 도시된 방송 신호 프레임이 수신되는 과정의 일 예를 나타낸 도면이다.

[390] 도 5를 참조하면, 부트스트랩(510)이 검출되어 복조되고, 복조된 정보를 이용하여 프리앰블(520)이 복조되어 시그널링 정보가 복원된다.

[391] 시그널링 정보를 이용하여 코어 레이어 데이터(530)가 복조되고, 코어 레이어 데이터에 상응하는 캔슬레이션 과정을 거쳐서 인헨스드 레이어 신호가 복조된다. 이 때, 코어 레이어 데이터에 상응하는 캔슬레이션에 대해서는 이후 보다 상세히 설명한다.

[392] 도 6은 도 4에 도시된 방송 신호 프레임이 수신되는 과정의 다른 예를 나타낸 도면이다.

[393] 도 6을 참조하면, 부트스트랩(610)이 검출되어 복조되고, 복조된 정보를 이용하여 프리앰블(620)이 복조되어 시그널링 정보가 복원된다.

[394] 시그널링 정보를 이용하여 코어 레이어 데이터(630)가 복조된다. 이 때, 코어 레이어 데이터(630)에는 인-밴드 시그널링부(650)가 포함된다. 인-밴드 시그널링부(650)는 인헨스드 레이어 서비스를 위한 시그널링 정보를 포함한다. 인-밴드 시그널링부(650)를 통해, 보다 효율적인 대역폭(bandwidth) 활용이 가능하다. 이 때, 인-밴드 시그널링부(650)는 인헨스드 레이어보다 강인한 코어 레이어에 포함되는 것이 바람직하다.

[395] 도 6에 도시된 예에서, 프리앰블(620)을 통해 기본적인 시그널링 정보 및 코어 레이어 서비스를 위한 정보가 전달되고, 인-밴드 시그널링부(650)를 통해 인헨스드 레이어 서비스를 위한 시그널링 정보가 전달될 수 있다.

[396] 코어 레이어 데이터에 상응하는 캔슬레이션 과정을 거쳐서 인헨스드 레이어 신호가 복조된다.

[397] 이 때, 시그널링 정보는 L1(Layer-1) 시그널링 정보일 수 있다. L1 시그널링 정보는 물리 계층 파라미터들을 구성하기 위해 필요한 정보를 포함할 수 있다.

- [398] 도 4를 참조하면, 방송 신호 프레임은 L1 시그널링 신호 및 데이터 신호를 포함한다. 예를 들어, 방송 신호 프레임은 ATSC 3.0 프레임일 수 있다.
- [399] 도 7는 도 1에 도시된 방송 신호 프레임 생성 장치의 다른 예를 나타낸 블록도이다.
- [400] 도 7를 참조하면, 방송 신호 프레임 생성 장치가 코어 레이어 데이터 및 인핸스드 레이어 데이터 이외에도 N개(N은 1이상의 자연수)의 확장 레이어들(Extension Layers)에 상응하는 데이터를 함께 멀티플렉싱하는 것을 알 수 있다.
- [401] 즉, 도 7에 도시된 방송 신호 프레임 생성 장치는 코어 레이어 BICM부(310), 인핸스드 레이어 BICM부(320), 인젝션 레벨 컨트롤러(330), 결합기(340), 파워 노멀라이저(345), 타임 인터리버(350), 시그널링 생성부(360) 및 프레임 빌더(370) 이외에도 N개의 확장 레이어 BICM부들(410, ..., 430) 및 인젝션 레벨 컨트롤러들(440, ..., 460)을 포함한다.
- [402] 도 7에 도시된 코어 레이어 BICM부(310), 인핸스드 레이어 BICM부(320), 인젝션 레벨 컨트롤러(330), 결합기(340), 파워 노멀라이저(345), 타임 인터리버(350), 시그널링 생성부(360) 및 프레임 빌더(370)에 대해서는 도 3을 통하여 이미 상세히 설명한 바 있다.
- [403] N개의 확장 레이어 BICM부들(410, ..., 430)은 각각 독립적으로 BICM 인코딩을 수행하고, 인젝션 레벨 컨트롤러들(440, ..., 460)은 각각의 확장 레이어에 상응하는 파워 리듀싱을 수행하여 파워 리듀싱된 확장 레이어 신호가 결합기(340)를 통해 다른 레이어 신호들과 결합되도록 한다.
- [404] 이 때, 확장 레이어 BICM부들(410, ..., 430) 각각의 오류정정 부호화기는 BCH 인코더와 LDPC 인코더가 직렬연결된 것일 수 있다.
- [405] 특히, 인젝션 레벨 컨트롤러들(440, ..., 460) 각각에 상응하는 파워 감소는 인젝션 레벨 컨트롤러(330)의 파워 감소보다 큰 것이 바람직하다. 즉, 도 7에 도시된 인젝션 레벨 컨트롤러들(330, 440, ..., 460)은 아래로 내려올수록 큰 파워 감소에 상응할 수 있다.
- [406] 도 7에 도시된 인젝션 레벨 컨트롤러들(330, 440, 460)로부터 제공된 인젝션 레벨 정보는 시그널링 생성부(360)를 거쳐서 프레임 빌더(370)의 방송 신호 프레임에 포함되어 수신기로 전송된다. 즉, 각 계층의 인젝션 레벨은 L1 시그널링 정보에 담겨, 수신기로 전달된다.
- [407] 본 발명에서 파워 조절은 입력 신호의 파워를 증가 또는 감소시키는 것일 수도 있고, 입력 신호의 계인을 증가 또는 감소시키는 것일 수도 있다.
- [408] 파워 노멀라이저(345)는 결합기(340)에 의하여 복수의 레이어 신호들이 결합됨으로써 야기되는 파워 증가를 완화(mitigate)시킨다.
- [409] 도 7에 도시된 예에서, 파워 노멀라이저(345)는 하기 수학적 식 4를 이용하여 노멀라이징 팩터를 각 계층(layer)들의 신호가 결합된 신호의 크기에 곱하여 알맞은 신호 크기로 신호 파워를 조절할 수 있다.

[410] [수학식 4]

[411] Normalizing Factor =

$$[412] \left(\sqrt{1+10^{-\text{InjectionLevel}\#1(\text{dB})/10} + 10^{-\text{InjectionLevel}\#2(\text{dB})/10} + \dots + 10^{-\text{InjectionLevel}\#(N+1)(\text{dB})/10}} \right)^{-1}$$

[413] 타임 인터리버(350)는 결합기(340)에 의하여 결합된 신호에 대한 인터리빙을 수행함으로써, 레이어들의 신호들에 함께 적용되는 인터리빙을 수행한다.

[414] 도 8은 도 1에 도시된 신호 디멀티플렉싱 장치의 일 예를 나타낸 블록도이다.

[415] 도 8를 참조하면, 본 발명의 일 실시예에 따른 신호 디멀티플렉싱 장치는 타임 디인터리버(510), 디-노멀라이저(1010), 코어 레이어 BICM 디코더(520), 인헨스드 레이어 심볼 추출기(530), 디-인젝션 레벨 컨트롤러(1020) 및 인헨스드 레이어 BICM 디코더(540)를 포함한다.

[416] 이 때, 도 8에 도시된 신호 디멀티플렉싱 장치는 도 3에 도시된 방송 신호 프레임 생성 장치에 상응하는 것일 수 있다.

[417] 타임 디인터리버(510)는 시간/주파수 동기(synchronization), 채널추정(channel estimation) 및 등화(equalization) 등의 동작을 수행하는 OFDM 수신기로부터 수신 신호를 제공 받고, 채널에서 발생한 군집오류(burst error) 분산에 관한 동작을 수행한다. 이 때, L1 시그널링 정보는 OFDM 수신기에서 우선적으로 복호되어, 데이터 복호에 활용될 수 있다. 특히, L1 시그널링 정보 중 인젝션 레벨 정보는 디-노멀라이저(1010)와 디-인젝션 레벨 컨트롤러(1020)에 전달될 수 있다. 이 때, OFDM 수신기는 수신 신호를 방송 신호 프레임(예를 들어, ATSC 3.0 프레임)의 형태로 복호화한 후, 프레임의 데이터 심볼 부분을 추출하여 타임 디인터리버(510)로 제공할 수 있다. 즉, 타임 디인터리버(510)는 데이터 심볼을 통과시키면서 역인터리빙 과정을 수행하여 채널에서 발생한 군집오류를 분산시킨다.

[418] 이 때, 타임 디인터리버(510)는 타임 인터리버에 대응되는 동작을 수행할 수 있다. 이 때, 타임 디인터리버(510)는 복수의 동작 모드들 중 하나로 디인터리빙을 수행할 수 있고, 타임 인터리버의 동작과 관련하여 시그널링되는 타임 인터리버 정보를 이용하여 디인터리빙을 수행할 수 있다.

[419] 디-노멀라이저(1010)는 송신기의 파워 노멀라이저에 상응하는 것으로, 파워 노멀라이저에서 감소시킨 만큼 파워를 높인다. 즉, 디-노멀라이저(1010)는 수신 신호를 상기 수학식 2의 노멀라이징 팩터로 나눈다.

[420] 도 8에 도시된 예에서, 디-노멀라이저(1010)는 타임 인터리버(510)의 출력 신호의 파워를 조절하는 것으로 도시되었으나, 실시예에 따라 디-노멀라이저(1010)는 타임 인터리버(510)의 앞에 위치하여 인터리빙 되기 전에 파워 조절이 수행되도록 할 수도 있다.

[421] 즉, 디-노멀라이저(1010)는 타임 인터리버(510)의 앞 또는 뒤에 위치하여 코어 레이어 심볼 디맵퍼의 LLR 계산 등을 위해 신호의 크기를 증폭하는 것으로 볼 수 있다.

- [422] 타임 디인터리버(510)의 출력(또는 디-노멀라이저(1010)의 출력)은 코어 레이어 BICM 디코더(520)로 제공되고, 코어 레이어 BICM 디코더(520)는 코어 레이어 데이터를 복원한다.
- [423] 이 때, 코어 레이어 BICM 디코더(520)는 코어 레이어 심볼 디맵퍼, 코어 레이어 비트 디인터리버 및 코어 레이어 오류정정 복호화기를 포함한다. 코어 레이어 심볼 디맵퍼는 심볼과 관련된 LLR(Log-Likelihood Ratio) 값들을 계산하고, 코어 레이어 비트 디인터리버는 계산된 LLR 값들을 군집오류에 강하게 섞으며, 코어 레이어 오류정정 복호화기는 채널에서 발생한 오류를 정정한다.
- [424] 이 때, 코어 레이어 심볼 디맵퍼는 미리 결정된 정상도를 이용하여 비트별로 LLR 값을 계산할 수 있다. 이 때 코어 레이어 심볼 맵퍼에서 이용하는 정상도는 송신기에서 사용되는 코드 레이트와 모듈레이션 차수(modulation order)의 조합에 따라 상이할 수 있다.
- [425] 이 때, 코어 레이어 비트 디인터리버는 계산된 LLR 값들에 대하여 LDPC 코드워드 단위로 역인터리빙을 수행할 수 있다.
- [426] 특히, 코어 레이어 오류정정 복호화기는 정보(information) 비트들만을 출력할 수도 있고, 정보 비트들과 패리티 비트들이 결합된 전체 비트들을 출력할 수도 있다. 이 때, 코어 레이어 오류정정 복호화기는 정보 비트들만을 코어 레이어 데이터로 출력하고, 정보 비트들에 패리티 비트들이 결합된 전체 비트들을 인헨스드 레이어 심볼 추출기(530)로 출력할 수 있다.
- [427] 코어 레이어 오류 정정 복호화기는 코어 레이어 LDPC 복호화기와 코어 레이어 BCH 복호화기가 직렬 연결된 형태일 수 있다. 즉, 코어 레이어 오류 정정 복호화기의 입력이 코어 레이어 LDPC 복호화기로 입력되고, 코어 레이어 LDPC 복호화기의 출력이 코어 레이어 BCH 복호화기로 입력되고, 코어 레이어 BCH 복호화기의 출력이 코어 레이어 오류 정정 복호화기의 출력이 될 수 있다. 이 때, LDPC 복호화기는 LDPC 복호를 수행하고, BCH 복호화기는 BCH 복호를 수행한다.
- [428] 나아가, 인헨스드 레이어 오류 정정 복호화기도 인헨스드 레이어 LDPC 복호화기와 인헨스드 레이어 BCH 복호화기가 직렬 연결된 형태일 수 있다. 즉, 인헨스드 레이어 오류 정정 복호화기의 입력이 인헨스드 레이어 LDPC 복호화기로 입력되고, 인헨스드 레이어 LDPC 복호화기의 출력이 인헨스드 레이어 BCH 복호화기로 입력되고, 인헨스드 레이어 BCH 복호화기의 출력이 인헨스드 레이어 오류정정 복호화기의 출력이 될 수 있다.
- [429] 인헨스드 레이어 심볼 추출기(530)는 코어 레이어 BICM 디코더(520)의 코어 레이어 오류정정 복호화기로부터 전체 비트들을 제공 받아서 타임 디인터리버(510) 또는 디-노멀라이저(1010)의 출력 신호로부터 인헨스드 레이어 심볼들을 추출할 수 있다. 실시예에 따라 인헨스드 레이어 심볼 추출기(530)는 코어 레이어 BICM 디코더(520)의 오류정정 복호화기로부터 전체 비트들을 제공 받지 않고, LDPC의 정보비트들(information bits)을 제공 받거나, BCH 정보

비트들을 제공 받을 수 있다.

[430] 이 때, 인헨스드 레이어 심볼 추출기(530)는 버퍼, 감산기(subtractor), 코어 레이어 심볼 맵퍼 및 코어 레이어 비트 인터리버를 포함한다. 버퍼는 타임 디인터리버(510) 또는 디-노멀라이저(1010)의 출력 신호를 저장한다. 코어 레이어 비트 인터리버는 코어 레이어 BICM 디코더의 전체 비트들(정보 비트들+패러티 비트들)을 입력 받아 송신기와 동일한 코어 레이어 비트 인터리빙을 수행한다. 코어 레이어 심볼 맵퍼는 인터리빙된 신호로부터 송신기와 동일한 코어 레이어 심볼을 생성한다. 감산기는 버퍼에 저장된 신호에서 코어 레이어 심볼 맵퍼의 출력 신호를 감산함으로써, 인헨스드 레이어 심볼을 획득하고 이를 디-인젝션 레벨 컨트롤러(1020)에 전달한다. 특히, LDPC 정보비트들을 제공 받는 경우 인헨스드 레이어 심볼 추출기(530)는 코어 레이어 LDPC 인코더를 더 포함할 수 있다. 또한, BCH 정보 비트들을 제공 받는 경우 인헨스드 레이어 심볼 추출기(530)는 코어 레이어 LDPC 인코더뿐만 아니라 코어 레이어 BCH 인코더를 더 포함할 수 있다.

[431] 이 때, 인헨스드 레이어 심볼 추출기(530)에 포함되는 코어 레이어 LDPC 인코더, 코어 레이어 BCH 인코더, 코어 레이어 비트 인터리버 및 코어 레이어 심볼 맵퍼는 도 3을 통하여 설명한 코어 레이어의 LDPC 인코더, BCH 인코더, 비트 인터리버 및 심볼 맵퍼와 동일한 것일 수 있다.

[432] 디-인젝션 레벨 컨트롤러(1020)는 인헨스드 레이어 심볼을 입력 받아서 송신기의 인젝션 레벨 컨트롤러에 의하여 떨어진 파워만큼 파워를 증가시킨다. 즉, 디-인젝션 레벨 컨트롤러(1020)는 입력 신호를 증폭하여 인헨스드 레이어 BICM 디코더(540)로 제공한다. 예를 들어, 송신기에서 인헨스드 레이어 신호의 파워를 코어 레이어 신호의 파워보다 3dB 작게 결합하였다면, 디-인젝션 레벨 컨트롤러(1020)는 입력 신호의 파워를 3dB 증가시키는 역할을 한다.

[433] 이 때, 디-인젝션 레벨 컨트롤러(1020)는 OFDM 수신기로부터 인젝션 레벨 정보를 받아서 추출된 인헨스드 레이어 신호에 하기 수학적 식 5의 인헨스드 레이어 게인을 곱하는 것으로 볼 수 있다.

[434] [수학적 식 5]

$$[435] \quad \text{Enhanced Layer Gain} = \left(\sqrt{10^{-\text{InjectionLevel(dB)}/10}} \right)^{-1}$$

[436] 인헨스드 레이어 BICM 디코더(540)는 디-인젝션 레벨 컨트롤러(1020)에 의하여 파워가 상승된 인헨스드 레이어 심볼을 입력 받아서 인헨스드 레이어 데이터를 복원한다.

[437] 이 때, 인헨스드 레이어 BICM 디코더(540)는 인헨스드 레이어 심볼 디맵퍼, 인헨스드 레이어 비트 디인터리버 및 인헨스드 레이어 오류정정 복호화기를 포함할 수 있다. 인헨스드 레이어 심볼 디맵퍼는 인헨스드 레이어 심볼과 관련된 LLR(Log-Likelihood Ratio) 값들을 계산하고, 인헨스드 레이어 비트 디인터리버는 계산된 LLR 값들을 군집오류에 강하게 섞으며, 인헨스드 레이어

오류정정 복호화기는 채널에서 발생한 오류를 정정한다.

- [438] 인헨스드 레이어 BICM 디코더(540)는 코어 레이어 BICM 디코더(520)와 유사한 작업을 수행하지만, 일반적으로 인헨스드 레이어 LDPC 디코더는 6/15 이상인 코드레이트에 대한 LDPC 복호를 수행한다.
- [439] 예를 들어, 코어 레이어는 5/15 이하의 코드 레이트를 가지는 LDPC 코드를 사용하고, 인헨스드 레이어는 6/15 이상의 코드 레이트를 가지는 LDPC 코드를 사용할 수 있다. 이 때, 인헨스드 레이어 데이터의 복호가 가능한 수신 환경에서는 코어 레이어 데이터는 적은 수의 LDPC 디코딩 이터레이션(iteration)만으로도 복호가 가능하다. 이러한 성질을 이용하면 수신기 하드웨어는 하나의 LDPC 디코더를 코어 레이어와 인헨스드 레이어가 공유하여 하드웨어 구현시 발생하는 비용을 줄일 수 있다. 이 때, 코어 레이어 LDPC 디코더는 약간의 시간자원(LDPC 디코딩 이터레이션)만을 사용하고 대부분의 시간자원을 인헨스드 레이어 LDPC 디코더가 사용할 수 있다.
- [440] 도 8에 도시된 신호 디멀티플렉싱 장치는 먼저 코어 레이어 데이터를 복원하고, 수신 신호 심볼에서 코어 레이어 심볼들을 캔슬레이션(cancellation)하여 인헨스드 레이어 심볼들만 남긴 후, 인헨스드 레이어 심볼의 파워를 증가시켜서 인헨스드 레이어 데이터를 복원한다. 도 3 및 5를 통해 이미 설명한 바와 같이, 각각의 레이어에 상응하는 신호들이 서로 다른 파워레벨로 결합되므로 가장 강한 파워로 결합된 신호부터 복원되어야 가장 오류가 적은 데이터 복원이 가능하다.
- [441] 결국 도 8에 도시된 예에서 신호 디멀티플렉싱 장치는, 수신 신호에 타임 디인터리빙을 적용하여 타임 디인터리빙 신호를 생성하는 타임 디인터리버(510); 상기 수신 신호 또는 상기 타임 디인터리빙 신호의 파워를 송신기의 파워 노멀라이저에 의한 파워 감소만큼 높이는 다-노멀라이저(1010); 상기 다-노멀라이저(1010)에 의해 파워 조절된 신호로부터 코어 레이어 데이터를 복원하는 코어 레이어 BICM 디코더(520); 상기 코어 레이어 BICM 디코더(520)의 코어 레이어 FEC 디코더의 출력 신호를 이용하여, 상기 다-노멀라이저(1010)에 의해 파워 조절된 신호에 대한 상기 코어 레이어 데이터에 상응하는 캔슬레이션을 수행하여 인헨스드 레이어 신호를 추출하는 인헨스드 레이어 심볼 추출기(530); 상기 인헨스드 레이어 신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 다-인젝션 레벨 컨트롤러(1020); 및 상기 다-인젝션 레벨 컨트롤러(1020)의 출력 신호를 이용하여 인헨스드 레이어 데이터를 복원하는 인헨스드 레이어 BICM 디코더(540)를 포함할 수 있다.
- [442] 이 때, 인헨스드 레이어 심볼 추출기는 상기 코어 레이어 BICM 디코더의 코어 레이어 LDPC 디코더로부터 전체 코드워드를 입력 받고, 상기 전체 코드워드를 바로 비트 인터리빙할 수 있다.
- [443] 이 때, 인헨스드 레이어 심볼 추출기는 상기 코어 레이어 BICM 디코더의 코어

레이어 LDPC 디코더로부터 정보 비트들을 입력 받고, 상기 정보 비트들을 코어 레이어 LDPC 인코딩한 후 비트 인터리빙을 수행할 수 있다.

[444] 이 때, 인핸스드 레이어 심볼 추출기는 상기 코어 레이어 BICM 디코더의 코어 레이어 BCH 디코더로부터 정보 비트들을 입력 받고, 상기 정보 비트들을 코어 레이어 BCH 인코딩 및 코어 레이어 LDPC 인코딩한 후 비트 인터리빙을 수행할 수 있다.

[445] 이 때, 상기 디-노멀라이저 및 상기 디-인젝션 레벨 컨트롤러는 L1 시그널링에 기반하여 제공된 인젝션 레벨 정보(IL INFO)를 제공 받고, 상기 인젝션 레벨 정보에 기반하여 파워 컨트롤을 수행할 수 있다.

[446] 이 때, 상기 코어 레이어 BICM 디코더는 상기 인핸스드 레이어 BICM 디코더보다 낮은 비트율을 가지고, 상기 인핸스드 레이어 BICM 디코더보다 강인할(robust) 수 있다.

[447] 이 때, 상기 디-노멀라이저는 노멀라이징 팩터의 역수에 상응할 수 있다.

[448] 이 때, 상기 디-인젝션 레벨 컨트롤러는 스케일링 팩터의 역수에 상응할 수 있다.

[449] 이 때, 인핸스드 레이어 데이터는 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션에 기반하여 복원될 수 있다.

[450] 이 때, 신호 디멀티플렉싱 장치는 이전 레이어 데이터에 상응하는 캔슬레이션을 수행하여 확장 레이어 신호를 추출하는 하나 이상의 확장 레이어 심볼 추출기; 상기 확장 레이어 신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 하나 이상의 디-인젝션 레벨 컨트롤러 및 상기 하나 이상의 디-인젝션 레벨 컨트롤러의 출력 신호를 이용하여 하나 이상의 확장 레이어 데이터를 복원하는 하나 이상의 확장 레이어 BICM 디코더를 더 포함할 수 있다.

[451] 도 8에 도시된 구성을 통해 본 발명의 일실시예에 따른 신호 디멀티플렉싱 방법은, 수신 신호에 타임 디인터리빙을 적용하여 타임 디인터리빙 신호를 생성하는 단계; 상기 수신 신호 또는 상기 타임 디인터리빙 신호의 파워를 송신기의 파워 노멀라이저에 의한 파워 감소만큼 높이는 단계; 상기 파워 조절된 신호로부터 코어 레이어 데이터를 복원하는 단계; 상기 파워 조절된 신호에 대한 상기 코어 레이어 데이터에 상응하는 캔슬레이션을 수행하여 인핸스드 레이어 신호를 추출하는 단계; 상기 인핸스드 레이어 신호의 파워를 송신기의 인젝션 레벨 컨트롤러의 파워 감소만큼 높이는 단계; 및 파워 조절된 상기 인핸스드 레이어 신호를 이용하여 인핸스드 레이어 데이터를 복원하는 단계를 포함함을 알 수 있다.

[452] 이 때, 인핸스드 레이어 신호를 추출하는 단계는 코어 레이어 BICM 디코더의 코어 레이어 LDPC 디코더로부터 전체 코드워드를 입력 받고, 상기 전체 코드워드를 바로 비트 인터리빙할 수 있다.

[453] 이 때, 인핸스드 레이어 신호를 추출하는 단계는 코어 레이어 BICM 디코더의

코어 레이어 LDPC 디코더로부터 정보 비트들을 입력 받고, 상기 정보 비트들을 코어 레이어 LDPC 인코딩한 후 비트 인터리빙을 수행할 수 있다.

[454] 이 때, 인헨스드 레이어 신호를 추출하는 단계는 코어 레이어 BICM 디코더의 코어 레이어 BCH 디코더로부터 정보 비트들을 입력 받고, 상기 정보 비트들을 코어 레이어 BCH 인코딩 및 코어 레이어 LDPC 인코딩한 후 비트 인터리빙을 수행할 수 있다.

[455] 도 9는 도 8에 도시된 코어 레이어 BICM 디코더(520) 및 인헨스드 레이어 심볼 추출기(530)의 일 예를 나타낸 블록도이다.

[456] 도 9를 참조하면, 코어 레이어 BICM 디코더(520)는 코어 레이어 심볼 디맵퍼, 코어 레이어 비트 디인터리버, 코어 레이어 LDPC 디코더 및 코어 레이어 BCH 디코더를 포함한다.

[457] 즉, 도 9에 도시된 예에서 코어 레이어 오류정정 복호화기는 코어 레이어 LDPC 디코더 및 코어 레이어 BCH 디코더를 포함한다.

[458] 또한, 도 9에 도시된 예에서 코어 레이어 LDPC 디코더는 패러티 비트들이 포함된 전체 코드워드(whole codeword)를 인헨스드 레이어 심볼 추출기(530)로 제공한다. 즉, 일반적으로 LDPC 디코더는 전체 LDPC 코드워드 중에서 정보 비트들(information bits)만을 출력하나, 전체 코드워드를 출력하는 것도 가능하다.

[459] 이 경우, 인헨스드 레이어 심볼 추출기(530)는 별도로 코어 레이어 LDPC 인코더나 코어 레이어 BCH 인코더를 구비할 필요가 없어서 구현이 간단하나, LDPC 코드 패러티 부분에 잔여 오류가 남아 있을 가능성이 존재한다.

[460] 도 10은 도 8에 도시된 코어 레이어 BICM 디코더(520) 및 인헨스드 레이어 심볼 추출기(530)의 다른 예를 나타낸 블록도이다.

[461] 도 10을 참조하면, 코어 레이어 BICM 디코더(520)는 코어 레이어 심볼 디맵퍼, 코어 레이어 비트 디인터리버, 코어 레이어 LDPC 디코더 및 코어 레이어 BCH 디코더를 포함한다.

[462] 즉, 도 10에 도시된 예에서 코어 레이어 오류정정 복호화기는 코어 레이어 LDPC 디코더 및 코어 레이어 BCH 디코더를 포함한다.

[463] 또한, 도 10에 도시된 예에서 코어 레이어 LDPC 디코더는 패러티 비트들이 포함되지 않은 정보 비트들(information bits)을 인헨스드 레이어 심볼 추출기(530)로 제공한다.

[464] 이 경우, 인헨스드 레이어 심볼 추출기(530)는 별도로 코어 레이어 BCH 인코더를 구비할 필요가 없으나, 코어 레이어 LDPC 인코더를 포함하여야 한다.

[465] 도 10에 도시된 예는 도 9에 도시된 예에 비하여 LDPC 코드 패러티 부분에 남아 있을 수 있는 잔여 오류를 제거할 수 있다.

[466] 도 11는 도 8에 도시된 코어 레이어 BICM 디코더(520) 및 인헨스드 레이어 심볼 추출기(530)의 또 다른 예를 나타낸 블록도이다.

[467] 도 11를 참조하면, 코어 레이어 BICM 디코더(520)는 코어 레이어 심볼 디맵퍼,

코어 레이어 비트 디인터리버, 코어 레이어 LDPC 디코더 및 코어 레이어 BCH 디코더를 포함한다.

[468] 즉, 도 11에 도시된 예에서 코어 레이어 오류정정 복호화기는 코어 레이어 LDPC 디코더 및 코어 레이어 BCH 디코더를 포함한다.

[469] 도 11에 도시된 예에서는 코어 레이어 데이터에 해당하는 코어 레이어 BCH 디코더의 출력을 인헨스드 레이어 심볼 추출기(530)로 제공한다.

[470] 이 경우, 인헨스드 레이어 심볼 추출기(530)는 코어 레이어 LDPC 인코더 및 코어 레이어 BCH 인코더를 모두 포함하여야 하므로 복잡도가 높지만, 도 9 및 도 10의 예와 비교하여 가장 높은 성능을 보장한다.

[471] 도 12은 도 1에 도시된 신호 디멀티플렉싱 장치의 다른 예를 나타낸 블록도이다.

[472] 도 12을 참조하면, 본 발명의 일실시예에 따른 신호 디멀티플렉싱 장치는 타임 디인터리버(510), 디-노멀라이저(1010), 코어 레이어 BICM 디코더(520), 인헨스드 레이어 심볼 추출기(530), 인헨스드 레이어 BICM 디코더(540), 하나 이상의 확장 레이어 심볼 추출기들(650, 670), 하나 이상의 확장 레이어 BICM 디코더들(660, 680) 및 디-인젝션 레벨 컨트롤러들(1020, 1150, 1170)을 포함한다.

[473] 이 때, 도 12에 도시된 신호 디멀티플렉싱 장치는 도 7에 도시된 방송 신호 프레임 생성 장치에 상응하는 것일 수 있다.

[474] 타임 디인터리버(510)는 동기(synchronization), 채널추정(channel estimation) 및 등화(equalization) 등의 동작을 수행하는 OFDM 수신기로부터 수신 신호를 제공 받고, 채널에서 발생한 군집오류(burst error) 분산에 관한 동작을 수행한다. 이 때, L1 시그널링 정보는 OFDM 수신기에서 우선적으로 복호되어, 데이터 복호에 활용될 수 있다. 특히, L1 시그널링 정보 중 인젝션 레벨 정보는 디-노멀라이저(1010)와 디-인젝션 레벨 컨트롤러들(1020, 1150, 1170)에 전달될 수 있다.

[475] 이 때, 디-노멀라이저(1010)는 모든 레이어의 인젝션 레벨 정보를 취득하여 하기 수학식 6을 이용하여 디-노멀라이징 팩터를 구한 후, 입력신호에 곱할 수 있다.

[476] [수학식 6]

[477] De-Normalizing factor = (Normalizing factor)⁻¹ =

[478]
$$\left(\sqrt{1+10^{-\text{InjectionLevel\#1(dB)}/10} + 10^{-\text{InjectionLevel\#2(dB)}/10} + \dots + 10^{-\text{InjectionLevel\#(N+1)(dB)}/10}} \right)$$

[479] 즉, 디-노멀라이징 팩터는 상기 수학식 4에 의하여 표현된 노멀라이징 팩터의 역수이다.

[480] 실시예에 따라, N1 시그널링에 인젝션 레벨 정보뿐만 아니라 노멀라이징 팩터 정보가 포함된 경우 디-노멀라이저(1010)는 인젝션 레벨을 이용하여 디-노멀라이징 팩터를 계산할 필요 없이 노멀라이징 팩터의 역수를 취하여 간단히 디-노멀라이징 팩터를 구할 수 있다.

- [481] 디-노멀라이저(1010)는 송신기의 파워 노멀라이저에 상응하는 것으로, 파워 노멀라이저에서 감소시킨 만큼 파워를 높인다.
- [482] 도 12에 도시된 예에서, 디-노멀라이저(1010)는 타임 인터리버(510)의 출력 신호의 파워를 조절하는 것으로 도시되었으나, 실시예에 따라 디-노멀라이저(1010)는 타임 인터리버(510)의 앞에 위치하여 인터리빙 되기 전에 파워 조절이 수행되도록 할 수도 있다.
- [483] 즉, 디-노멀라이저(1010)는 타임 인터리버(510)의 앞 또는 뒤에 위치하여 코어 레이어 심볼 디맵퍼의 LLR 계산 등을 위해 신호의 크기를 증폭하는 것으로 볼 수 있다.
- [484] 타임 디인터리버(510)의 출력(또는 디-노멀라이저(1010)의 출력)은 코어 레이어 BICM 디코더(520)로 제공되고, 코어 레이어 BICM 디코더(520)는 코어 레이어 데이터를 복원한다.
- [485] 이 때, 코어 레이어 BICM 디코더(520)는 코어 레이어 심볼 디맵퍼, 코어 레이어 비트 디인터리버 및 코어 레이어 오류정정 복호화기를 포함한다. 코어 레이어 심볼 디맵퍼는 심볼과 관련된 LLR(Log-Likelihood Ratio) 값들을 계산하고, 코어 레이어 비트 디인터리버는 계산된 LLR 값들을 군집오류에 강하게 섞으며, 코어 레이어 오류정정 복호화기는 채널에서 발생한 오류를 정정한다.
- [486] 특히, 코어 레이어 오류정정 복호화기는 정보(information) 비트들만을 출력할 수도 있고, 정보 비트들과 패리티 비트들이 결합된 전체 비트들을 출력할 수도 있다. 이 때, 코어 레이어 오류정정 복호화기는 정보 비트들만을 코어 레이어 데이터로 출력하고, 정보 비트들에 패리티 비트들이 결합된 전체 비트들을 인핸스드 레이어 심볼 추출기(530)로 출력할 수 있다.
- [487] 코어 레이어 오류 정정 복호화기는 코어 레이어 LDPC 복호화기와 코어 레이어 BCH 복호화기가 직렬 연결된 형태일 수 있다. 즉, 코어 레이어 오류 정정 복호화기의 입력이 코어 레이어 LDPC 복호화기로 입력되고, 코어 레이어 LDPC 복호화기의 출력이 코어 레이어 BCH 복호화기로 입력되고, 코어 레이어 BCH 복호화기의 출력이 코어 레이어 오류 정정 복호화기의 출력이 될 수 있다. 이 때, LDPC 복호화기는 LDPC 복호를 수행하고, BCH 복호화기는 BCH 복호를 수행한다.
- [488] 인핸스드 레이어 오류 정정 복호화기도 인핸스드 레이어 LDPC 복호화기와 인핸스드 레이어 BCH 복호화기가 직렬 연결된 형태일 수 있다. 즉, 인핸스드 레이어 오류 정정 복호화기의 입력이 인핸스드 레이어 LDPC 복호화기로 입력되고, 인핸스드 레이어 LDPC 복호화기의 출력이 인핸스드 레이어 BCH 복호화기로 입력되고, 인핸스드 레이어 BCH 복호화기의 출력이 인핸스드 레이어 오류정정 복호화기의 출력이 될 수 있다.
- [489] 나아가, 확장 레이어 오류 정정 복호화기도 확장 레이어 LDPC 복호화기와 확장 레이어 BCH 복호화기가 직렬 연결된 형태일 수 있다. 즉, 확장 레이어 오류 정정 복호화기의 입력이 확장 레이어 LDPC 복호화기로 입력되고, 확장 레이어

LDPC 복호화기의 출력이 확장 레이어 BCH 복호화기로 입력되고, 확장 레이어 BCH 복호화기의 출력이 확장 레이어 오류정정 복호화기의 출력이 될 수 있다.

- [490] 특히, 도 9, 도 10 및 도 11를 통하러 설명한 오류정정 복호화기의 출력 중 어느 것을 사용할지에 따른 구현의 복잡성과 성능 사이의 트레이드 오프(trade off)는 도 12의 코어 레이어 BICM 디코더(520)와 인헨스드 레이어 심볼 추출기(530)뿐만 아니라, 확장 레이어 심볼 추출기들(650, 670), 확장 레이어 BICM 디코더들(660, 680)에도 적용된다.
- [491] 인헨스드 레이어 심볼 추출기(530)는 코어 레이어 BICM 디코더(520)의 코어 레이어 오류정정 복호화기로부터 전체 비트들을 제공 받아서 타입 디인터리버(510) 또는 디-노멀라이저(1010)의 출력 신호로부터 인헨스드 레이어 심볼들을 추출할 수 있다. 실시예에 따라 인헨스드 레이어 심볼 추출기(530)는 코어 레이어 BICM 디코더(520)의 오류정정 복호화기로부터 전체 비트들을 제공 받지 않고, LDPC의 정보비트들(information bits)을 제공 받거나, BCH 정보 비트들을 제공 받을 수 있다.
- [492] 이 때, 인헨스드 레이어 심볼 추출기(530)는 버퍼, 감산기(subtractor), 코어 레이어 심볼 맵퍼 및 코어 레이어 비트 인터리버를 포함한다. 버퍼는 타입 디인터리버(510) 또는 디-노멀라이저(1010)의 출력 신호를 저장한다. 코어 레이어 비트 인터리버는 코어 레이어 BICM 디코더의 전체 비트들(정보 비트들+패리티 비트들)을 입력 받아 송신기와 동일한 코어 레이어 비트 인터리빙을 수행한다. 코어 레이어 심볼 맵퍼는 인터리빙된 신호로부터 송신기와 동일한 코어 레이어 심볼을 생성한다. 감산기는 버퍼에 저장된 신호에서 코어 레이어 심볼 맵퍼의 출력 신호를 감산함으로써, 인헨스드 레이어 심볼을 획득하고 이를 디-인젝션 레벨 컨트롤러(1020)에 전달한다.
- [493] 이 때, 인헨스드 레이어 심볼 추출기(530)에 포함되는 코어 레이어 비트 인터리버 및 코어 레이어 심볼 맵퍼는 도 7에 도시된 코어 레이어의 비트 인터리버 및 심볼 맵퍼와 동일한 것일 수 있다.
- [494] 디-인젝션 레벨 컨트롤러(1020)는 인헨스드 레이어 심볼을 입력 받아서 송신기의 인젝션 레벨 컨트롤러에 의하여 떨어진 파워만큼 파워를 증가시킨다. 즉, 디-인젝션 레벨 컨트롤러(1020)는 입력 신호를 증폭하여 인헨스드 레이어 BICM 디코더(540)로 제공한다.
- [495] 인헨스드 레이어 BICM 디코더(540)는 디-인젝션 레벨 컨트롤러(1020)에 의하여 파워가 상승된 인헨스드 레이어 심볼을 입력 받아서 인헨스드 레이어 데이터를 복원한다.
- [496] 이 때, 인헨스드 레이어 BICM 디코더(540)는 인헨스드 레이어 심볼 디맵퍼, 인헨스드 레이어 비트 디인터리버 및 인헨스드 레이어 오류정정 복호화기를 포함할 수 있다. 인헨스드 레이어 심볼 디맵퍼는 인헨스드 레이어 심볼과 관련된 LLR(Log-Likelihood Ratio) 값들을 계산하고, 인헨스드 레이어 비트 디인터리버는 계산된 LLR 값들을 균집오류에 강하게 섞으며, 인헨스드 레이어

오류정정 복호화기는 채널에서 발생한 오류를 정정한다.

- [497] 특히, 인핸스드 레이어 오류정정 복호화기는 정보(information) 비트들만을 출력할 수도 있고, 정보 비트들과 패러티 비트들이 결합된 전체 비트들을 출력할 수도 있다. 이 때, 인핸스드 레이어 오류정정 복호화기는 정보 비트들만을 인핸스드 레이어 데이터로 출력하고, 정보 비트들에 패러티 비트들이 결합된 전체 비트들을 확장 레이어 심볼 추출기(650)로 출력할 수 있다.
- [498] 확장 레이어 심볼 추출기(650)는 인핸스드 레이어 BICM 디코더(540)의 인핸스드 레이어 오류정정 복호화기로부터 전체 비트들을 제공 받아서 다-인젝션 레벨 컨트롤러(1020)의 출력 신호로부터 확장(extension) 레이어 심볼들을 추출한다.
- [499] 이 때, 다-인젝션 레벨 컨트롤러(1020)는 인핸스드 레이어 심볼 추출기(530)의 감산기의 출력 신호의 파워를 증폭시킬 수 있다.
- [500] 이 때, 확장 레이어 심볼 추출기(650)는 버퍼, 감산기(subtractor), 인핸스드 레이어 심볼 맵퍼 및 인핸스드 레이어 비트 인터리버를 포함한다. 버퍼는 다-인젝션 레벨 컨트롤러(1020)의 출력 신호를 저장한다. 인핸스드 레이어 비트 인터리버는 인핸스드 레이어 BICM 디코더의 전체 비트들(정보 비트들+패러티 비트들)을 입력 받아 송신기와 동일한 인핸스드 레이어 비트 인터리빙을 수행한다. 인핸스드 레이어 심볼 맵퍼는 인터리빙된 신호로부터 송신기와 동일한 인핸스드 레이어 심볼을 생성한다. 감산기는 버퍼에 저장된 신호에서 인핸스드 레이어 심볼 맵퍼의 출력 신호를 감산함으로써, 확장 레이어 심볼을 획득하고 이를 다-인젝션 레벨 컨트롤러(1150)에 전달한다.
- [501] 이 때, 확장 레이어 심볼 추출기(650)에 포함되는 인핸스드 레이어 비트 인터리버 및 인핸스드 레이어 심볼 맵퍼는 도 7에 도시된 인핸스드 레이어의 비트 인터리버 및 심볼 맵퍼와 동일한 것일 수 있다.
- [502] 다-인젝션 레벨 컨트롤러(1150)는 송신기에서 해당 레이어의 인젝션 레벨 컨트롤러에 의하여 감소된 만큼 파워를 증가시킨다.
- [503] 이 때, 다-인젝션 레벨 컨트롤러는 하기 수학적 식 7의 확장 레이어 게인을 곱하는 동작을 수행하는 것으로 볼 수 있다. 이 때, 0번째 인젝션 레벨은 0dB로 간주할 수 있다.
- [504] [수학적 식 7]
- [505]
$$n\text{-th Extension Layer Gain} = \frac{10^{-\text{Injection level}\#(n-1)(\text{dB})/10}}{10^{-\text{Injection level}\#n(\text{dB})/10}}$$
- [506]
- [507] *확장 레이어 BICM 디코더(660)는 다-인젝션 레벨 컨트롤러(1150)에 의하여 파워가 증가된 확장 레이어 심볼을 입력 받아서 확장 레이어 데이터를 복원한다.
- [508] 이 때, 확장 레이어 BICM 디코더(660)는 확장 레이어 심볼 디맵퍼, 확장 레이어 비트 디인터리버 및 확장 레이어 오류정정 복호화기를 포함할 수 있다. 확장

레이어 심볼 디맵퍼는 확장 레이어 심볼과 관련된 LLR(Log-Likelihood Ratio) 값들을 계산하고, 확장 레이어 비트 디인터리버는 계산된 LLR 값들을 군집오류에 강하게 섞으며, 확장 레이어 오류정정 복호화기는 채널에서 발생한 오류를 정정한다.

- [509] 특히, 확장 레이어 심볼 추출기 및 확장 레이어 BICM 디코더는 확장 레이어가 둘 이상인 경우 각각 둘 이상 구비될 수 있다.
- [510] 즉, 도 12에 도시된 예에서, 확장 레이어 BICM 디코더(660)의 확장 레이어 오류정정 복호화기는 정보(information) 비트들만을 출력할 수도 있고, 정보 비트들과 패리티 비트들이 결합된 전체 비트들을 출력할 수도 있다. 이 때, 확장 레이어 오류정정 복호화기는 정보 비트들만을 확장 레이어 데이터로 출력하고, 정보 비트들에 패리티 비트들이 결합된 전체 비트들을 다음 확장 레이어 심볼 추출기(670)로 출력할 수 있다.
- [511] 확장 레이어 심볼 추출기(670), 확장 레이어 BICM 디코더(680) 및 다-인젝션 레벨 컨트롤러(1170)의 구조 및 동작은 전술한 확장 레이어 심볼 추출기(650), 확장 레이어 BICM 디코더(660) 및 다-인젝션 레벨 컨트롤러(1150)의 구조 및 동작으로부터 쉽게 알 수 있다.
- [512] 도 12에 도시된 다-인젝션 레벨 컨트롤러들(1020, 1150, 1170)은 아래로 내려갈수록 더 큰 파워 상승에 대응하는 것일 수 있다. 즉, 다-인젝션 레벨 컨트롤러(1020)보다 다-인젝션 레벨 컨트롤러(1150)가 파워를 더 크게 증가시키고, 다-인젝션 레벨 컨트롤러(1150)보다 다-인젝션 레벨 컨트롤러(1170)가 더 파워를 크게 증가시킬 수 있다.
- [513] 도 12에 도시된 신호 디멀티플렉싱 장치는 가장 먼저 코어 레이어 데이터를 복원하고, 코어 레이어 심볼의 캔슬레이션을 이용하여 인헨스드 레이어 데이터를 복원하고, 인헨스드 레이어 심볼의 캔슬레이션을 이용하여 확장 레이어 데이터를 복원하는 것을 알 수 있다. 확장 레이어는 둘 이상 구비될 수 있고, 이 경우 더 높은 파워 레벨로 결합된 확장 레이어부터 복원된다.
- [514] 도 13은 코어 레이어 신호 및 인헨스드 레이어 신호의 결합으로 인한 파워 상승을 나타낸 도면이다.
- [515] 도 13을 참조하면, 코어 레이어 신호에 인젝션 레벨(injection level)만큼 파워 감소된 인헨스드 레이어 신호가 결합되어 멀티플렉싱된 신호가 생성된 경우 멀티플렉싱된 신호의 파워 레벨이 코어 레이어 신호나 인헨스드 레이어 신호의 파워 레벨보다 높은 것을 알 수 있다.
- [516] 이 때, 도 3 및 도 7에 도시된 인젝션 레벨 컨트롤러(injection level controller)에 의해 조절되는 인젝션 레벨은 0dB부터 25.0dB까지 0.5dB 또는 1dB 간격으로 조절될 수 있다. 인젝션 레벨이 3.0dB인 경우 인헨스드 레이어 신호의 파워가 코어 레이어 신호의 파워보다 3dB 만큼 낮다. 인젝션 레벨이 10.0dB인 경우 인헨스드 레이어 신호의 파워가 코어 레이어 신호의 파워보다 10dB 만큼 낮다. 이와 같은 관계는 코어 레이어 신호와 인헨스드 레이어 신호 사이에만 적용되는

것이 아니라, 인핸스드 레이어 신호와 확장 레이어 신호 또는 확장 레이어 신호들 사이에도 적용될 수 있다.

- [517] 도 3 및 도 7에 도시된 파워 노멀라이저는 결합 후의 파워 레벨을 조절하여 결합으로 인한 파워 증가로 야기될 수 있는 신호의 왜곡 등의 문제를 해결할 수 있다.
- [518] 도 14는 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법을 나타낸 동작 흐름도이다.
- [519] 도 14를 참조하면, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 코어 레이어 데이터에 BICM을 적용한다(S1210).
- [520] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 인핸스드 레이어 데이터에 BICM을 적용한다(S1220).
- [521] 단계(S1220)에서 적용되는 BICM과 단계(S1210)에서 적용되는 BICM은 상이한 것일 수 있다. 이 때, 단계(S1220)에서 적용되는 BICM이 단계(S1210)에서 적용되는 BICM보다 덜 강인한 것일 수 있다. 이 때, 단계(S1220)에서 적용되는 BICM의 비트율이 단계(S1210)에서 적용되는 비트율보다 클 수 있다.
- [522] 이 때, 인핸스드 레이어 신호는 상기 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션(cancellation)에 기반하여 복원되는 인핸스드 레이어 데이터에 상응하는 것일 수 있다.
- [523] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 인핸스드 레이어 신호의 파워를 줄여서 파워 리듀스드 인핸스드 레이어 신호를 생성한다(S1230).
- [524] 이 때, 단계(S1230)는 인젝션 레벨을 0dB에서 25.0dB 사이에서 0.5dB 또는 1dB 간격으로 변화시킬 수 있다.
- [525] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 코어 레이어 신호 및 파워 리듀스드 인핸스드 레이어 신호를 결합하여 멀티플렉싱된 신호를 생성한다(S1240).
- [526] 이 때, 단계(S1240)는 코어 레이어 신호 및 인핸스드 레이어 신호를 서로 다른 파워 레벨로 결합하되, 인핸스드 레이어 신호의 파워 레벨이 코어 레이어 신호의 파워 레벨보다 낮도록 하여 결합할 수 있다.
- [527] 이 때, 단계(S1240)는 상기 코어 레이어 신호 및 상기 인핸스드 레이어 신호보다 낮은 파워 레벨의 하나 이상의 확장 레이어(extension layer) 신호를 상기 코어 레이어 신호 및 상기 인핸스드 레이어 신호와 함께 결합할 수 있다.
- [528] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 단계(S1250)에 의하여 멀티플렉싱된 신호의 파워를 낮추기 위한 파워 노멀라이징을 수행한다(S1250).
- [529] 이 때, 단계(S1250)는 멀티플렉싱된 신호의 파워를 상기 코어 레이어 신호의 파워만큼 낮출 수 있다. 이 때, 단계(S1250)는 상기 멀티플렉싱된 신호의 파워를 상기 단계(S1240)에 의하여 상승된 만큼 낮출 수 있다.

- [530] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성한다(S1260).
- [531] 이 때, 단계(S1260)는 코어 레이어 신호 및 인핸스드 레이어 신호에 함께 적용되는 타임 인터리빙을 수행하여 상기 타임 인터리빙된 신호를 생성할 수 있다.
- [532] 실시예에 따라, 싱글 레이어의 경우에 단계(S1260)는 BICM 출력 신호에 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성할 수 있다.
- [533] 이 때, 단계(S1260)는 타임 인터리버 그룹들 중 하나를 이용하고, 상기 타임 인터리버 그룹들 사이의 경계(boundary)는 상기 코어 레이어 신호에 상응하는 코어 레이어의 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 사이의 경계일 수 있다.
- [534] 이 때, 단계(S1260)는 하이브리드 타임 인터리버(hybrid time interleaver)를 이용하여 상기 인터리빙을 수행할 수 있다. 이 때, 코어 레이어 및 인핸스드 레이어의 피지컬 레이어 파이프들은 온전한 FEC 블록들만(only complete FEC blocks)을 포함할 수 있다.
- [535] 이 때, 단계(S1260)는 컨벌루셔널 타임 인터리버(convolutional time interleaver)를 이용하여 상기 인터리빙을 수행하고, 상기 타임 인터리버 그룹들은 완전하지 않은 FEC 블록(incomplete FEC block)을 포함하는 피지컬 레이어 파이프(Physical Layer Pipe; PLP)를 포함하고, 상기 프리앰블은 상기 피지컬 레이어 파이프 내의 첫 번째 완전한 FEC 블록의 시작 위치 정보를 시그널링할 수 있다.
- [536] 이 때, 단계(S1260)는 복수의 동작 모드들 중 하나를 이용하여 수행될 수 있다.
- [537] 이 때, 상기 동작 모드들은 타임 인터리빙을 생략하는 제1 모드, 컨벌루셔널 타임 인터리빙(Convolutional time interleaving)을 수행하는 제2 모드 및 하이브리드 타임 인터리빙(Hybrid time interleaving)을 수행하는 제3 모드를 포함할 수 있다.
- [538] 이 때, 동작 모드는 타임 인터리빙 모드에 상응하는 것일 수 있다. 이 때, 타임 인터리빙에 상응하는 타임 인터리빙 모드는 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링될 수 있다. 이 때, 타임 인터리빙 모드는 프리앰블에 포함될 수 있다.
- [539] 또한, 본 발명의 일실시예에 따른 방송 신호 프레임 생성 방법은 상기 타임 인터리빙에 상응하는 타임 인터리빙 모드를 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성한다(S1270).
- [540] 이 때, 단계(S1270)는 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임을 생성할 수 있다. 이 때, 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어

파이프 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 피지컬 레이어 파이프를 포함할 수 있다.

- [541] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우에, 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우와는 다른 생성 방식으로 생성될 수 있다.
- [542] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우 제1 기준 타이밍을 기반으로 생성되고, 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우 상기 제1 기준 타이밍과 상이한 제2 기준 타이밍을 기반으로 생성될 수 있다.
- [543] 이 때, 제1 기준 타이밍은 타임 인터리빙 이후에 상응하고, 제2 기준 타이밍은 상기 타임 인터리빙 이전에 상응할 수 있다.
- [544] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이전을 기준(with respect to)으로 정의될 수 있다.
- [545] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 현재 서브프레임 내에서 정의(defined within the current subframe)될 수 있다.
- [546] 이 때, 상기 시작 위치 정보 및 사이즈 정보는 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이후를 기준(with respect to)으로 정의될 수 있다.
- [547] 이 때, 피지컬 레이어 파이프들은 하나의 완전한 전송 프로덕트(one complete delivered product)에 상응하는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함하고, 상기 코어 레이어 피지컬 레이어 파이프들은 레이어드 디비전 멀티플렉싱되지 않을 수 있다.
- [548] 이 때, 코어 레이어 피지컬 레이어 파이프들은 각각 노 타임 인터리빙 모드 또는 하이브리드 타임 인터리빙 모드 중 어느 하나의 타임 인터리빙 모드를 사용하고, 컨벌루션 타임 인터리빙 모드는 사용하지 않을 수 있다.
- [549] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용하거나 모두 인터-서브프레임 인터리빙 모드를 사용할 수 있다.
- [550] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 동일한 L1D_plp_HTI_inter_subframe 값을 가질 수 있다.
- [551] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드이고 상기 코어 레이어 피지컬 레이어 파이프들이 모두 인터-서브프레임 인터리빙 모드를 사용하는 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 동일한 타임 인터리빙 유닛(N_{IW})을

사용할 수 있다.

- [552] 이 때, 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들 중 적어도 하나가 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 파이프들 중 하이브리드 타임 인터리빙 모드로 구성된 코어 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.
- [553] 이 때, 하나의 완전한 전송 프로덕트는 하나 이상의 서브프레임에 상응하고, 상기 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가 오버라이트되어 생성될 수 있다.
- [554] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.
- [555] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.
- [556] 이 때, 피지컬 레이어 파이프들은 하나의 인핸스드 레이어 피지컬 레이어 파이프 및 상기 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱되는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함할 수 있다.
- [557] 이 때, 인핸스드 레이어 피지컬 레이어 파이프에 상응하는 타임 인터리빙 모드는 상기 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들과 동일할 수 있다.
- [558] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들은 모두 노 타임 인터리빙 모드이거나, 모두 하이브리드 타임 인터리빙 모드일 수 있다.
- [559] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 하이브리드 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들은 모두 인트라-서브프레임 인터리빙 모드를 사용할 수 있다.
- [560] 이 때, 인핸스드 레이어 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되는 코어 레이어 피지컬 레이어 파이프들에 상응하는 타임 인터리빙 모드들이 모두 노 타임 인터리빙 모드인 경우, 상기 코어 레이어 피지컬 레이어 파이프들 각각은 각각의 서브프레임 내에서 정수개의 FEC 블록들로 이루어질 수 있다.
- [561] 이 때, 서브프레임은 상기 서브프레임의 모든 가용한 데이터 셀들이 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 실제 피지컬 레이어 파이프 데이터가

오버라이트되어 생성될 수 있다.

- [562] 이 때, 더미 모듈레이션 값들은 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성되는 스크램블링 시퀀스를 이용하여 생성될 수 있다.
- [563] 이 때, 더미 모듈레이션 값들은 상기 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들 중 하나로 맵핑하여 생성될 수 있다.
- [564] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.
- [565] 이 때, 타임 인터리버 정보는 상기 코어 레이어를 기준으로 시그널링될 수 있다.
- [566] 이 때, 프리앰블은 상기 타임 인터리버 그룹들의 경계가 상기 인헨스드 레이어의 FEC 블록들의 경계에 상응하지 않는 경우, 상기 타임 인터리버 그룹들의 경계에 상응하는 상기 인헨스드 레이어의 FEC 블록의 일부분을 식별하기 위한 정보를 시그널링할 수 있다.
- [567] 이 때, FEC 블록의 일부분을 식별하기 위한 정보는 상기 코어 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인헨스드 레이어의 피지컬 레이어 파이프의 시작 위치 정보, 상기 인헨스드 레이어에 상응하는 모듈레이션 정보 및 상기 인헨스드 레이어에 상응하는 FEC 타입 정보 중 어느 하나 이상을 포함할 수 있다.
- [568] 이 때, 피지컬 레이어 파이프의 시작 위치 정보는 상기 피지컬 레이어 파이프의 첫 번째 데이터 셀의 인덱스에 상응하는 것일 수 있다.
- [569] 이 때, 모듈레이션 정보는 상기 FEC 타입 정보가 기설정된 조건을 만족하는 경우에만 시그널링될 수 있다.
- [570] 이 때, 인헨스드 레이어 신호는 상기 코어 레이어 신호에 상응하는 코어 레이어 데이터의 복원에 상응하는 캔슬레이션(cancellation)에 기반하여 복원되는 인헨스드 레이어 데이터에 상응하는 것일 수 있다.
- [571] 이 때, 단계(S1270)는 상기 부트스트랩을 생성하는 단계; 상기 프리앰블을 생성하는 단계; 및 상기 타임 인터리빙된 신호에 상응하는 수퍼 임포우즈드 페이로드를 생성하는 단계를 포함할 수 있다.
- [572] 이 때, 프리앰블은 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs)을 식별하기 위한 PLP 식별 정보; 및 계층적인 분할에 상응하는 레이어들을 식별하기 위한 레이어 식별 정보를 포함할 수 있다.
- [573] 이 때, PLP 식별 정보 및 레이어 식별 정보는 별개의 필드들로 상기 프리앰블에 포함될 수 있다.
- [574] 이 때, 타임 인터리버 정보는 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교($IF(j>0)$)한 결과에 따라 선택적으로 상기

프리앰블에 포함될 수 있다.

- [575] 이 때, 프리앰블은 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교($IF(j>0)$)한 결과에 따라 선택적으로 상기 인젝션 레벨 컨트롤러에 상응하는 인젝션 레벨 정보를 포함할 수 있다.
- [576] 이 때, 부트스트랩은 상기 프리앰블보다 짧고, 고정된 길이를 가지는 것일 수 있다.
- [577] 이 때, 부트스트랩은 상기 프리앰블의 구조를 나타내는 심볼을 포함하고, 상기 심볼은 상기 프리앰블의 변조방법/부호율, FFT 사이즈, 가드 인터벌 길이 및 파일럿 패턴의 조합을 나타내는 고정 비트열에 상응하는 것일 수 있다.
- [578] 이 때, 심볼은 상기 변조방법/부호율이 동일한 경우, 제1 FFT 사이즈에 상응하는 프리앰블 구조보다, 상기 제1 FFT 사이즈보다 작은 제2 FFT 사이즈에 상응하는 프리앰블 구조가 우선적으로 할당되고, 상기 변조방법/부호율 및 상기 FFT 사이즈가 동일한 경우, 제1 가드 인터벌 길이에 상응하는 프리앰블 구조보다 상기 제1 가드 인터벌 길이보다 큰 제2 가드 인터벌 길이에 상응하는 프리앰블 구조가 우선적으로 할당되는 룩업 테이블에 상응하는 것일 수 있다.
- [579] 이 때, 방송 신호 프레임은 ATSC 3.0 프레임일 수 있다.
- [580] 이 때, L1 시그널링 정보는 인젝션 레벨 정보 및/또는 노멀라이징 팩터 정보를 포함할 수 있다.
- [581] 이 때, 프리앰블은 피지컬 레이어 파이프들의 타입 정보, 시작 위치 정보 및 사이즈 정보를 포함할 수 있다.
- [582] 이 때, 타입 정보는 분산되지 않은(non-dispersed) 피지컬 레이어 파이프에 상응하는 제1 타입과 분산된(dispersed) 피지컬 레이어 파이프에 상응하는 제2 타입 중 어느 하나를 식별하기 위한 것일 수 있다.
- [583] 이 때, 분산되지 않은 피지컬 레이어 파이프는 연속적인 데이터 셀 인덱스들(contiguous data cell indices)에 대하여 할당되고, 상기 분산된 피지컬 레이어 파이프는 둘 이상의 서브슬라이스들로 이루어질 수 있다.
- [584] 이 때, 타입 정보는 상기 피지컬 레이어 파이프들 각각에 대하여 상기 레이어 식별 정보와 기설정된 값을 비교한 결과에 따라 선택적으로 시그널링될 수 있다.
- [585] 이 때, 타입 정보는 코어 레이어에 대해서만 시그널링될 수 있다.
- [586] 이 때, 시작 위치 정보는 피지컬 레이어 파이프의 첫 번째 데이터 셀에 상응하는 인덱스와 동일하게 설정될 수 있다.
- [587] 이 때, 시작 위치 정보는 셀 어드레싱 스킴(cell addressing scheme)을 이용하여 상기 피지컬 레이어 파이프의 시작 위치(start position)를 지시(indicate)할 수 있다.
- [588] 이 때, 시작 위치 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [589] 이 때, 사이즈 정보는 상기 피지컬 레이어 파이프에 할당된 데이터 셀들의 개수에 기반하여 설정될 수 있다.

- [590] 이 때, 사이즈 정보는 상기 레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬 레이어 파이프들 각각에 대하여 상기 프리앰블에 포함될 수 있다.
- [591] 이 때, 프리앰블은 상기 제1 모드 및 제2 모드에 대해서는 현재 피지컬 레이어 파이프(Physical Layer Pipe)에 상응하는 첫 번째 온전한 FEC 블록(first complete FEC block)의 시작 위치를 나타내는 필드를 포함하고, 상기 제3 모드에 대해서는 상기 첫 번째 FEC 블록의 시작 위치를 나타내는 필드를 포함하지 않을 수 있다.
- [592] 이 때, 첫 번째 FEC 블록의 시작 위치를 나타내는 필드는 상기 제1 모드에서 사용되는 제1 필드 및 상기 제2 모드에서 사용되는 제2 필드 중 어느 하나이고, 상기 제1 필드 및 제2 필드는 길이가 상이할 수 있다.
- [593] 이 때, 상기 제2 필드의 길이는 제1 필드의 길이보다 길 수 있다.
- [594] 이 때, 상기 제1 필드의 길이는 LDPC 부호어의 길이와 모듈레이션 오더에 기반하여 결정되고, 상기 제2 필드의 길이는 상기 LDPC 부호어의 길이와 모듈레이션 오더뿐만 아니라 컨벌루션 타임 인터리버의 뎀스(depth)를 더 고려하여 결정될 수 있다.
- [595] 이 때, 제1 필드의 길이는 15비트이고, 제2 필드의 길이는 22비트일 수 있다.
- [596] 이 때, 제1 필드 및 제2 필드는 각각 상기 코어 레이어 신호에 상응하는 코어 레이어 및 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 각각에 대하여 별개로 시그널링될 수 있다.
- [597] 도 14에는 명시적으로 도시되지 아니하였지만, 방송 신호 프레임 생성 방법은 단계(S1230)에 상응하는 인젝션 레벨 정보를 포함하는 시그널링 정보를 생성하는 단계를 더 포함할 수 있다. 이 때, 시그널링 정보는 L1 시그널링 정보일 수 있다.
- [598] 도 14에 도시된 방송 신호 프레임 생성 방법은 도 2에 도시된 단계(S210)에 상응하는 것일 수 있다.
- [599] 도 14에는 명시적으로 도시되지 아니하였지만, 방송 신호 프레임 생성 방법은 단계(S1220) 및 단계(S1230) 사이에 인핸스드 레이어 데이터에 더미 값들을 삽입하는 단계를 더 포함할 수 있다.
- [600] 이 때, 더미 값들은 PLP 그룹 내의 인핸스드 레이어 셀들의 총 수가 상기 PLP 그룹 내의 코어 레이어 셀들의 총 수와 동일해지도록 상기 PLP 그룹 내의 마지막 인핸스드 PLP의 실제 데이터 셀들 다음에(after the actual data cells of the last Enhanced PLP) 삽입될 수 있다.
- [601] 이 때, 더미 값들은 코어 레이어 데이터에는 삽입되지 않을 수 있다.
- [602] 이 때, 더미 값들은 코어 레이어 BICM 및 인핸스드 레이어 BICM이 완료된 이후, 상기 코어 레이어 신호 및 인핸스드 레이어 신호가 결합되기 이전에 삽입될 수 있다.
- [603] 이 때, 더미 값들은 기설정된 스크램블링 시퀀스에 상응하는 것일 수 있다.
- [604] 이 때, 스크램블링 시퀀스는 상기 마지막 인핸스드 PLP를 위해 사용된

컨스틸레이션 맵핑을 이용하여 변조될 수 있다.

[605] 이 때, 더미 값들은 상기 마지막 인핸스드 PLP와 동일한 파워를 가질 수 있다.

[606] 이 때, 스크램블링 시퀀스는 기설정된 제너레이터 폴리노미얼에 상응하는 16-비트 쉬프트 레지스터를 이용하여 생성될 수 있다.

[607] 이 때, 스크램블링 시퀀스는 $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 제너레이터 폴리노미얼을 이용하여 생성될 수 있다.

[608] 이 때, 스크램블링 시퀀스는 0xF180 값으로 초기화되는 쉬프트 레지스터의 세 번째 비트 출력(x^{14}), 네 번째 비트 출력(x^{13}), 다섯 번째 비트 출력(x^{12}), 여섯 번째 비트 출력(x^{11}), 열 번째 비트 출력(x^7), 열세 번째 비트 출력(x^4), 열네 번째 비트 출력(x^3) 및 열 여섯 번째 비트 출력(x)을 이용하여 생성된 8비트를 이용하여 생성될 수 있다.

[609] 도 15는 본 발명의 일실시예에 따른 방송 신호 프레임에 포함하는 수퍼프레임(super-frame) 구조를 나타낸 도면이다.

[610] 도 15를 참조하면, 레이어드 디비전 멀티플렉싱(Layered Division Multiplexing; LDM) 기반의 수퍼프레임은 하나 이상의 프레임들로 구성되고, 하나의 프레임은 하나 이상의 OFDM 심볼들로 구성되는 것을 알 수 있다.

[611] 이 때, 각각의 OFDM 심볼들은 하나 이상의 프리앰블 심볼로 시작될 수 있다. 또한, 프레임은 레퍼런스 심볼이나 파일럿 심볼을 포함할 수도 있다.

[612] 도 15에 도시된 수퍼프레임(1510)은 LDM 프레임(1520), LDM을 하지 않은 싱글-레이어(single-layer) 프레임(1530) 및 퓨처 익스텐서빌리티(future extensibility)를 위한 퓨처 익스텐션 프레임(Future Extension Frame; FEF)(1540) 등을 포함하여, 타임 디비전 멀티플렉싱(Time Division Multiplexing; TDM) 방식으로 구성될 수 있다.

[613] LDM 프레임(1520)은 2개의 레이어(layer)가 적용되었을 때, 어퍼 레이어(Upper Layer; UL)(1553)와 로어 레이어(Lower Layer; LL)(1555)로 구성될 수 있다.

[614] 이 때, 어퍼 레이어는(1553) 코어 레이어에 상응하는 것일 수 있고, 로어 레이어(1555)는 인핸스드 레이어에 상응하는 것일 수 있다.

[615] 이 때, 어퍼 레이어(1553) 및 로어 레이어(1555)를 포함하는 LDM 프레임(1520)은 부트스트랩(1552) 및 프리앰블(1551)을 포함할 수 있다.

[616] 이 때, 어퍼 레이어(1553) 데이터 및 로어 레이어(1555) 데이터는 복잡도(complexity) 및 메모리 사이즈를 줄이기 위해, 타임 인터리버를 공유하며 같은 프레임 길이(frame length) 및 FFT 사이즈를 사용할 수 있다.

[617] 또한, 싱글-레이어(single-layer) 프레임(1530)도 부트스트랩(1562) 및 프리앰블(1561)을 포함할 수 있다.

[618] 이 때, 싱글-레이어(single-layer) 프레임(1530)은 LDM 프레임(1520)과는 다른 FFT 사이즈, 타임 인터리버 및 프레임 길이를 사용할 수 있다. 이 때, 싱글-레이어 프레임(1530)은 수퍼프레임(1510) 내에서 LDM 프레임(1520)과 TDM 방식으로 멀티플렉싱되는 것으로 볼 수 있다.

- [619] 도 16은 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프(PLP; Physical Layer Pipe)를 적용한 LDM 프레임의 일 예를 나타낸 도면이다.
- [620] 도 16을 참조하면, LDM 프레임은 시스템의 버전(version) 정보나 일반적인 시그널링 정보를 포함하는 부트스트랩 신호로 시작되는 것을 알 수 있다. 부트스트랩 이후 코드 레이트(code rate), 모듈레이션 정보, 피지컬 레이어 파이프(Physical Layer Pipe) 개수 정보 등을 포함하는 L1 시그널링 신호가 프리앰블로써 뒤따를 수 있다.
- [621] 프리앰블(L1 SIGNAL)에 이어서 버스트(burst) 형태의 공통 피지컬 레이어 파이프(Physical Layer Pipe; PLP)가 전송될 수 있다. 이 때, 공통 피지컬 레이어 파이프는 프레임 내의 다른 피지컬 레이어 파이프들과 공유될 수 있는 데이터를 전송할 수 있다.
- [622] 공통 피지컬 레이어 파이프 이후 서로 다른 방송 신호를 서비스하기 위한 멀티플-피지컬 레이어 파이프(Multiple-Physical Layer Pipe)가 2개 레이어들의 LDM 방식으로 전송된다. 이 때, 인도어/모바일 등 견고(robust)한 수신을 요구하는 서비스(720p나 1080p HD 등)는 코어 레이어(어퍼 레이어) 데이터 피지컬 레이어 파이프들을 통하여, 높은 전송률을 요구하는 고정 수신 서비스(4K-UHD나 멀티플 HD 등)는 인헨스드 레이어(로어 레이어) 데이터 피지컬 레이어 파이프들을 통하여 전송될 수 있다.
- [623] 멀티플-피지컬 레이어 파이프들이 레이어드 디비전 멀티플렉싱되면, 결과적으로 멀티플-피지컬 레이어 파이프들의 총 개수(total number)가 증가하는 것으로 볼 수 있다.
- [624] 이 때, 코어 레이어 데이터 피지컬 레이어 파이프와 인헨스드 레이어 데이터 피지컬 레이어 파이프는 복잡도(complexity) 및 메모리 사이즈를 줄이기 위하여 타임 인터리버를 공유할 수 있다. 이 때, 코어 레이어 데이터 피지컬 레이어 파이프와 인헨스드 레이어 데이터 피지컬 레이어 파이프는 같은 피지컬 레이어 파이프 사이즈(PLP size)를 가질 수도 있고, 다른 피지컬 레이어 파이프 사이즈를 가질 수도 있다.
- [625] 실시예에 따라, 레이어로 분할된 피지컬 레이어 파이프들은 서로 다른 PLP 사이즈를 가질 수도 있고, 이 경우 PLP의 시작 위치(start position)나 PLP의 사이즈를 식별하기 위한 정보를 시그널링할 수 있다.
- [626] 도 17은 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프(PLP; Physical Layer Pipe)를 적용한 LDM 프레임의 다른 예를 나타낸 도면이다.
- [627] 도 17을 참조하면, LDM 프레임은 부트스트랩, 프리앰블(L1 SIGNAL) 이후 공통 피지컬 레이어 파이프를 포함할 수 있는 것을 알 수 있다. 공통 피지컬 레이어 파이프 이후, 코어 레이어 데이터 피지컬 레이어 파이프들과 인헨스드 레이어 데이터 피지컬 레이어 파이프들이 2-레이어 LDM 방식으로 전송될 수

있다.

[628] 특히, 도 17에 도시된 코어 레이어 데이터 피지컬 레이어 파이프들 및 인핸스드 레이어 데이터 피지컬 레이어 파이프들은 타입1과 타입2 중 어느 하나의 타입을 가질 수 있고, 타입1과 타입2는 다음과 같이 정의될 수 있다.

[629]

[630] *- 타입1 PLP

[631] 공통 PLP가 존재할 경우, 공통 PLP 이후에 전송됨

[632] 프레임 안에서 하나의 버스트(burst) 형태 (one slice)로 전송됨

[633]

[634] -타입2 PLP

[635] 타입1 PLP가 존재할 경우, 타입1 PLP 이후에 전송됨

[636] 프레임 안에서 두 개 이상의 서브-슬라이스(sub-slice) 형태로 분산되어 전송됨

[637] 서브-슬라이스 개수가 증가함에 따라 타임 다이버시티(time diversity)가 증가하며, 파워 소모(power consumption)의 효과를 가짐

[638] 이 때, 타입1 PLP는 분산되지 않은(nun-dispersed) PLP에 상응할 수 있고, 타입2 PLP는 분산된(dispersed) PLP에 상응할 수 있다. 이 때, 분산되지 않은 PLP는 연속적인 데이터 셀 인덱스(contiguous data cell indices)에 할당될 수 있다. 이 때, 분산된 PLP는 둘 이상의 서브슬라이스에 나뉘어 할당될 수 있다.

[639] 도 18은 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프(PLP; Physical Layer Pipe)를 적용한 LDM 프레임의 활용 예를 나타낸 도면이다.

[640] 도 18을 참조하면, LDM 프레임은 부트스트랩, 프리앰블 이후 공통 피지컬 레이어 파이프(PLP(1,1))를 포함할 수 있고, 로버스트한 오디오 서비스를 위한 데이터 피지컬 레이어 파이프(PLP(2,1))를 타임-디비전(time-division) 방식으로 포함할 수 있다.

[641] 또한, 모바일/인도어 서비스(720p 또는 1080p HD)를 위한 코어 레이어 데이터 피지컬 레이어 파이프(PLP(3,1))와, 하이 데이터 레이트 서비스(4K-UHD 또는 멀티플 HD)를 위한 인핸스드 레이어 데이터 피지컬 레이어 파이프(PLP(3,2))가 2-레이어 LDM 방식으로 전송될 수 있다.

[642] 도 19는 2개의 레이어들을 사용하는 LDM과 멀티플-피지컬 레이어 파이프를 적용한 LDM 프레임의 다른 활용 예를 나타낸 도면이다.

[643] 도 19를 참조하면, LDM 프레임은 부트스트랩, 프리앰블, 공통 피지컬 레이어 파이프(PLP(1,1))를 포함할 수 있다. 이 때, 로버스트한 오디오 서비스와 모바일/인도어 서비스(720p 또는 1080p HD)는 코어 레이어 데이터 피지컬 레이어 파이프들(PLP(2,1), PLP(3,1))에 나뉘어 전송되고, 하이 데이터 레이트 서비스(4K-UHD 또는 멀티플 HD)는 인핸스드 레이어 데이터 피지컬 레이어 파이프들(PLP(2,2), PLP(3,2))에 의하여 전송될 수 있다.

[644] 이 때, 코어 레이어 데이터 피지컬 레이어 파이프와 인핸스드 레이어 데이터

피지컬 레이어 파이프는 동일한 타임 인터리버를 사용할 수 있다.

[645] 이 때, 같은 서비스를 제공하는 피지컬 레이어 파이프들(PLP(2,2), PLP(3,2))은 동일한 PLP 그룹을 나타내는 PLP_GROUP_ID를 이용하여 동일한 서비스를 제공하는 것임을 시그널링할 수 있다.

[646] 실시예에 따라, LDM 레이어 각각에 대하여 서로 다른 사이즈의 피지컬 레이어 파이프들이 사용되는 경우, PLP_GROUP_ID 없이 피지컬 레이어 파이프들 각각의 시작 위치, 사이즈에 따라 서비스가 식별될 수도 있다.

[647] 도 18 및 19에서 PLP(i,j)에 의해 멀티플 피지컬 레이어 파이프들 및 레이어드 디비전 멀티플렉싱에 상응하는 레이어들을 식별하는 경우를 예로 들었으나, PLP 식별 정보 및 레이어 식별 정보는 각각 별개의 필드로 시그널링될 수도 있다.

[648] 실시예에 따라, 레이어마다 서로 다른 크기의 PLP가 사용될 수도 있다. 이 경우, PLP 식별자를 통해 각각의 서비스를 식별할 수 있다.

[649] 레이어마다 서로 다른 크기의 PLP가 사용되는 경우, PLP마다 PLP 시작 위치 및 PLP 길이를 시그널링할 수 있다.

[650] 하기 수도코드는 본 발명의 일실시예에 따른 프리앰블에 포함되는 필드들의 일 예를 나타낸 것이다. 이 때, 하기 수도코드는 프리앰블의 L1 시그널링 정보에 포함될 수 있다.

[651] [수도코드]

[652] SUB_SLICES_PER_FRAME (15 bits)

[653] NUM_PLP (8 bits)

[654] NUM_AUX (4 bits)

[655] AUX_CONFIG_RFU (8 bits)

[656]

[657] for i=0.. NUM_RF-1 {

[658] RF_IDX (3 bits)

[659] FREQUENCY (32 bits)

[660] }

[661]

[662] IF S2=='xxx1' {

[663] FEF_TYPE (4 bits)

[664] FEF_LENGTH (22 bits)

[665] FEF_INTERVAL (8 bits)

[666] }

[667]

[668] for i=0 .. NUM_PLP-1 {

[669] NUM_LAYER (2~3 bits)

[670] for j=0 .. NUM_LAYER-1{

```
[671]    /* Signaling for each layer */
[672]    PLP_ID (i, j) (8 bits)
[673]    PLP_GROUP_ID (8 bits)
[674]    PLP_TYPE (3 bits)
[675]    PLP_PAYLOAD_TYPE (5 bits)
[676]    PLP_COD (4 bits)
[677]    PLP_MOD (3 bits)
[678]    PLP_SSD (1 bit)
[679]    PLP_FEC_TYPE (2 bits)
[680]    PLP_NUM_BLOCKS_MAX (10 bits)
[681]    IN_BAND_A_FLAG (1 bit)
[682]    IN_BAND_B_FLAG (1 bit)
[683]    PLP_MODE (2 bits)
[684]    STATIC_PADDING_FLAG (1 bit)
[685]    IF (j > 0)
[686]    LL_INJECTION_LEVEL (3~8 bits)
[687]    } /* End of NUM_LAYER loop */
[688]
[689]    /* Common signaling for all layers */
[690]    FF_FLAG (1 bit)
[691]    FIRST_RF_IDX (3 bits)
[692]    FIRST_FRAME_IDX (8 bits)
[693]    FRAME_INTERVAL (8 bits)
[694]    TIME_IL_LENGTH (8 bits)
[695]    TIME_IL_TYPE (1 bit)
[696]    RESERVED_1 (11 bits)
[697]    STATIC_FLAG (1 bit)
[698]    PLP_START (24 bits)
[699]    PLP_SIZE (24 bits)
[700]    } /* End of NUM_PLP loop */
[701]
[702]    FEF_LENGTH_MSB (2 bits)
[703]    RESERVED_2 (30 bits)
[704]
[705]    for i=0 .. NUM_AUX-1 {
[706]    AUX_STREAM_TYPE (4 bits)
[707]    AUX_PRIVATE_CONF (28 bits)
[708]    }
```

- [709] 상기 수도코드에서 NUM_LAYER는 2비트 또는 3비트로 구성될 수 있다. 이 때, NUM_LAYER는 시간적으로 분할된 각각의 PLP 내에서 레이어들의 개수를 나타내기 위해 사용되는 필드일 수 있다. 이 때, NUM_LAYER는 NUM_PLP 루프 내에서 정의되어 시간적으로 분할된 각각의 PLP마다 다른 개수의 레이어들을 가질 수 있다.
- [710] 상기 수도코드에서 LL_INJECTION_LEVEL은 3~8비트로 구성될 수 있다. 이 때, LL_INJECTION_LEVEL은 로어 레이어(인헨스드 레이어)의 삽입 레벨(injection level)을 정의하기 위한 필드일 수 있다. 이 때, LL_INJECTION_LEVEL은 인젝션 레벨 정보에 상응하는 것일 수 있다.
- [711] 이 때, LL_INJECTION_LEVEL은 레이어가 2개 이상인 경우, 두 번째 레이어부터($j>0$) 정의될 수 있다.
- [712] PLP_ID(i,j), PLP_GROUP_ID, PLP_TYPE, PLP_PAYLOAD_TYPE, PLP_COD, PLP_MOD, PLP_SSD, PLP_FEC_TYPE, PLP_NUM_BLOCKS_MAX, IN_BAND_A_FLAG, IN_BAND_B_FLAG, PLP_MODE, STATIC_PADDING_FLAG 등의 필드들은 각각의 레이어 별로 정의되는 파라미터들로, NUM_LAYER 루프 내에서 정의될 수 있다.
- [713] 이 때, PLP_ID(i,j)는 PLP 식별 정보 및 레이어 식별 정보에 상응하는 것일 수 있다. 예를 들어, PLP_ID(i,j)의 i 는 PLP 식별 정보에 상응하고, j 는 레이어 식별 정보에 상응하는 것일 수 있다.
- [714] 실시예에 따라, PLP 식별 정보와 레이어 식별 정보는 별개의 필드들로 프리앰블에 포함될 수도 있다.
- [715] 또한, TIME_IL_LENGTH나 TIME_IL_TYPE 등의 타임 인터리버 정보나 PLP 사이즈와 관련된 FRAME_INTERVAL이나 FF_FLAG, FIRST_RF_IDX, FIRST_FRAME_IDX, RESERVED_1, STATIC_FLAG 등의 필드들은 NUM_LAYER 루프 밖, NUM_PLP 루프 안에서 정의될 수 있다.
- [716] 특히, PLP_TYPE은 전송한 피지컬 레이어 파이프들의 타입 정보를 나타내는 것으로, 제1 타입과 제2 타입 두 가지를 식별하면 되므로 1비트로 구성될 수도 있다. 상기 수도코드에서는 PLP_TYPE이 레이어 식별 정보(j)에 상응하는 조건문의 판단 없이 상기 프리앰블에 포함되는 예를 설명하였으나, PLP_TYPE은 레이어 식별 정보(j)와 기설정된 값(0)을 비교한 결과($if(j=0)$)에 따라 선택적으로 시그널링(코어 레이어에 대해서만 전송)될 수도 있다.
- [717] 상기 수도코드에서 PLP_TYPE은 NUM_LAYER 루프 안에서 정의된 경우를 예로 들었으나, 실시예에 따라 PLP_TYPE은 NUM_LAYER 루프 밖, NUM_PLP 루프 안에서 정의될 수도 있다.
- [718] 상기 수도코드에서 PLP_START는 해당 피지컬 레이어 파이프의 시작 위치(start position)를 나타낸다. 이 때, PLP_START는 셀 어드레싱 스킴(cell addressing scheme)을 이용하여 시작 위치를 나타낼 수 있다. 이 때, PLP_START는 해당 PLP의 첫 번째 데이터 셀에 상응하는 인덱스일 수 있다.

- [719] 특히, PLP_START는 모든 피지컬 레이어 파이프들 각각에 대하여 시그널링될 수 있고, 실시예에 따라 PLP의 사이즈를 시그널링하는 필드와 함께 멀티플-피지컬 레이어 파이프를 이용한 서비스 식별에 이용될 수도 있다.
- [720] 상기 수도코드에서 PLP_SIZE는 피지컬 레이어 파이프들의 사이즈 정보이다. 이 때, PLP_SIZE는 해당 피지컬 레이어 파이프에 할당된 데이터 셀들의 개수와 동일하게 설정될 수 있다.
- [721] 즉, 상기 수도코드에서 PLP_TYPE은 레이어 식별 정보를 고려하여 시그널링되고, PLP_SIZE 및 PLP_START는 레이어 식별 정보와 무관하게 모든 피지컬 레이어 파이프들에 대하여 시그널링되는 것으로 볼 수 있다.
- [722] 도 3 및 도 7에 도시된 결합기(340)는 코어 레이어 신호와 인헨스드 레이어 신호를 결합(combine)하는 기능을 하고, 코어 레이어 신호 및 인헨스드 레이어 신호가 하나의 타임 인터리버를 공유하므로 코어 레이어 신호 및 인헨스드 레이어 신호에 공유되는 타임 인터리버 그룹 단위로 결합을 수행할 수 있다.
- [723] 이 때, 타임 인터리버 그룹은 코어 레이어를 기준으로 설정되는 것이 메모리 효율성이나 시스템 효율성 측면에서 유리하다.
- [724] 다만, 코어 레이어를 기준으로 타임 인터리버 그룹을 설정하는 경우, 인헨스드 레이어에서 타임 인터리버 그룹 경계로 분할되는 FEC 블록이 존재할 수 있는데, 이와 같이 분할되는 FEC 블록이 존재하는 경우에는 타임 인터리버 그룹의 경계에 상응하는 FEC 블록의 일부분을 식별하는데 필요한 필드들의 시그널링이 필요할 수 있다.
- [725] 레이어 디비전 멀티플렉싱에 사용되는 타임 인터리버는 컨벌루셔널 타임 인터리버(convolutional time interleaver; CTI) 또는 하이브리드 타임 인터리버(hybrid time interleaver; HTI)일 수 있다. 이 때, 컨벌루셔널 타임 인터리버는 코어 레이어의 피지컬 레이어 파이프가 하나인 경우에 사용될 수 있고, 코어 레이어의 피지컬 레이어 파이프가 둘 이상인 경우에는 하이브리드 타임 인터리버가 사용될 수 있다. 하이브리드 타임 인터리버가 사용되는 경우에는 피지컬 레이어 파이프가 완전한 FEC 블록들만(only complete FEC blocks)을 포함할 수 있다.
- [726] 도 20은 컨벌루셔널 타임 인터리버가 사용되는 경우의 일 예를 나타낸 도면이다.
- [727] 도 20을 참조하면, 서브프레임이 코어 레이어 및 인헨스드 레이어 두 개의 레이어들을 포함하는 것을 알 수 있다.
- [728] 도 20에 도시된 예에서 서브프레임은 코어 레이어에 하나의 피지컬 레이어 파이프(PLP #0)만을 포함하므로 서브프레임에 상응하는 타임 인터리버는 컨벌루셔널 타임 인터리버이다. 컨벌루셔널 타임 인터리버가 사용되는 경우 각각의 레이어의 피지컬 레이어 파이프는 불완전한 FEC 블록(incomplete FEC block)을 포함할 수 있다.
- [729] 이와 같은 불완전한 FEC 블록은 PLP의 경계(edge)에 위치하고, 각각의

PLP에서 첫 번째 완전한 FEC block의 위치를 가리키는

"L1D_plp_CTI_fec_block_start"와 같은 필드를 이용하여 식별될 수 있다.

- [730] 도 20에 도시된 예는 코어 레이어의 피지컬 레이어 파이프(PLP #0) 및 인헨스드 레이어의 피지컬 레이어 파이프(PLP #1)의 시작 위치 및 사이즈가 동일한 경우이다.
- [731] 도 20에 도시된 예에서 타임 인터리버 그룹(TI Group)은 코어 레이어의 피지컬 레이어 파이프(PLP #0)에 상응하는 것을 알 수 있다. 타임 인터리버 그룹은 코어 레이어 및 인헨스드 레이어에 공통적으로 적용되는 것으로, 코어 레이어에 상응하여 설정되는 것이 메모리나 시스템 효율 측면에서 유리하다.
- [732] 도 21은 컨벌루셔널 타임 인터리버가 사용되는 경우의 다른 예를 나타낸 도면이다.
- [733] 도 21을 참조하면, 코어 레이어 피지컬 레이어 파이프(PLP #0) 및 인헨스드 레이어 피지컬 레이어 파이프(PLP #1)의 시작 위치 및 사이즈가 상이한 것을 알 수 있다.
- [734] 이와 같이 코어 레이어 피지컬 레이어 파이프(PLP #0) 및 인헨스드 레이어 피지컬 레이어 파이프(PLP #1)의 시작 위치 및 사이즈가 상이한 경우, 인헨스드 레이어에 공백 영역(empty area)이 포함될 수 있다.
- [735] 도 21에 도시된 바와 같이, 인헨스드 레이어 피지컬 레이어 파이프(PLP #1)의 후단에 공백 영역이 포함되는 경우 인헨스드 레이어 피지컬 레이어 파이프(PLP #1)는 완전한 FEC 블록으로 끝난다.
- [736] 도 22는 하이브리드 타임 인터리버가 사용되는 경우의 일 예를 나타낸 도면이다.
- [737] 도 22를 참조하면, 코어 레이어에 두 개의 피지컬 레이어 파이프들(PLP #0, PLP #1)이 포함된 것을 알 수 있다.
- [738] 이와 같이, 코어 레이어가 멀티플 피지컬 레이어 파이프들로 이루어진 경우, 하이브리드 타임 인터리버가 사용된다.
- [739] 하이브리드 타임 인터리버가 사용되는 경우, 코어 레이어 및 인헨스드 레이어의 모든 피지컬 레이어 파이프들은 완전한 FEC 블록들만(only complete FEC blocks) 포함한다.
- [740] 이 때, 인헨스드 레이어의 일부분(some part)은 코어 레이어 경계와의 정렬(align)을 위해 비워질 수 있다.
- [741] 도 23은 도 22에 도시된 예에서 타임 인터리버 그룹을 나타낸 도면이다.
- [742] 도 23을 참조하면, 코어 레이어의 피지컬 레이어 파이프들의 경계에 상응하여 타임 인터리버 그룹 경계가 설정된 것을 알 수 있다.
- [743] 도 23에는 타임 인터리버 그룹이 하나의 코어 레이어 피지컬 레이어 파이프만을 포함하는 경우를 예로 들었으나, 실시예에 따라 타임 인터리버 그룹은 둘 이상의 코어 레이어 피지컬 파이프들을 포함할 수 있다.
- [744] 도 23에 도시된 예에서, 인헨스드 레이어의 경우 타임 인터리버 그룹 경계에

의해 하나의 FEC 블록이 분할될 수 있다.

[745] 이는, 타임 인터리버 그룹 분할이 코어 레이어 기준으로 수행되기 때문인데, 이러한 경우에 타임 인터리버 그룹 경계에 상응하는 인헨스드 레이어의 불완전한 FEC 블록을 식별할 수 있는 정보를 시그널링할 수 있다.

[746] 도 24 내지 도 26은 도 23에 도시된 예에서 불완전한 FEC 블록의 사이즈를 계산하는 과정을 도시한 도면이다.

[747] 도 24를 참조하면, 코어 레이어의 피지컬 레이어 파이프의 시작 위치(L1D_plp_start(PLP #0)), 코어 레이어의 피지컬 레이어 파이프의 사이즈(L1D_plp_size(PLP #0)) 및 인헨스드 레이어의 피지컬 레이어 파이프의 시작 위치(L1D_plp_start(PLP #2))를 이용하여 인헨스드 레이어 피지컬 레이어 파이프의 시작 위치(L1D_plp_start(PLP #2)) 및 타임 인터리버 그룹 경계 사이의 거리(A)를 산출하는 것을 수 있다.

[748] 도 25를 참조하면, 인헨스드 레이어의 FEC 블록 사이즈를 이용하여 분할된 FEC 블록의 시작 위치 및 타임 인터리버 그룹 경계 사이의 거리(B)를 산출하는 것을 알 수 있다.

[749] 이 때, FEC 블록 사이즈는 상기 인헨스드 레이어에 상응하는 모듈레이션 정보(L1D_plp_mod) 및 상기 인헨스드 레이어에 상응하는 FEC 타입 정보(L1D_plp_fec_type)를 이용하여 결정될 수 있다.

[750] 도 26을 참조하면, 타임 인터리버 그룹들의 경계에 상응하는 인헨스드 레이어의 FEC 블록의 일부분(C)이 식별되는 것을 알 수 있다.

[751] 하기 표 3은 본 발명의 일실시예에 따른 프리앰블의 L1-Detail 필드들의 일 예를 나타낸 것이다.

[752] 본 발명의 일실시예에 따른 프리앰블은 L1-Basic 및 L1-Detail을 포함할 수 있다.

[753]

[754] [표 3]

Syntax	# of bits
L1_Detail_signaling() {	
L1D_version	4
L1D_num_rf	3
for L1D_rf_id=1 .. L1D_num_rf {	
L1D_rf_frequency	19
}	
if (L1B_time_info_flag != 00) {	
L1D_time_sec	32
L1D_time_msec	10
if (L1B_time_info_flag != 01) {	
L1D_time_usec	10
if (L1B_time_info_flag != 10) {	
L1D_time_nsec	10
}	
}	
}	
for i=0 .. L1B_num_subframes {	
if (i > 0) {	
L1D_mimo	1
L1D_miso	2
L1D_fft_size	2
L1D_reduced_carriers	3
L1D_guard_interval	4
L1D_num_ofdm_symbols	11
L1D_scattered_pilot_pattern	5

L1D_scattered_pilot_boost	3
L1D_sbs_first	1
L1D_sbs_last	1
}	
if (L1B_num_subframes>0) {	
L1D_subframe_multiplex	1
}	
L1D_frequency_interleaver	1
L1D_num_plp	6
for j=0 .. L1D_num_plp {	
L1D_plp_id	6
L1D_plp_lls_flag	1
L1D_plp_layer	2
L1D_plp_start	24
L1D_plp_size	24
L1D_plp_scrambler_type	2
L1D_plp_fec_type	4
if (L1D_plp_fec_type $\in$ {0,1,2,3,4,5}) {	
L1D_plp_mod	4
L1D_plp_cod	4
}	
L1D_plp_TI_mode	2
if (L1D_plp_TI_mode=00) {	
L1D_plp_fec_block_start	15
}	
if (L1D_plp_TI_mode=01) {	
L1D_plp_CTI_fec_block_start	22

}	
if (L1D_num_rf>0) {	
L1D_plp_num_channel_bonded	3
if (L1D_plp_num_channel_bonded>0) {	
L1D_plp_channel_bonding_format	2
for k=0 .. L1D_plp_num_channel_bonded{	
L1D_plp_bonded_rf_id	3
}	
}	
}	
if (i=0 && L1B_first_sub_mimo=1) (i >1 && L1D_mimo=1) {	
L1D_plp_stream_combining	1
L1D_plp_IQ_interleaving	1
L1D_plp_PH	1
}	
if (L1D_plp_layer=0) {	
L1D_plp_type	1
if L1D_plp_type=1 {	
L1D_plp_num_sublices	14
L1D_plp_subslice_interval	24
}	
L1D_plp_TI_extended_interleaving	1
if (L1D_plp_TI_mode=01) {	
L1D_plp_CTI_depth	3
L1D_plp_CTI_start_row	11

} else if (L1D_plp_TI_mode=10) {	
L1D_plp_HTI_inter_subframe	1
L1D_plp_HTI_num_ti_blocks	4
L1D_plp_HTI_num_fec_blocks_max	12
if (L1D_plp_HTI_inter_subframe=0) {	
L1D_plp_HTI_num_fec_blocks	12
} else {	
for (k=0.. L1D_plp_HTI_num_ti_blocks) {	
L1D_plp_HTI_num_fec_blocks	12
}	
}	
L1D_plp_HTI_cell_interleaver	1
}	
} else {	
L1D_plp_ldm_injection_level	5
}	
}	
}	
L1D_reserved	as needed
L1D_crc	32
}	

[755]

[756] 상기 표 3에서 비트가 할당된 모든 비트들은 Unsigned integer most significant bit first(uimsbf) 포맷에 상응하는 것일 수 있다.

[757] 상기 표 3에 기재된 필드들 중 L1D_plp_layer는 각각의 피지컬 레이어 파이프에 상응하는 레이어를 나타내는 것일 수 있다. L1D_plp_start는 현재 피지컬 레이어 파이프(current PLP)의 시작 위치 정보에 상응하는 것으로, 현재 피지컬 레이어 파이프의 첫 번째 데이터 셀의 인덱스를 나타내는 것일 수 있다. L1D_plp_size는 현재 피지컬 레이어 파이프의 사이즈 정보에 상응하는 것으로, 현재 피지컬

레이어 파이프에 할당된 데이터 셀들의 개수를 나타내는 것일 수 있다. 이 때, L1D_plp_size는 0보다 크게 설정될 수 있다.

[758] L1D_plp_fec_type은 현재 피지컬 레이어 파이프의 FEC 타입 정보에 상응하는 것으로, 현재 피지컬 레이어 파이프를 인코딩하는데 사용된 FEC(Forward Error Correction) 방법을 나타내는 것일 수 있다.

[759] 예를 들어, L1D_plp_fec_type="0000"은 BCH 및 16200 LDPC에 상응하고, L1D_plp_fec_type="0001"은 BCH 및 64800 LDPC에 상응하고, L1D_plp_fec_type="0010"은 CRC 및 16200 LDPC에 상응하고, L1D_plp_fec_type="0011"은 CRC 및 64800 LDPC에 상응하고, L1D_plp_fec_type="0100"은 16200 LDPC에 상응하고, L1D_plp_fec_type="0101"은 64800 LDPC에 상응할 수 있다.

[760] L1D_plp_mod는 현재 피지컬 레이어 파이프의 모듈레이션 정보를 나타내는 것일 수 있다. 이 때, L1D_plp_mod는 상기 표 3과 같이 L1D_plp_fec_type이 기설정된 조건을 만족하는 경우에만 시그널링될 수 있다.

[761] 예를 들어, L1D_plp_mod="0000"은 QPSK에 상응하고, L1D_plp_mod="0001"은 16QAM-NUC에 상응하고, L1D_plp_mod="0010"은 64QAM-NUC에 상응하고, L1D_plp_mod="0011"은 256QAM-NUC에 상응하고, L1D_plp_mod="0100"은 1024QAM-NUC에 상응하고, L1D_plp_mod="0101"은 4096QAM-NUC에 상응할 수 있다. 이 때, L1D_plp_mod는 L1D_plp_fec_type이 64800 LDPC에 상응하는 경우에만 "0100"이나 "0101"로 설정될 수 있다.

[762] L1D_plp_TI_mode는 PLP의 타임 인터리빙 모드를 나타낸다.

[763] 예를 들어, L1D_plp_TI_mode="00"은 타임 인터리버를 사용하지 않는 모드를 나타내고, L1D_plp_TI_mode="01"은 컨벌루션형 타임 인터리빙 모드를 나타내고, L1D_plp_TI_mode="10"은 하이브리드 타임 인터리빙 모드를 나타낼 수 있다.

[764] L1D_plp_fec_block_start는 피지컬 레이어 파이프 내의 첫 번째 완전한 FEC 블록의 시작 위치 정보에 상응하는 것일 수 있다. L1D_plp_fec_block_start는 L1D_plp_TI_mode="00"인 경우에만 시그널링될 수 있다.

[765] 레이어드 디비전 멀티플렉싱이 사용되는 경우, 각각의 레이어에서 첫 번째 FEC 블록의 시작 위치가 달라질 수 있으므로 L1D_plp_fec_block_start는 각각의 레이어에 대하여 시그널링될 수 있다.

[766] L1D_plp_CTI_fec_block_start는 피지컬 레이어 파이프 내의 첫 번째 완전한 블록의 시작 위치 정보에 상응하는 것일 수 있다. L1D_plp_CTI_fec_block_start는 L1D_plp_TI_mode="01"인 경우에만 시그널링될 수 있다.

[767] 이 때, L1D_plp_fec_block_start보다 L1D_plp_CTI_fec_block_start에 많은 비트가 할당될 수 있다.

[768] 전술한 바와 같이, L1D_plp_TI_mode="10"인 경우에는 모든 PLP는 완전한 FEC 블록들만을 포함하므로 첫 번째 FEC 블록의 시작 위치를 별도로 시그널링할

필요가 없다.

- [769] L1D_plp_HTI_num_fec_blocks는 코어 레이어의 피지컬 레이어 파이프를 위한 현재 인터리빙 프레임에 포함된 FEC 블록들의 개수에 상응하는 것일 수 있다.
- [770] 이 때, 타임 인터리버 정보는 L1D_plp_layer가 0인 경우(코어 레이어)에 L1D_plp_TI_mode가 01인지 10인지에 따라 각각 컨벌루셔널 타임 인터리빙에 해당하는 필드들(L1D_plp_CTI_depth, L1D_plp_CTI_start_row) 및 하이브리드 타임 인터리빙에 해당하는 필드들(L1D_plp_HTI_inter_subframe, L1D_plp_HTI_num_ti_blocks, L1D_plp_HTI_num_fec_blocks_max, L1D_plp_HTI_num_fec_blocks, L1D_plp_HTI_cell_interleaver 등)이 타임 인터리버 정보로써 시그널링되는 것을 알 수 있다.
- [771] 이 때, L1D_plp_CTI_depth는 컨벌루셔널 타임 인터리버에서 사용되는 행들의 수를 나타내고, L1D_plp_CTI_start_row는 서브프레임의 시작에서 인터리버 선택기(interleaver selector)의 위치를 나타낼 수 있다.
- [772] 이 때, L1D_plp_HTI_inter_subframe은 하이브리드 타임 인터리빙 모드를 나타내고, L1D_plp_HTI_num_ti_blocks은 인터리빙 프레임당 TI 블록들의 수나 하나의 TI 블록으로부터의 셀들이 전송되는 서브프레임들의 수를 나타내고, L1D_plp_HTI_num_fec_blocks_max는 현재 피지컬 레이어 파이프의 인터리빙 프레임당 FEC 블록들의 최대 개수에서 1을 뺀 것을 나타내고, L1D_plp_HTI_num_fec_blocks는 현재 피지컬 레이어 파이프의 현재 인터리빙 프레임에 포함된 FEC 블록들의 수에서 1을 뺀 것을 나타내고, L1D_plp_HTI_cell_interleaver는 셀 인터리버가 사용되는지 여부를 나타낼 수 있다.
- [773] 이 때, L1D_plp_TI_mode와 같은 필드는 코어 레이어를 기준으로 시그널링되는 타임 인터리버 정보와 별개로 시그널링될 수 있다.
- [774] 도 27은 L1D_plp_TI_mode="00"인 경우에 L1D_plp_fec_block_start에 필요한 비트수를 설명하기 위한 도면이다.
- [775] 도 27을 참조하면, L1D_plp_TI_mode="00"인 경우(타임 인터리빙이 생략되는 경우)에는 타임 인터리빙 이전의 FEC 블록 시작 위치의 셀 주소(cell address of FEC block start position before time interleaving)(C_in)과 타임 인터리빙 이후의 FEC 블록 시작 위치의 셀 주소(cell address of FEC block start position after time interleaving)(C_out)가 동일한 것을 알 수 있다.
- [776] 도 27의 경우와 같이 타임 인터리빙이 생략되는 경우는 컨벌루셔널 인터리빙이 텀스 0으로(with a depth of 0) 수행되는 것으로 볼 수 있다.
- [777] 이 때, L1D_plp_fec_block_start는 타임 인터리빙 이후에 정의되므로, C_out이 L1D_plp_fec_block_start으로 서브프레임 내의 피지컬 레이어 파이프별로 시그널링될 수 있다.
- [778] LDPC 코드워드가 16200이나 64800이고, 모듈레이션 오더가 2, 4, 6, 8, 10 및 12인 경우, 가장 긴 FEC 블록은 $64800/2 = 32400$ 의 길이를 가질 수 있다.

- [779] 32400은 15비트로 표현 가능하므로, L1D_plp_fec_block_start에 15비트가 할당되면 L1D_plp_TI_mode="00"인 경우를 커버할 수 있다.
- [780] 도 28 및 29는 L1D_plp_TI_mode="01"인 경우에 L1D_plp_CTI_fec_block_start에 필요한 비트수를 설명하기 위한 도면들이다.
- [781] 도 28을 참조하면, L1D_plp_TI_mode="01"인 경우(컨벌루션 타임 인터리빙)에는 타임 인터리빙 이전의 FEC 블록 시작 위치의 셀 주소(cell address of FEC block start position before time interleaving)(C_in)과 타임 인터리빙 이후의 FEC 블록 시작 위치의 셀 주소(cell address of FEC block start position after time interleaving)(C_out)가 인터리빙에 의하여 달라지는 것을 알 수 있다.
- [782] 이 때, L1D_plp_CTI_fec_block_start는 타임 인터리빙 이후에 정의되므로, C_out이 L1D_plp_CTI_fec_block_start으로 서브프레임 내의 피지컬 레이어 파이프별로 시그널링될 수 있다.
- [783] 도 29를 참조하면, 템스(depth)가 4인 컨벌루션 타임 인터리버가 C_in을 입력으로, C_out을 출력으로 동작하는 것을 알 수 있다.
- [784] 이 때, 입력의 경우 0은 0번째 행에 해당하고, 1은 1번째 행에 해당하고, 2는 2번째 행에 해당하고, 3은 3번째 행에 해당하고, 4는 0번째 행에 해당하고, 5는 1번째 행에 해당하고, 6은 2번째 행에 해당하고, 7은 3번째 행에 해당하고, 8은 0번째 행에 해당하고, 9는 1번째 행에 해당하고, 10은 2번째 행에 해당한다.
- [785] 먼저, 0번째 행에 해당하는 0, 4, 8 등의 경우 지연 없이 바로 출력된다.
- [786] 1번째 행에 해당하는 1, 5, 9 등의 경우 4만큼 지연되어 출력된다.
- [787] 2번째 행에 해당하는 2, 6, 10 등의 경우 8만큼 지연되어 출력된다.
- [788] 3번째 행에 해당하는 3, 7 등의 경우 12만큼 지연되어 출력된다.
- [789] 즉, n번째 행에 대하여 (n x 4)의 지연들(delays)이 발생하는 것을 알 수 있다.
- [790] 도 29에서는 템스(depth)가 4(타임 인터리버의 행이 4)인 경우를 예로 들었으나, 타임 인터리버의 행이 N_row라 하면, n번째 행에 상응하는 입력은 (n x N_row)만큼 지연된다.
- [791] 이 때, 타임 인터리빙 이후의 FEC 블록 시작 위치의 셀 주소(L1D_plp_CTI_fec_block_start)는 $(C_{in} + (n \times N_{row}))$ 으로 계산될 수 있다. 이 때, n은 C_in에 상응하는 행(row)이고, L1-Detail에 의하여 시그널링되는 타임 인터리빙 정보 중 L1D_CTI_start_row에 의하여 결정될 수 있다. 이 때, n은 $((L1D_CTI_start_row + C_{in}) \% N_{row})$ 일 수 있다. 이 때, L1D_CTI_start_row는 서브프레임 시작시 인터리버 선택기의 위치를 나타낼(indicate the position of the interleaver selector at the start of the subframe) 수 있다.
- [792] 즉, L1D_plp_CTI_fec_block_start는 C_in에 타임 인터리빙으로 인한 지연(delay caused by time interleaving)을 더하여 산출할 수 있다.
- [793] L1D_plp_CTI_fec_block_start를 시그널링하는데 필요한 비트수를 산출하려면, L1D_plp_CTI_fec_block_start의 최대값이 필요하다. 이미 살펴본 바와 같이 C_in의 최대값은 32400이고, n의 최대값은 N_row-1이고, N_row는 non-extended

interleaving의 경우 최대 1024일 수 있다. 이 때, L1D_plp_CTI_fec_block_start의 최대값은 $(32400 + (1024-1) \times 1024) = 1079952$ 이다. 1079952는 최소 21비트가 있어야 시그널링할 수 있다.

[794] N_row는 extended interleaving의 경우 최대 1448일 수 있다. 이 때, L1D_plp_CTI_fec_block_start의 최대값은 $(32400 + (1448-1) \times 1448) = 2127656$ 이다. 2127656은 최소 22비트가 있어야 시그널링할 수 있다.

[795] 결국, L1D_plp_TI_mode="00"인 경우 L1D_plp_fec_block_start의 최대값은 C_in의 최대값과 동일하고, L1D_plp_TI_mode="01"인 경우 L1D_plp_CTI_fec_block_start의 최대값은 C_in의 최대값에 인터리빙으로 인한 딜레이를 더한 값이 되므로 L1D_plp_fec_block_start을 시그널링하는데 사용되는 비트수보다 L1D_plp_CTI_fec_block_start을 시그널링하는데 사용되는 비트수가 커야 효율적인 시그널링이 가능하다.

[796] L1D_plp_TI_mode="10"인 경우는 코어 레이어와 인헨스드 레이어의 모든 피지컬 레이어 파이프들이 오직 온전한 FEC 블록들만을 포함할 수 있으므로, 모든 피지컬 레이어 파이프의 시작 위치가 최초의 온전한 FEC 블록의 시작 위치가 되므로, L1D_plp_fec_block_start 또는 L1D_plp_CTI_fec_block_start와 같은 필드를 시그널링할 필요가 없다.

[797] 도 30은 레이어드 디비전 멀티플렉싱과 함께 HTI 모드가 사용되는 경우 인헨스드 레이어 더미 값들의 삽입을 나타낸 도면이다.

[798] 도 30을 참조하면, 타임 인터리버 그룹(TI_Group_1)의 인헨스드 레이어 데이터(L1D_PLP_layer = 1)에 더미 값들(Dummy)이 삽입된 것을 알 수 있다.

[799] 서브프레임 내에서 수신기로 전달되는 특정 엔드 프로덕트와 관련된 PLP들 전체의 집합을 PLP 그룹이라 하자.

[800] 레이어드 디비전 멀티플렉싱이 사용될 때, PLP 그룹은 적어도 하나(at least one)의 코어 PLP와 하나 이상의(one or more) 인헨스드 PLP들을 포함할 수 있다.

[801] 실제 PLP 데이터를 위해 정수개의 FEC 블록들이 사용되는 HTI 모드의 타임 인터리빙이 사용될 때, 특정 PLP 그룹 내에서 각각의 PLP의 ModCod 구성에 따라 코어 PLP(들)의 셀들의 총 수는 인헨스드 PLP(들)의 셀들의 총 수와 상이할 수 있다. 이러한 경우에, PLP 그룹 내의 인헨스드 레이어 셀들의 총 수가 코어 레이어 셀들의 총 수와 동일해지도록, 인헨스드 레이어 더미 값들이 PLP 그룹의 마지막 인헨스드 PLP의 실제 데이터 셀들 다음에 삽입될 수 있다. 타임 인터리버 그룹이 코어 PLP들 기준으로 설정되므로, 더미 값들은 코어 레이어에는 삽입되지 않을 수 있다.

[802] 인헨스드 레이어 더미 값들의 삽입은 BICM 단계들 이후 및 코어 PLP(들)와 인헨스드 PLP(들)가 결합되기 전에 수행될 수 있다. 인헨스드 레이어 더미 값들을 생성하기 위해, 스크램블링 시퀀스가 사용되고, 이 스크램블링 시퀀스는 각각의 적절한 PLP 그룹마다(for each relevant PLP group) 재초기화될 수 있다. 그리고, 이 시퀀스는 현재 PLP 그룹 내의 마지막 인헨스드 PLP를 위해 사용된

- 컨스틸레이션 맵핑과 동일한 컨스틸레이션 맵핑을 이용하여 모듈레이션될 수 있다.
- [803] 인핸스드 레이어 더미 값들은, 실제 데이터와 동일한 스케일링 팩터 및 노멀라이징 팩터가 적용되도록, 동일한 PLP 그룹 내의 바로 이전 인핸스드 PLP와 동일한 파워를 가질 수 있다.
- [804] 도 31은 본 발명의 일실시예에 따른 더미 값들의 생성에 사용되는 쉬프트 레지스터의 일 예를 나타낸 도면이다.
- [805] 도 31을 참조하면, 제너레이터 폴리노미얼(generator polynomial) $1 + X + X^3 + X^6 + X^7 + X^{11} + X^{12} + X^{13} + X^{16}$ 에 상응하는 16비트 쉬프트 레지스터를 이용하여 시퀀스가 생성되는 것을 알 수 있다.
- [806] 도 31에 도시된 레지스터는 초기 시퀀스(initial sequence) 0xF180 (1111 0001 1000 0000)으로 초기화될 수 있다. 전술한 바와 같이, 각각의 적절한 PLP 그룹마다(for each relevant PLP group) 재초기화가 수행된다.
- [807] 도 31에 도시된 예에서, 여덟 개의 쉬프트 레지스터 출력들 ($D^7, D^6, \dots, D^0$)이 출력 비트들이 된다. 출력 비트들이 출력되고 나면 쉬프트 레지스터의 비트들은 한 번 쉬프트된다. 한 번 쉬프트 이후, 레지스터 X^{14} 에는 1과 1의 엑스클루시브 오어 값인 0이 저장되고, 레지스터 X^{13} 에는 1과 0의 엑스클루시브 오어 값인 1이 저장되고, 레지스터 X^{12} 에는 1과 0의 엑스클루시브 오어 값인 1이 저장되고, 레지스터 X^{11} 에는 레지스터 X^{10} 에 저장되어 있던 0이 저장되고, 레지스터 X^7 에는 1과 0의 엑스클루시브 오어 값인 1이 저장되고, 레지스터 X^4 에는 1과 0의 엑스클루시브 오어 값인 1이 저장되고, 레지스터 X^3 에는 레지스터 X^2 에 저장되어 있던 0이 저장되고, 레지스터 X 에는 레지스터 X^{16} 에 저장되어 있던 1이 저장된다.
- [808] 따라서, 도 31에 도시된 예에서 출력 시퀀스(스크램블링 시퀀스)는 1100 0000 0110 1101 0011 1111 ... 이 된다(MSB 우선, 또는 $D^7, D^6, \dots, D^0, D^7, D^6, \dots$).
- [809] 전술한 바와 같이, 각각의 피지컬 레이어 파이프(Physical Layer Pipe)는 노 타임 인터리빙(no time interleaving) 모드, 컨벌루셔널 타임 인터리빙 모드 또는 하이브리드 타임 인터리빙 모드 중 어느 하나로 구성될 수 있다.
- [810] PLP의 타임 인터리빙 모드는 L1D_plp_TI_mode에 의하여 식별될 수 있고, 인핸스드 PLP의 타임 인터리빙 모드는 상기 인핸스드 레이어가 레이어 디비전 멀티플렉싱되는 코어 PLP를 위하여 식별되는 타임 인터리빙 모드와 동일해야 한다.
- [811] 하나의 완전한 전송 프로덕트(a complete delivered product)가 오직 하나의 컨스탄트-셀-레이트(constant-cell-rate) PLP로 구성되어 있거나 하나의 컨스탄트-셀-레이트 코어 PLP 및 상기 하나의 코어 PLP에 멀티플렉싱된 하나 이상의 컨스탄트-셀-레이트 인핸스드 PLP(들)로 구성되어 있는 경우, 상기 완전한 전송 프로덕트를 구성하는 PLP(들)은 노 타임 인터리빙 모드, 컨벌루셔널 타임 인터리빙 모드 및 하이브리드 타임 인터리빙 모드 중 하나의 타임 인터리빙

모드로 구성될 수 있다.

- [812] 하나의 완전한 전송 프로덕트(a complete delivered product)가 이전 단락에서 기술된 특성과 다른 특성을 갖는 PLP들로 구성되어 있는 경우, 상기 완전한 전송 프로덕트를 구성하는 PLP들은 노 타임 인터리빙 모드 및 하이브리드 타임 인터리빙 모드 중 하나의 타임 인터리빙 모드로 구성될 수 있다.
- [813] 이 때, 완전한 전송 프로덕트는 하나의 서비스에 상응하는 것일 수 있다. 즉, 완전한 전송 프로덕트는 하나의 서비스를 위해 필요한 모든 PLP 데이터를 포함하는 것일 수 있다.
- [814] 하나의 특정한 완전한 전송 프로덕트(a particular complete delivered product)의 PLP들을 위한 타임 인터리빙 모드(들)은 동일한 RF 채널 내에서 전송되는 다른 전송 프로덕트들(any other delivered products)의 PLP(들)을 위한 타임 인터리빙 모드(들)과 독립적으로 구성될 수 있다. 하나의 특정한 전송 프로덕트가 멀티플 코어 PLP들 및/또는 레이어드 디비전 멀티플렉싱되지 않은 PLP들을 포함할 때, 이 PLP들은 동일하거나 상이한 타임 인터리빙 모드들(예를 들어, 노 타임 인터리빙 모드 및/또는 하이브리드 타임 인터리빙 모드) 및/또는 동일하거나 상이한 타임 인터리버 파라미터들로 구성될 수 있다.
- [815] 도 32는 타임 인터리빙 모드의 유형을 나타낸 도면이다.
- [816] 도 32를 참조하면, 타임 인터리빙 모드는 크게 인트라-서브프레임 인터리빙과 인터-서브프레임 인터리빙으로 나뉜다.
- [817] 인트라-서브프레임 인터리빙은 인터리빙이 서브프레임 내에서 이루어지는 경우에 해당한다. 이 때, 인터리빙 프레임은 하나의 서브프레임에 맵핑된다. 즉, 인트라-서브프레임 인터리빙이 수행된 경우 디코더는 서브프레임 내에서 해당 피지컬 레이어 파이프를 디코딩할 수 있다.
- [818] 인터-서브프레임 인터리빙은 인터리빙이 하나의 서브프레임 범위를 벗어난 경우에 해당한다. 이 때, 인터리빙 프레임은 복수의 서브프레임들에 맵핑된다. 즉, 인터-서브프레임 인터리빙이 수행된 경우 디코더는 해당 피지컬 레이어 파이프를 디코딩하기 위해 하나의 서브프레임 이외의 다른 서브프레임의 데이터를 필요로 할 수 있다.
- [819] 도 32에 도시된 바와 같이, 노 타임 인터리빙 모드(NO TI)의 경우 인트라-서브프레임 인터리빙에 해당하고, 컨벌루셔널 타임 인터리빙 모드(CTI)의 경우 인터-서브프레임 인터리빙에 해당한다. 이 때, 노 타임 인터리빙 모드(NO TI)는 인터리빙 텀스가 0인 인터리빙 모드로 볼 수 있다.
- [820] 하이브리드 타임 인터리빙 모드(HTI)의 경우 인트라-서브프레임 인터리빙에 해당할 수도 있고 인터-서브프레임 인터리빙에 해당할 수도 있는데, CDL(Convolutional Delay Line)이 오프된 경우에는 인트라-서브프레임 인터리빙에 해당하고 CDL이 온 된 경우에는 인터-서브프레임 인터리빙에 해당할 수 있다.
- [821] 하이브리드 타임 인터리빙 모드에서 L1D_plp-HTI_inter_subframe 필드에 의해

인트라-서브프레임 인터리빙인지 인터-서브프레임 인터리빙인지가 식별될 수 있다. 예를 들어, $L1D_plp_HTI_inter_subframe=0$ 인 경우 해당 타임 인터리빙 모드는 인트라-서브프레임 인터리빙에 해당하고,

$L1D_plp_HTI_inter_subframe=1$ 인 경우 해당 타임 인터리빙 모드는 인터-서브프레임 인터리빙에 해당할 수 있다.

- [822] 타임 인터리빙 모드나 타임 인터리빙과 관련된 파라미터들은 코어 레이어 피지컬 레이어 파이프별로 설정될 수 있으므로, 인코딩 과정에서 타임 인터리빙 모드나 타임 인터리빙과 관련된 파라미터들을 설정할 때 디코딩 과정을 고려하지 않으면, 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱된 복수개의 코어 레이어 피지컬 레이어 파이프들 중 일부는 인트라-서브프레임 인터리빙을 사용하고 다른 일부는 인터-서브프레임 인터리빙을 사용하는 경우가 발생할 수 있다.
- [823] 도 33은 인트라-서브프레임 인터리빙과 인터-서브프레임 인터리빙이 동시에 사용되는 경우를 나타낸 도면이다.
- [824] 도 33을 참조하면, 하나의 인핸스드 레이어 피지컬 레이어 파이프(ENHANCED PLP #3)에 3개의 코어 레이어 피지컬 레이어 파이프들(CORE PLP #0, CORE PLP #1, CORE PLP #2)이 레이어드 디비전 멀티플렉싱되어 있는 것을 알 수 있다.
- [825] 첫 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #0)는 CDL이 오픈된 HTI 모드이므로 인트라-서브프레임 인터리빙에 해당하고, 두 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #1)는 CDL이 온 된 HTI 모드이므로 인터-서브프레임 인터리빙에 해당하고, 세 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #2)는 NO TI 모드이므로 인트라-서브프레임 인터리빙에 해당한다.
- [826] 따라서, 첫 번째 및 세 번째 코어 레이어 피지컬 레이어 파이프들(CORE PLP #0, CORE PLP #2)은 즉시 디코딩될 수 있으나, 두 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #1)는 타임 인터리빙 유닛(N_{IU})에 상응하는 수($N_{IU}-1$)만큼의 서브프레임들이 디코딩될때까지 기다려야 디코딩될 수 있다. 이 때, 타임 인터리빙 유닛(N_{IU})은 인터-서브프레임 인터리빙시 하나의 타임 인터리빙 블록으로부터의 셀들이 전송되는 서브프레임들의 개수일 수 있다.
- [827] 도 33에 도시된 예에서, 인핸스드 레이어 피지컬 레이어 파이프의 조각들이 다른 디코딩 타이밍을 가지고, 이는 해당 인핸스드 레이어 피지컬 레이어 파이프를 디코딩하기 위해 추가적인 레이턴시와 버퍼가 필요함을 의미한다.
- [828] 도 34는 인트라-서브프레임 인터리빙과 인터-서브프레임 인터리빙이 동시에 사용되는 경우의 서브프레임들을 나타낸 도면이다.
- [829] 도 34를 참조하면, 3개의 서브프레임들에 걸쳐서, 하나의 인핸스드 레이어 피지컬 레이어 파이프(PLP #3)에 3개의 코어 레이어 피지컬 레이어 파이프들(PLP #0, PLP #1, PLP #2)이 레이어 디비전 멀티플렉싱된 것을 알 수 있다.

- [830] 이 때, 인핸스드 레이어 피지컬 레이어 파이프의 조각들(PLP #3-A, PLP #3-B, PLP #3-C)이 각각 5개, 2개 및 4개의 FEC 블록들을 가지고, 코어 레이어 피지컬 레이어 파이프(PLP #1)의 타임 인터리빙 유닛(N_{IU})이 3일 수 있다. 이 때, 인핸스드 레이어 피지컬 레이어 파이프(PLP #3)는 타임 인터리빙 유닛(N_{IU})에 해당하는 서브프레임들이 디코딩되기를 기다려야 한다.
- [831] 도 34에 도시된 예에서, 인핸스드 레이어 셀들의 출력 타이밍은 #0, 1, 2, 3, 4, 7, 8, 9, 10, 11, 12, 13, 14, 15, 18, 19, 20, 21, 22, 23, 24, 25, 26, 5, 6, 29, 39, 31, 32...와 같이 된다. 따라서, 첫 번째 서브프레임(SUBFRAME #0)의 일부분(#5, #6)이 두 서브프레임들(SUBFRAME #1, SUBFRAME #2)을 기다린 후에 출력되고 이는 디코딩 타이밍의 문제가 된다.
- [832] 이와 같은 디코딩 타이밍의 문제를 해결하기 위해, 하나의 인핸스드 레이어 피지컬 레이어 파이프에 복수개의 코어 레이어 피지컬 레이어 파이프들이 레이어드 디비전 멀티플렉싱된 경우, 모든 코어 레이어 피지컬 레이어 파이프들이 인트라-서브프레임 인터리빙을 사용하도록 하거나, 모든 코어 레이어 피지컬 레이어 파이프들이 인터-서브프레임 인터리빙을 사용하도록 하는 것이 디코딩 타이밍 문제 및 이와 관련된 디코딩 복잡도를 낮추는데 효율적일 수 있다.
- [833] 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱된 복수개의 코어 레이어 피지컬 레이어 파이프들이 모두 인터-서브프레임 인터리빙을 사용하는 경우에도, 코어 레이어 피지컬 레이어 파이프들의 타임 인터리빙 유닛(N_{IU})들은 서로 상이할 수 있다.
- [834] 그러나, 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱되는 모든 코어 레이어 피지컬 레이어 파이프들이 인터-서브프레임 인터리빙을 사용하는 경우에도 디코딩 복잡도가 증가하는 경우가 있다.
- [835] 도 35는 서로 다른 타임 인터리빙 유닛들이 동시에 사용되는 경우를 나타낸 도면이다.
- [836] 도 35를 참조하면, 하나의 인핸스드 레이어 피지컬 레이어 파이프(ENHANCED PLP #3)에 3개의 코어 레이어 피지컬 레이어 파이프들(CORE PLP #0, CORE PLP #1, CORE PLP #2)이 레이어드 디비전 멀티플렉싱되어 있는 것을 알 수 있다.
- [837] 3개의 코어 레이어 피지컬 레이어 파이프들(CORE PLP #0, CORE PLP #1, CORE PLP #2) 모두 CDL이 온 된 HTI 모드이므로 인터-서브프레임 인터리빙에 해당한다. 그러나, 첫 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #0)의 타임 인터리빙 유닛(N_{IU})은 2이고, 두 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #1)의 타임 인터리빙 유닛(N_{IU})은 4이고, 세 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #2)의 타임 인터리빙 유닛(N_{IU})은 3이다.
- [838] 따라서, 첫 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #0)는 1 서브프레임을 기다려야 하고, 두 번째 코어 레이어 피지컬 레이어 파이프(CORE PLP #1)는 3 서브프레임들을 기다려야 하고, 세 번째 코어 레이어 피지컬 레이어

파이프(CORE PLP #2)는 2 서브프레임들을 기다려야 한다.

[839] 도 35에 도시된 예에서, 인핸스드 레이어 피지컬 레이어 파이프의 조각들이 다른 디코딩 타이밍을 가지고, 이는 해당 인핸스드 레이어 피지컬 레이어 파이프를 디코딩하기 위해 추가적인 레이턴시와 버퍼가 필요함을 의미한다.

[840] 이와 같이, 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱되는 모든 코어 레이어 피지컬 레이어 파이프들이 인터-서브프레임 인터리빙을 사용하고 모두 동일한 타임 인터리빙 유닛을 사용하도록 하는 것이 디코딩 타이밍 문제와 이와 관련된 디코딩 복잡도를 낮추는데 효율적일 수 있다.

[841] 그러나, 하나의 인핸스드 레이어 피지컬 레이어 파이프에 레이어드 디비전 멀티플렉싱된 복수개의 코어 레이어 피지컬 레이어 파이프들이 모두 인터-서브프레임 인터리빙을 사용하고 모두 동일한 타임 인터리빙 유닛을 사용하는 경우에도, 서브프레임 구조에 따라 디코딩 문제가 발생할 수 있다.

[842] 도 36은 동일한 타임 인터리빙 유닛이 동시에 사용되는 경우의 서브프레임들을 나타낸 도면이다.

[843] 도 36을 참조하면, 첫 번째 서브프레임(SUBFRAME 0)에는 하나의 인핸스드 레이어 피지컬 레이어 파이프(ENHANCED PLP #3)에 두 개의 코어 레이어 피지컬 레이어 파이프들(CORE PLP #0, CORE PLP #1)이 레이어드 디비전 멀티플렉싱되어 있는 것을 알 수 있다.

[844] 또한, 두 번째 및 세 번째 서브프레임들(SUBFRAME 1, 2) 각각에는 하나의 인핸스드 레이어 피지컬 레이어 파이프(ENHANCED PLP #3)에 하나의 코어 레이어 피지컬 레이어 파이프(CORE PLP #1)가 레이어드 디비전 멀티플렉싱되어 있다.

[845] 또한, 네 번째 서브프레임(SUBFRAME 3)에는 하나의 인핸스드 피지컬 레이어 파이프(ENHANCED PLP #3)에 하나의 코어 레이어 피지컬 레이어 파이프(CORE PLP #0)이 레이어드 디비전 멀티플렉싱되어 있다.

[846] 이 때, 첫 번째 서브프레임의 두 개의 코어 레이어 피지컬 레이어 파이프들(CORE PLP #0, CORE PLP #1)은 모두 인터-서브프레임 인터리빙에 해당하고 동일한 타임 인터리빙 유닛($N_{IW}=3$)을 사용한다.

[847] 그러나, 코어 레이어 피지컬 레이어 파이프(CORE PLP #1)는 세 번째 서브프레임(SUBFRAME 2)까지만 기다리면 되지만, 코어 레이어 피지컬 레이어 파이프(CORE PLP #0)는 네 번째 서브프레임(SUBFRAME 3) 이후까지 기다려야 한다. 이는 첫 번째 서브프레임(SUBFRAME 0) 이후의 서브프레임들의 구조가 상이하기 때문이다.

[848] 도 36에 도시된 예에서, 동일한 타임 인터리빙 유닛에도 불구하고 인핸스드 레이어 피지컬 레이어 파이프의 조각들이 다른 디코딩 타이밍을 가지고, 이는 해당 인핸스드 레이어 피지컬 레이어 파이프를 디코딩하기 위해 추가적인 레이턴시와 버퍼가 필요함을 의미한다.

[849] 도 33 내지 도 36에서 살펴본 바와 같이, 하나의 인핸스드 레이어 피지컬 레이어

파이프에 복수개의 코어 레이어 피지컬 레이어 파이프들이 레이어드 디비전 멀티플렉싱되는 경우, 인핸스드 레이어 피지컬 레이어 파이프의 조각들마다 디코딩 타이밍이 달라져서 디코딩 문제가 발생한다.

- [850] 하나의 인핸스드 레이어 피지컬 레이어 파이프가 멀티플 타임 인터리빙 그룹들에 퍼져(spread over) 있는 경우, 상기 인핸스드 레이어 피지컬 레이어 파이프와 관련된 모든 코어 레이어 피지컬 레이어 파이프들이 동일한 타임 인터리빙 모드를 사용할 수 있다. 이 때, 상기 인핸스드 레이어 피지컬 레이어 파이프와 관련된 모든 코어 레이어 피지컬 레이어 파이프들이 하이브리드 타임 인터리빙 모드를 사용하거나, 노 타임 인터리빙 모드를 사용할 수 있다.
- [851] 즉, 이 경우 모든 코어 레이어 피지컬 레이어 파이프들이 동일한 타임 인터리빙 모드를 사용하되, 컨벌루셔널 타임 인터리빙 모드의 사용은 금지될 수 있다.
- [852] 실시예에 따라, 상기 인핸스드 레이어 피지컬 레이어 파이프와 관련된 모든 코어 레이어 피지컬 레이어 파이프들이 컨벌루셔널 타임 인터리빙 모드를 사용하는 경우, 모든 코어 레이어들의 인터리빙 뎁스(L1D_plp_CTL_depth)가 동일할 수 있다.
- [853] 이 때, 상기 인핸스드 레이어 피지컬 레이어 파이프와 관련된 모든 코어 레이어 피지컬 레이어 파이프들이 하이브리드 타임 인터리빙 모드를 사용하는 경우, 각 코어 레이어 피지컬 레이어 파이프는 인트라-서브프레임 인터리빙 모드(L1D_plp-HTI_inter_subframe=0)를 사용할 수 있다. 즉, 상기 인핸스드 레이어 피지컬 레이어 파이프와 관련된 모든 코어 레이어 피지컬 레이어 파이프들이 하이브리드 타임 인터리빙 모드를 사용하는 경우, 인터 서브프레임 인터리빙은 금지될 수 있다.
- [854] 실시예에 따라, 상기 인핸스드 레이어 피지컬 레이어 파이프에 상응하는 코어 레이어 피지컬 레이어 파이프들이 인터-서브프레임 인터리빙에 상응하는 하이브리드 타임 인터리빙 모드를 사용하는 경우, 모든 코어 레이어 피지컬 레이어 파이프들이 동일한 타임 인터리빙 유닛을 사용할 수 있다.
- [855] 이 때, 상기 인핸스드 레이어 피지컬 레이어 파이프와 관련된 모든 코어 레이어 피지컬 레이어 파이프들이 노 타임 인터리빙 모드를 사용하는 경우, 각 코어 레이어 피지컬 레이어 파이프는 서브프레임 내에서 정수 개수의 FEC 블록들(an integer number of FEC blocks)로 이루어질 수 있다.
- [856] 이 때, 서브프레임마다 정수개의 FEC 블록들을 달성하기 위해, 더미 모듈레이션 값들이 사용될 수 있다.
- [857] 서브프레임 구성(configuration) 및 피지컬 레이어 파이프 멀티플렉싱 파라미터들에 따라, 서브프레임의 가용한 데이터 셀들이 피지컬 레이어 파이프 데이터에 의하여 완전히 또는 부분적으로 점유될 수 있다. 모든 가용한 데이터 셀들이 대응되는 피지컬 레이어 파이프 데이터를 갖지 못하는 경우, 일정한 송신 파워를 보장하기 위해 점유되지 않은 데이터 셀들이 모듈레이션되지 않은 널 셀들(null cells)로 남아있기보다는 모듈레이션되는 것이 중요하다. 이는

수도-랜덤한 더미 모듈레이션 값들을 점유되지 않은 데이터 셀들에 할당함에 의해 달성될 수 있다.

- [858] 피지컬 레이어 파이프 멀티플렉싱 파라미터에 따라, 점유되지 않은 데이터 셀들은 서브프레임 내의 어디서나 발생할 수 있다. 따라서, 서브프레임의 모든 가용한 데이터 셀들은 먼저 더미 모듈레이션 값들로 채워지고, 그리고 나서 셀 멀티플렉싱 프로세스가 점유된 데이터 셀들의 더미 모듈레이션 값들을 실제 피지컬 레이어 파이프 데이터로 덮어쓸 수 있다. 이러한 접근은 서브프레임 내의 모든 가용한 데이터 셀들이 피지컬 레이어 파이프 셀 또는 더미 모듈레이션 값에 의하여 모듈레이션되는 것을 보장할 수 있다.
- [859] 데이터 셀들이 0부터 $N_{\text{cell}}-1$ 까지로 인덱싱되도록 서브프레임 내의 가용한 데이터 셀들의 총 수를 N_{cell} 이라 하고, d_i 를 인덱스 $i(0 \leq i < N_{\text{cell}})$ 를 갖는 데이터 셀을 위한 더미 모듈레이션 값이라고 하고, $b_i(0 \leq i < N_{\text{cell}})$ 이 도 31을 통하여 설명한 스크램블링 시퀀스의 i 번째 값을 나타낸다고 할 수 있다.
- [860] 이 때, i 번째 데이터 셀($0 \leq i < N_{\text{cell}}$)을 위한 더미 모듈레이션 값의 실수값은 $(1 - 2 * b_i)$ 일 수 있고, 허수값은 0일 수 있다. 즉, 더미 모듈레이션 값들은 스크램블링 시퀀스의 값을 180도 위상차를 갖는 두 개의 페이즈들(two phases which are separated by 180 degrees) 중 하나로 맵핑하여 생성될 수 있다.
- [861] 서브프레임 내의 각각의 N_{cell} 가용 데이터 셀들은 피지컬 레이어 파이프 데이터가 서브프레임에 멀티플렉싱되기 전에 상응하는 더미 모듈레이션 값들을 가지고 있을 수 있다. 더미 모듈레이션 값들의 삽입에 이어서, 현재 서브프레임에 속하는 피지컬 레이어 파이프 데이터가 해당 피지컬 레이어 파이프 데이터에 할당된 상응하는 데이터 셀들에 맵핑되고, 그 데이터 셀들에 이전에 할당된 더미 모듈레이션 값들을 오버라이트할 수 있다.
- [862] 하나의 인핸스드 레이어 피지컬 레이어 파이프에 멀티플렉싱되는 복수개의 코어 레이어 피지컬 레이어 파이프들의 경우뿐만 아니라, 레이어드 디비전 멀티플렉싱이 적용되지 않는 경우의 코어 레이어 피지컬 레이어 파이프들에 대해서도 디코딩 타이밍 불일치가 문제될 수 있다.
- [863] 도 37은 하나의 완전한 전송 프로덕트가 복수개의 피지컬 레이어 피지컬 레이어 파이프들로 이루어진 경우를 나타낸 도면이다.
- [864] 도 37을 참조하면, 하나의 완전한 전송 프로덕트가 3개의 코어 레이어 피지컬 레이어 파이프들(PLP #0, PLP #1, PLP #2)을 포함하는 것을 알 수 있다. 이 때, 하나의 완전한 전송 프로덕트는 하나의 서비스(SERVICE A)에 상응하는 것일 수 있다. 이 때, 코어 레이어 피지컬 레이어 파이프들(PLP #0, PLP #1, PLP #2)은 레이어드 디비전 멀티플렉싱되지 않은 것들일 수 있다.
- [865] 이 때, 첫 번째 코어 레이어 피지컬 레이어 파이프(PLP #0)는 하나의 서비스(SERVICE A)의 비디오 데이터에 상응하고, 두 번째 코어 레이어 피지컬 레이어 파이프(PLP #1)는 상기 서비스(SERVICE A)의 첫 번째 오디오 데이터에 상응하고, 세 번째 코어 레이어 피지컬 레이어 파이프(PLP #2)는 상기

서비스(SERVICE A)의 두 번째 오디오 데이터에 상응할 수 있다.

- [866] 하나의 완전한 전송 프로덕트를 구성하는 코어 레이어 피지컬 레이어 파이프마다 상응하는 데이터의 특성이 상이하므로, 첫 번째 코어 레이어 피지컬 레이어 파이프(PLP #0)는 CDL 오프(OFF)인 하이브리드 타임 인터리빙 모드에 상응하고, 두 번째 코어 레이어 피지컬 레이어 파이프(PLP #1)는 CDL 온(ON)인 하이브리드 타임 인터리빙 모드에 상응하고, 세 번째 코어 레이어 피지컬 레이어 파이프(PLP #2)는 CDL 온(ON)인 타임 인터리빙 모드에 상응할 수 있다. 이 때, 도 37에 도시된 바와 같이 코어 레이어 피지컬 레이어 파이프(PLP #1)의 타임 인터리빙 유닛(N_{IW})은 3이고, 코어 레이어 피지컬 레이어 파이프(PLP #2)의 타임 인터리빙 유닛(N_{IW})은 4일 수 있다.
- [867] 하나의 완전한 전송 프로덕트를 이루는 코어 레이어 피지컬 레이어 파이프들 중 일부는 인트라-서브프레임 인터리빙에 상응하고 일부는 인터-서브프레임 인터리빙에 상응하는 경우, 인트라-서브프레임 인터리빙에 상응하는 코어 레이어 피지컬 레이어 파이프는 즉시 디코딩되고, 인터-서브프레임 인터리빙에 상응하는 코어 레이어 피지컬 레이어 파이프는 다른 서브프레임을 기다려야 할 수 있다.
- [868] 나아가, 코어 레이어 피지컬 레이어 파이프들이 인터-서브프레임 인터리빙을 사용하는 경우에도 이 코어 레이어 피지컬 레이어 파이프들의 타임 인터리빙 유닛(N_{IW})이 상이하면 디코딩 타이밍이 달라지게 된다.
- [869] 도 37에 도시된 예에서, 첫 번째 피지컬 레이어 파이프(PLP #0)는 인트라 서브프레임 인터리빙에 상응하므로 즉시 디코딩되고, 두 번째 피지컬 레이어 파이프(PLP #1)는 인터-서브프레임 인터리빙에 상응하고 타임 인터리빙 유닛(N_{IW})이 3이므로 2 서브프레임들을 기다려야 하고, 세 번째 피지컬 레이어 파이프(PLP #2)는 인터-서브프레임 인터리빙에 상응하고 타임 인터리빙 유닛(N_{IW})이 4이므로 3 서브프레임들을 기다려야 한다.
- [870] 도 37에 도시된 예에서, 3개의 코어 레이어 피지컬 레이어 파이프들이 다른 디코딩 타이밍을 가진다. 이 때, 서비스(SERVICE A)를 위해 첫 번째 코어 레이어 피지컬 레이어 파이프(PLP #0) 및 두 번째 코어 레이어 피지컬 레이어 파이프(PLP #1)가 세 번째 코어 레이어 피지컬 레이어 파이프(PLP #2)와 동기화되어야 하므로 이들이 3 서브프레임들을 기다려야 하고 이는 불필요한 디코딩 복잡도를 야기한다.
- [871] 디코딩 복잡도를 줄이기 위해, 하나의 특정 완전한 전송 프로덕트(a particular complete delivered product)가 레이어드-다비전 멀티플렉싱되지 않는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함하고 이 코어 레이어 피지컬 레이어 파이프들 전부가 하이브리드 타임 인터리빙 모드를 이용하는 경우, 이 코어 레이어 피지컬 레이어 파이프들 전부가 인트라-서브프레임 인터리빙 모드를 사용하거나, 이 코어 레이어 피지컬 레이어 파이프들 전부가 인터-서브프레임 인터리빙 모드를 사용할 수 있다. 즉, 이 코어 레이어 피지컬 레이어 파이프들

전부가 동일한 L1D_plp-HTI_inter_subframe (L1D_plp-HTI_inter_subframe=0은 인트라-서브프레임 인터리빙을 나타내고, L1D_plp-HTI_inter_subframe=1은 인터-서브프레임 인터리빙을 나타냄) 값을 가질 수 있다.

[872] 이 코어 레이어 피지컬 레이어 파이프들을 위해 인터-서브프레임 인터리빙이 사용되는 경우(L1D_plp-HTI_inter_subframe=1), 이 코어 레이어 피지컬 레이어 파이프들 전부는 동일한 타임 인터리빙 유닛(N_{IW})을 사용할 수 있다.

[873] 하나의 특정 완전한 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되지 않는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함하고 이 코어 레이어 피지컬 레이어 파이프들 중 적어도 하나가 노 타임 인터리빙 모드를 사용하는 경우, 이 코어 레이어 피지컬 레이어 파이프들 중 하이브리드 타임 인터리빙 모드를 사용하는 것들은 모두 인트라-서브프레임 인터리빙 모드(L1D_plp-HTI_inter_subframe=0)을 사용할 수 있다. 즉, 하나의 특정 완전한 피지컬 레이어 파이프가 레이어드 디비전 멀티플렉싱되지 않는 복수개의 코어 레이어 피지컬 레이어 파이프들을 포함하고 이 코어 레이어 피지컬 레이어 파이프들 중 적어도 하나가 노 타임 인터리빙 모드를 사용하는 경우, 이 코어 레이어 피지컬 레이어 파이프들 중 하이브리드 타임 인터리빙 모드에 상응하는 모든 피지컬 레이어 파이프들에 대하여 인터-서브프레임 인터리빙 모드의 사용이 금지될 수 있다.

[874] 도 38은 도 3 또는 도 7에 도시된 타임 인터리버의 일 예를 나타낸 블록도이다.

[875] 도 38을 참조하면, 본 발명의 일실시예에 따른 타임 인터리버는 셀 인터리버(3810), 트위스티드 블록 인터리버(3820) 및 컨벌루션서널 딜레이 라인(3830)을 포함한다.

[876] 셀 인터리버(3810)는 타임 인터리빙 블록 내의 셀들을 인터리빙한다.

[877] 이 때, 셀 인터리버(3810)는 FEC 블록들의 입력 셀들을 타임 인터리빙 블록들로 배열할 수 있다. 이 때, 타임 인터리빙 블록은 하나 이상의 FEC 블록들(one or more FEC blocks)로 이루어질 수 있다.

[878] 이 때, 타임 인터리빙 블록은 셀 인터리버(3810), 트위스티드 블록 인터리버(3820) 및 컨벌루션서널 딜레이 라인(3830)의 동작을 위한 기본 단위일 수 있다.

[879] 이 때, 타임 인터리빙 블록들은 서로 다른 개수의 FEC 블록들을 포함할 수 있다.

[880] 이 때, 셀 인터리버(3810)는 각 FEC 블록 내의 셀들을 인터리빙할 수 있다.

[881] 이 때, 셀 인터리버(3810)는 FEC 블록을 메모리에 쓰고, 이를 수도-랜덤하게(pseudo-randomly) 읽어서 셀 인터리빙을 수행할 수 있다.

[882] 실시예에 따라, 셀 인터리버(3810)는 생략될 수도 있다.

[883] 트위스티드 블록 인터리버(3820)는 타임 인터리빙 블록들에 상응하는 인트라-서브프레임 인터리빙을 수행한다.

[884] 컨벌루션서널 딜레이 라인(3830)은 트위스티드 블록 인터리버(3820)의 출력을

이용하여 인터-서브프레임 인터리빙을 수행한다. 즉, 컨벌루셔널 딜레이 라인(3830)은 블록-인터리빙된 타임 인터리빙 블록들을 멀티플 서브프레임들에 걸쳐서 확산(spread)시킨다.

- [885] 이 때, 트위스티드 블록 인터리버(3820)는 컬럼-방향(column-wise) 쓰기 동작 및 대각-방향(diagonal-wise) 읽기 동작을 수행하여 상기 인터-서브프레임 인터리빙을 수행할 수 있다.
- [886] 이 때, 컨벌루셔널 딜레이 라인(3830)은 상기 트위스티드 블록 인터리버(3820)로부터 가상 셀들(virtual cells)을 제외한 데이터 셀들(data cells)만을 읽어올 수 있다.
- [887] 이 때, 컨벌루셔널 딜레이 라인(3830)은 상기 데이터 셀들의 각 행이 상기 트위스티드 블록 인터리버(3820)로부터 쓰여진 후, 다음 브랜치로 스위치들이 움직이기 전에 새로운 가상 셀들(new virtual cells)을 저장할 수 있다.
- [888] 이 때, 새로운 가상 셀들은 각 브랜치에서 인터리빙 프레임의 타임 인터리빙 블록 내의 FEC 블록들의 수의 최대값($N_{FEC_TL_MAX}$)에서 상기 인터리빙 프레임의 상기 타임 인터리빙 블록 내의 FEC 블록들의 수(N_{FEC_TL})를 뺀 개수에 상응하는 것일 수 있다.
- [889] 이 때, 새로운 가상 셀들은 상기 타임 인터리빙 장치의 출력으로 출력되지 않을 수 있다.
- [890] 이 때, 컨벌루셔널 딜레이 라인(3830)은 타임 인터리빙 유닛(N_{IU})에 상응하는 브랜치들을 포함하고, 상기 브랜치들 중 첫 번째 브랜치를 제외한 나머지 브랜치들은 하나 이상의 FIFO 레지스터를 포함할 수 있다.
- [891] 이 때, 컨벌루셔널 딜레이 라인(3830)은 상기 FIFO 레지스터에 저장되어 있던 초기값들 중 일부만을 출력할 수 있다.
- [892] 이 때, 초기값들 중 일부는 상기 나머지 브랜치들 각각에 대하여, 하나의 초기화 셀(initialization cell)에 상응하는 것일 수 있다.
- [893] 도 39는 도 38에 도시된 트위스티드 블록 인터리버의 쓰기 동작을 나타낸 도면이다.
- [894] 도 39를 참조하면, 타임 인터리빙 블록에 포함된 FEC 블록들의 셀들이 컬럼-방향(column-wise) 쓰기 동작에 의하여 메모리에 쓰여지는 것을 알 수 있다.
- [895] 도 40은 도 38에 도시된 트위스티드 블록 인터리버의 읽기 동작을 나타낸 도면이다.
- [896] 도 40을 참조하면, 타임 인터리빙 블록에 포함된 FEC 블록들의 셀들이 대각-방향(diagonal-wise) 읽기 동작에 의하여 메모리로부터 리드되는 것을 알 수 있다.
- [897] 도 39 및 도 40에 도시된 예에서, $N_{FEC_TL_MAX}$ 는 인터리빙 프레임의 타임 인터리빙 블록 내의 FEC 블록들의 수의 최대값을 나타내고, N_r 은 각 FEC 블록에 포함된 셀들의 수를 나타낸다.
- [898] 도 39 및 40을 통하여 살펴본 바와 같이, 트위스티드 블록 인터리버는 컬럼-방향(column-wise) 쓰기 동작 및 대각-방향(diagonal-wise) 읽기 동작을

수행하여 상기 인트라-서브프레임 인터리빙을 수행할 수 있다.

[899] 이 때, 트위스티드 블록 인터리버는 도 40에 도시된 바와 같이 리딩 프로세스 동안 가상 FEC 셀들을 스킵(skip)할 수 있다.

[900] 도 41은 도 38에 도시된 컨벌루셔널 딜레이 라인의 일 예를 나타낸 블록도이다.

[901] 도 41을 참조하면, 본 발명의 일실시예에 따른 컨벌루셔널 딜레이 라인은 N_{IU} 개의 브랜치들로 이루어진다. 즉, 컨벌루셔널 딜레이 라인은 타임 인터리빙 블록을 N_{IU} 개의 인터리빙 유닛들로 나누고(split), 이 인터리빙 유닛들을 N_{IU} 서브프레임들에 걸쳐서 분산시킨다.

[902] 스위치 S_0 는 트위스티드 블록 인터리버를 컨벌루셔널 딜레이 라인에 연결시킬 수 있다. 스위치 S_1 은 컨벌루셔널 딜레이 라인을 도 3이나 도 7에 도시된 프레임 빌더와 같은 프레임 블록과 연결시킬 수 있다.

[903] 이 때, 스위치들(S_0 및 S_1)의 움직임은 동기될 수 있다. 즉, 스위치들은 항상 컨벌루셔널 딜레이 라인의 동일한 브랜치들을 포인팅할 수 있다.

[904] 스위치들은 컨벌루셔널 딜레이 라인의 마지막 브랜치에서 다시 첫 번째 브랜치로 이동할 수 있다.

[905] 두 스위치들(S_0 및 S_1)은 N_{FEC_TI} 데이터 셀들과 $(N_{FEC_TI_MAX} - N_{FEC_TI})$ 가상 셀들로 이루어진 $N_{FEC_TI_MAX}$ 셀들이 컨벌루셔널 딜레이 라인으로 쓰여졌을 때, 컨벌루셔널 딜레이 라인의 브랜치 n ($0 \leq n < N_{IU}-1$ 인 정수)에서 바로 후속하는 브랜치 $n+1$ 으로 움직일 수 있다. 이 때, $N_{FEC_TI_MAX}$ 는 인터리빙 프레임의 타임 인터리빙 블록 내의 FEC 블록들의 수의 최대값을 나타내고, N_{FEC_TI} 는 인터리빙 프레임의 타임 인터리빙 블록 내의 데이터에 상응하는 FEC 블록들의 개수를 나타내고, N_{IU} 는 타임 인터리빙 유닛을 나타낼 수 있다. 이 때, $(N_{FEC_TI_MAX} - N_{FEC_TI})$ 가상 셀들은 트위스티드 블록 인터리버로부터 읽어진 것이 아니라 컨벌루셔널 딜레이 라인을 위한 새로운 가상 셀들일 수 있다. 즉, 새로운 가상 셀들은 트위스티드 블록 인터리버와는 무관한 것일 수 있고, 컨벌루셔널 딜레이 라인에서 새롭게 생성된 것일 수 있다.

[906] 이 때, 두 스위치들(S_0 및 S_1)은 매 서브프레임의 시작에서 컨벌루셔널 딜레이 라인의 첫 번째 브랜치(브랜치 0)로 리셋될 수 있다.

[907] 이 때, 가상 셀들은 트위스티드 블록 인터리버로부터 읽히지 않을 수 있고, 컨벌루셔널 딜레이 라인으로 전달되지 않을 수 있다.

[908] 그러나, N_{FEC_TI} 데이터 셀들이 트위스티드 블록 인터리버로부터 컨벌루셔널 딜레이 라인으로 쓰여진 후 스위치들(S_0 및 S_1)이 컨벌루셔널 딜레이 라인의 다음 브랜치로 이동하기 전에, 컨벌루셔널 딜레이 라인을 위한 $(N_{FEC_TI_MAX} - N_{FEC_TI})$ 새로운 가상 셀들이 컨벌루셔널 딜레이 라인으로 입력될 수 있다.

[909] 이 때, 가상 셀들은 트위스티드 블록 인터리버로부터도, 컨벌루셔널 딜레이 라인으로부터도 타임 인터리버의 출력으로 쓰여지지 않을 수 있다.

[910] 도 42는 도 38에 도시된 트위스티드 블록 인터리버의 동작의 일 예를 나타낸 도면이다.

- [911] 도 42를 참조하면, FEC 블록들이 포함하는 셀들의 수(N_i)가 8이고, $N_{FEC_TL_MAX}$ 가 5이고, N_{FEC_TL} 가 3이고, N_{IU} 가 2인 경우의 예가 도시되어 있는 것을 알 수 있다.
- [912] 도 42에 도시된 예에서 두 개의 컬럼에 해당하는 가상 셀들이 트위스티드 블록 인터리버에 저장되고, 컬럼 방향 쓰기 및 대각 방향 읽기 동작을 통해 트위스티드 블록 인터리빙이 수행된다.
- [913] 도 42에 도시된 예에서 트위스티드 블록 인터리버의 출력 메모리에는 가상 셀들이 포함된다.
- [914] 도 43은 도 38에 도시된 컨벌루셔널 딜레이 라인의 동작의 일 예를 나타낸 도면이다.
- [915] 도 43을 참조하면, N_{IU} 가 2인 경우이므로 컨벌루셔널 딜레이 라인에 2개의 브랜치들이 존재하고, 두 번째 브랜치에 FIFO 레지스터가 포함된 것을 알 수 있다.
- [916] 도 43에 도시된 예에서는 트위스티드 블록 인터리버로부터 읽혀진 가상 셀들이 컨벌루셔널 딜레이 라인으로 전달된다.
- [917] 특히, 도 43은 N_{IU} 가 2인 경우의 첫 번째 서브프레임 타이밍을 나타내는데, 이 타이밍에는 두 번째 브랜치에 상응하는 데이터들은 모두 FIFO 레지스터에 저장되어 있던 값들인 것을 알 수 있다.
- [918] 이미 설명한 바와 같이, 전송 신호에 가상 셀은 포함되지 않을 수 있다.
- [919] 따라서, 도 43에 도시된 메모리의 왼쪽부터 쓰여지고 읽혀진다고 하면, 첫 번째 서브프레임(서브프레임 #1)은 "2, 11, 20, 10, 19, 6, 5, 14, 23, 8, 22, 16"을 전송하고, 두 번째 서브프레임(서브프레임 #2)은 "7, 1, 15, 0, 9, 18, 17, 4, 13, 3, 12, 21"을 전송한다고 볼 수 있다.
- [920] 도 43에 도시된 예에서는 이전 타이밍(previous timing)에 FIFO 레지스터에 저장되어 있다가 출력되는 $I_0, I_1, \dots, I_9$ 가 컨벌루셔널 딜레이 라인에 상응하는 메모리의 아래 쪽(5행~8행)에 저장되는 것으로 도시되어 있으나, 실시예에 따라 컨벌루셔널 딜레이 라인에 상응하는 메모리의 2행, 4행, 6행 및 8행에 저장될 수도 있다.
- [921] 도 44는 도 43에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [922] 도 44를 참조하면, 디코딩 과정에 해당하는 타임 디인터리버는 FIFO 레지스터를 통하여 두 개의 서브프레임들로부터 도 44에 도시된 메모리 데이터(CDL memory state including virtual cells)를 복원할 수 있다. 나아가, 타임 디인터리버는 메모리 데이터로부터 트위스티드 블록 디인터리버로 입력되는 데이터(writing order to TBDI memory)를 복원할 수 있다.
- [923] 도 44에 도시된 바와 같이, 트위스티드 블록 인터리버로부터 컨벌루셔널 딜레이 라인으로 가상 셀들이 전달되는 경우에는 수신기에서 가상 셀들이 흩어져 있는 것을 알 수 있다. 이 때, 수신기는 가상 셀들의 쓰기 과정을 알아야 한다.

- [924] 즉, 수신기의 역 컨벌루셔널 딜레이 라인은 가상 셀들의 위치 정보를 필요로 하고 이는 디코딩에서의 복잡도와 메모리를 증가시키는 원인이 된다.
- [925] 도 45는 도 42에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [926] 도 45를 참조하면, 가상 셀들의 위치를 알아야 정확한 트위스티드 블록 디인터리빙이 가능한 것을 알 수 있다. 즉, 수신기의 타임 디인터리버에서 정확한 트위스티드 블록 디인터리빙을 수행하려면 가상 셀들의 위치를 알거나 적어도 각 행에 포함되어야 할 가상 셀들의 개수를 알고 있어야 한다.
- [927] 이와 같이 도 42 내지 도 45를 통해서 설명한 실시예에서는 타임 디인터리버에서 가상 셀들의 위치를 알고 있어야 하므로 디코딩 복잡도가 증가하는 문제가 있다.
- [928] 도 46은 도 38에 도시된 트위스티드 블록 인터리버의 동작의 다른 예를 나타낸 도면이다.
- [929] 도 46을 참조하면, 도 42에 도시된 예와 달리, 도 46에 도시된 예에서는 트위스티드 블록 인터리버로부터의 읽기 프로세스 동안 가상 FEC 블록들에 속하는 가상 셀들이 스킵되는 것을 알 수 있다.
- [930] 즉, 도 46에 도시된 예에서 트위스티드 블록 인터리버는 데이터에 상응하는 데이터 셀들만을 출력하고, 가상 셀들은 출력하지 않을 수 있다.
- [931] 도 47은 도 38에 도시된 컨벌루셔널 딜레이 라인의 동작의 다른 예를 나타낸 도면이다.
- [932] 도 47을 참조하면, 도 47에 도시된 예에서는 가상 셀들이 트위스티드 블록 인터리버로부터 컨벌루셔널 딜레이 라인으로 쓰여지지 않는 것을 알 수 있다.
- [933] 즉, 컨벌루셔널 딜레이 라인은 트위스티드 블록 인터리버로부터 가상 셀들을 제외한 데이터 셀들만을 읽어와서 저장하고, 그 후에 새로운 가상 셀을 생성하여 저장함으로써 가상 셀들이 분산되지 않도록 할 수 있다.
- [934] 이 때, 메모리가 FIFO(First-In-First-Out) 방식으로 동작할 때, 도 47에 도시된 데이터들은 왼쪽에서부터 먼저 읽히고 쓰여지는 것으로 볼 수 있다. 다만, 도 47에 도시된 예에서 X로 표시된 가상 셀들은 메모리에 가장 나중에 쓰여지는 것일 수 있다. 즉, 도 47에 도시된 예에서 컨벌루셔널 딜레이 라인에 해당하는 메모리에 쓰여지는 순서는 2, 11, 20, X, X, 19, 6, 15, X, X, 5, 14, 23, X, X, ...일 수 있다.
- [935] 이 때, 데이터 셀들이 트위스티드 블록 인터리버로부터 컨벌루셔널 딜레이 라인으로 쓰여질 때, 가상 셀들은 컨벌루셔널 딜레이 라인의 맨 왼쪽의 ($N_{FEC_TL_MAX} - N_{FEC_TL}$) 컬럼에 상응하여 저장될 수 있다.
- [936] 도 47도 도 43과 마찬가지로 N_{LU} 가 2인 경우의 첫 번째 서브프레임 타이밍을 나타내는데, 이 타이밍에는 두 번째 브랜치에 상응하는 데이터들은 모두 FIFO 레지스터에 저장되어 있던 값들인 것을 알 수 있다.
- [937] 이 때, 전송 신호에 가상 셀은 포함되지 않을 수 있다.

- [938] 따라서, 도 47에 도시된 메모리의 왼쪽부터 쓰여지고 읽혀진다고 하면(가상 셀 제외), 첫 번째 서브프레임(서브프레임 #1)은 "2, 11, 20, 19, 6, 15, 5, 14, 23, 13, 22, 16"을 전송하고, 두 번째 서브프레임(서브프레임 #2)은 "7, 1, 10, 0, 9, 18, 8, 17, 4, 3, 12, 21"을 전송한다고 볼 수 있다.
- [939] 도 47에 도시된 예에서는 이전 타이밍(previous timing)에 FIFO 레지스터에 저장되어 있다가 출력되는 $I_0, I_1, \dots, I_{19}$ 가 컨벌루셔널 딜레이 라인에 상응하는 메모리의 아래 쪽(5행~8행)에 저장되는 것으로 도시되어 있으나, 실시예에 따라 컨벌루셔널 딜레이 라인에 상응하는 메모리의 2행, 4행, 6행 및 8행에 저장될 수도 있다.
- [940] 도 43 및 도 47에 도시된 예에서 컨벌루셔널 딜레이 라인에 상응하는 메모리는 설명의 편의를 위해서 도시한 것으로, 실시예에 따라 컨벌루셔널 딜레이 라인에는 별도의 출력 메모리가 포함되지 않을 수도 있다.
- [941] 도 48은 도 47에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [942] 도 48을 참조하면, 디코딩 과정에 해당하는 타임 디인터리버는 FIFO 레지스터를 통하여 두 개의 서브프레임들로부터 도 48에 도시된 메모리 데이터(CDL memory state including virtual cells)를 복원할 수 있다. 나아가, 타임 디인터리버는 메모리 데이터로부터 트위스티드 블록 디인터리버로 입력되는 데이터(writing order to TBDI memory)를 복원할 수 있다. 도 44의 경우와 달리, 도 48에 도시된 예에서는 역 컨벌루셔널 딜레이 라인의 디코딩 과정에서 가상 셀들의 위치가 알려지고, 가상 셀들이 흩어지지 않는 것을 알 수 있다.
- [943] 따라서, 도 44의 경우보다 도 48의 경우에 디코딩 복잡도가 낮아진다.
- [944] 도 49는 도 46에 도시된 동작에 상응하는 디코딩 과정의 일 예를 나타낸 도면이다.
- [945] 도 49를 참조하면, 가상 셀들을 제외하고 트위스티드 블록 디인터리빙의 컬럼-방향(column-wise) 쓰기 동작 및 대각-방향(diagonal-wise) 읽기 동작의 역과정이 수행되므로 도 45의 경우보다 간단하게 디인터리빙이 가능한 것을 알 수 있다.
- [946] 도 50은 컨벌루셔널 딜레이 라인에 포함된 FIFO 레지스터 초기값들을 나타낸 도면이다.
- [947] 도 50을 참조하면, N_{lv} 가 2인 경우의 첫 번째 서브프레임 타이밍에 두 번째 브랜치에 상응하는 데이터들은 모두 FIFO 레지스터에 저장되어 있던 값들(5010)인 것을 알 수 있다.
- [948] 이 때, 컨벌루셔널 딜레이 라인은 FIFO 레지스터에 저장되어 있던 초기값들 중 일부만을 출력할 수 있다.
- [949] 이 때, 초기값들 중 일부는 타임 인터리빙 유닛(N_{lv})에 상응하는 브랜치들 중 첫 번째 브랜치를 제외한 나머지 브랜치들 각각에 대하여, 하나의 초기화 셀(initialization cell)에 상응하는 것일 수 있다.

- [950] 즉, FIFO 레지스터에 저장되어 있던 값들(5010) 중 행별로 하나씩의 셀들만이 출력되고 나머지 셀들은 출력되지 않을 수 있다.
- [951] 실시예에 따라, 트위스티드 블록 인터리버(TBI) 및 컨벌루셔널 딜레이 라인(CDL)에 상응하는 메모리들이 FIFO 방식으로 동작하고, 이 메모리들에 대한 읽기 및 쓰기가 오른쪽부터 왼쪽으로 수행될 수 있다. 이 경우, 도 50에 도시된 것과 달리 트위스티드 블록 인터리버 메모리의 첫 행은 오른쪽부터 왼쪽으로 2, 11 및 20을 저장하고, 두 번째 행은 오른쪽부터 왼쪽으로 7, 1, 10을 저장하고, 세 번째 행은 오른쪽부터 왼쪽으로 19, 6, 15를 저장하고, 네 번째 행은 오른쪽부터 왼쪽으로 0, 9, 18을 저장하고, 다섯 번째 행은 오른쪽부터 왼쪽으로 5, 14, 23을 저장하고, 여섯 번째 행은 오른쪽부터 왼쪽으로 8, 17, 4를 저장하고, 일곱 번째 행은 오른쪽부터 왼쪽으로 13, 22, 16을 저장하고, 여덟 번째 행은 오른쪽부터 왼쪽으로 3, 12, 21을 저장할 수 있다.
- [952] 이 때, 도 50에 도시된 FIFO 레지스터에 대한 읽기 및 쓰기도 오른쪽부터 왼쪽으로 수행될 수 있다. 이 때, FIFO 레지스터의 첫 행이 오른쪽부터 왼쪽으로 I_0 , X, X, X, X로 초기화되고, 두 번째 행이 오른쪽부터 왼쪽으로 I_1 , X, X, X, X로 초기화되고, 세 번째 행이 오른쪽부터 왼쪽으로 I_2 , X, X, X, X로 초기화되고, 네 번째 행이 오른쪽부터 왼쪽으로 I_3 , X, X, X, X로 초기화될 수 있다.
- [953] 도 50에 도시된 예에서, 컨벌루셔널 딜레이 라인에 상응하는 메모리는 컨벌루셔널 딜레이 라인의 출력을 설명하기 위한 개념적인 것일 수 있고, 실시예에 따라 컨벌루셔널 딜레이 라인에는 별도의 출력 메모리가 포함되지 않을 수도 있다.
- [954] 첫 번째 서브프레임에 상응하는 타이밍에, 컨벌루셔널 딜레이 라인에 상응하는 메모리(CDL memory)에 트위스티드 블록 인터리버에 상응하는 메모리의 첫 번째 행에 저장되어 있던 데이터(20, 11, 2), 세 번째 행에 저장되어 있던 데이터(15, 6, 19), 다섯 번째 행에 저장되어 있던 데이터(23, 14, 5), 일곱 번째 행에 저장되어 있던 데이터(16, 22, 13) 및 FIFO 레지스터에 초기화되어 있던 값들이 저장될 수 있다. 이 때, 컨벌루셔널 딜레이 라인에 상응하는 메모리에 FIFO 레지스터에 초기화되어 있던 데이터가 저장될 수 있다. 즉, 첫 번째 서브프레임에 상응하는 타이밍에, 컨벌루셔널 딜레이 라인에 상응하는 메모리의 첫 번째 행에 오른쪽부터 왼쪽으로 2, 11, 20이 저장되고 새로운 두 개의 가상 셀들 X, X가 저장될 수 있다. 컨벌루셔널 딜레이 라인에 상응하는 메모리의 세 번째 행에 오른쪽부터 왼쪽으로 19, 6, 15가 저장되고 새로운 두 개의 가상 셀들 X, X가 저장될 수 있다. 컨벌루셔널 딜레이 라인에 상응하는 메모리의 다섯 번째 행에 오른쪽부터 왼쪽으로 5, 14, 23이 저장되고 새로운 두 개의 가상 셀들 X, X가 저장될 수 있다. 컨벌루셔널 딜레이 라인에 상응하는 메모리의 일곱 번째 행에 오른쪽부터 왼쪽으로 13, 22, 16, X, X가 저장될 수 있다.
- [955] 이 때, 컨벌루셔널 딜레이 라인에 상응하는 메모리의 두 번째 행에는 맨 오른쪽에 하나의 초기화 셀(I_0)이 저장되고, 이후 4개의 가상 셀들이 저장될 수

있다. 이 때, 컨벌루셔널 딜레이 라인에 상응하는 메모리의 네 번째 행에는 맨 오른쪽에 하나의 초기화 셀(I_1)이 저장되고, 이후 4개의 가상 셀들이 저장될 수 있다. 이 때, 컨벌루셔널 딜레이 라인에 상응하는 메모리의 여섯 번째 행에는 맨 오른쪽에 하나의 초기화 셀(I_2)이 저장되고, 이후 4개의 가상 셀들이 저장될 수 있다. 이 때, 컨벌루셔널 딜레이 라인에 상응하는 메모리의 여덟 번째 행에는 맨 오른쪽에 하나의 초기화 셀(I_3)이 저장되고, 이후 4개의 가상 셀들이 저장될 수 있다.

- [956] 즉, 첫 번째 서브프레임에 상응하는 타이밍에, 컨벌루셔널 딜레이 라인에 상응하는 메모리의 첫 번째 행은 오른쪽부터 왼쪽으로 2, 11, 20, X, X를 저장하고, 두 번째 행은 오른쪽부터 왼쪽으로 I_0 , X, X, X, X를 저장하고, 세 번째 행은 오른쪽부터 왼쪽으로 19, 6, 15, X, X를 저장하고, 네 번째 행은 오른쪽부터 왼쪽으로 I_1 , X, X, X, X를 저장하고, 다섯 번째 행은 오른쪽부터 왼쪽으로 5, 14, 23, X, X를 저장하고, 여섯 번째 행은 오른쪽부터 왼쪽으로 I_2 , X, X, X, X를 저장하고, 일곱 번째 행은 오른쪽부터 왼쪽으로 13, 22, 16, X, X를 저장하고, 여덟 번째 행은 오른쪽부터 왼쪽으로 I_3 , X, X, X, X를 저장할 수 있다. 이 때, X는 가상 셀을 나타낼 수 있다. 이 때, 도 50에 도시된 FIFO 레지스터의 첫 번째 행은 오른쪽부터 왼쪽으로 7, 1, 10, X, X를 저장하고, 두 번째 행은 오른쪽부터 왼쪽으로 0, 9, 18, X, X를 저장하고, 세 번째 행은 오른쪽부터 왼쪽으로 8, 17, 4, X, X를 저장하고, 네 번째 행은 오른쪽부터 왼쪽으로 3, 12, 21, X, X를 저장할 수 있다.
- [957] 이 때, 컨벌루셔널 딜레이 라인에 상응하는 메모리에 저장된 가상 셀은 타임 인터리버 출력으로 출력되지 않을 수 있다. 즉, 첫 번째 서브프레임은 "2, 11, 20, I_0 , 19, 6, 15, I_1 , 5, 14, 23, I_2 , 13, 22, 16, I_3 "을 전송하고, 두 번째 서브프레임은 "... , 7, 1, 10, ..., 0, 9, 18, ..., 8, 17, 4, ..., 3, 12, 21"을 전송할 수 있다. 이 때, " I_0 , I_1 , I_2 , I_3 "이 전송한 초기값들 중 일부에 상응하는 것일 수 있다. 이 때, "..."은 트위스티드 블록 인터리버로부터의 다음 타임 인터리빙 블록 출력에 상응하는 것일 수 있다.
- [958] 도 51은 도 8 또는 도 12에 도시된 타임 디인터리버의 일 예를 나타낸 블록도이다.
- [959] 도 51을 참조하면, 타임 디인터리버는 역 컨벌루셔널 딜레이 라인(5110), 트위스티드 블록 디인터리버(5120) 및 셀 디인터리버(5130)를 포함한다.
- [960] 역 컨벌루셔널 딜레이 라인(5110)은 도 38에 도시된 컨벌루셔널 딜레이 라인의 역과정을 수행한다.
- [961] 이 때, 역 컨벌루셔널 딜레이 라인(5110)은 송신 측의 컨벌루셔널 딜레이 라인에서 새롭게 부가된 가상 셀 위치를 예측하고, 예측된 가상 셀 위치에 기반하여 상기 역과정을 수행할 수 있다.
- [962] 트위스티드 블록 디인터리버(5120)는 도 38에 도시된 트위스티드 블록 인터리버의 역과정을 수행한다.
- [963] 이 때, 트위스티드 블록 디인터리버(5120)는 데이터 셀들을 복원한 후 새롭게

가상 셀들을 생성하여 저장할 수 있다.

- [964] 이 때, 트위스티드 블록 디인터리버(5120)는 송신 측의 컨벌루셔널 딜레이 라인에서 새롭게 부가된 가상 셀 위치를 예측하고, 예측된 가상 셀 위치를 고려하여 상기 역과정을 수행할 수 있다.
- [965] 이 때, 트위스티드 블록 디인터리버(5120)는 가상 셀들을 제외하고 트위스티드 블록 디인터리빙의 컬럼-방향(column-wise) 쓰기 동작 및 대각-방향(diagonal-wise) 읽기 동작의 역과정을 수행할 수 있다.
- [966] 셀 디인터리버(5130)는 도 38에 도시된 셀 인터리버의 역과정을 수행한다.
- [967] 도 52는 본 발명의 일실시예에 따른 타임 인터리빙 방법을 나타낸 동작 흐름도이다.
- [968] 도 52를 참조하면, 본 발명의 일실시예에 따른 타임 인터리빙 방법은, 타임 인터리빙 블록 내의 셀들에 상응하는 셀 인터리빙을 수행한다(S5210).
- [969] 실시예에 따라, 단계(S5210)는 생략될 수도 있다.
- [970] 또한, 본 발명의 일실시예에 따른 타임 인터리빙 방법은, 인트라-서브프레임 인터리빙에 상응하는 트위스티드 블록 인터리빙을 수행한다(S5220).
- [971] 이 때, 단계(S5220)는 컬럼-방향(column-wise) 쓰기 동작 및 대각-방향(diagonal-wise) 읽기 동작을 이용하여 트위스티드 블록 인터리빙을 수행할 수 있다.
- [972] 또한, 본 발명의 일실시예에 따른 타임 인터리빙 방법은, 상기 트위스티드 블록 인터리빙의 출력을 이용하여 인터-서브프레임 인터리빙을 수행한다(S5230).
- [973] 이 때, 단계(S5230)는 컨벌루셔널 딜레이 라인을 이용하여 수행될 수 있다.
- [974] 이 때, 컨벌루셔널 딜레이 라인은 상기 트위스티드 블록 인터리빙에 상응하는 가상 셀들을 제외한 데이터 셀들만을 읽어올 수 있다.
- [975] 이 때, 컨벌루셔널 딜레이 라인은 상기 데이터 셀들의 각 행이 상기 트위스티드 블록 인터리빙의 출력으로부터 쓰여진 후, 다음 브랜치로 스위치들이 움직이기 전에 새로운 가상 셀들(new virtual cells)을 저장할 수 있다.
- [976] 이 때, 새로운 가상 셀들은 각 브랜치에서 인터리빙 프레임의 타임 인터리빙 블록 내의 FEC 블록들의 수의 최대값($N_{FEC_TI_MAX}$)에서 상기 인터리빙 프레임의 상기 타임 인터리빙 블록 내의 FEC 블록들의 수(N_{FEC_TI})를 뺀 개수에 상응하는 것일 수 있다.
- [977] 이 때, 새로운 가상 셀들은 상기 인터-서브프레임 인터리빙의 출력으로 출력되지 않을 수 있다.
- [978] 이 때, 컨벌루셔널 딜레이 라인은 타임 인터리빙 유닛(N_{IU})에 상응하는 브랜치들을 포함하고, 상기 브랜치들 중 첫 번째 브랜치를 제외한 나머지 브랜치들은 하나 이상의 FIFO 레지스터를 포함할 수 있다.
- [979] 이 때, 컨벌루셔널 딜레이 라인은 상기 FIFO 레지스터에 저장되어 있던 초기값들 중 일부만을 출력할 수 있다.
- [980] 이 때, 초기값들 중 일부는 상기 나머지 브랜치들 각각에 대하여, 하나의 초기화

- 셀(initialization cell)에 상응하는 것일 수 있다.
- [981] 도 52에 상응하는 방식으로 본 발명의 일실시예에 따른 타임 디인터리빙 방법이 제공될 수 있다.
- [982] 예를 들어, 본 발명의 일실시예에 따른 타임 디인터리빙 방법은, 단계(S5230)의 역과정에 상응하는 인터-서브프레임 디인터리빙을 수행하는 단계 및 단계(S5220)의 역과정에 상응하는 트위스티드 블록 디인터리빙을 수행하는 단계를 포함할 수 있다. 이 때, 본 발명의 일실시예에 따른 타임 디인터리빙 방법은 단계(S5210)의 역과정에 상응하는 셀 디인터리빙을 수행하는 단계를 더 포함할 수도 있다.
- [983]
- [984] 피지컬 레이어 파이프의 사이즈 정보 및 시작 위치 정보는 타임 인터리빙 이후를 기준으로 생성될 수 있다. 이 때, 사이즈 정보 및 시작 위치 정보는 현재 서브프레임 내에서 고려되는 것으로 볼 수 있다.
- [985] 레이어드 디비전 멀티플렉싱이 적용되는 경우, 코어 레이어 셀들 및 인핸스드 레이어 셀들은 타임 인터리빙 프로세스 이전에 결합된다(combined or super-positioned). 이 때, 코어 레이어 피지컬 레이어 파이프에 대한 인핸스드 레이어 피지컬 레이어 파이프들의 상대적인 위치(relative position)는 타임 인터리빙 이전에 계산되는 것이 인핸스드 레이어 피지컬 레이어 파이프를 쉽게 복원하는데 유리할 수 있다. 디코더에서 레이어드 디비전 멀티플렉싱된 데이터 셀들로부터의 코어 레이어 데이터 셀들의 캔슬레이션(cancellation) 프로세스는 타임 디인터리빙 이후(after time deinterleaving)에 수행된다.
- [986] 타임 인터리빙 및 서브프레임으로의 맵핑(cell multiplexing) 두 가지는 모두 인핸스드 레이어 피지컬 레이어 파이프들이 결합된 코어 레이어 피지컬 레이어 파이프만을 위하여 적용될 수 있다.
- [987] 수신기 측(demodulator)에서, 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)는 원하는 코어 레이어 피지컬 레이어 파이프를 선택하기 위해 사용될 수 있다. 즉, 사이즈 정보 및 시작 위치 정보는 타임 디인터리빙의 입력으로 사용할 코어 레이어 피지컬 레이어 파이프의 데이터 셀들을 찾는 데 사용될 수 있다.
- [988] 컨벌루션얼 딜레이 라인 등의 인터-서브프레임 인터리빙이 사용되는 경우, 코어 레이어 피지컬 레이어 파이프의 사이즈 정보(L1D_plp_size)는 타임 인터리빙 이전을 기준으로 계산되느냐 타임 인터리빙 이후를 기준으로 계산되느냐에 따라 다른 값을 가질 수 있다.
- [989] 이 때, 코어 레이어 피지컬 레이어 파이프의 위치는 타임 인터리빙 이후를 기준으로 계산되는 것이 바람직하다.
- [990] 도 53은 레이어드 디비전 멀티플렉싱된 피지컬 레이어 파이프들을 타임 인터리빙 이전을 기준으로 나타낸 도면이다.
- [991] 도 53을 참조하면, 1개의 코어 레이어 피지컬 레이어 파이프(PLP #0)와 2개의

인헨스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)이 레이어드 디비전 멀티플렉싱된 것을 알 수 있다.

[992] 도 53의 경우에는 인헨스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)의 시작 위치 및 사이즈가 분명하게 식별 가능하다.

[993] 도 54는 레이어드 디비전 멀티플렉싱된 피지컬 레이어 파이프들을 타임 인터리빙 이후를 기준으로 나타낸 도면이다.

[994] 도 54를 참조하면, 타임 인터리빙(트위스티드 블록 인터리버만 사용된 하이브리드 타임 인터리빙)이 적용되어 인헨스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)의 시작 위치가 변경된 것을 알 수 있다. 도 54의 예에서 타임 인터리빙 이후에도 피지컬 레이어 파이프들의 사이즈 정보 및 코어 레이어 피지컬 레이어 파이프(PLP #0)의 시작 위치 정보는 변하지 않을 수 있다.

[995] 가변 비트 레이트(Variable Bit Rate; VBR)와 함께 컨벌루셔널 딜레이 라인이 사용되는 하이브리드 타임 인터리빙의 경우에는 인헨스드 레이어 피지컬 레이어 파이프의 시작 위치 정보 및 사이즈 정보가 타임 인터리빙 이후에 모두 달라질 수 있다.

[996] 예를 들어, 2개의 피지컬 레이어 파이프들(PLP #A, PLP #B)이 TDM되고, VBR과 함께 컨벌루셔널 딜레이 라인을 이용하여 타임 인터리빙되는 경우 다음과 같이 타임 인터리빙 전/후로 사이즈 정보가 달라질 수 있다.

[997] - PLP #A: $N_{FEC_TI_MAX} = 5$, $N_r = 8$, $N_{IU} = 2 \rightarrow$ (time = 0; $N_{FEC_TI} = 3$), (time = 1; $N_{FEC_TI} = 1$)

[998] - PLP #B: $N_{FEC_TI_MAX} = 4$, $N_r = 10$, $N_{IU} = 2 \rightarrow$ (time = 0; $N_{FEC_TI} = 4$), (time = 1; $N_{FEC_TI} = 2$)

[999] - time = 0

[1000] - Before TI: $plp_size(A) = 3 \times 8 = 24$, $plp_size(B) = 4 \times 10 = 40$

[1001] - After TI: $plp_size(A) = 3 \times 4 + 1 \times 4 = 16$, $plp_size(B) = 4 \times 5 + 1 \times 5 = 25$

[1002] - time = 1

[1003] - Before TI: $plp_size(A) = 1 \times 8 = 8$, $plp_size(B) = 2 \times 10 = 20$

[1004] - After TI: $plp_size(A) = 1 \times 4 + 3 \times 4 = 16$, $plp_size(B) = 2 \times 5 + 4 \times 5 = 30$

[1005] 즉, 첫 번째 타이밍(time = 0)에서 피지컬 레이어 파이프(PLP #A)는 FEC 블록들의 수가 3이고, 각 FEC 블록에 포함된 셀들의 수가 8이므로 타임 인터리빙 이전의 피지컬 레이어 파이프(PLP #A)의 사이즈 정보는 $3 \times 8 = 24$ 가 된다. 첫 번째 타이밍(time = 0)에서 피지컬 레이어 파이프(PLP #B)는 FEC 블록들의 수가 4이고, 각 FEC 블록에 포함된 셀들의 수가 10이므로 타임 인터리빙 이전의 피지컬 레이어 파이프(PLP #B)의 사이즈 정보는 $4 \times 10 = 40$ 이 된다.

[1006] 두 번째 타이밍(time = 1)에서 피지컬 레이어 파이프(PLP #A)는 FEC 블록들의 수가 1이고, 각 FEC 블록에 포함된 셀들의 수가 8이므로 타임 인터리빙 이전의 피지컬 레이어 파이프(PLP #A)의 사이즈 정보는 $1 \times 8 = 8$ 이 된다. 두 번째 타이밍(time = 1)에서 피지컬 레이어 파이프(PLP #B)는 FEC 블록들의 수가

2이고, 각 FEC 블록에 포함된 셀들의 수가 10이므로 타임 인터리빙 이전의 피지컬 레이어 파이프(PLP #B)의 사이즈 정보는 $2 \times 10 = 20$ 이 된다.

[1007] 위 예에서, $N_{FEC_TI_MAX}$, N_r , N_{IU} , N_{FEC_TI} 는 앞에서 이미 설명한 바와 같다. 위 예에서, N_{IU} 가 2이므로 타임 인터리빙 이후 하나의 FEC 블록이 두 개의 서브프레임들로 나뉘어 전송된다.

[1008] 즉, 첫 번째 타이밍(time = 0)에서 피지컬 레이어 파이프(PLP #A)는 FEC 블록들의 수가 3이고, 각 FEC 블록에 포함된 셀들의 수가 8이고, 타임 인터리빙 유닛이 2이므로 컨벌루션 딜레이 라인에 1개의 FEC 블록에 상응하는 초기 값들 저장되어 있었다고 가정하면 타임 인터리빙 이후의 피지컬 레이어 파이프(PLP #A)의 사이즈 정보는 $(3 \times (8/2)) + (1 \times (8/2)) = 16$ 이 된다. 첫 번째 타이밍(time = 0)에서 피지컬 레이어 파이프(PLP #B)는 FEC 블록들의 수가 4이고, 각 FEC 블록에 포함된 셀들의 수가 10이고, 타임 인터리빙 유닛이 2이므로 컨벌루션 딜레이 라인에 1개의 FEC 블록에 상응하는 초기 값들이 저장되어 있었다고 가정하면 타임 인터리빙 이후의 피지컬 레이어 파이프(PLP #B)의 사이즈 정보는 $(4 \times (10/2)) + (1 \times (10/2)) = 25$ 가 된다. 이 때, TDM이 적용되므로 피지컬 레이어 파이프(PLP #A)의 시작 위치 정보는 0이고, 피지컬 레이어 파이프(PLP #B)의 시작 위치 정보는 피지컬 레이어 파이프(PLP #A)의 사이즈 정보인 16일 수 있다.

[1009] 두 번째 타이밍(time = 1)에서 피지컬 레이어 파이프(PLP #A)는 FEC 블록들의 수가 1이고, 각 FEC 블록에 포함된 셀들의 수가 8이고, 타임 인터리빙 유닛이 2이므로 첫 번째 타이밍에 상응하는 FEC 블록의 셀들 중 절반만이 이전 서브프레임에 전송되었음을 감안하면 타임 인터리빙 이후의 피지컬 레이어 파이프(PLP #A)의 사이즈 정보는 $(1 \times (8/2)) + (3 \times (8/2)) = 16$ 이 된다. 두 번째 타이밍(time = 1)에서 피지컬 레이어 파이프(PLP #B)는 FEC 블록들의 수가 2이고, 각 FEC 블록에 포함된 셀들의 수가 10이고, 타임 인터리빙 유닛이 2이므로 첫 번째 타이밍에 상응하는 FEC 블록의 셀들 중 절반만이 이전 서브프레임에 전송되었음을 감안하면 타임 인터리빙 이후의 피지컬 레이어 파이프(PLP #B)의 사이즈 정보는 $(2 \times (10/2)) + (4 \times (10/2)) = 30$ 이 된다.

[1010] 이 때, 현재 서브프레임에 맵핑된 데이터 셀들의 양(the amount of data cells mapping to the current subframe)은 타임 인터리빙 이후의 사이즈 정보(plp_size)이다.

[1011] 결국, 전술한 예를 통해 가변 비트 레이트가 적용된 인터-서브프레임 인터리빙이 수행되는 경우 인핸스드 레이어 피지컬 레이어 파이프의 시작 위치 정보 및 사이즈 정보가 모두 달라질 수 있다.

[1012] 전술한 예에서 첫 번째 타이밍(time = 0)에, 서브프레임은 피지컬 레이어 파이프(PLP #A)의 사이즈가 16이므로 피지컬 레이어 파이프(PLP #A)의 16개의 액티브 셀들을 포함하고, 피지컬 레이어 파이프(PLP #B)의 사이즈가 25이므로 피지컬 레이어 파이프(PLP #B)의 25개의 액티브 셀들을 포함한다.

- [1013] 만약 타임 인터리빙 이전을 기준으로 시그널링이 수행되면($L1D_plp_size(A) = 24$, $L1D_plp_start(A) = 0$), 수신기는 피지컬 레이어 파이프(PLP #A)를 디코딩하기 위해 피지컬 레이어 파이프(PLP #A)의 16개의 데이터 셀들과 피지컬 레이어 파이프(PLP #B)의 8개의 데이터 셀들을 타임 디인터리버로 입력하여 디코딩은 실패하게 된다. 즉, 타임 인터리빙 이후를 기준으로 시그널링이 수행되어야($L1D_plp_size(A) = 16$, $L1D_plp_start(A) = 0$), 수신기가 피지컬 레이어 파이프(PLP #A)를 디코딩하기 위해 피지컬 레이어 파이프(PLP #A)의 16개의 데이터 셀들을 타임 디인터리버로 입력하여 디코딩이 성공할 수 있다.
- [1014] 만약 타임 인터리빙 이전을 기준으로 시그널링이 수행되면($L1D_plp_size(B) = 40$, $L1D_plp_start(B) = 24$), 수신기는 피지컬 레이어 파이프(PLP #B)를 디코딩하기 위해 피지컬 레이어 파이프(PLP #B)의 16개의 데이터 셀들(24 ~ 40)만을 타임 디인터리버로 입력하여 디코딩은 실패하게 된다. 즉, 타임 인터리빙 이후를 기준으로 시그널링이 수행되어야($L1D_plp_size(B) = 25$, $L1D_plp_start(B) = 16$), 수신기가 피지컬 레이어 파이프(PLP #B)를 디코딩하기 위해 피지컬 레이어 파이프(PLP #B)의 25개의 데이터 셀들을 타임 디인터리버로 입력하여 디코딩이 성공할 수 있다.
- [1015] 즉, 코어 레이어 피지컬 레이어 파이프를 위한 시그널링 필드들($L1D_plp_size$, $L1D_plp_start$)는 타임 인터리빙 이후를 기준으로 시그널링되어야 한다.
- [1016] 도 55는 레이어드 디비전 멀티플렉싱된 피지컬 레이어 파이프들을 포함하는 서브프레임을 나타낸 도면이다.
- [1017] 도 55를 참조하면, 서브프레임이 하나의 코어 레이어 피지컬 레이어 파이프(PLP #0)와 두 개의 인헨스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)로 구성된 것을 알 수 있다.
- [1018] 타임 인터리빙은 코어 레이어를 기준으로 적용되므로, 인헨스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)은 서로 섞여서 서브프레임에 포함될 수 있다.
- [1019] 수신기는 수신 신호에서 먼저 서브프레임을 추출하고, 추출된 서브프레임에서 코어 레이어 데이터 셀들에 접근한다. 반면에, 송신기에서 레이어드 디비전 멀티플렉싱이 타임 인터리빙 이전에 수행되므로, 인헨스드 레이어 피지컬 레이어 파이프에 대한 접근은 타임 디인터리빙 이후에 하는 것이 수신기의 복잡도를 낮출 수 있다.
- [1020] 결국, 레이어드 디비전 멀티플렉싱이 적용된 경우, 코어 레이어 피지컬 레이어 파이프들에 대한 접근은 서브프레임으로부터 이루어지므로 타임 인터리빙 이후를 기준으로 피지컬 레이어 파이프의 사이즈 및 시작 위치가 계산되는 것이 바람직하고, 인헨스드 레이어 피지컬 레이어 파이프들에 대한 접근은 타임 디인터리빙 이후에 이루어지므로 타임 인터리빙 이전을 기준으로 피지컬 레이어 파이프의 사이즈 및 시작 위치가 계산되는 것이 바람직하다.
- [1021] 도 56은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 인터리빙을 수행하는 컨벌루션형 딜레이 라인의 첫 번째 타이밍을 나타낸

도면이다.

- [1022] 도 56에 도시된 예에서, 피지컬 레이어 파이프(PLP #0)는 코어 레이어 피지컬 레이어 파이프이고, $N_r=16$, $N_{FEC_TL_MAX}=3$ 및 $N_{IU}=3$ 에 해당한다. 피지컬 레이어 파이프들(PLP #1, PLP #2)은 모두 인핸스드 레이어 피지컬 레이어 파이프들이고, 각각 $N_r=8$ 및 $N_t=4$ 에 해당한다.
- [1023] 첫 번째 타이밍(Time=0)에서 피지컬 레이어 파이프(PLP #0)의 FEC 블록들의 수가 3인 경우($N_{FEC_TI}=3$), 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 셀들은 모두 $3(N_{FEC_TI}) \times 16(N_r) = 48$ 개이고 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 인핸스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)에 상응하는 셀들은 각각 $4(N_{FEC_TI}) \times 8(N_r) = 32$ 개 및 $4(N_{FEC_TI}) \times 4(N_r) = 16$ 개일 수 있다.
- [1024] 따라서, LDM 결합의 출력(output of LDM combining)은 도 56의 왼쪽에 도시된 바와 같다.
- [1025] 타임 인터리빙 유닛이 $3(N_{IU}=3)$ 이므로, 3개의 PLP들(PLP #0, PLP #1, PLP #2)의 LDM 결합의 출력(5605)은 3조각으로 나뉘어 첫 번째 조각(5610)은 첫 번째 브랜치에 대응되어 첫 번째 타이밍에 해당하는 서브프레임에 전송되는 CDL 출력이 되고, 두 번째 조각(5620)은 두 번째 브랜치에 대응되어 한 개의 FIFO 레지스터에 저장되고, 세 번째 조각(5630)은 세 번째 브랜치에 대응되어 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장될 수 있다.
- [1026] 이 때, 컨벌루셔널 딜레이 라인의 FIFO 레지스터들에는 전송한 바와 같이 1개의 FEC 블록에 상응하는 초기값들이 저장되어 있을 수 있고, FIFO 레지스터들 각각은 5개의 코어 레이어 셀들에 상응하는 개수만큼의 초기값들로 초기화되어 있을 수 있다.
- [1027] 컨벌루셔널 딜레이 라인의 두 번째 브랜치에 해당하는 FIFO 레지스터에 초기화되어 있던 초기값들(5650) 및 세 번째 브랜치에 해당하는 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 초기화되어 있던 초기값들(5660)이 LDM 결합의 출력의 첫 번째 조각(5610)과 함께 첫 번째 타이밍에 서브프레임에 전송되는 CDL 출력이 된다.
- [1028] 이 때, 컨벌루셔널 딜레이 라인의 세 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에는 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 초기화되어 있던 초기값들(5670)이 저장될 수 있다.
- [1029] 결국, 첫 번째 타이밍(Time=0)에서 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대하여 타임 인터리빙 이후를 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 L1D_plp_size는 $18 + 5 + 5 = 28$ 이 되고 L1D_plp_start는 0이 된다. 또한, 첫 번째 타이밍(Time=0)에서 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)에 대하여 타임 인터리빙 이전을 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 CDL이 적용되기 이전의 LDM 결합의 출력에 상응하여 시그널링 정보가 생성되므로

L1D_plp_size는 32가 되고 L1D_plp_start는 0이 된다. 또한, 첫 번째 타이밍(Time=0)에서 인핸스드 레이어 피지컬 레이어 파이프(PLP #2)에 대하여 타임 인터리빙 이전을 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 CDL이 적용되기 이전의 LDM 결합의 출력에 상응하여 시그널링 정보가 생성되므로 L1D_plp_size는 16이 되고 L1D_plp_start는 피지컬 레이어 파이프(PLP #1)의 사이즈 정보인 32가 된다.

- [1030] 도 57은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 인터리빙을 수행하는 컨벌루셔널 딜레이 라인의 두 번째 타이밍을 나타낸 도면이다.
- [1031] 도 57에 도시된 예에서, 피지컬 레이어 파이프(PLP #0)는 코어 레이어 피지컬 레이어 파이프이고, $N_r=16$, $N_{FEC_TL_MAX}=3$ 및 $N_{IU}=3$ 에 해당한다. 피지컬 레이어 파이프들(PLP #1, PLP #2)은 모두 인핸스드 레이어 피지컬 레이어 파이프들이고, 각각 $N_r=8$ 및 $N_r=4$ 에 해당한다.
- [1032] 두 번째 타이밍(Time=1)에서 피지컬 레이어 파이프(PLP #0)의 FEC 블록들의 수가 2인 경우($N_{FEC_TI}=2$), 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 셀들은 모두 $2(N_{FEC_TI}) \times 16(N_r) = 32$ 개이고 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 인핸스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)에 상응하는 셀들은 각각 24개 및 8개일 수 있다.
- [1033] 따라서, LDM 결합의 출력(output of LDM combining)은 도 57의 왼쪽에 도시된 바와 같다.
- [1034] 타임 인터리빙 유닛이 3($N_{IU}=3$)이므로, 3개의 PLP들(PLP #0, PLP #1, PLP #2)의 LDM 결합의 출력(5705)은 3조각으로 나뉘어 첫 번째 조각(5710)은 첫 번째 브랜치에 대응되어 두 번째 타이밍에 해당하는 서브프레임에 전송되는 CDL 출력이 되고, 두 번째 조각(5720)은 두 번째 브랜치에 대응되어 한 개의 FIFO 레지스터에 저장되고, 세 번째 조각(5730)은 세 번째 브랜치에 대응되어 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장된다.
- [1035] 컨벌루셔널 딜레이 라인의 두 번째 브랜치에 해당하는 FIFO 레지스터에 저장되어 있던 첫 번째 타이밍의 두 번째 조각(5620) 및 세 번째 브랜치에 해당하는 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 저장되어 있던 초기값들(5개의 코어 레이어 셀들에 대응되는 개수, 5670)이 두 번째 타이밍의 LDM 결합의 출력의 첫 번째 조각(5710)과 함께 서브프레임에 전송되는 CDL 출력이 된다.
- [1036] 이 때, 컨벌루셔널 딜레이 라인의 세 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에는 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장되어 있던 첫 번째 타이밍의 세 번째 조각(5630)이 저장될 수 있다.
- [1037] 결국, 두 번째 타이밍(Time=1)에서 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대하여 타임 인터리빙 이후를 기준으로 사이즈 정보(L1D_plp_size) 및 시작

위치 정보(L1D_plp_start)를 시그널링하면 L1D_plp_size는 $12 + 15 + 5 = 32$ 가 되고 L1D_plp_start는 0이 된다. 또한, 두 번째 타이밍(Time=1)에서 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)에 대하여 타임 인터리빙 이전을 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 CDL이 적용되기 이전의 LDM 결합의 출력에 상응하여 시그널링 정보가 생성되므로 L1D_plp_size는 24가 되고 L1D_plp_start는 0이 된다. 또한, 두 번째 타이밍(Time=1)에서 인핸스드 레이어 피지컬 레이어 파이프(PLP #2)에 대하여 타임 인터리빙 이전을 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 CDL이 적용되기 이전의 LDM 결합의 출력에 상응하여 시그널링 정보가 생성되므로 L1D_plp_size는 8이 되고 L1D_plp_start는 피지컬 레이어 파이프(PLP #1)의 사이즈 정보인 24가 된다.

[1038] 도 58은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 인터리빙을 수행하는 컨벌루셔널 딜레이 라인의 세 번째 타이밍을 나타낸 도면이다.

[1039] 도 58에 도시된 예에서, 피지컬 레이어 파이프(PLP #0)는 코어 레이어 피지컬 레이어 파이프이고, $N_r=16$, $N_{FEC_TI_MAX}=3$ 및 $N_{IU}=3$ 에 해당한다. 피지컬 레이어 파이프들(PLP #1, PLP #2)은 모두 인핸스드 레이어 피지컬 레이어 파이프들이고, 각각 $N_r=8$ 및 $N_r=4$ 에 해당한다.

[1040] 세 번째 타이밍(Time=2)에서 피지컬 레이어 파이프(PLP #0)의 FEC 블록들의 수가 1인 경우($N_{FEC_TI}=1$), 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 셀들은 모두 $1(N_{FEC_TI}) \times 16(N_r) = 16$ 개이고 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 인핸스드 레이어 피지컬 레이어 파이프들(PLP #1, PLP #2)에 상응하는 셀들은 각각 8개 및 8개일 수 있다.

[1041] 따라서, LDM 결합의 출력(output of LDM combining)은 도 58의 왼쪽에 도시된 바와 같다.

[1042] 타임 인터리빙 유닛이 $3(N_{IU}=3)$ 이므로, 3개의 PLP들(PLP #0, PLP #1, PLP #2)의 LDM 결합의 출력(5805)은 3조각으로 나뉘어 첫 번째 조각(5810)은 첫 번째 브랜치에 대응되어 세 번째 타이밍에 해당하는 서브프레임에 전송되는 CDL 출력이 되고, 두 번째 조각(5820)은 두 번째 브랜치에 대응되어 한 개의 FIFO 레지스터에 저장되고, 세 번째 조각(5830)은 세 번째 브랜치에 대응되어 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장된다.

[1043] 컨벌루셔널 딜레이 라인의 두 번째 브랜치에 해당하는 FIFO 레지스터에 저장되어 있던 두 번째 타이밍의 두 번째 조각(5720) 및 세 번째 브랜치에 해당하는 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 저장되어 있던 첫 번째 타이밍의 세 번째 조각(5630)이 세 번째 타이밍의 LDM 결합의 출력의 첫 번째 조각(5810)과 함께 서브프레임에 전송되는 CDL 출력이 된다.

[1044] 이 때, 컨벌루셔널 딜레이 라인의 세 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에는 두 개의 FIFO 레지스터들 중 첫 번째

FIFO 레지스터에 저장되어 있던 두 번째 타이밍의 세 번째 조각(5730)이 저장될 수 있다.

- [1045] 결국, 세 번째 타이밍(Time=2)에서 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대하여 타임 인터리빙 이후를 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 L1D_plp_size는 $6 + 10 + 15 = 31$ 이 되고 L1D_plp_start는 0이 된다. 또한, 세 번째 타이밍(Time=2)에서 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)에 대하여 타임 인터리빙 이전을 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 CDL이 적용되기 이전의 LDM 결합의 출력에 상응하여 시그널링 정보가 생성되므로 L1D_plp_size는 8이 되고 L1D_plp_start는 0이 된다. 또한, 세 번째 타이밍(Time=2)에서 인핸스드 레이어 피지컬 레이어 파이프(PLP #2)에 대하여 타임 인터리빙 이전을 기준으로 사이즈 정보(L1D_plp_size) 및 시작 위치 정보(L1D_plp_start)를 시그널링하면 CDL이 적용되기 이전의 LDM 결합의 출력에 상응하여 시그널링 정보가 생성되므로 L1D_plp_size는 8이 되고 L1D_plp_start는 피지컬 레이어 파이프(PLP #1)의 사이즈 정보인 8이 된다.
- [1046] 도 59는 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 디인터리빙을 수행하는 역 컨벌루셔널 딜레이 라인의 첫 번째 타이밍을 나타낸 도면이다.
- [1047] 도 59에 도시된 예에서, 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대하여 $N_{FEC_TI} = [3 \ 1 \ 1]$ 과 같은 정보가 시그널링되어, 첫 번째 타이밍(Time = 0)에 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 FEC 블록들의 수가 3(이전 타이밍에 초기화되어 있던 FEC 블록들의 수는 1, 두 타이밍 이전 타이밍에 초기화되어 있던 FEC 블록들의 수도 1)임을 수신기로 알려줄 수 있다.
- [1048] 도 56에 도시된 컨벌루셔널 딜레이 라인의 출력이 도 59의 왼쪽에 도시된 바와 같이 역 컨벌루셔널 딜레이 라인의 입력으로 수신될 수 있다.
- [1049] 수신된 데이터는 세 조각으로 구분되어 첫 번째 조각(5910)이 역 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장되고, 두 번째 조각(5920; 초기값들)이 역 컨벌루셔널 딜레이 라인의 두 번째 브랜치에 해당하는 FIFO 레지스터에 저장되고, 세 번째 조각(5930; 초기값들)이 역 컨벌루셔널 딜레이 라인의 세 번째 브랜치에 대응되어 타임 디인터리버 출력으로 출력된다.
- [1050] 이 때, 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대해서 타임 인터리빙 이후를 기준으로 $L1D_plp_size = 28$ 및 $L1D_plp_start = 0$ 이 시그널링되므로, 수신된 데이터로부터 28개의 셀들을 추출하여 역 컨벌루셔널 딜레이 라인의 입력으로 사용할 수 있다. 이 때, $N_{FEC_TI} = [3 \ 1 \ 1]$ 에 상응하여, 28개의 셀들 중 첫 번째 브랜치에는 3개의 FEC 블록들에 해당하는 데이터 셀들이 쓰여지고, 두 번째 브랜치 및 세 번째 브랜치에는 각각 1개의 FEC 블록에 해당하는 데이터 셀들이 쓰여질 수 있다.

- [1051] 이 때, 역 컨벌루셔널 딜레이 라인의 FIFO 레지스터들도 각각 5개의 코어 레이어 셀들에 상응하는 개수만큼의 초기값들로 초기화되어 있을 수 있다. 이 때, 첫 번째 브랜치에 해당하는 FIFO 레지스터는 6개의 초기값들로 초기화되어 있고, 나머지 브랜치들에 해당하는 FIFO 레지스터들은 5개의 초기값들로 초기화되어 있을 수도 있다($N_r=16$).
- [1052] 역 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 초기화되어 있던 초기값들(5950) 및 두 번째 브랜치에 해당하는 FIFO 레지스터에 초기화되어 있던 초기값들(5960)이 수신된 데이터의 세 번째 조각과 함께 첫 번째 타이밍에 타임 디인터리버의 출력이 된다.
- [1053] 이 때, 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에는 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 초기화되어 있던 초기값들(5970)이 저장될 수 있다.
- [1054] 결국, 첫 번째 타이밍에는 타임 디인터리버의 출력으로 피지컬 레이어 파이프(PLP #0) 데이터가 출력되지 않는다.
- [1055] 도 60은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 디인터리빙을 수행하는 역 컨벌루셔널 딜레이 라인의 두 번째 타이밍을 나타낸 도면이다.
- [1056] 도 60에 도시된 예에서, 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대하여 $N_{FEC_TI} = [2\ 3\ 1]$ 과 같은 정보가 시그널링되어, 두 번째 타이밍(Time = 1)에 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 FEC 블록들의 수가 2(이전 타이밍에 코어 레이어 피지컬 레이어 파이프에 상응하는 FEC 블록들의 수는 3, 두 타이밍 이전 타이밍에 초기화되어 있던 FEC 블록들의 수는 1)임을 수신기로 알려줄 수 있다.
- [1057] 도 57에 도시된 컨벌루셔널 딜레이 라인의 출력이 도 60의 왼쪽에 도시된 바와 같이 역 컨벌루셔널 딜레이 라인의 입력으로 수신될 수 있다.
- [1058] 수신된 데이터는 세 조각으로 구분되어 첫 번째 조각(6010)이 역 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장되고, 두 번째 조각(6020)이 역 컨벌루셔널 딜레이 라인의 두 번째 브랜치에 해당하는 FIFO 레지스터에 저장되고, 세 번째 조각(6030; 초기값들)이 역 컨벌루셔널 딜레이 라인의 세 번째 브랜치에 대응되어 타임 디인터리버 출력으로 출력된다.
- [1059] 이 때, 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대해서 타임 디인터리빙 이후를 기준으로 $L1D_plp_size = 32$ 및 $L1D_plp_start = 0$ 이 시그널링되므로, 수신된 데이터로부터 32개의 셀들을 추출하여 역 컨벌루셔널 딜레이 라인의 입력으로 사용할 수 있다. 이 때, $N_{FEC_TI} = [2\ 3\ 1]$ 에 상응하여, 32개의 셀들 중 첫 번째 브랜치에는 2개의 FEC 블록들에 해당하는 데이터 셀들이 쓰여지고, 두 번째 브랜치에는 3개의 FEC 블록들에 해당하는 데이터가 쓰여지고, 세 번째

브랜치에는 1개의 FEC 블록에 해당하는 데이터 셀들이 쓰여질 수 있다.

[1060] 이 때, 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 첫 번째 타이밍에 첫 번째 FIFO 레지스터에 저장되어 있던 첫 번째 타이밍에 수신된 데이터의 첫 번째 조각(5910)이 저장될 수 있다.

[1061] 첫 번째 타이밍에 역 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 저장되어 있던 초기값들(5970) 및 두 번째 브랜치에 해당하는 FIFO 레지스터에 초기화되어 있던 초기값들(5920)이 수신된 데이터의 세 번째 조각(6030)과 함께 두 번째 타이밍에 타임 디인터리버의 출력이 된다.

[1062] 결국, 두 번째 타이밍에도 타임 디인터리버의 출력으로 피지컬 레이어 파이프(PLP #0) 데이터가 출력되지 않는다.

[1063] 도 61은 도 53 내지 도 55에 도시된 피지컬 레이어 파이프들에 상응하는 타임 디인터리빙을 수행하는 역 컨벌루셔널 딜레이 라인의 세 번째 타이밍을 나타낸 도면이다.

[1064] 도 61에 도시된 예에서, 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대하여 $N_{FEC_TI} = [1\ 2\ 3]$ 과 같은 정보가 시그널링되어, 세 번째 타이밍(Time = 2)에 코어 레이어 피지컬 레이어 파이프(PLP #0)에 상응하는 FEC 블록들의 수가 1(이전 타이밍에 코어 레이어 피지컬 레이어 파이프에 상응하는 FEC 블록들의 수는 2, 두 타이밍 이전 타이밍에 코어 레이어 피지컬 레이어 파이프에 상응하는 FEC 블록들의 수는 3)임을 수신기로 알려줄 수 있다.

[1065] 도 58에 도시된 컨벌루셔널 딜레이 라인의 출력이 도 61의 왼쪽에 도시된 바와 같이 역 컨벌루셔널 딜레이 라인의 입력으로 수신될 수 있다.

[1066] 수신된 데이터는 세 조각으로 구분되어 첫 번째 조각(6110)이 역 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 첫 번째 FIFO 레지스터에 저장되고, 두 번째 조각(6120)이 역 컨벌루셔널 딜레이 라인의 두 번째 브랜치에 해당하는 FIFO 레지스터에 저장되고, 세 번째 조각(6130)이 역 컨벌루셔널 딜레이 라인의 세 번째 브랜치에 대응되어 타임 디인터리버 출력으로 출력된다.

[1067] 이 때, 코어 레이어 피지컬 레이어 파이프(PLP #0)에 대해서 타임 디인터리빙 이후를 기준으로 $L1D_plp_size = 31$ 및 $L1D_plp_start = 0$ 이 시그널링되므로, 수신된 데이터로부터 31개의 셀들을 추출하여 역 컨벌루셔널 딜레이 라인의 입력으로 사용할 수 있다. 이 때, $N_{FEC_TI} = [1\ 2\ 3]$ 에 상응하여, 31개의 셀들 중 첫 번째 브랜치에는 1개의 FEC 블록에 해당하는 데이터 셀들이 쓰여지고, 두 번째 브랜치에는 2개의 FEC 블록들에 해당하는 데이터 셀들이 쓰여지고, 세 번째 브랜치에는 3개의 FEC 블록들에 해당하는 데이터 셀들이 쓰여질 수 있다.

[1068] 이 때, 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 두 번째 타이밍에 첫 번째 FIFO 레지스터에 저장되어 있던 두 번째 타이밍에 수신된 데이터의 첫 번째 조각(6010)이 저장될 수 있다.

- [1069] 첫 번째 타이밍에 역 컨벌루셔널 딜레이 라인의 첫 번째 브랜치에 해당하는 두 개의 FIFO 레지스터들 중 두 번째 FIFO 레지스터에 저장되어 있던 첫 번째 타이밍에 수신된 데이터의 첫 번째 조각(5910) 및 두 번째 브랜치에 해당하는 FIFO 레지스터에 저장되어 있던 두 번째 타이밍에 수신된 데이터의 두 번째 조각(6020)이 세 번째 타이밍에 수신된 데이터의 세 번째 조각(6130)과 함께 세 번째 타이밍에 타임 디인터리버의 출력이 된다.
- [1070] 결국, 세 번째 타이밍에 타임 디인터리버의 출력으로 48개의 코어 레이어 피지컬 레이어 파이프(PLP #0)의 셀들과, 32개의 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)의 셀들과, 16개의 인핸스드 레이어 피지컬 레이어 파이프(PLP #2)의 셀들이 출력된다.
- [1071] 즉, 세 번째 타이밍에 3개의 FEC 블록들을 포함하는 완전한 타임 인터리빙 블록이 출력되고, 하나의 FEC 블록이 16개의 데이터 셀들로 이루어져 있으므로, 이 타이밍에 $16 \times 3 = 48$ 개의 코어 레이어 피지컬 레이어 파이프 데이터 셀들이 출력되는 것을 알 수 있다.
- [1072] 이 때, 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)에 대해서는 타임 인터리빙 이후를 기준으로 시그널링되어 L1D_plp_size = 32 및 L1D_plp_start = 0이 시그널링되므로 타임 디인터리빙된 출력으로부터 인핸스드 레이어 피지컬 레이어 파이프(PLP #1)와 관련된 셀들을 효율적으로 식별할 수 있다.
- [1073] 이 때, 인핸스드 레이어 피지컬 레이어 파이프(PLP #2)에 대해서도 타임 인터리빙 이후를 기준으로 시그널링되어 L1D_plp_size = 16 및 L1D_plp_start = 32가 시그널링되므로 타임 디인터리빙된 출력으로부터 인핸스드 레이어 피지컬 레이어 파이프(PLP #2)와 관련된 셀들을 효율적으로 식별할 수 있다.
- [1074] 이상에서와 같이 본 발명에 따른 방송 신호 프레임 생성 장치 및 방법은 상기한 바와 같이 설명된 실시예들의 구성과 방법이 한정되게 적용될 수 있는 것이 아니라, 상기 실시예들은 다양한 변형이 이루어질 수 있도록 각 실시예들의 전부 또는 일부가 선택적으로 조합되어 구성될 수도 있다.

청구범위

- [청구항 1] 코어 레이어 신호 및 인핸스드 레이어 신호를 결합(combine)하여 멀티플렉싱된 신호를 생성하는 결합기;
 상기 멀티플렉싱된 신호의 파워를, 상기 코어 레이어 신호에 상응하는 파워로 낮추는 파워 노멀라이저;
 상기 코어 레이어 신호 및 인핸스드 레이어 신호에 함께 적용되는 타임 인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 타임 인터리버;
 및
 피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치 정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송 신호 프레임 생성하는 프레임 빌더를 포함하고,
 상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어 레이어 피지컬 레이어 파이프 및 상기 인핸스드 레이어 신호에 상응하는 인핸스드 레이어 피지컬 레이어 파이프를 포함하는 것을 특징으로 하는 방송 신호 프레임 생성 장치.
- [청구항 2] 청구항 1에 있어서,
 상기 시작 위치 정보 및 사이즈 정보는
 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우에, 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우와는 다른 생성 방식으로 생성되는 것을 특징으로 하는 방송 신호 프레임 생성 장치.
- [청구항 3] 청구항 2에 있어서,
 상기 시작 위치 정보 및 사이즈 정보는
 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우 제1 기준 타이밍을 기반으로 생성되고, 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우 상기 제1 기준 타이밍과 상이한 제2 기준 타이밍을 기반으로 생성되는 것을 특징으로 하는 방송 신호 프레임 생성 장치.
- [청구항 4] 청구항 3에 있어서,
 상기 시작 위치 정보 및 사이즈 정보는
 상기 인핸스드 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이전을 기준(with respect to)으로 정의되는 것을 특징으로 하는 방송 신호 프레임 생성 장치.
- [청구항 5] 청구항 4에 있어서,
 상기 시작 위치 정보 및 사이즈 정보는
 상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 현재 서브프레임 내에서 정의(defined within the current subframe)되는 것을 특징으로 하는 방송 신호 프레임 생성 장치.
- [청구항 6] 청구항 5에 있어서,

상기 시작 위치 정보 및 사이즈 정보는
상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임
인터리빙 이후를 기준(with respect to)으로 정의되는 것을 특징으로 하는
방송 신호 프레임 생성 장치.

[청구항 7] 청구항 6에 있어서,
상기 사이즈 정보는 상기 피지컬 레이어 파이프들 각각에 할당된 데이터
셀들의 개수에 기반하여 설정되는 것을 특징으로 하는 방송 신호 프레임
생성 장치.

[청구항 8] 청구항 7에 있어서,
상기 시작 위치 정보는 상기 피지컬 레이어 파이프들 각각의 첫 번째
데이터 셀에 상응하는 인덱스와 동일하게 설정되는 것을 특징으로 하는
방송 신호 프레임 생성 장치.

[청구항 9] 청구항 8에 있어서,
상기 시작 위치 정보 및 사이즈 정보는
레이어 식별 정보에 상응하는 조건문의 조건 판단 없이 상기 피지컬
레이어 파이프들 각각에 대하여 상기 프리앰블에 포함되는 것을
특징으로 하는 타임 인터리빙 장치.

[청구항 10] 코어 레이어 신호 및 인헨스드 레이어 신호를 결합(combine)하여
멀티플렉싱된 신호를 생성하는 단계;
상기 멀티플렉싱된 신호의 파워를, 상기 코어 레이어 신호에 상응하는
파워로 낮추는 단계;
상기 코어 레이어 신호 및 인헨스드 레이어 신호에 함께 적용되는 타임
인터리빙을 수행하여 타임 인터리빙된 신호를 생성하는 단계; 및
피지컬 레이어 파이프들(Physical Layer Pipes; PLPs) 각각의 시작 위치
정보 및 사이즈 정보를 시그널링하기 위한 프리앰블을 포함하는 방송
신호 프레임을 생성하는 단계를 포함하고,
상기 피지컬 레이어 파이프들은 상기 코어 레이어 신호에 상응하는 코어
레이어 피지컬 레이어 파이프 및 상기 인헨스드 레이어 신호에 상응하는
인헨스드 레이어 피지컬 레이어 파이프를 포함하는 것을 특징으로 하는
방송 신호 프레임 생성 방법.

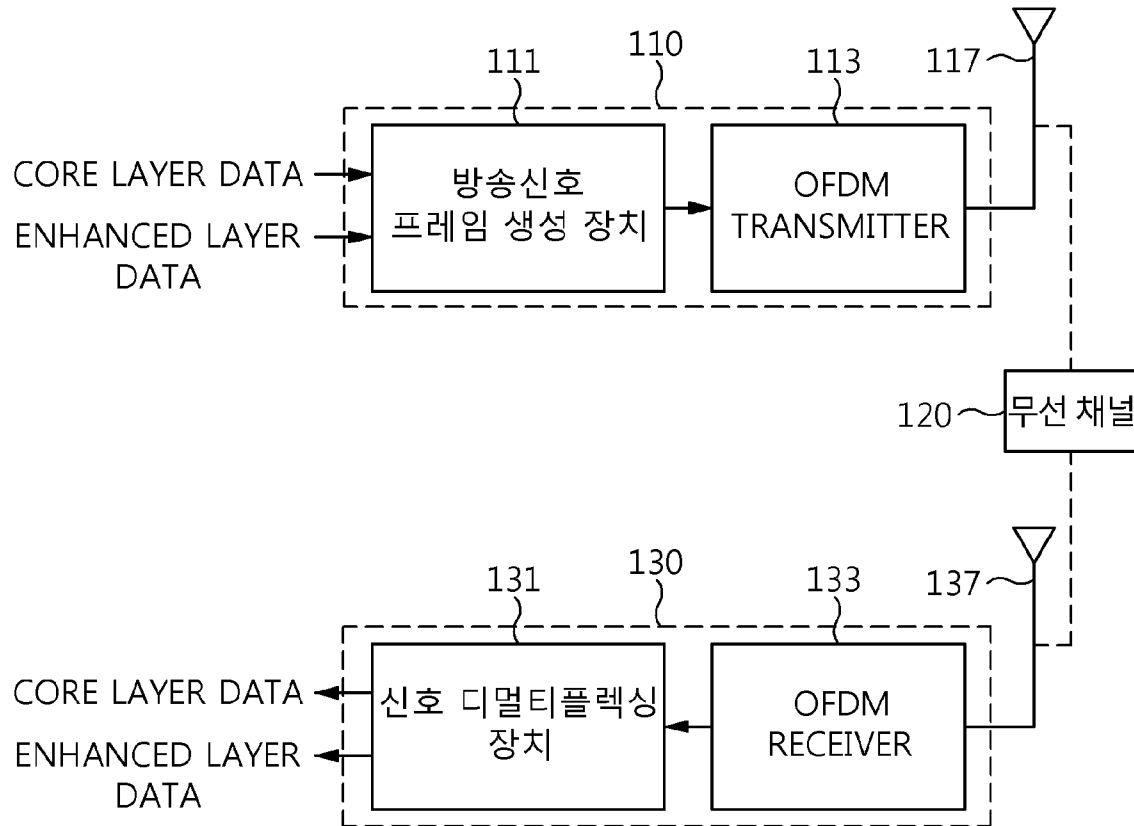
[청구항 11] 청구항 10에 있어서,
상기 시작 위치 정보 및 사이즈 정보는
상기 인헨스드 레이어 피지컬 레이어 파이프를 위한 경우에, 상기 코어
레이어 피지컬 레이어 파이프를 위한 경우와는 다른 생성 방식으로
생성되는 것을 특징으로 하는 방송 신호 프레임 생성 방법.

[청구항 12] 청구항 11에 있어서,
상기 시작 위치 정보 및 사이즈 정보는
상기 코어 레이어 피지컬 레이어 파이프를 위한 경우 제1 기준 타이밍을

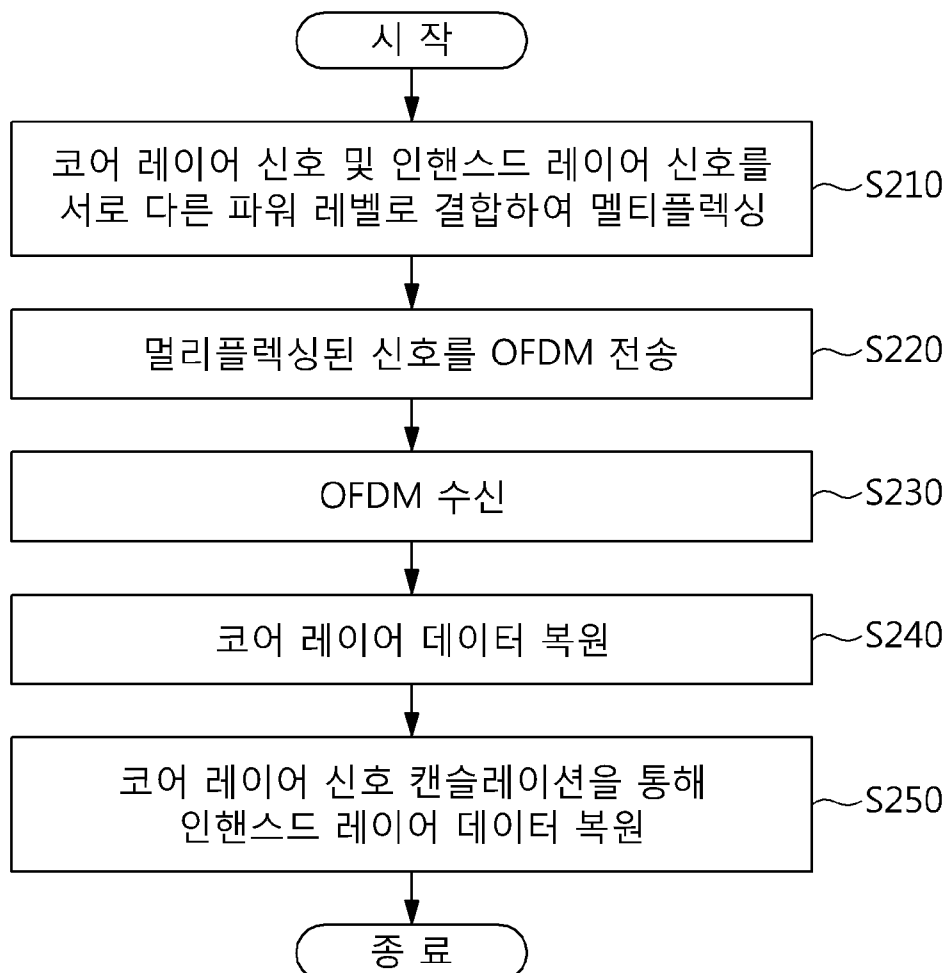
기반으로 생성되고, 상기 인헨스드 레이어 피지컬 레이어 파이프를 위한 경우 상기 제1 기준 타이밍과 상이한 제2 기준 타이밍을 기반으로 생성되는 것을 특징으로 하는 방송 신호 프레임 생성 방법.

- [청구항 13] 청구항 12에 있어서,
상기 시작 위치 정보 및 사이즈 정보는
상기 인헨스드 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이전을 기준(with respect to)으로 정의되는 것을 특징으로 하는 방송 신호 프레임 생성 방법.
- [청구항 14] 청구항 13에 있어서,
상기 시작 위치 정보 및 사이즈 정보는
상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 현재 서브프레임 내에서 정의(defined within the current subframe)되는 것을 특징으로 하는 방송 신호 프레임 생성 방법.
- [청구항 15] 청구항 14에 있어서,
상기 시작 위치 정보 및 사이즈 정보는
상기 코어 레이어 피지컬 레이어 파이프를 위한 경우에 상기 타임 인터리빙 이후를 기준(with respect to)으로 정의되는 것을 특징으로 하는 방송 신호 프레임 생성 방법.

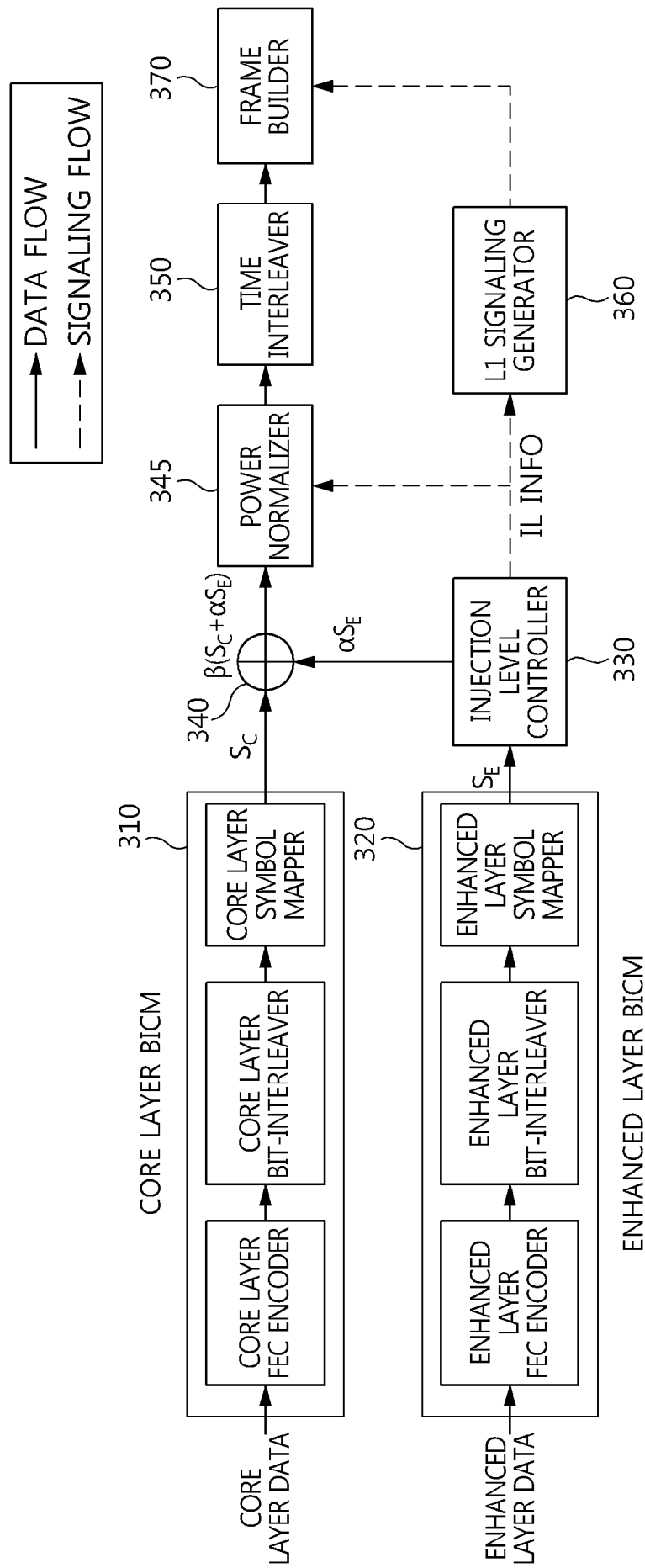
[도1]



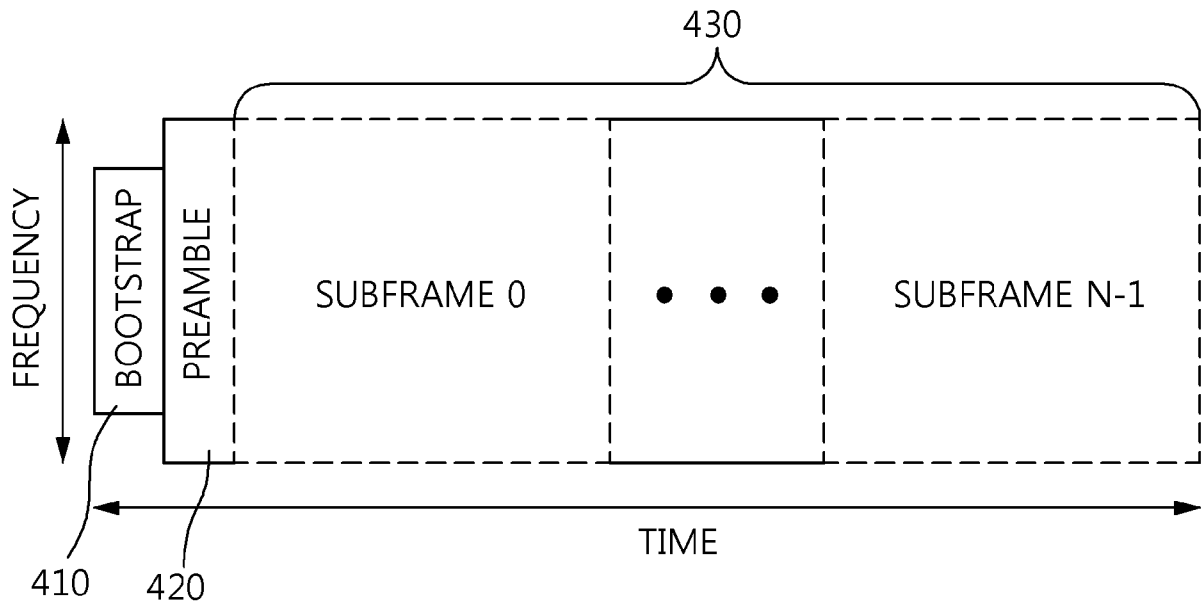
[도2]



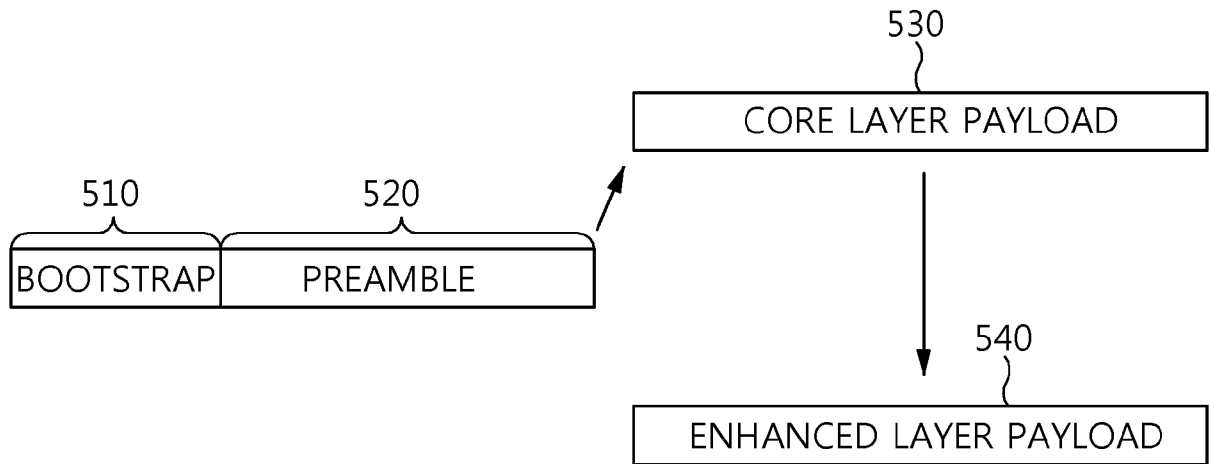
[도3]



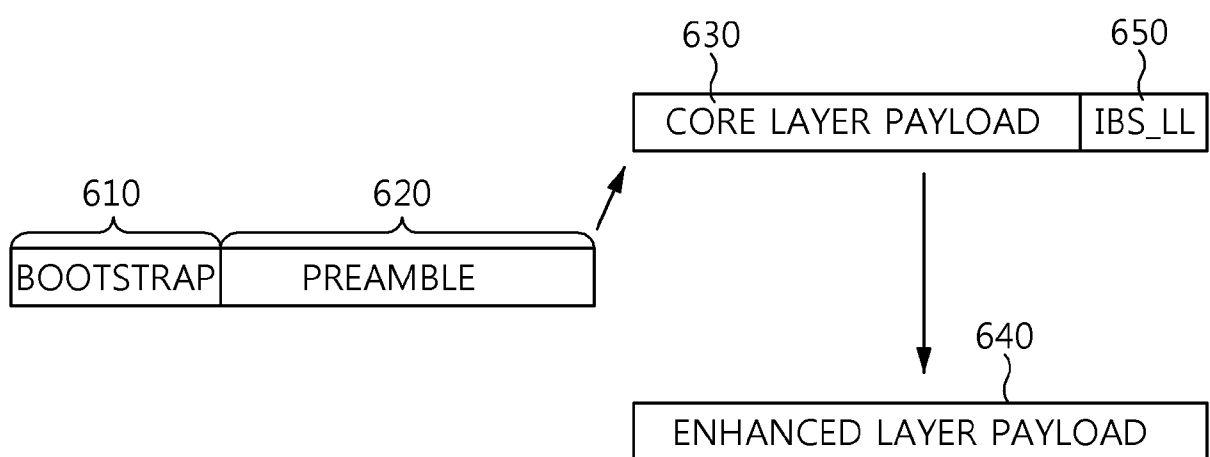
[도4]



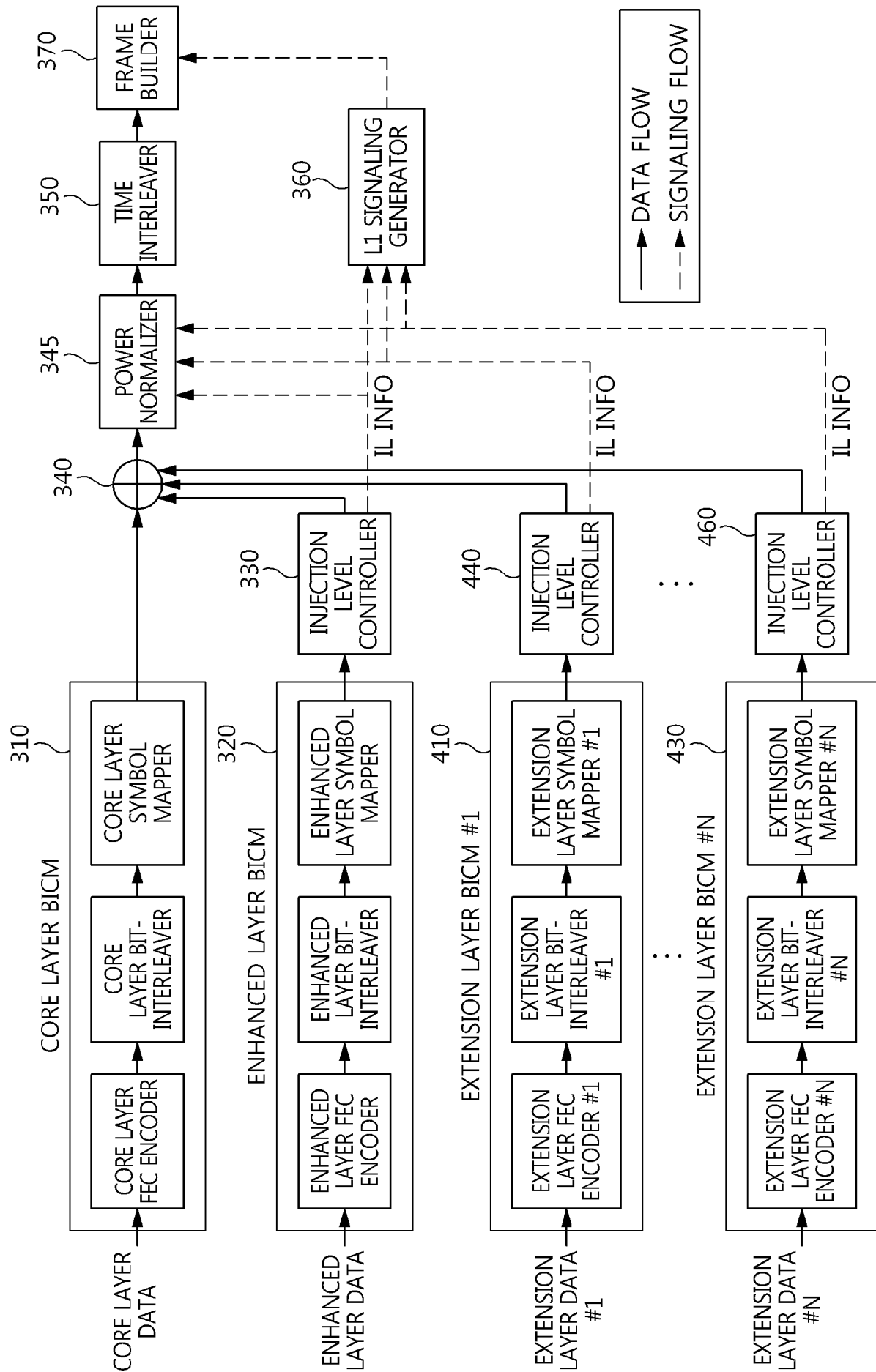
[도5]



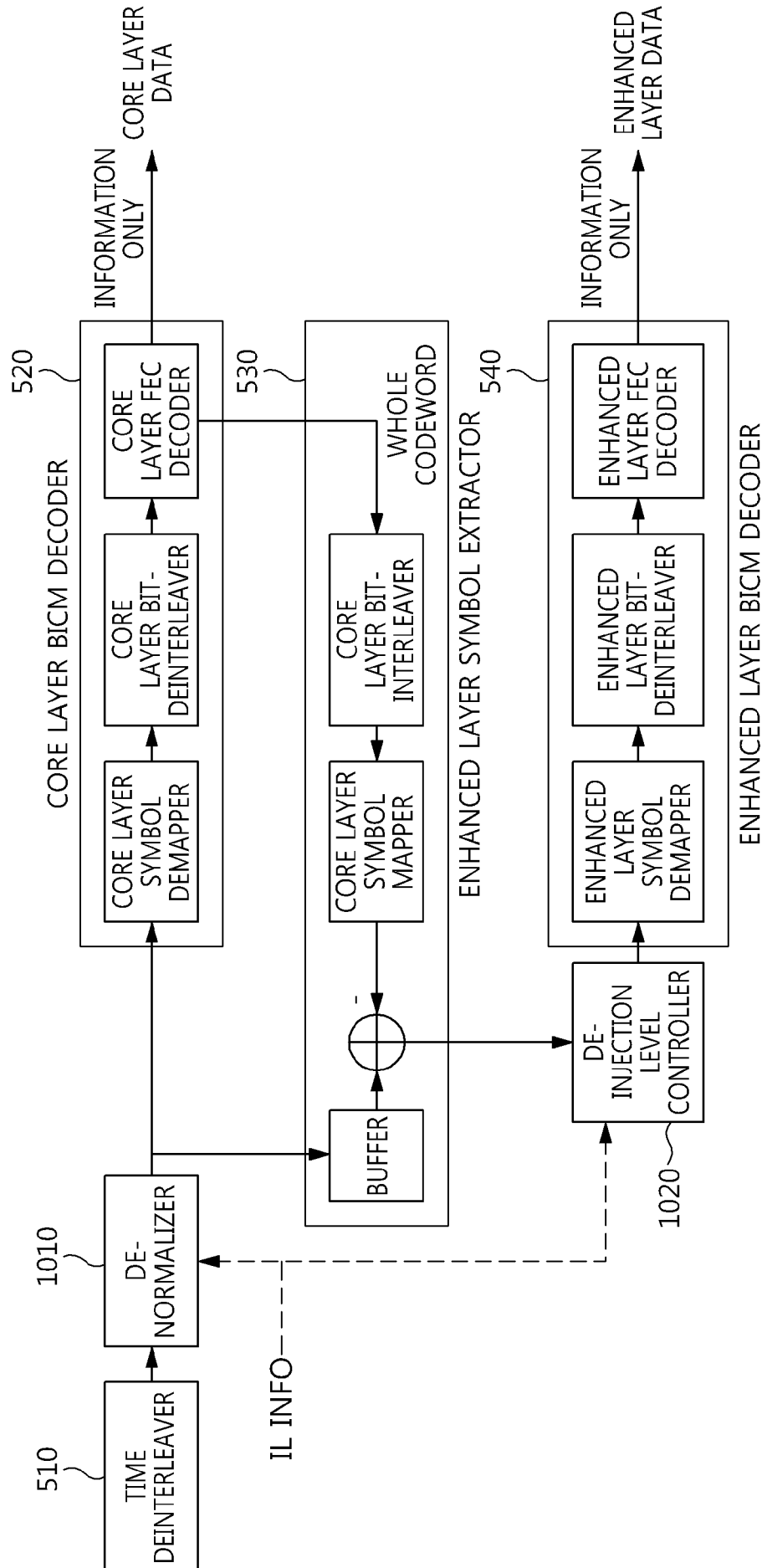
[도6]



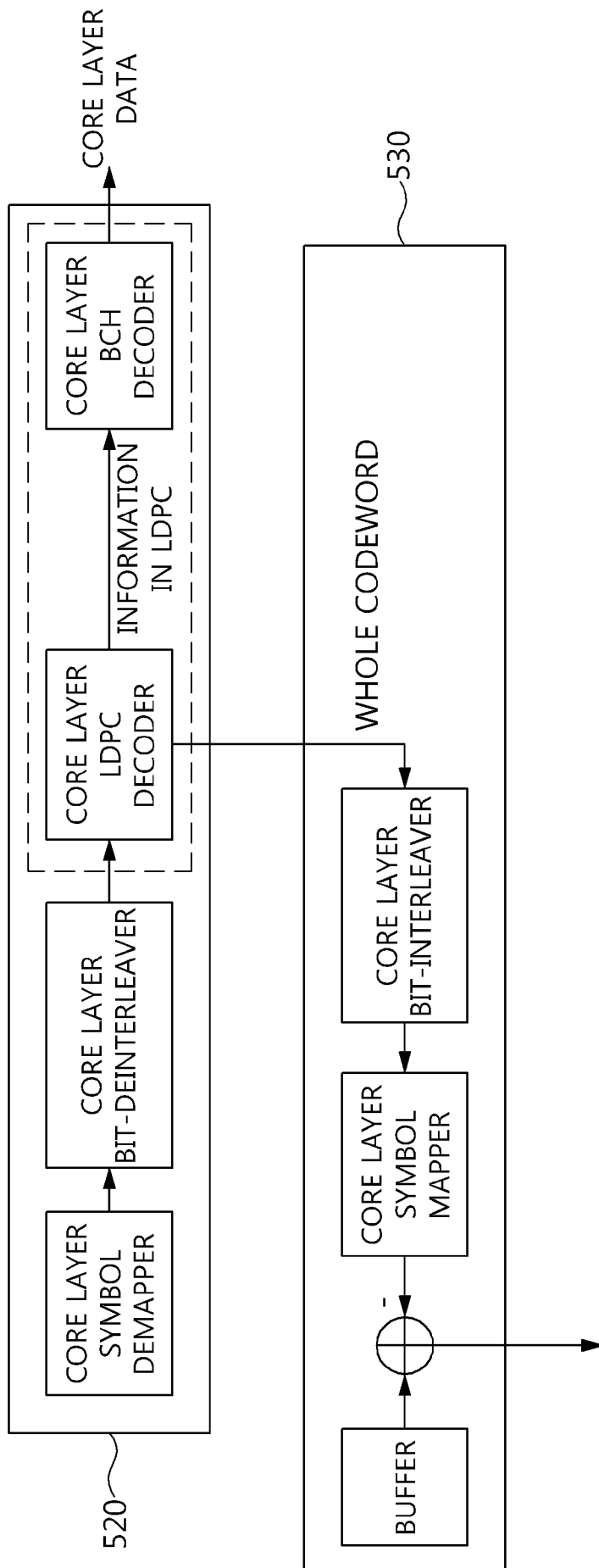
[도7]



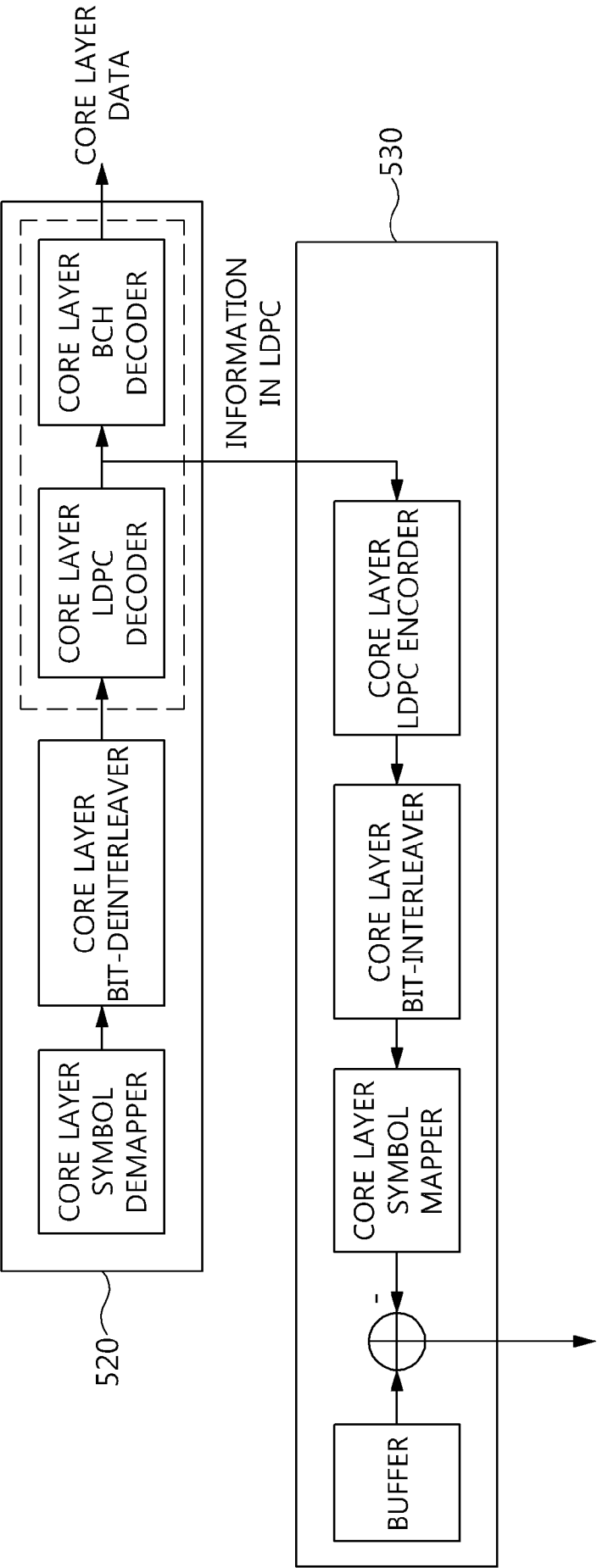
[도8]



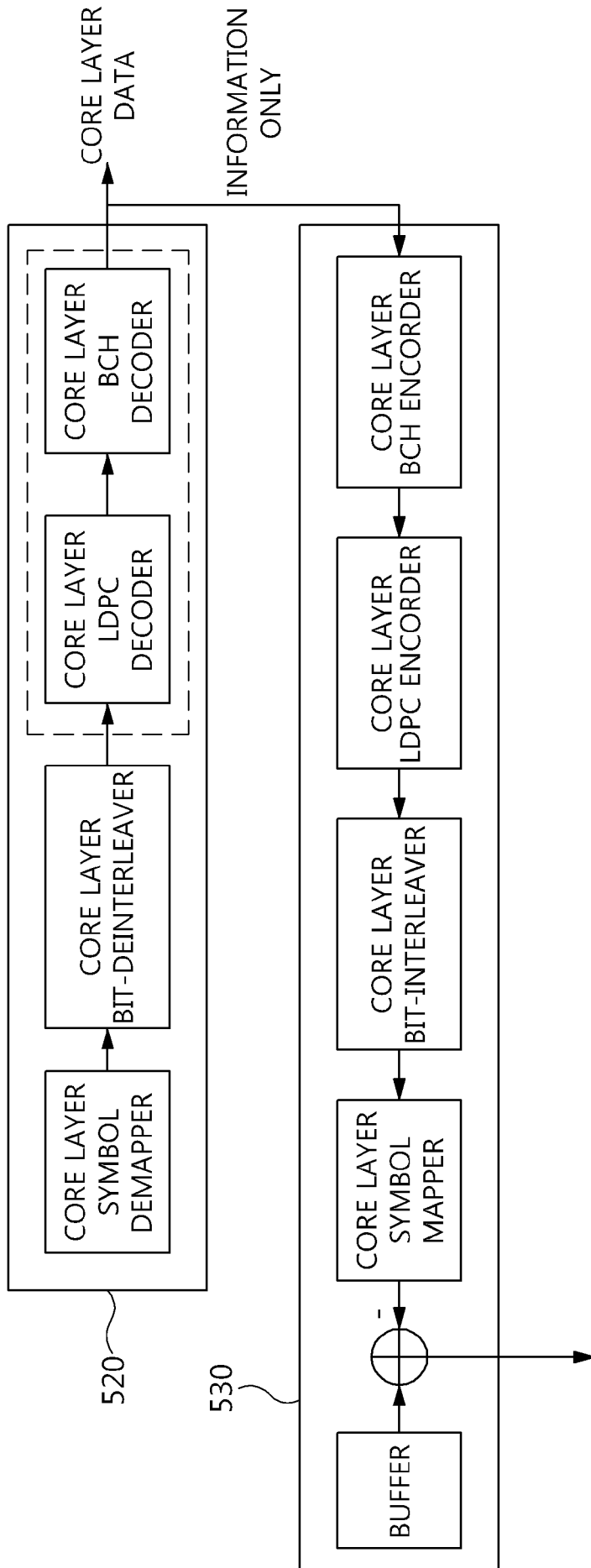
[도9]



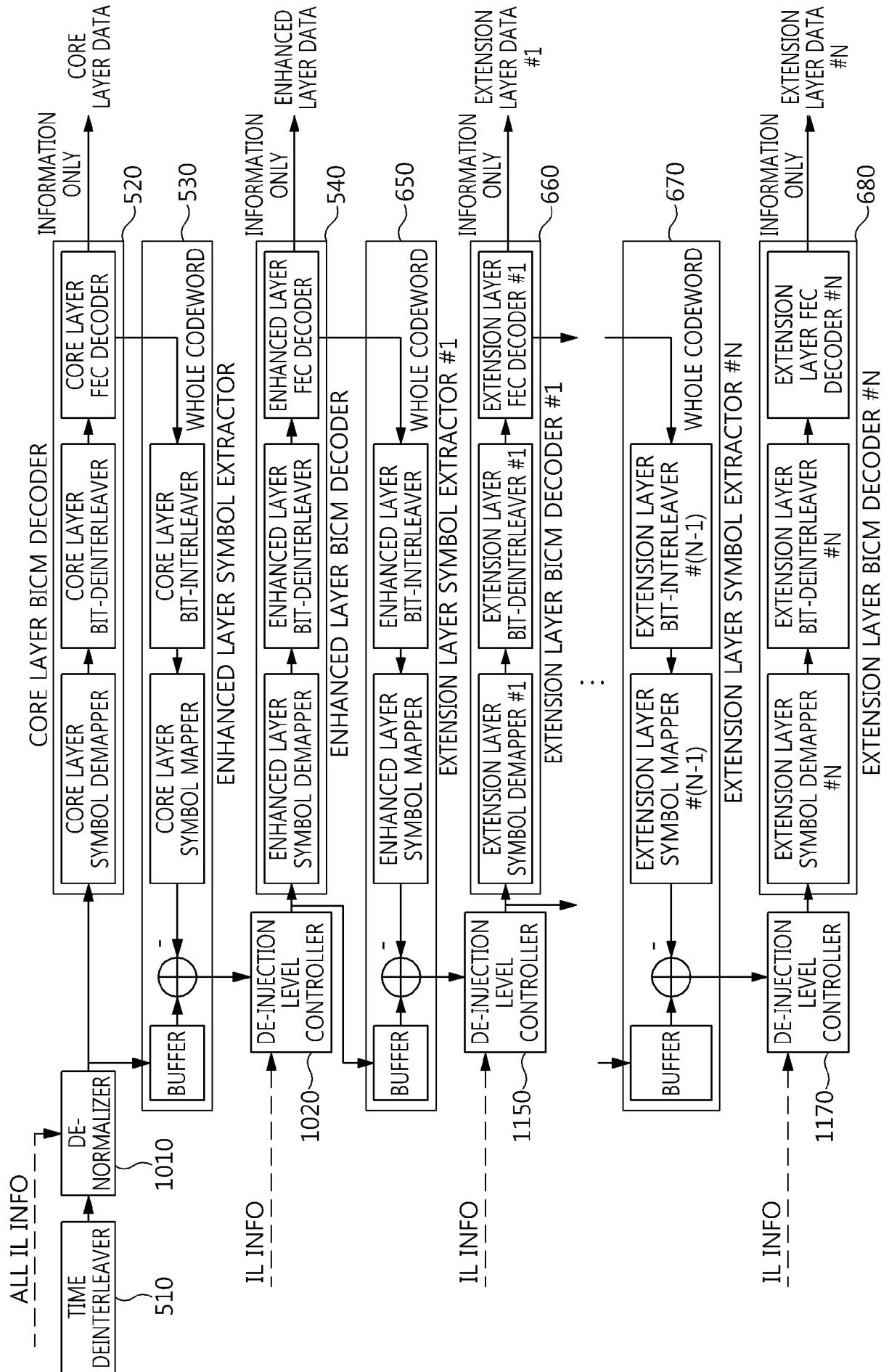
[도10]



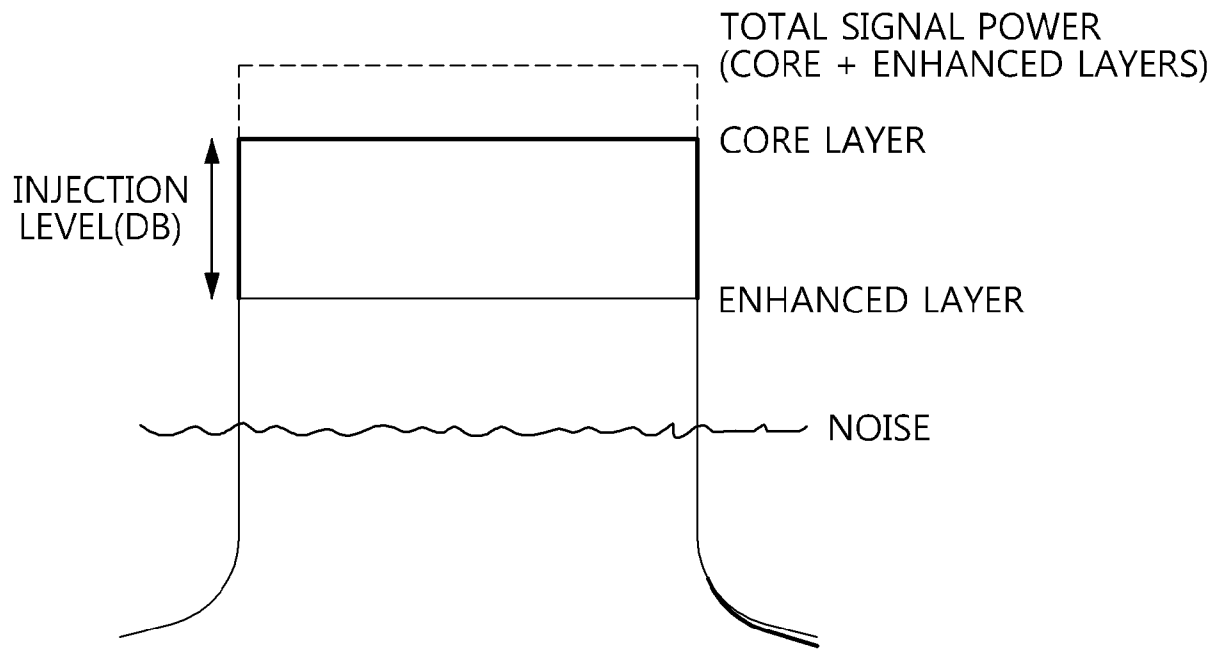
[도11]



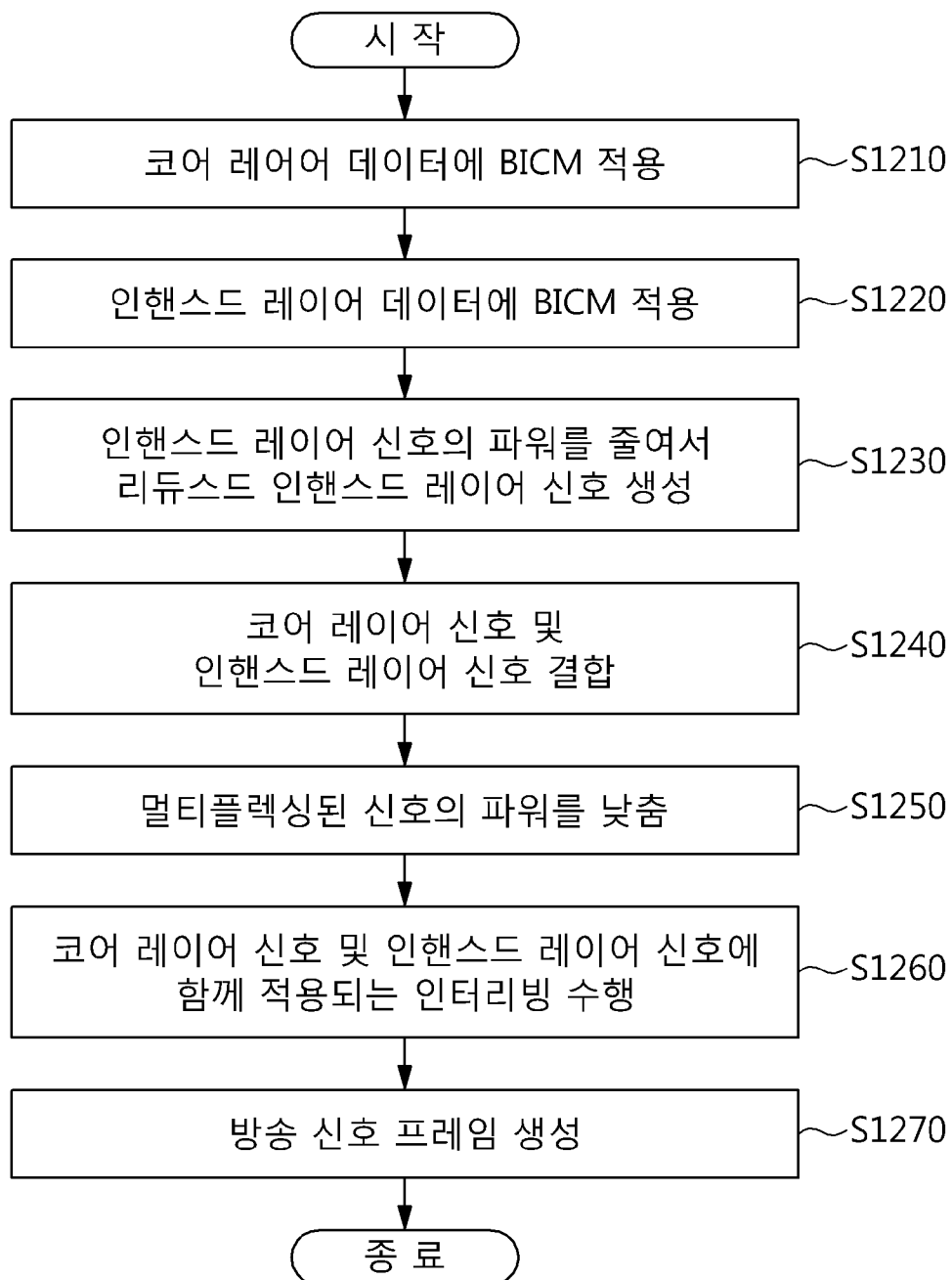
[도 12]



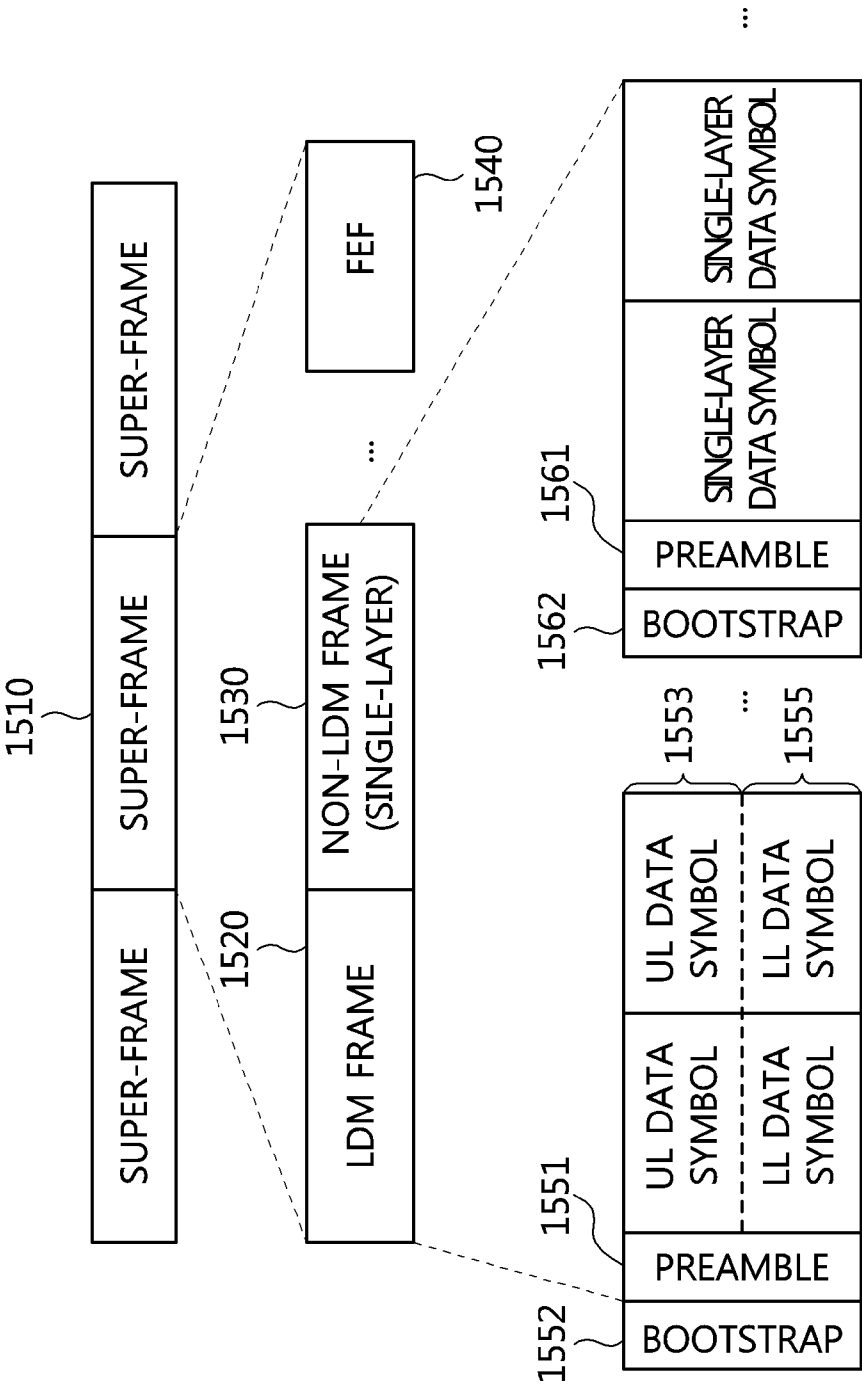
[도13]



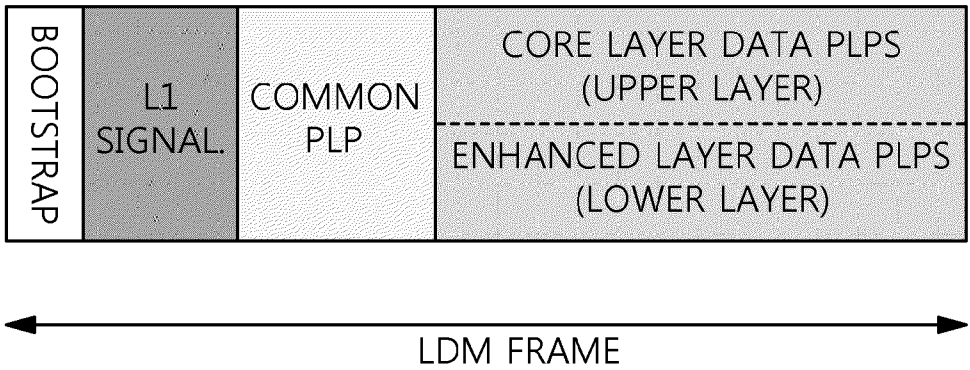
[도14]



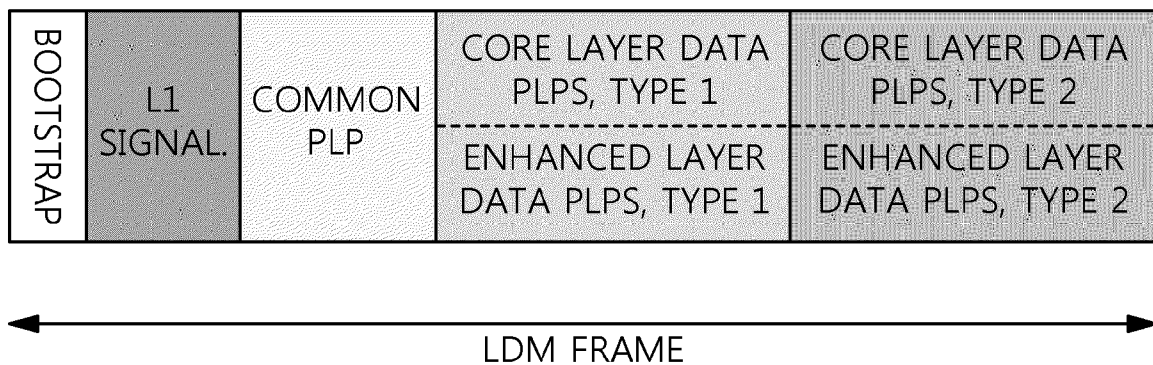
[도15]



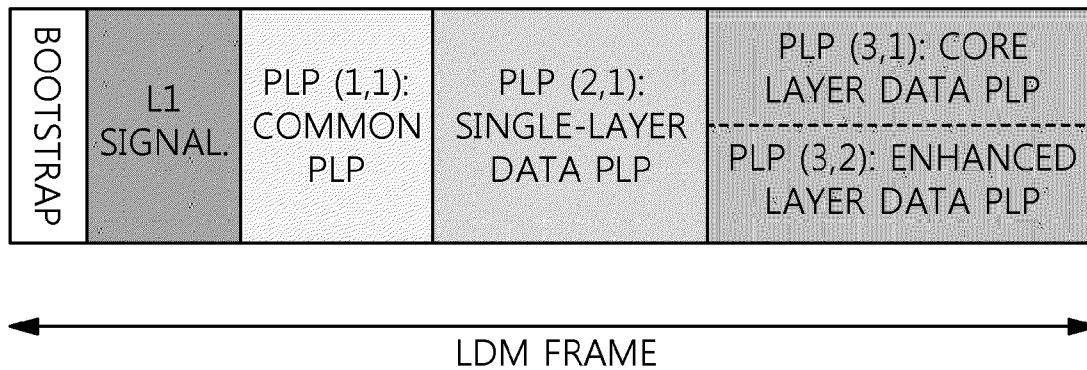
[도16]



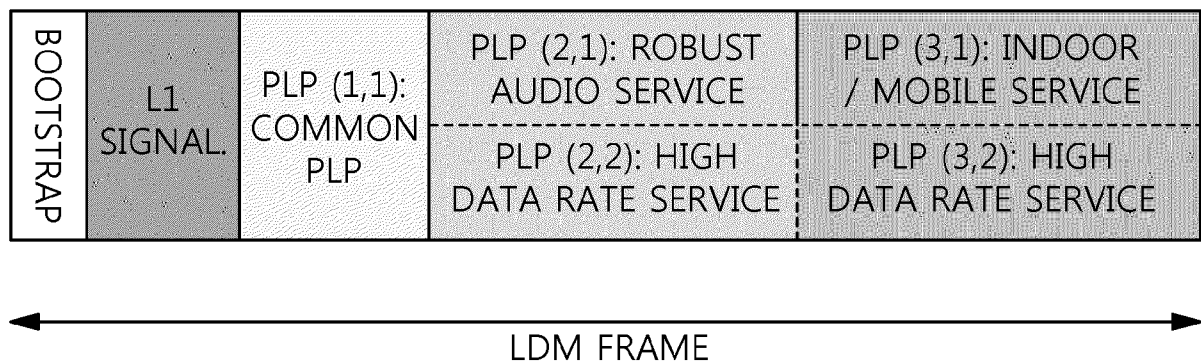
[도17]



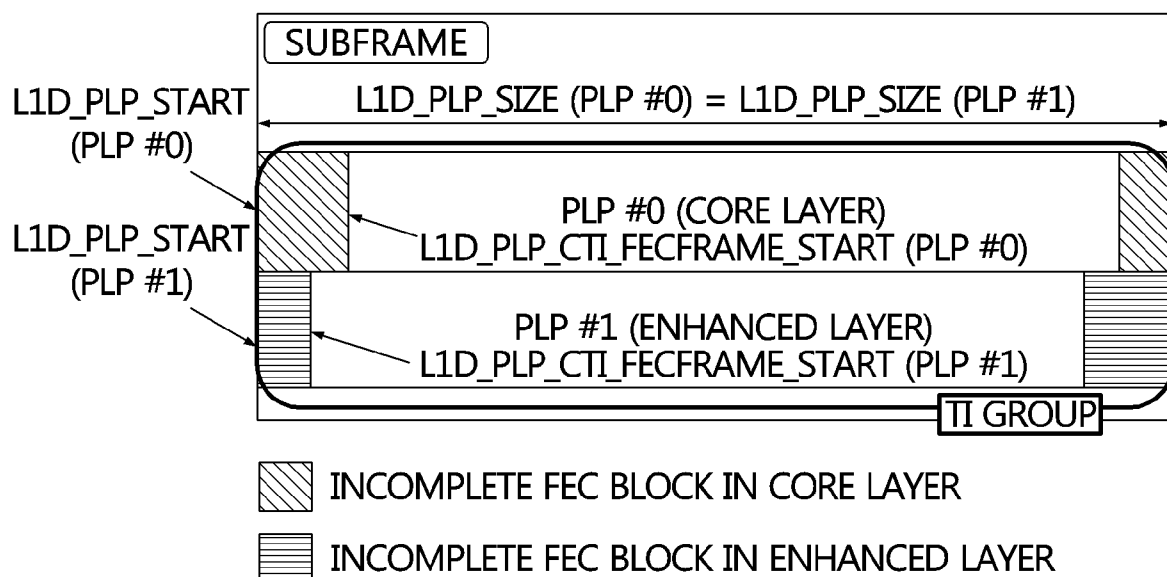
[도18]



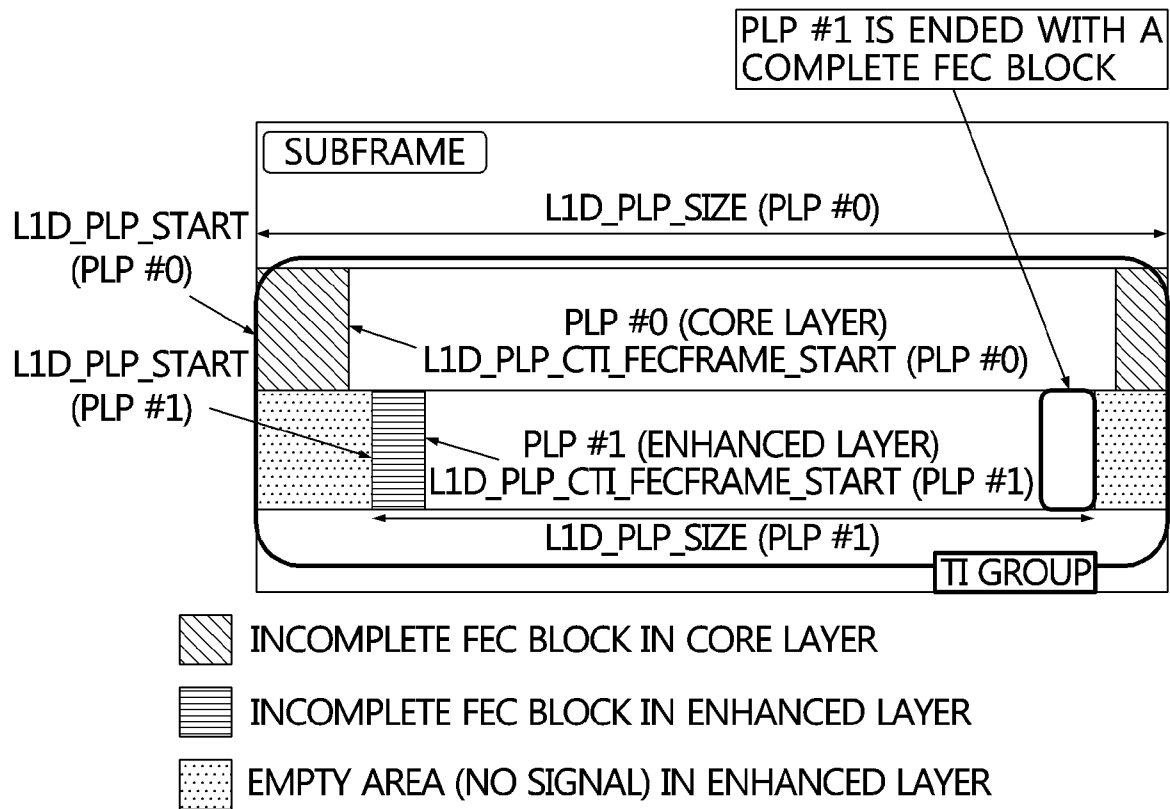
[도19]



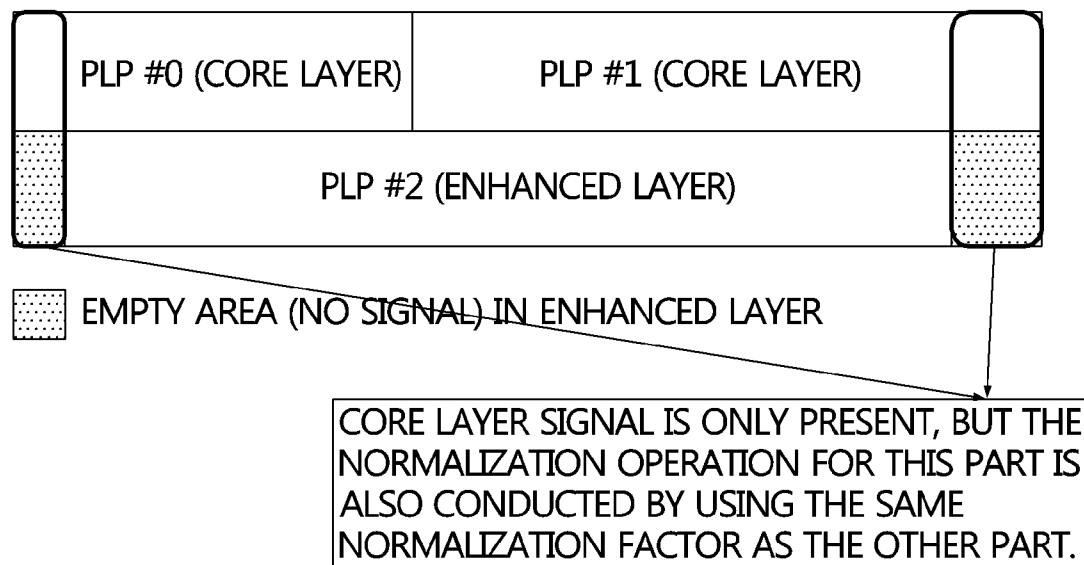
[도20]



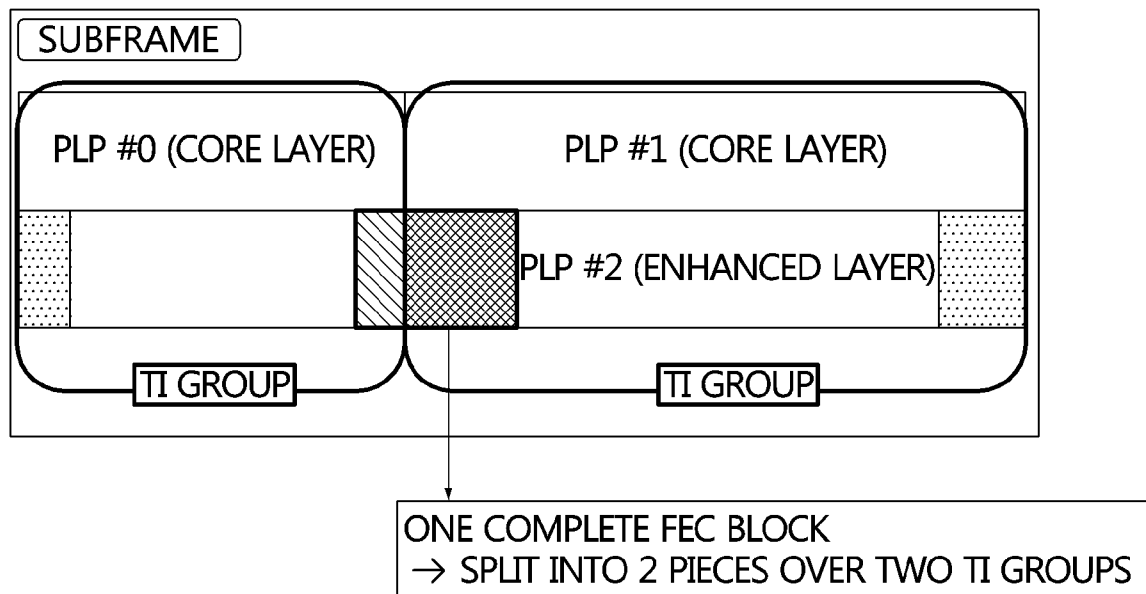
[도21]



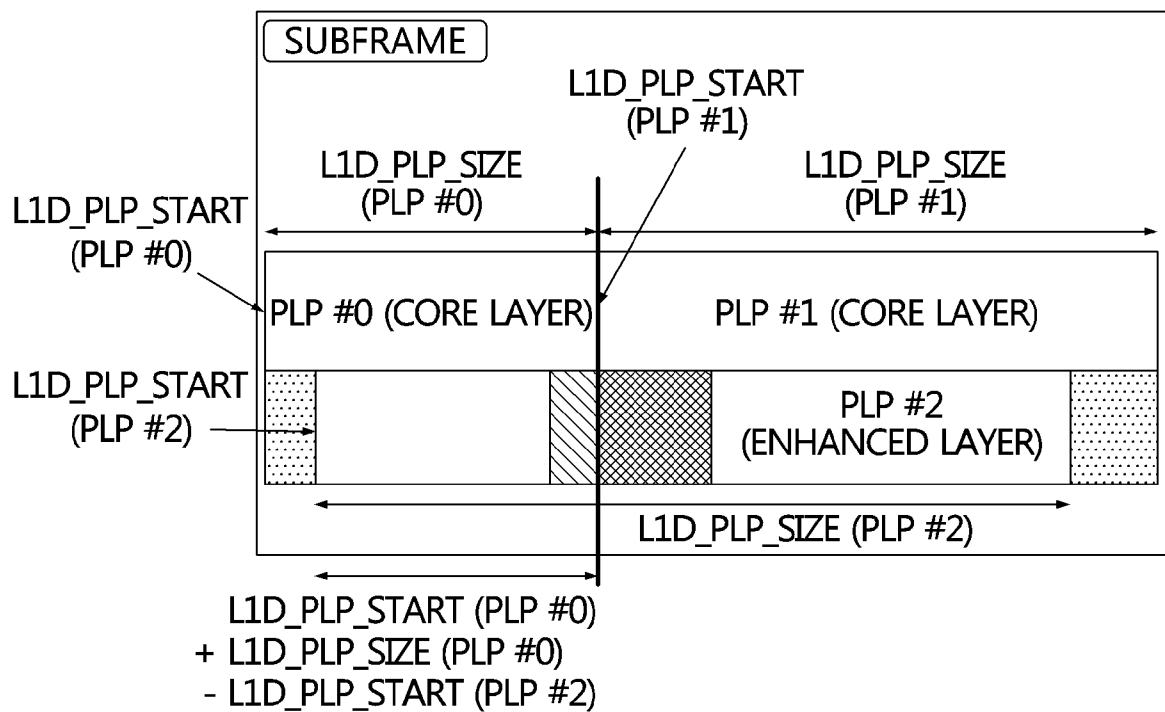
[도22]



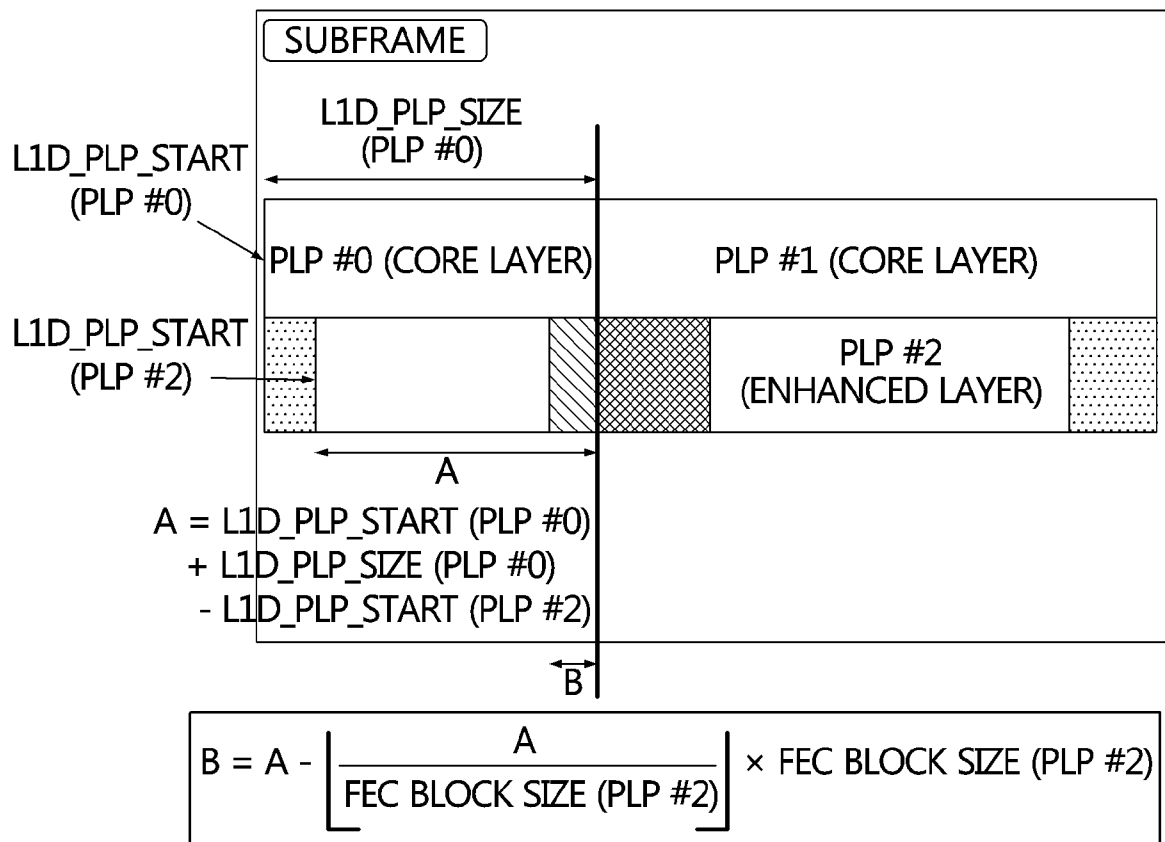
[도23]



[도24]

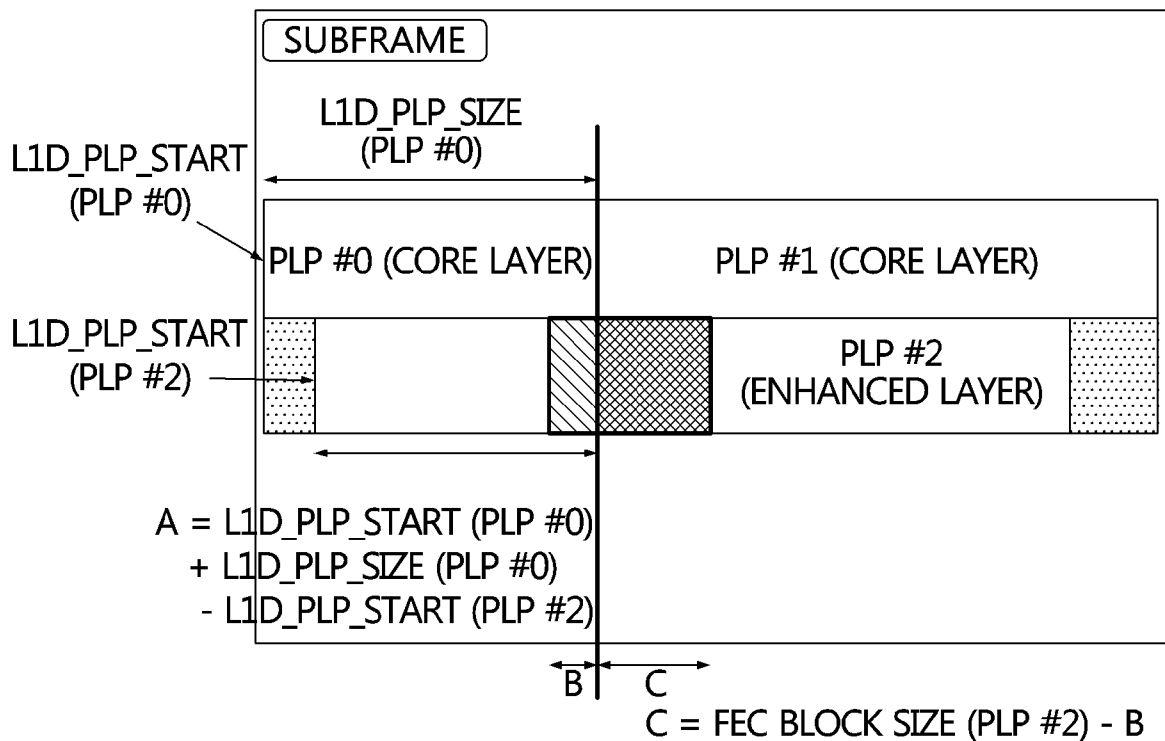


[도25]

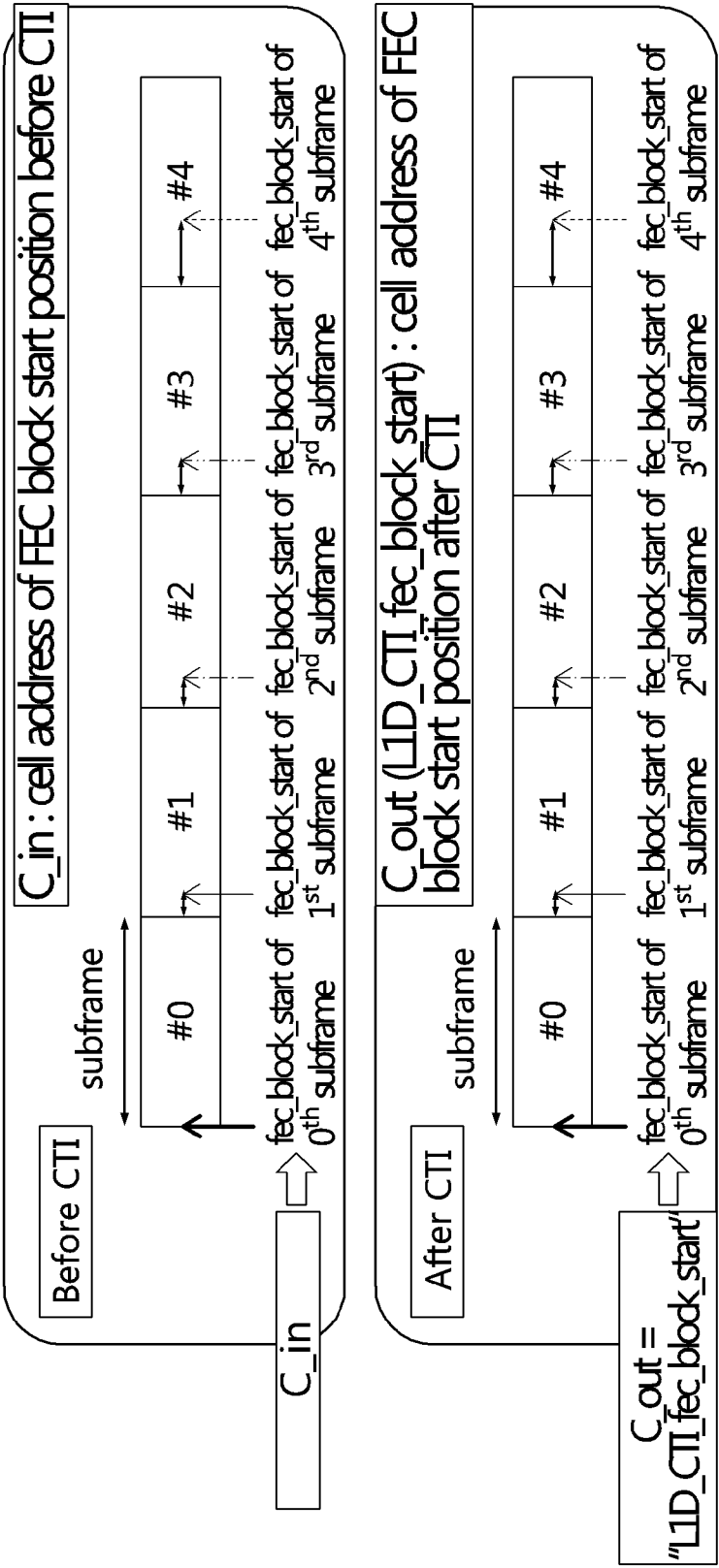


※ FEC BLOCK SIZE IS DECIDED BY L1D_PLP_MOD
EX.) QPSK : 32400, 16-NUC : 16200, ETC.

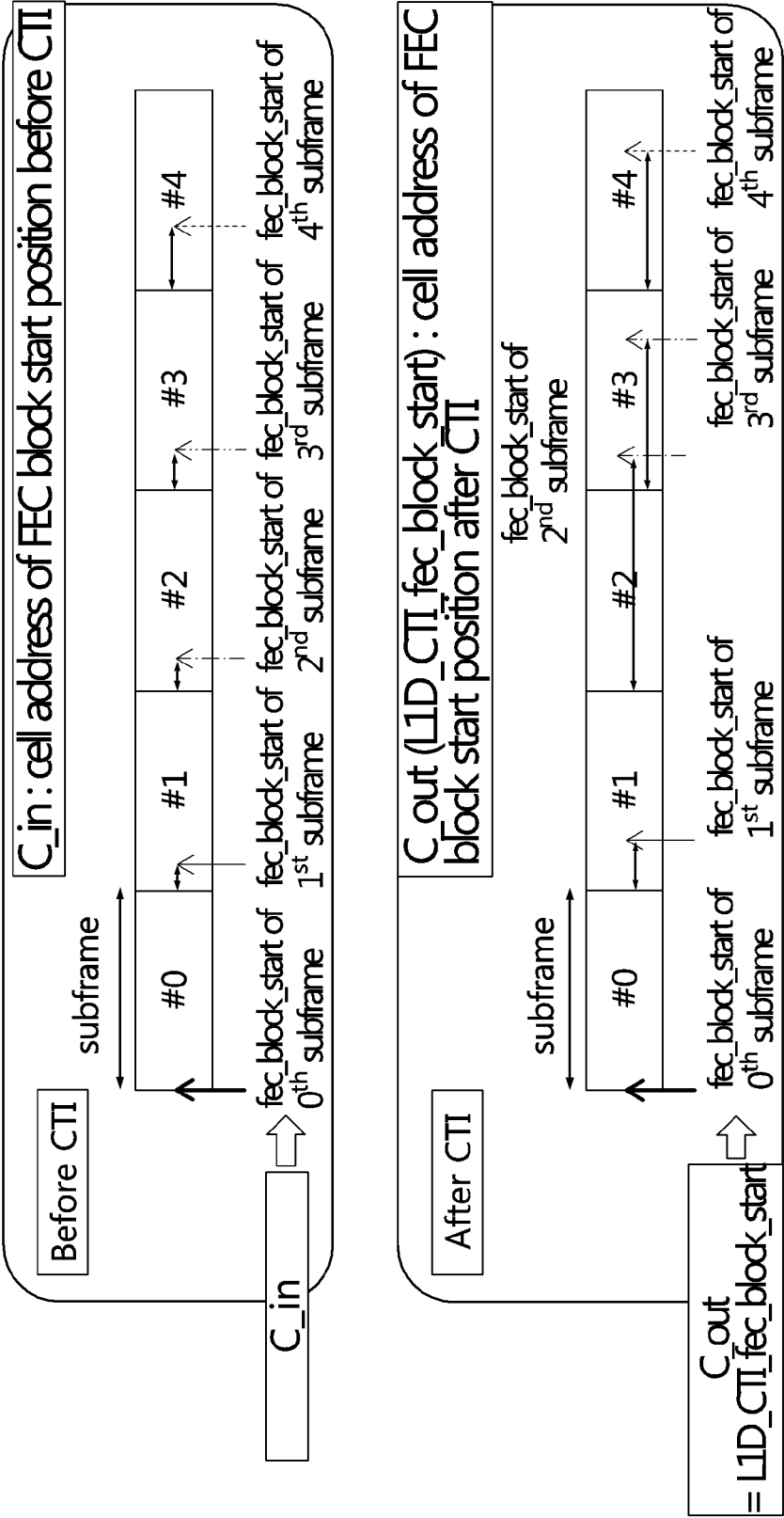
[도26]



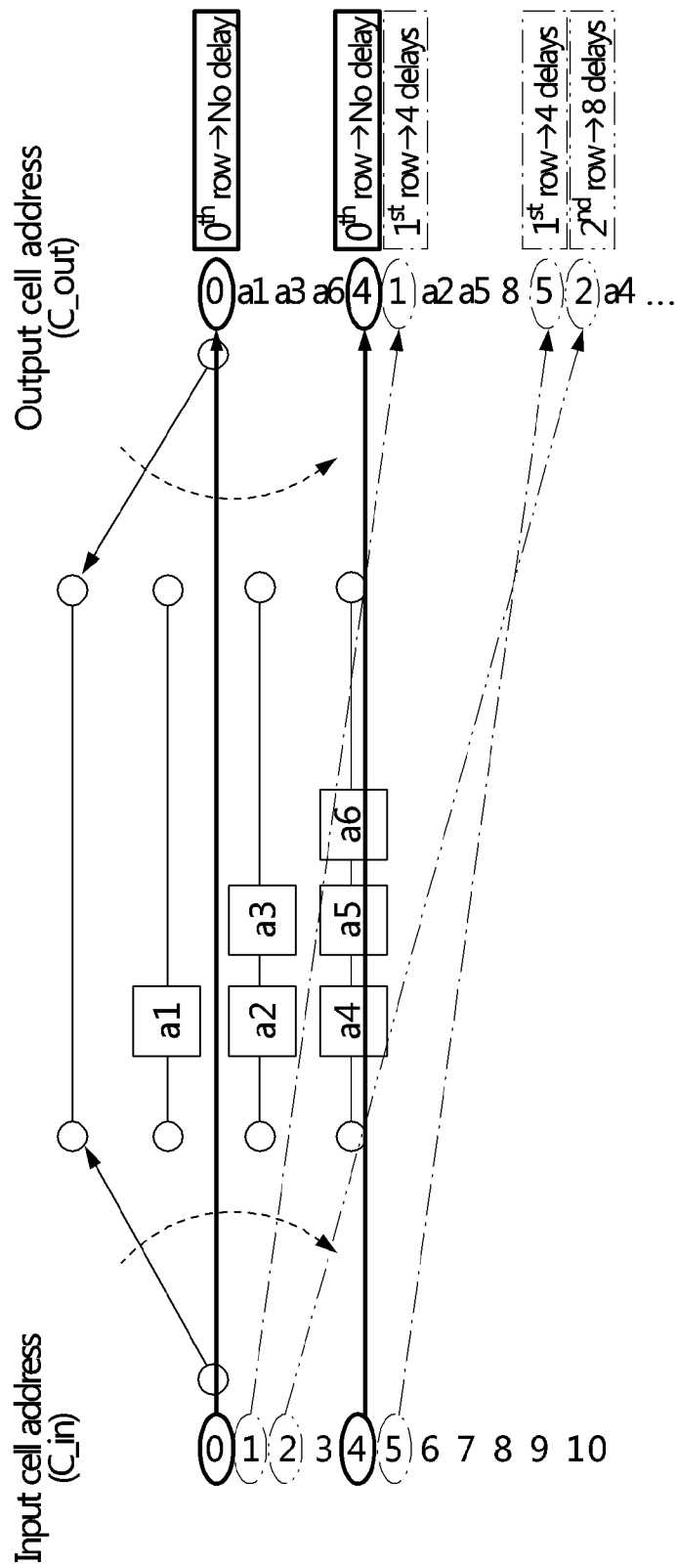
[도27]



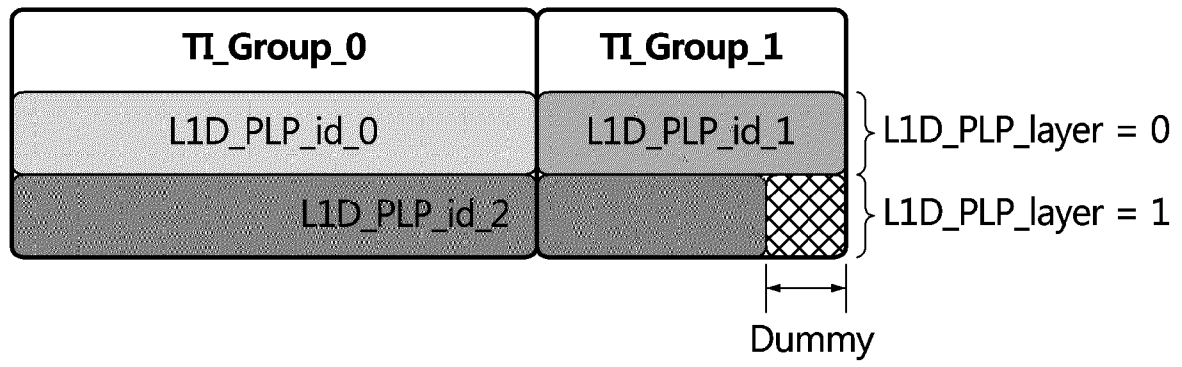
[도28]



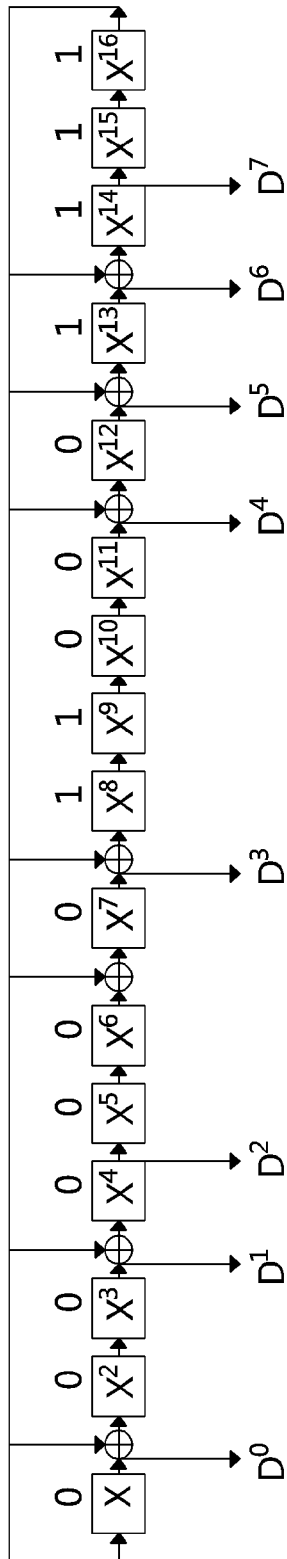
[도29]



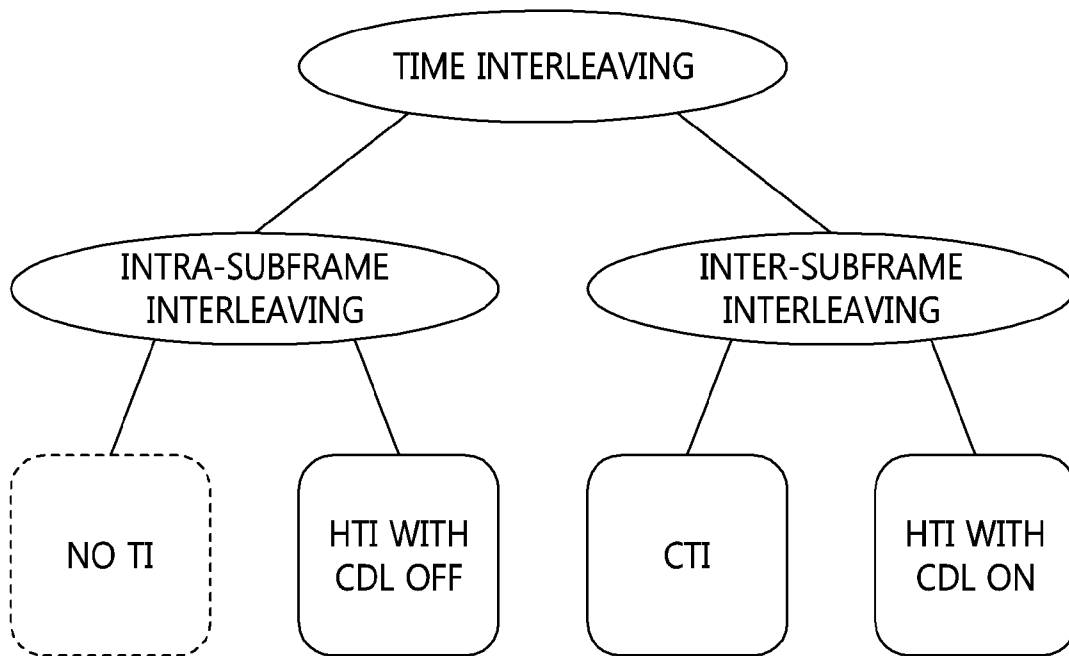
[도30]



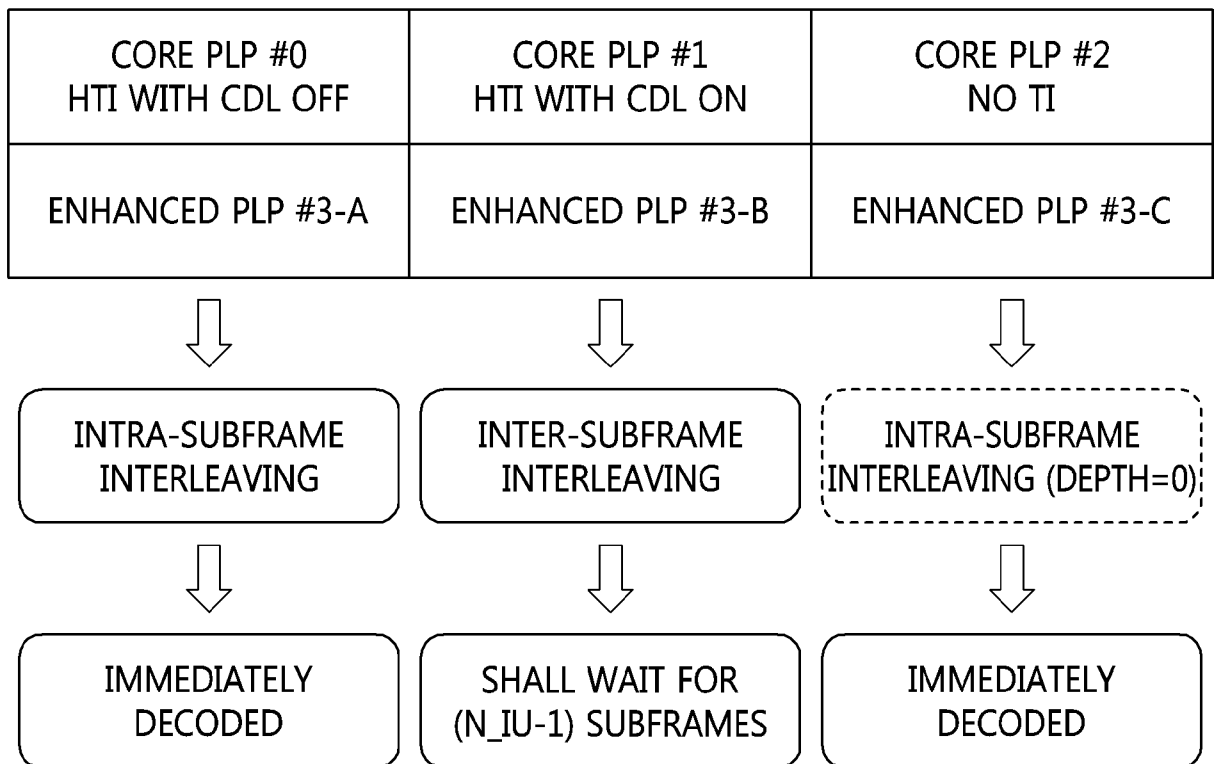
[도31]



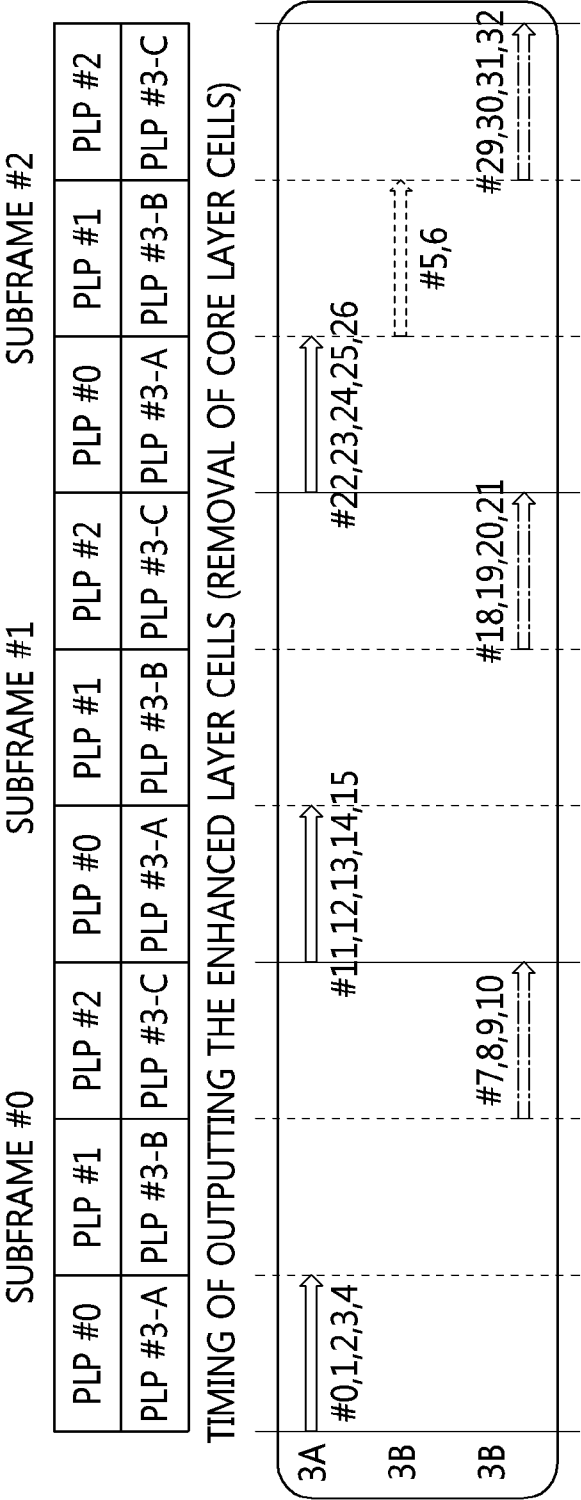
[도32]



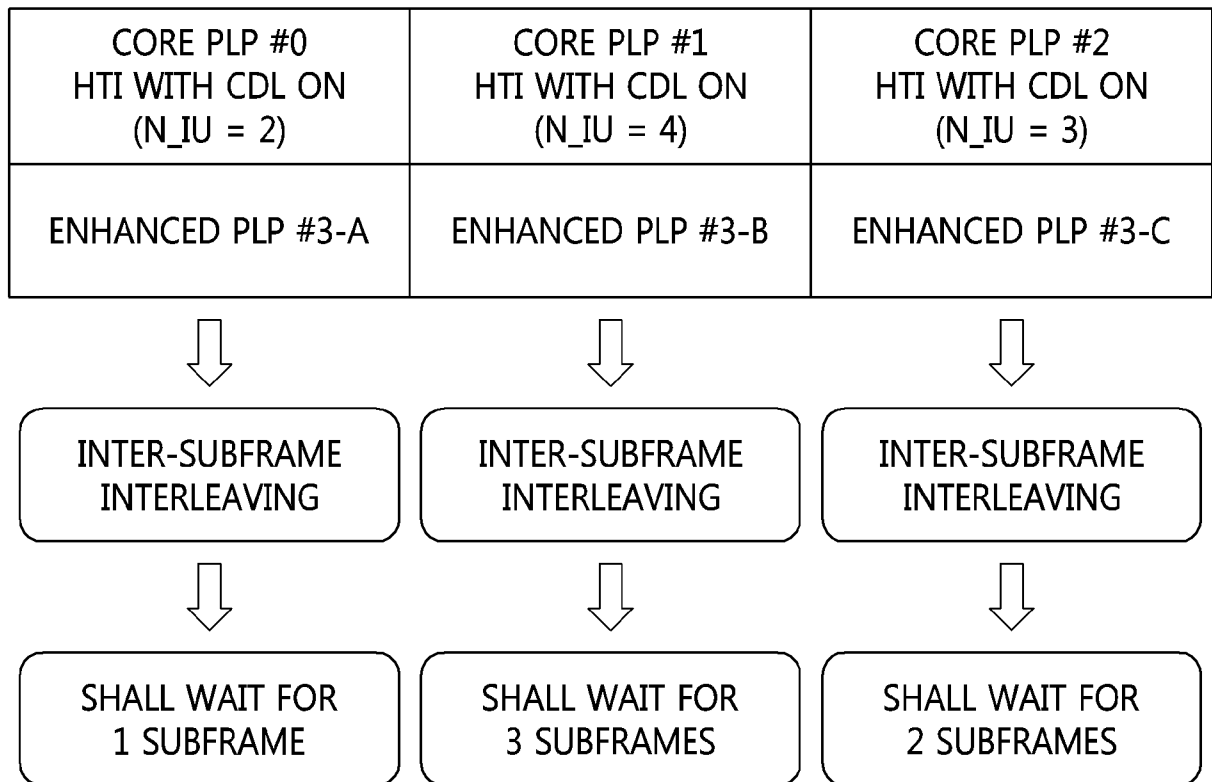
[도33]



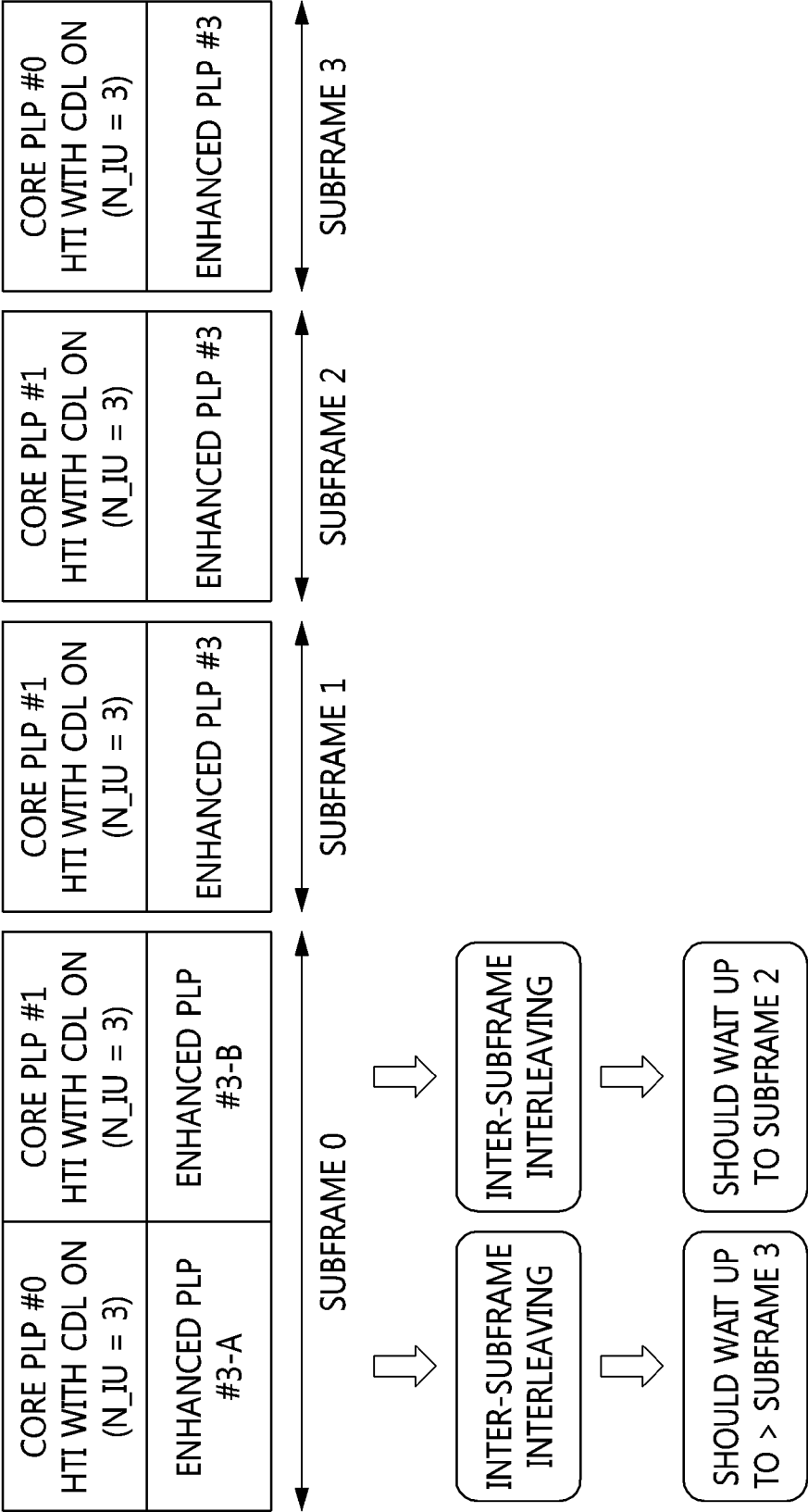
[도34]



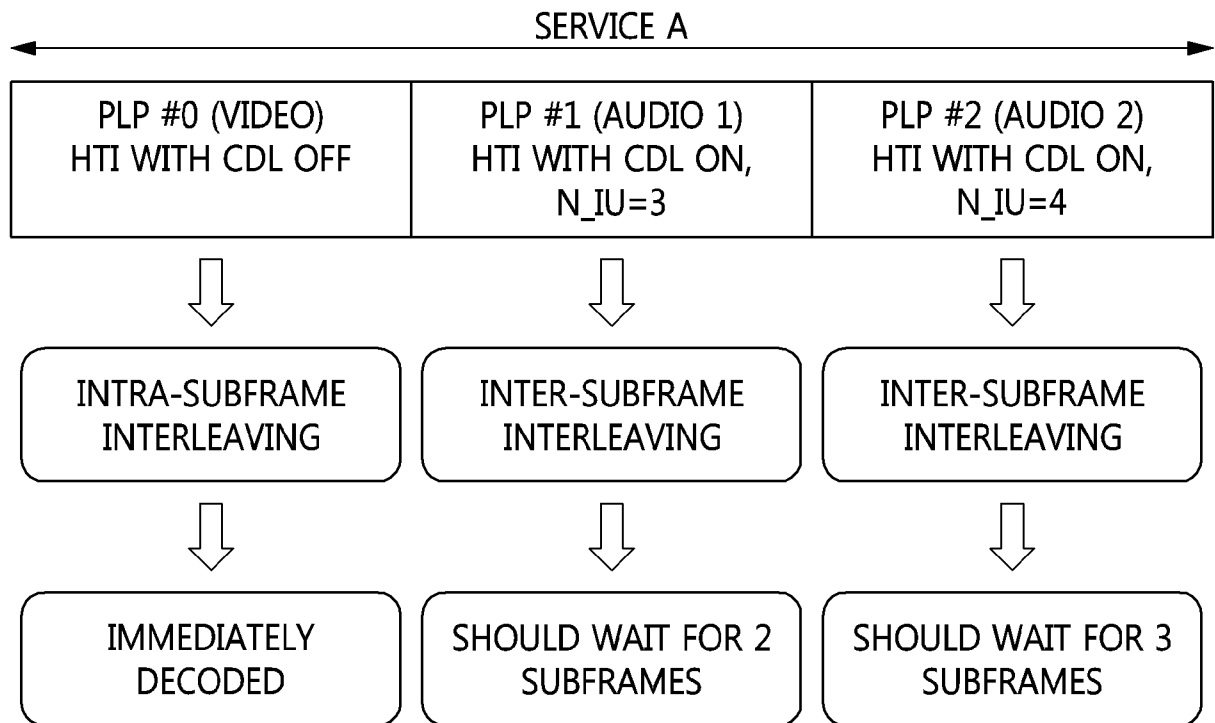
[도35]



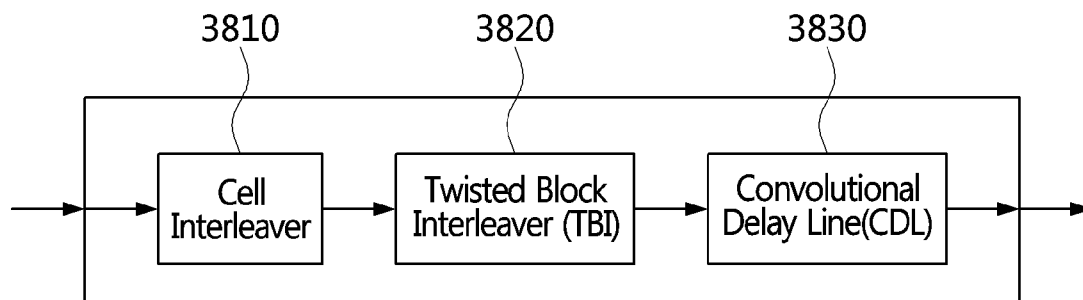
[도36]



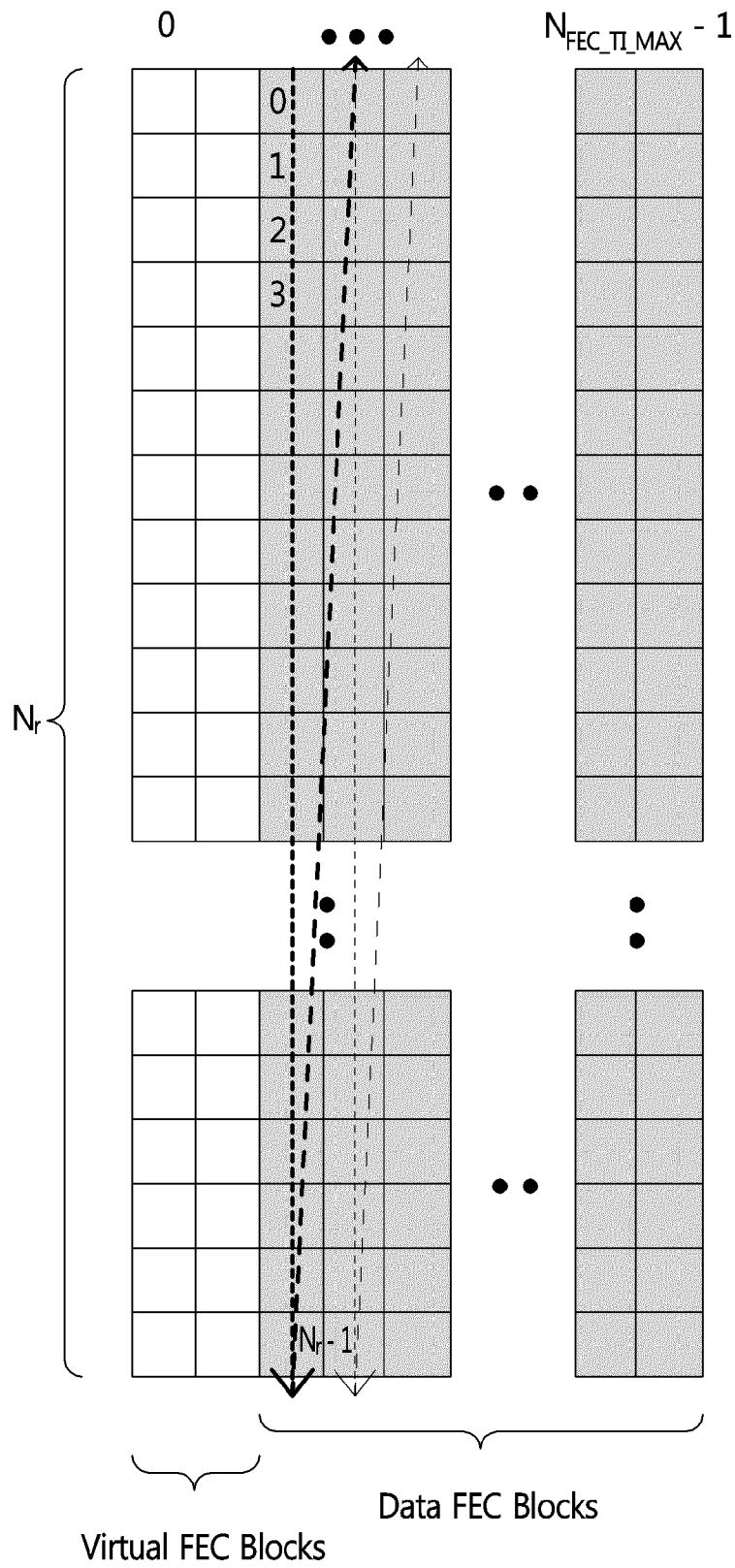
[도37]



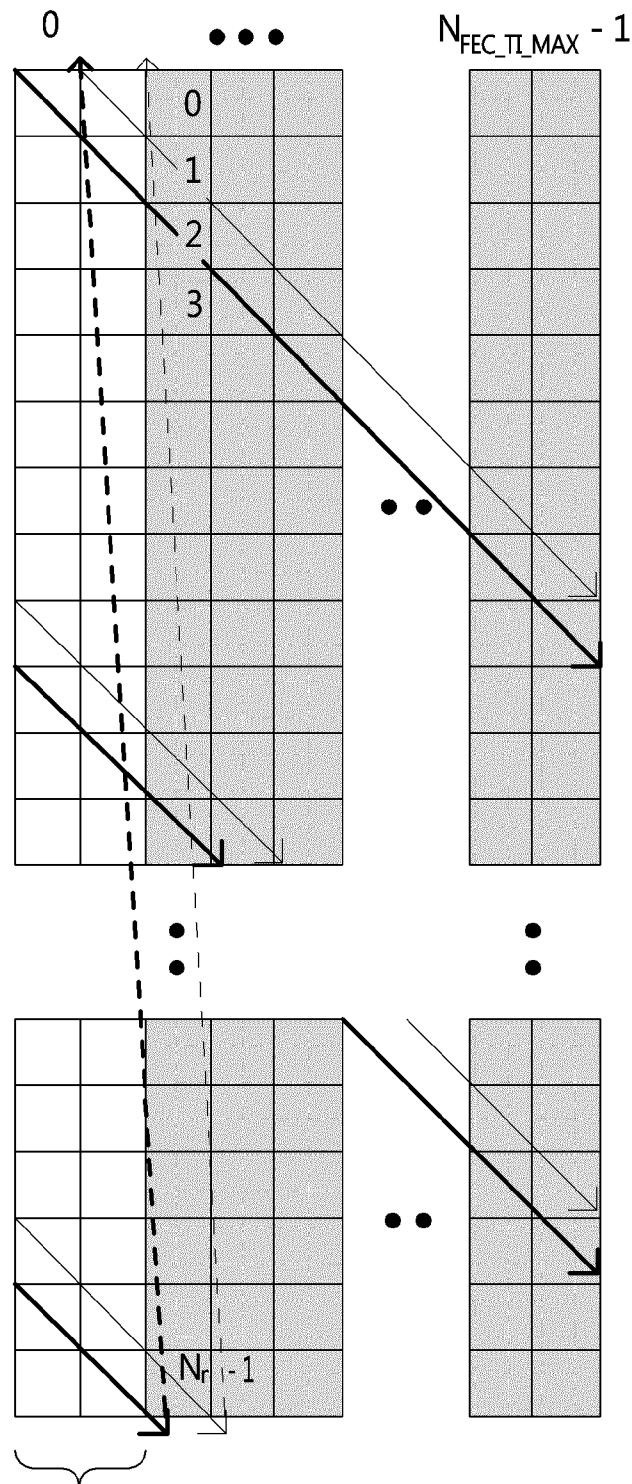
[도38]



[도39]

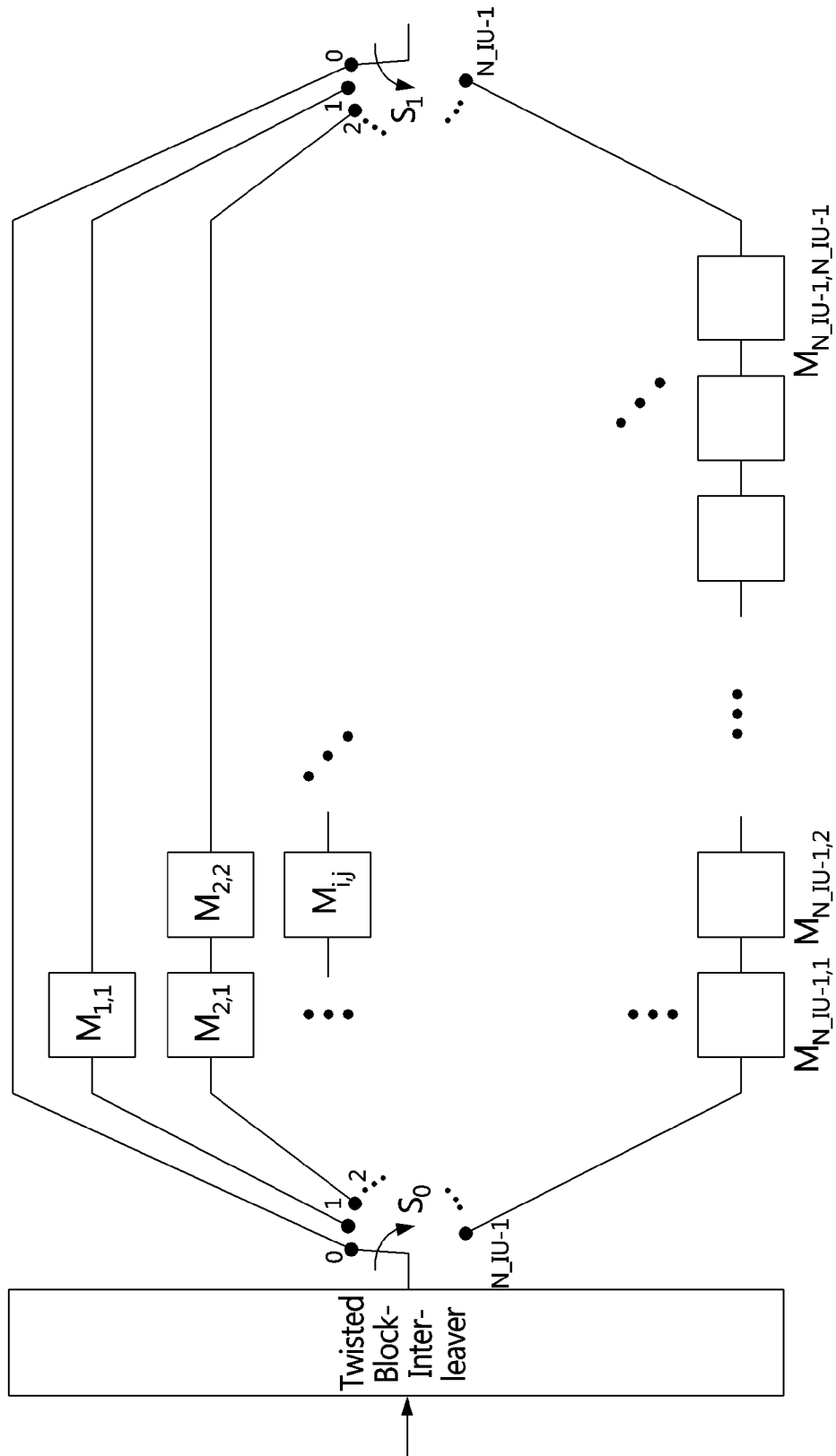


[도40]



Virtual FEC cells are skipped during reading processing

[도41]



[도42]

* X : virtual cells

X	X	0	8	16
X	X	1	9	17
X	X	2	10	18
X	X	3	11	19
X	X	4	12	20
X	X	5	13	21
X	X	6	14	22
X	X	7	15	23

<Writing in TBI memory>
- column-wise



X	X	0	8	16
X	X	1	9	17
X	X	2	10	18
X	X	3	11	19
X	X	4	12	20
X	X	5	13	21
X	X	6	14	22
X	X	7	15	23

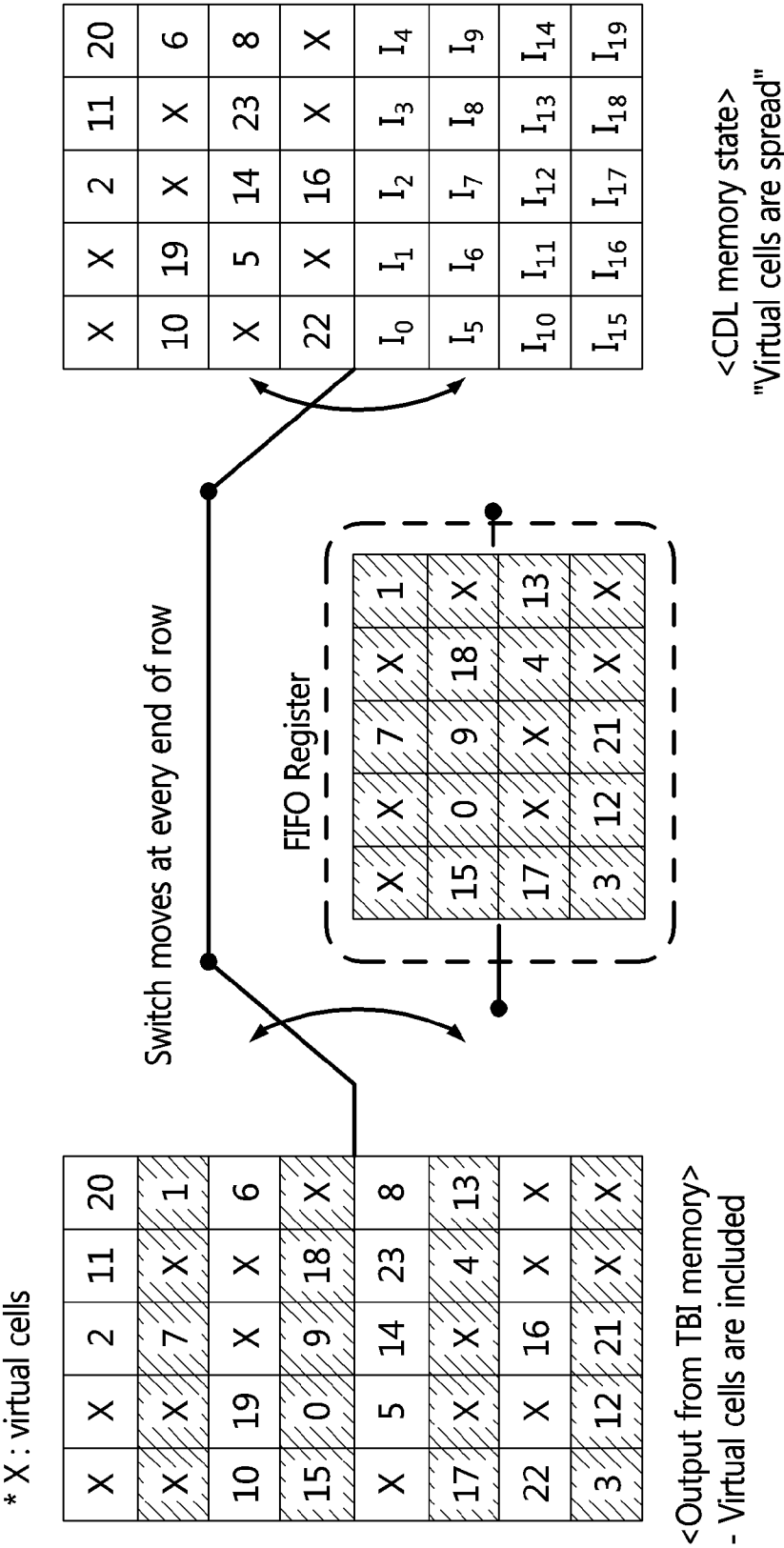
<Reading from TBI memory>
- Diagonal-wise



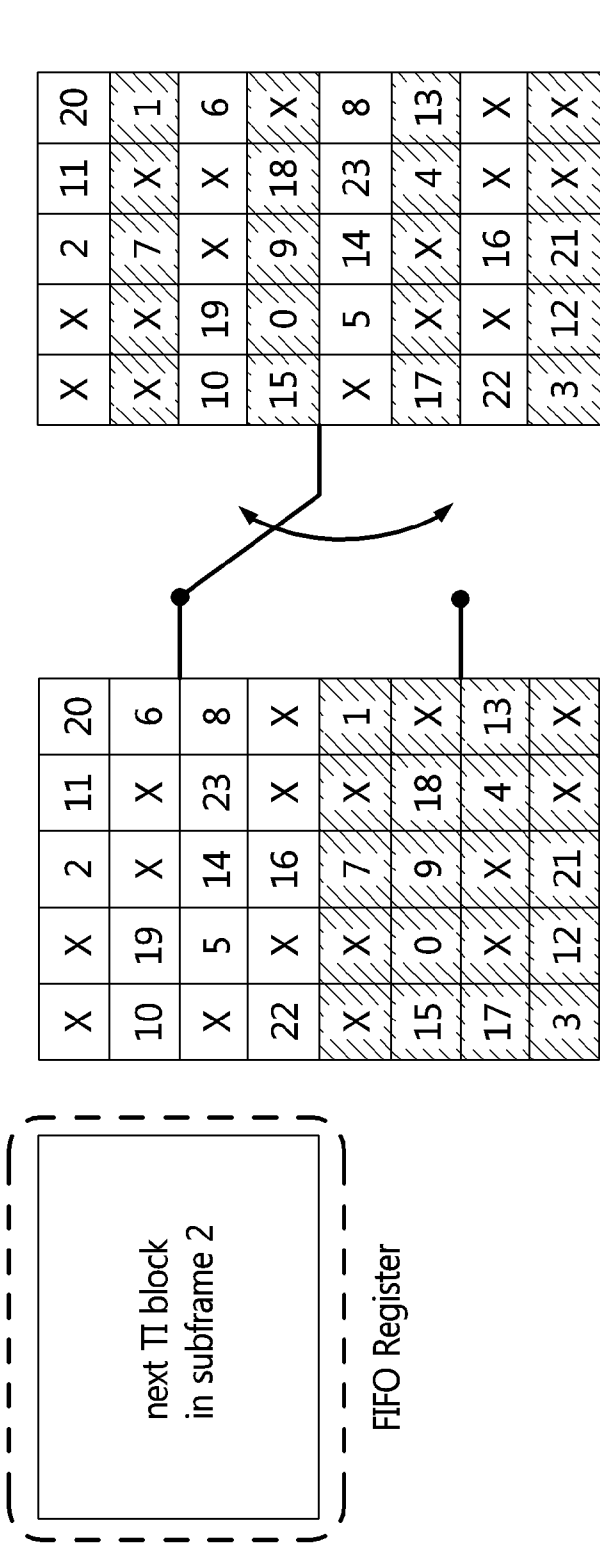
X	X	2	11	20
X	X	7	X	1
10	19	X	X	6
15	0	9	18	X
X	5	14	23	8
17	X	X	4	13
22	X	16	X	X
3	12	21	X	X

<Output from TBI memory>
- Virtual cells are included

[도43]



[도44]



<Rx. CDL memory state including virtual cells>

<Writing order to TBI memory>

[도45]

0	8	16
1	9	17
2	10	18
3	11	19
4	12	20
5	13	21
6	14	22
7	15	23



X	X	0	8	16
X	X	1	9	17
X	X	2	10	18
X	X	3	11	19
X	X	4	12	20
X	X	5	13	21
X	X	6	14	22
X	X	7	15	23

X	X	2	11	20
X	X	7	X	1
10	19	X	X	6
15	0	9	18	X
X	5	14	23	8
17	X	X	4	13
22	X	16	X	X
3	12	21	X	X

<Reading from TBDI
memory removing
virtual cells>

<Writing in TBDI memory>

[도46]

* X : virtual cells

X																	
X	X																
X	X	X															
X	X	X	X														
X	X	X	X	X													
X	X	X	X	X	X												
X	X	X	X	X	X	X											
X	X	X	X	X	X	X	X										

<Writing in TBI memory>
- column-wise



X	X																
X	X	X															
X	X	X	X														
X	X	X	X	X													
X	X	X	X	X	X												
X	X	X	X	X	X	X											
X	X	X	X	X	X	X	X										
X	X	X	X	X	X	X	X	X									

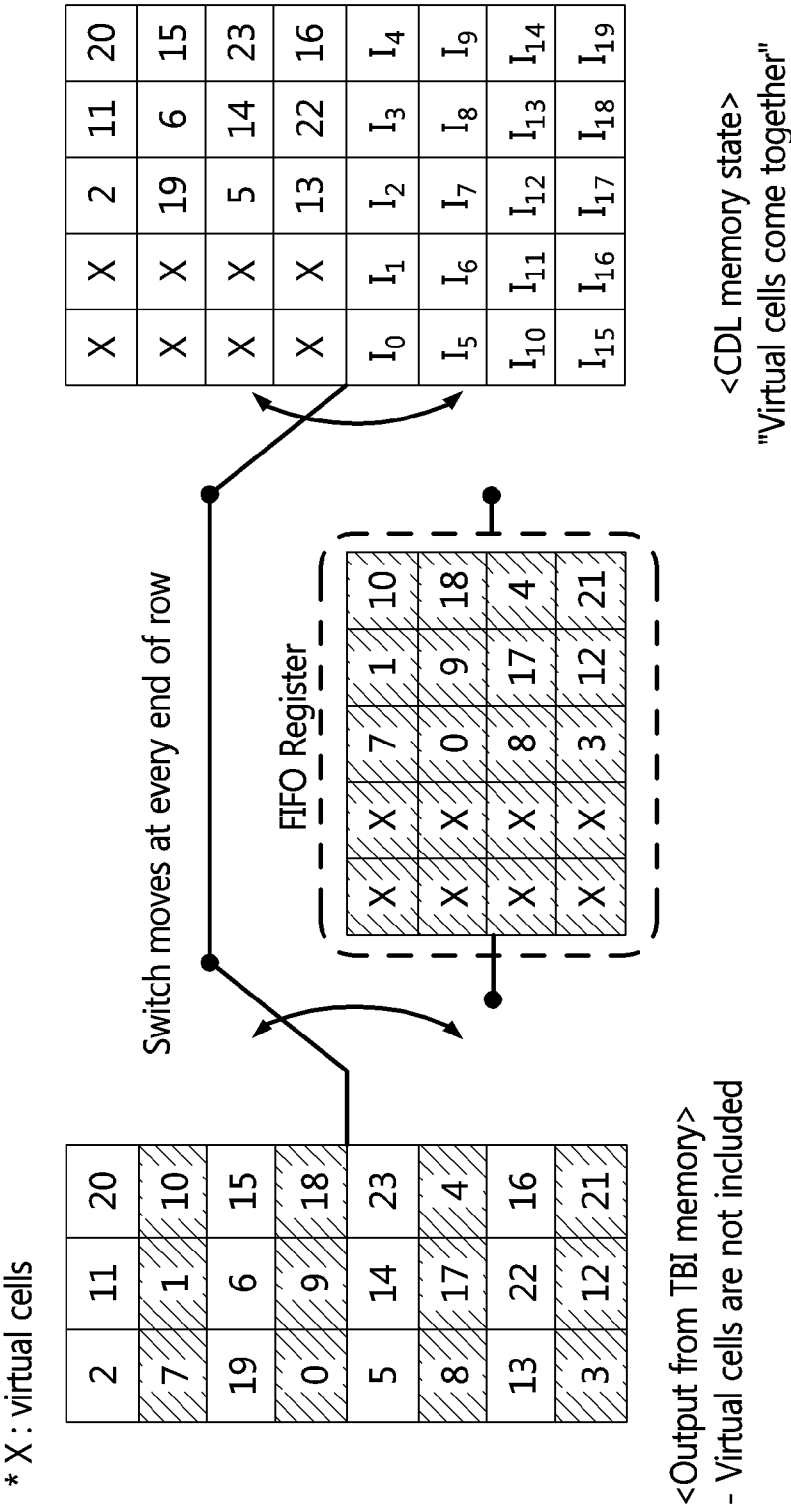
<Reading from TBI memory>
- Diagonal-wise



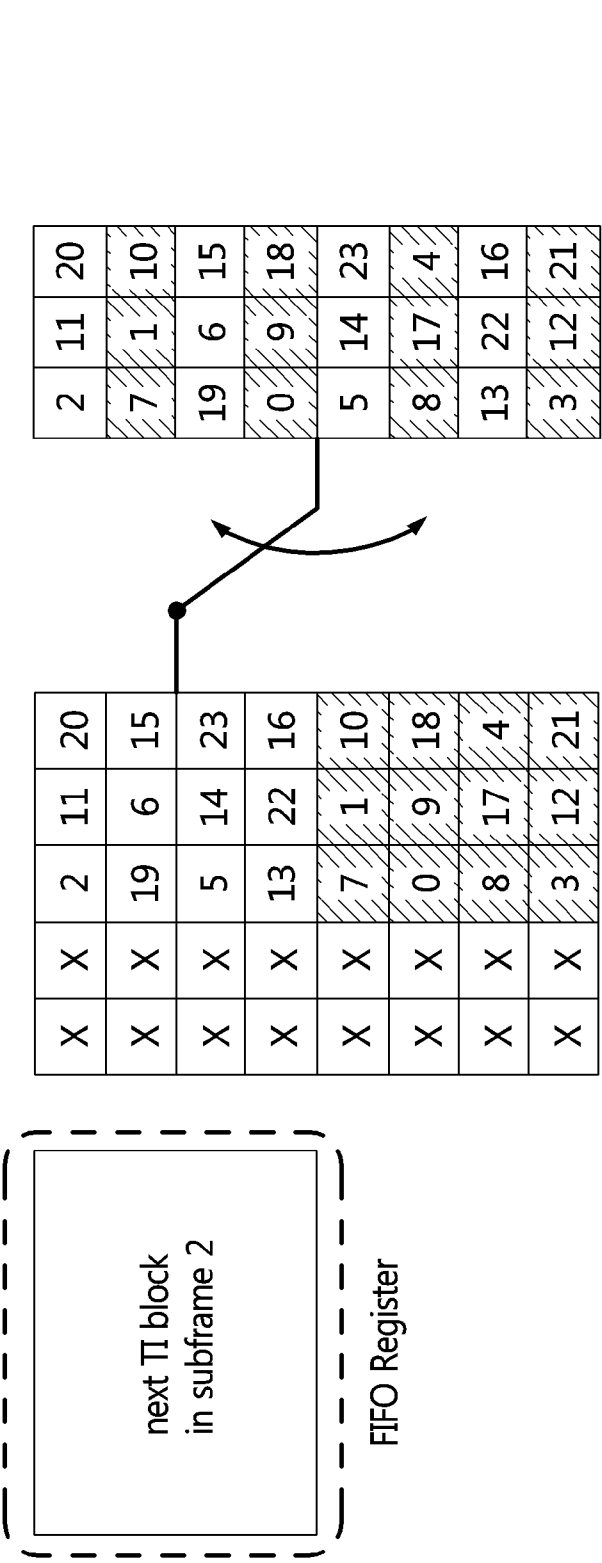
2	11	20
7	1	10
19	6	15
0	9	18
5	14	23
8	17	4
13	22	16
3	12	21

<Output from TBI memory>
- Virtual cells are not included

[도47]



[도48]



<Rx. CDL memory state including virtual cells>
"Virtual cells come together"

<Writing order to TBDI memory>

[도49]

0	8	16
1	9	17
2	10	18
3	11	19
4	12	20
5	13	21
6	14	22
7	15	23

<Reading from TBDI
memory removing
virtual cells>

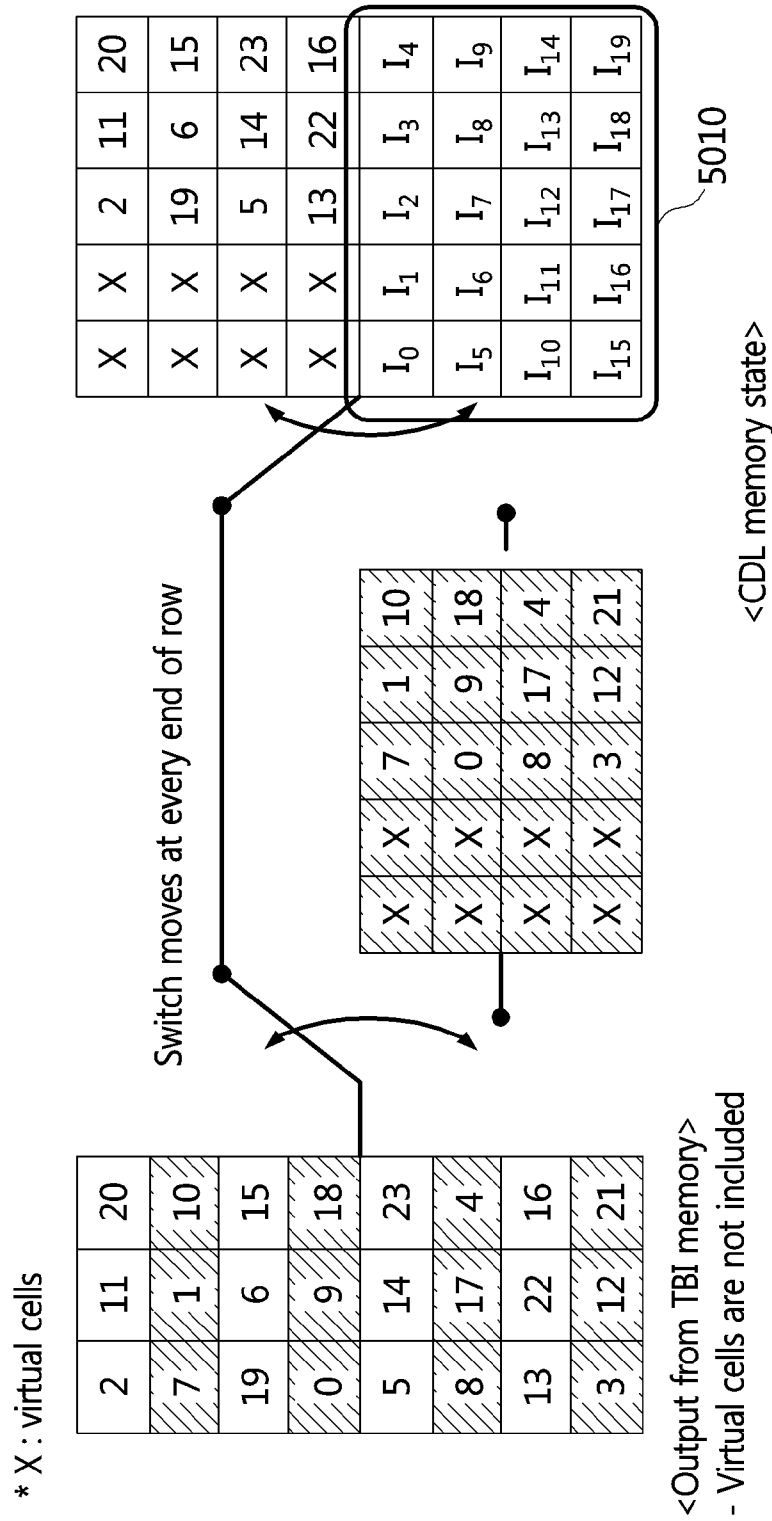


X	X	0	8	16
X	X	1	9	17
X	X	2	10	18
X	X	3	11	19
X	X	4	12	20
X	X	5	13	21
X	X	6	14	22
X	X	7	15	23

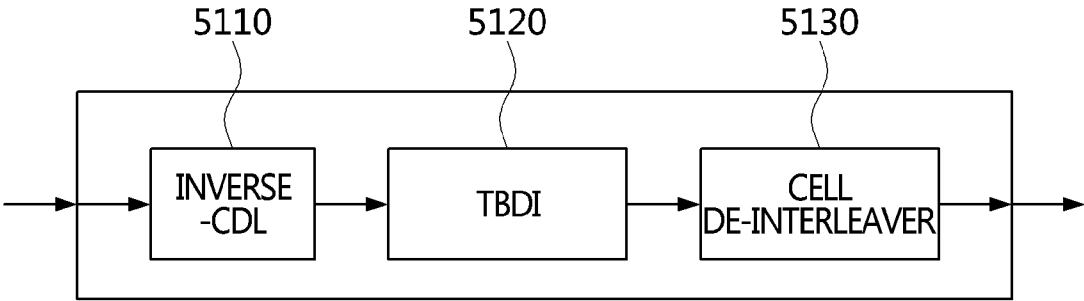
<Writing in TBDI memory>

2	11	20
7	1	10
19	6	15
0	9	18
5	14	23
8	17	4
13	22	16
3	12	21

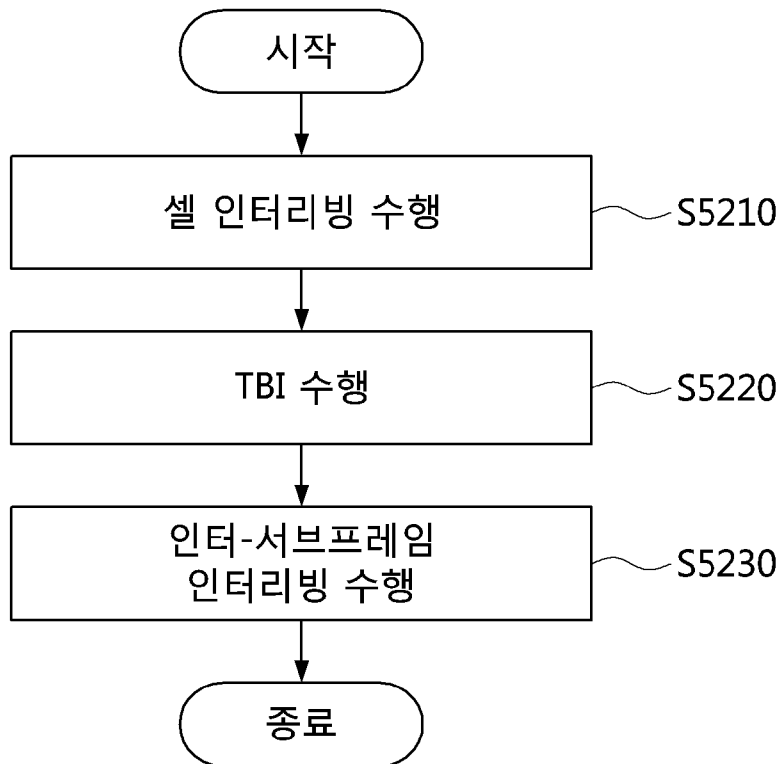
[도50]



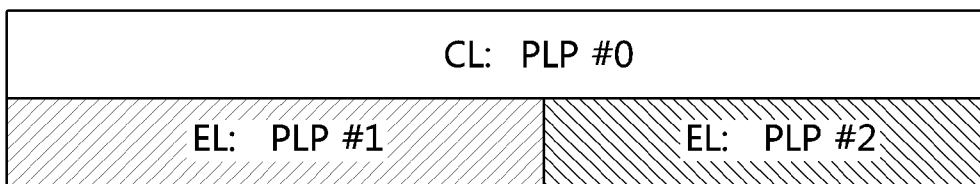
[도51]



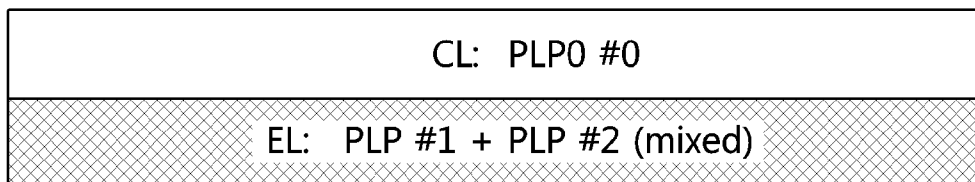
[도52]



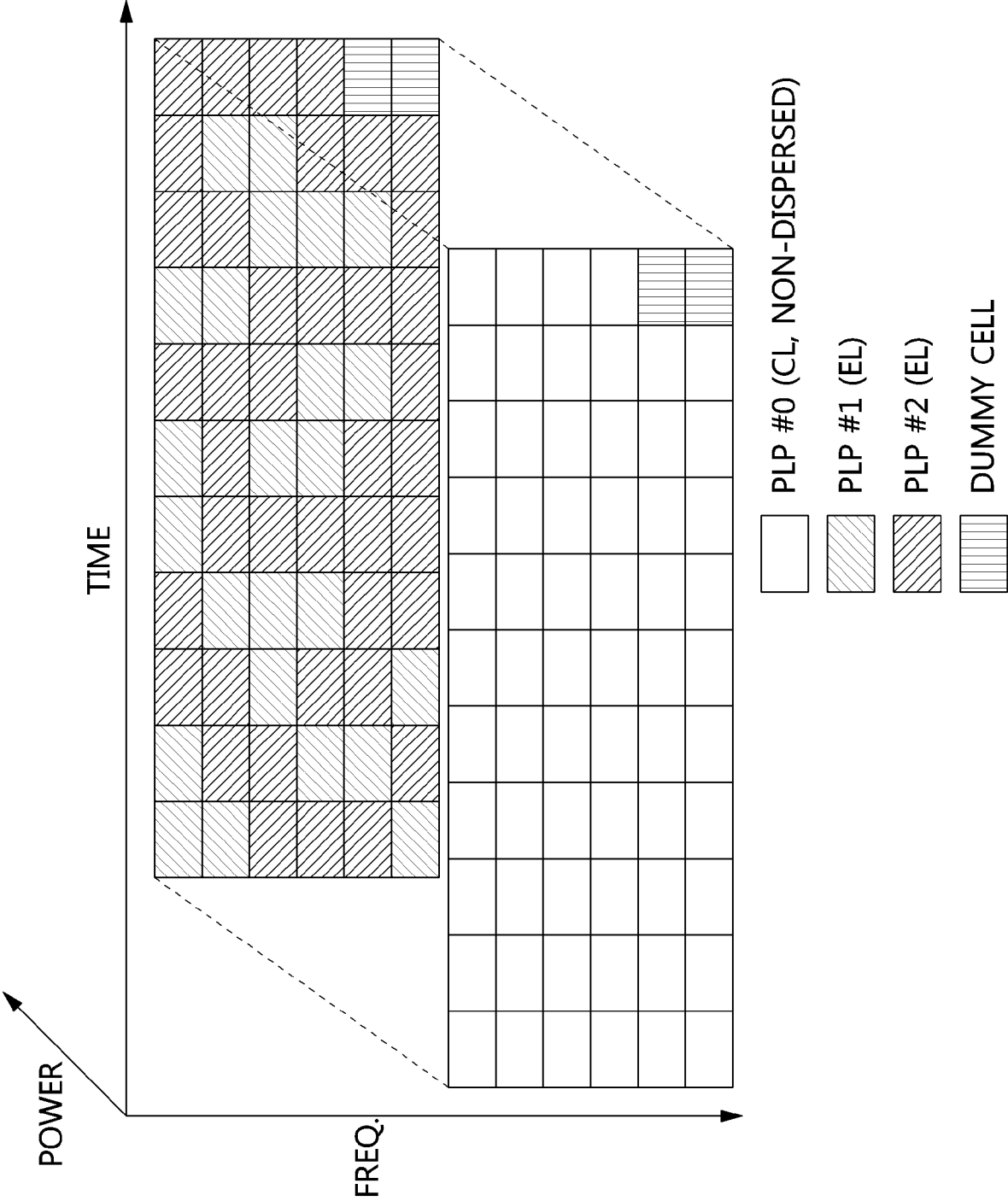
[도53]



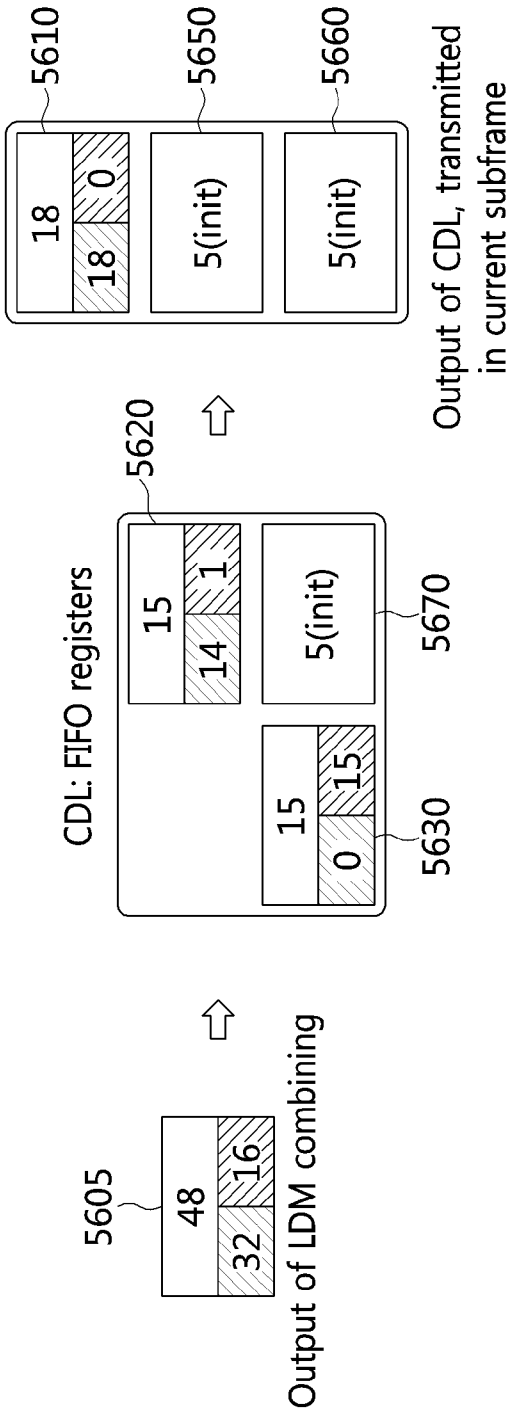
[도54]



[도55]

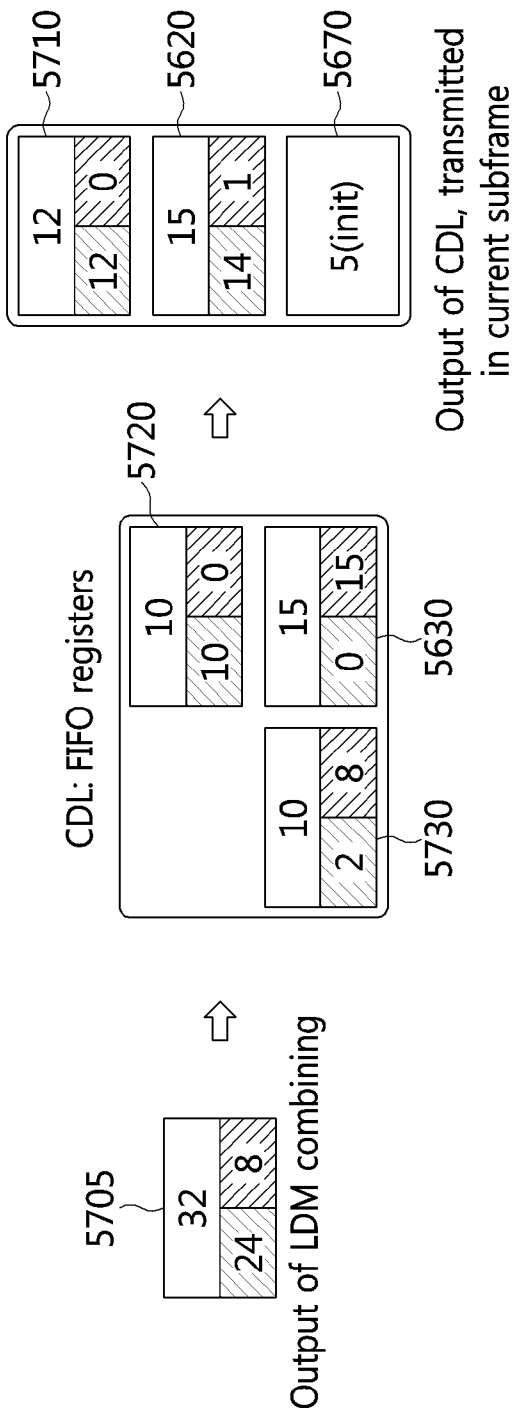


[도56]



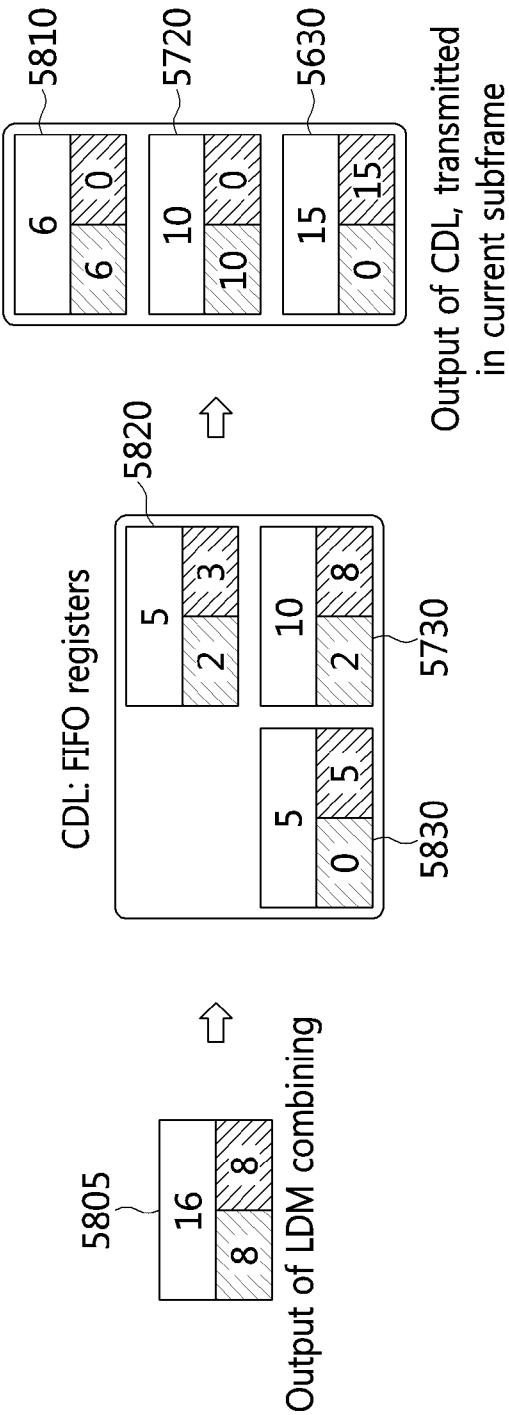
Time = 0	PLP #0 (after TI)	PLP #1 (before TI)	PLP #2 (before TI)
L1D_plp_size	28 (including init.10 cells)	32	16
L1D_plp_start	0	0	32 (L1D_plp_size(#1))

[도57]



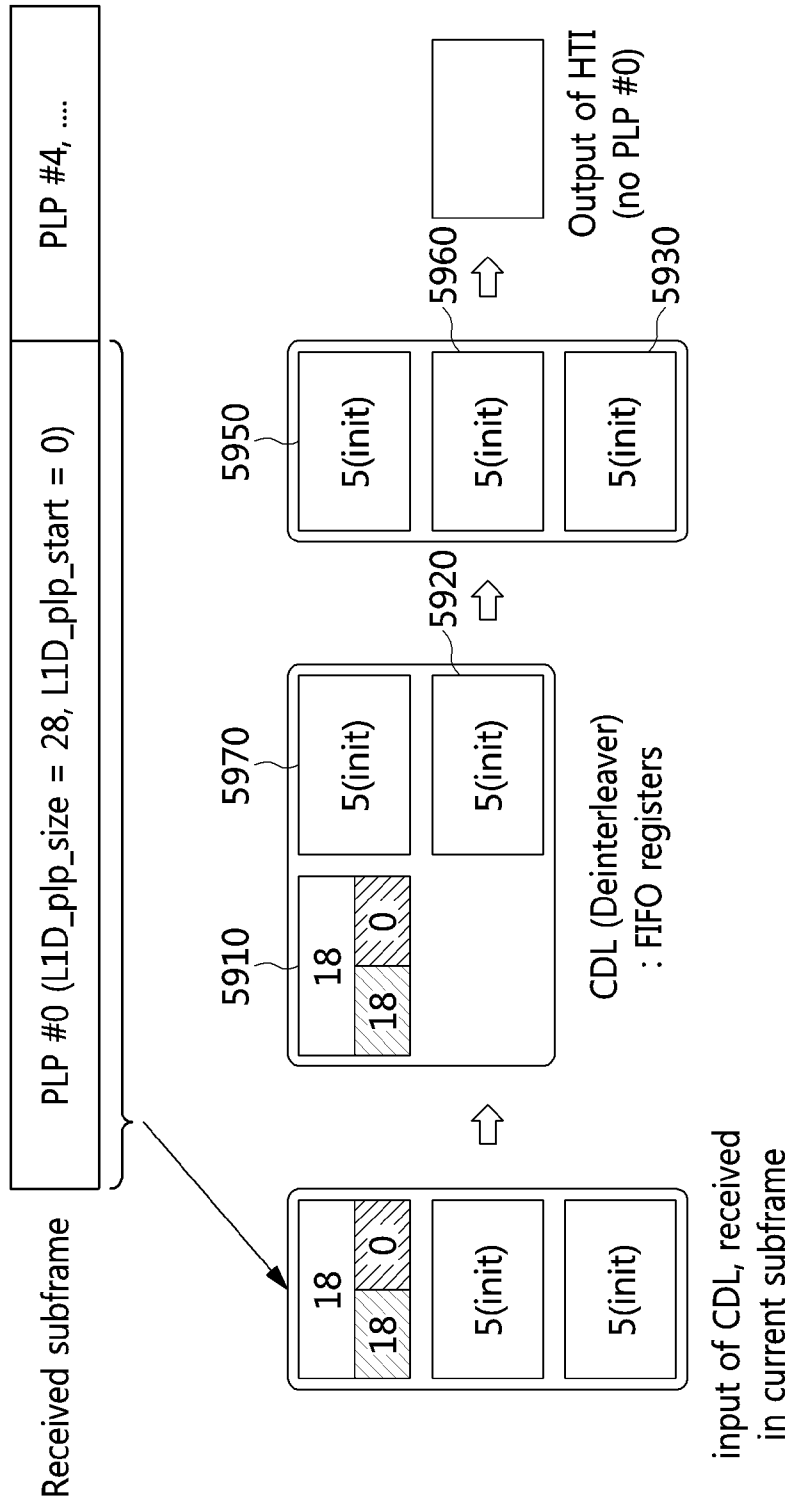
Time = 1	PLP #0 (after TI)	PLP #1 (before TI)	PLP #2 (before TI)
L1D_plp_size	32 (including init.5 cells)	24	8
L1D_plp_start	0	0	24 (L1D_plp_size(#1))

[도58]

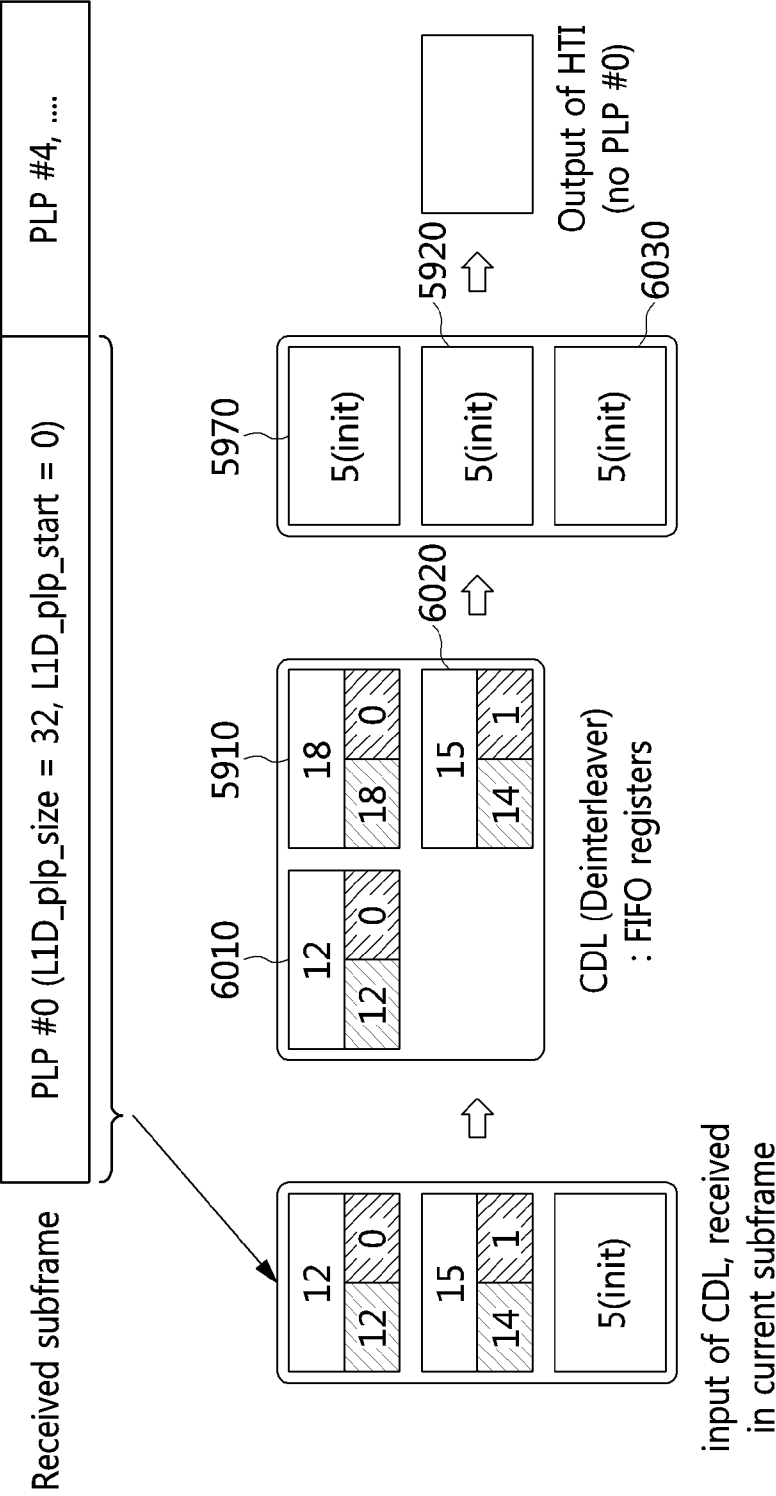


Time = 2	PLP #0 (after TI)	PLP #1 (before TI)	PLP #2 (before TI)
L1D_plp_size	31	8	8
L1D_plp_start	0	0	8 (L1D_plp_size(#1))

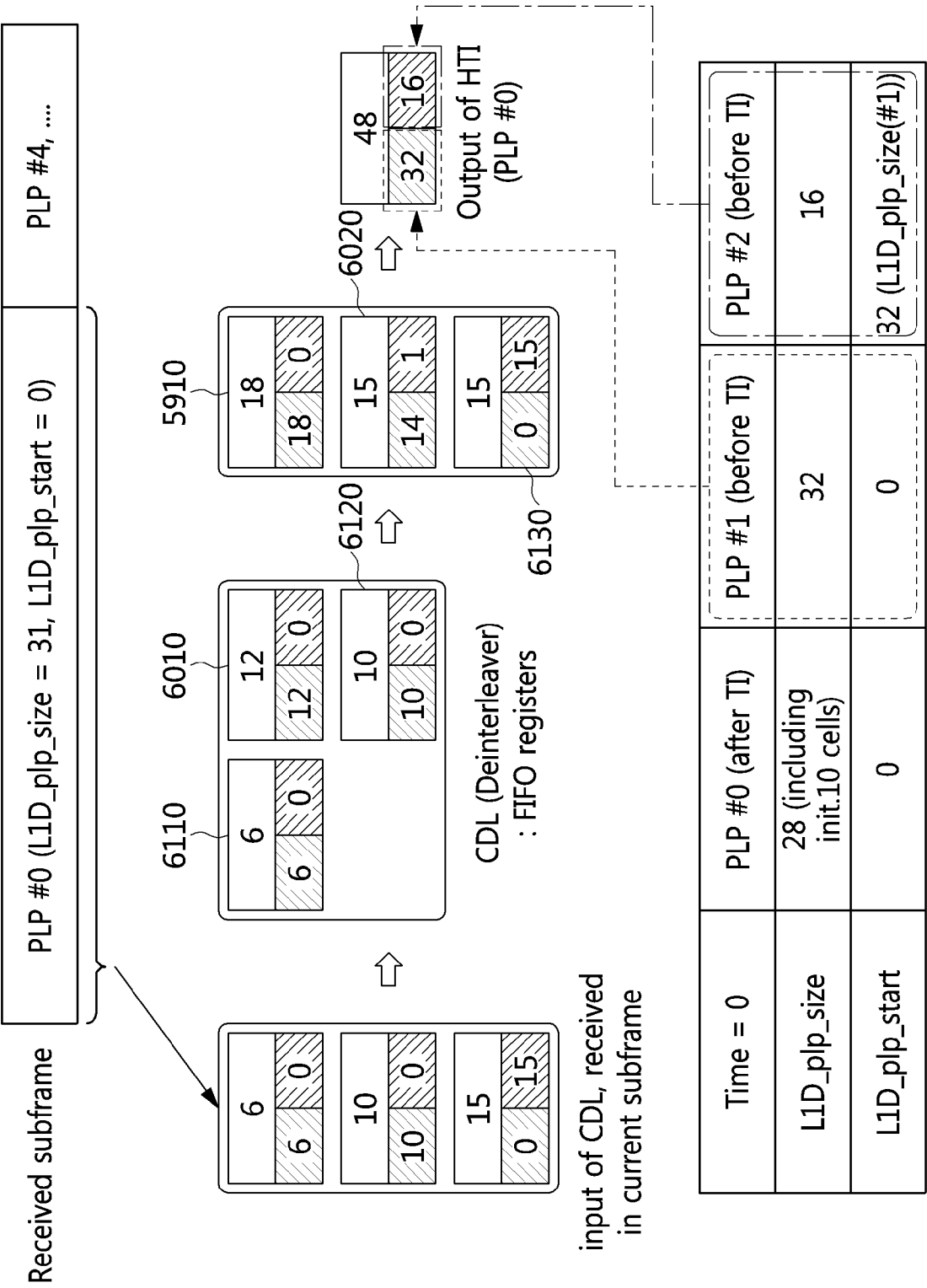
[도59]



[도60]



[도61]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/007161

A. CLASSIFICATION OF SUBJECT MATTER

H04L 5/00(2006.01)i, H04L 1/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L 5/00; H04N 7/015; G06F 15/173; H04H 20/30; H04H 20/42; H04N 7/00; H04B 7/04; H04L 1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: core layer signal, enhanced layer signal, combination, power normalizer, time interleaving, physical layer pipe, starting point, size information, preamble

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016-006878 A1 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE et al.) 14 January 2016 See paragraphs [279]-[297]; claim 1; and figure 15.	1-15
A	WO 2011-099751 A2 (LG ELECTRONICS INC.) 18 August 2011 See paragraphs [227]-[241], [543]-[595]; and figures 17, 41-46.	1-15
A	WO 2010-053237 A1 (LG ELECTRONICS INC.) 14 May 2010 See paragraphs [192]-[202]; and figures 70-74.	1-15
A	US 2009-0094356 A1 (VARE, Jani) 09 April 2009 See paragraphs [0128]-[0146]; and figures 21-27.	1-15
A	WO 2015-026625 A1 (THOMSON LICENSING) 26 February 2015 See paragraphs [0024]-[0032]; and figure 2.	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

26 OCTOBER 2017 (26.10.2017)

Date of mailing of the international search report

26 OCTOBER 2017 (26.10.2017)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/007161

Patent document cited in search report	Publication date	Patent family member	Publication date
WO 2016-006878 A1	14/01/2016	CA 2954492 A1 CN 106489257 A EP 3169030 A1 KR 10-2016-0006603 A US 2017-0201336 A1	14/01/2016 08/03/2017 17/05/2017 19/01/2016 13/07/2017
WO 2011-099751 A2	18/08/2011	WO 2011-099751 A3	22/12/2011
WO 2010-053237 A1	14/05/2010	AT 507647 T AU 2010-311890 A1 AU 311890 B2 CN 102106109 A CN 102106109 B DK 2184900 T3 EP 2184900 A1 EP 2184900 B1 EP 2323329 A2 EP 2323329 A3 EP 2323330 A2 EP 2323330 A3 EP 2323331 A2 EP 2323331 A3 ES 2362641 T3 RU 2011122691 A RU 2014108589 A RU 2518410 C2 US 2011-0200128 A1 US 2014-0029692 A1 US 2014-0226755 A1 US 2015-0304057 A1 US 8503550 B2 US 8750398 B2 US 9094276 B2	15/05/2011 14/05/2010 29/08/2013 22/06/2011 07/08/2013 15/08/2011 12/05/2010 27/04/2011 18/05/2011 22/02/2012 18/05/2011 22/02/2012 18/05/2011 22/02/2012 08/07/2011 20/12/2012 10/09/2015 10/06/2014 18/08/2011 30/01/2014 14/08/2014 22/10/2015 06/08/2013 10/06/2014 28/07/2015
US 2009-0094356 A1	09/04/2009	AR 068744 A1 EP 2218200 A2 WO 2009-047606 A2 WO 2009-047606 A3	02/12/2009 18/08/2010 16/04/2009 08/04/2010
WO 2015-026625 A1	26/02/2015	CA 2921750 A1 CA 2921921 A1 CA 2927130 A1 CN 105474563 A EP 3036847 A1 EP 3036850 A1 JP 2016-536894 A KR 10-2016-0045709 A KR 10-2016-0045712 A KR 10-2016-0045713 A	26/02/2015 26/02/2015 26/02/2015 06/04/2016 29/06/2016 29/06/2016 24/11/2016 27/04/2016 27/04/2016 27/04/2016

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/007161

Patent document cited in search report	Publication date	Patent family member	Publication date
		KR 10-2016-0135157 A	25/11/2016
		MX 2016002321 A	30/11/2016
		US 2016-0182091 A1	23/06/2016
		US 2016-0182174 A1	23/06/2016
		US 2016-0212451 A1	21/07/2016
		US 2016-0219331 A1	28/07/2016
		US 2016-0277133 A1	22/09/2016
		WO 2015-026388 A1	26/02/2015
		WO 2015-026547 A1	26/02/2015
		WO 2015-026583 A1	26/02/2015
		WO 2015-026803 A1	26/02/2015

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H04L 5/00(2006.01)i, H04L 1/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H04L 5/00; H04N 7/015; G06F 15/173; H04H 20/30; H04H 20/42; H04N 7/00; H04B 7/04; H04L 1/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 코어 레이어 신호, 인헨스드 레이어 신호, 결합, 파워 노멀라이저, 타임 인터리빙, 피지컬 레이어 파이프, 시작 위치, 사이즈 정보, 프리앰블

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	WO 2016-006878 A1 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE 등) 2016.01.14 단락 [279]-[297]; 청구항 1; 및 도면 15 참조.	1-15
A	WO 2011-099751 A2 (LG ELECTRONICS INC.) 2011.08.18 단락 [227]-[241], [543]-[595]; 및 도면 17, 41-46 참조.	1-15
A	WO 2010-053237 A1 (LG ELECTRONICS INC.) 2010.05.14 단락 [192]-[202]; 및 도면 70-74 참조.	1-15
A	US 2009-0094356 A1 (JANI VARE) 2009.04.09 단락 [0128]-[0146]; 및 도면 21-27 참조.	1-15
A	WO 2015-026625 A1 (THOMSON LICENSING) 2015.02.26 단락 [0024]-[0032]; 및 도면 2 참조.	1-15

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 10월 26일 (26.10.2017)

국제조사보고서 발송일

2017년 10월 26일 (26.10.2017)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이달정

전화번호 +82-42-481-8440



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
WO 2016-006878 A1	2016/01/14	CA 2954492 A1 CN 106489257 A EP 3169030 A1 KR 10-2016-0006603 A US 2017-0201336 A1	2016/01/14 2017/03/08 2017/05/17 2016/01/19 2017/07/13
WO 2011-099751 A2	2011/08/18	WO 2011-099751 A3	2011/12/22
WO 2010-053237 A1	2010/05/14	AT 507647 T AU 2010-311890 A1 AU 311890 B2 CN 102106109 A CN 102106109 B DK 2184900 T3 EP 2184900 A1 EP 2184900 B1 EP 2323329 A2 EP 2323329 A3 EP 2323330 A2 EP 2323330 A3 EP 2323331 A2 EP 2323331 A3 ES 2362641 T3 RU 2011122691 A RU 2014108589 A RU 2518410 C2 US 2011-0200128 A1 US 2014-0029692 A1 US 2014-0226755 A1 US 2015-0304057 A1 US 8503550 B2 US 8750398 B2 US 9094276 B2	2011/05/15 2010/05/14 2013/08/29 2011/06/22 2013/08/07 2011/08/15 2010/05/12 2011/04/27 2011/05/18 2012/02/22 2011/05/18 2012/02/22 2011/05/18 2012/02/22 2011/07/08 2012/12/20 2015/09/10 2014/06/10 2011/08/18 2014/01/30 2014/08/14 2015/10/22 2013/08/06 2014/06/10 2015/07/28
US 2009-0094356 A1	2009/04/09	AR 068744 A1 EP 2218200 A2 WO 2009-047606 A2 WO 2009-047606 A3	2009/12/02 2010/08/18 2009/04/16 2010/04/08
WO 2015-026625 A1	2015/02/26	CA 2921750 A1 CA 2921921 A1 CA 2927130 A1 CN 105474563 A EP 3036847 A1 EP 3036850 A1 JP 2016-536894 A KR 10-2016-0045709 A KR 10-2016-0045712 A KR 10-2016-0045713 A	2015/02/26 2015/02/26 2015/02/26 2016/04/06 2016/06/29 2016/06/29 2016/11/24 2016/04/27 2016/04/27 2016/04/27

국제조사보고서에서
인용된 특허문헌

공개일

대응특허문헌

공개일

KR 10-2016-0135157 A	2016/11/25
MX 2016002321 A	2016/11/30
US 2016-0182091 A1	2016/06/23
US 2016-0182174 A1	2016/06/23
US 2016-0212451 A1	2016/07/21
US 2016-0219331 A1	2016/07/28
US 2016-0277133 A1	2016/09/22
WO 2015-026388 A1	2015/02/26
WO 2015-026547 A1	2015/02/26
WO 2015-026583 A1	2015/02/26
WO 2015-026803 A1	2015/02/26