申請日期	85.12.2
案號	85114874
類別	G11C

（以上各欄由本局填註）

A4
C4

310429

310429

發明 ~~新型~~ 專利說明書

一、發明 新型 名稱	中文	一種積體電路記憶裝置
	英文	An Integrated Circuit Memory Device
二、發明 創作 人	姓名	全峻永 田基元 李祥載
	國籍	韓國
	住、居所	大韓民國漢城市江南區道谷洞895-8驛三漢新公寓5棟106號 大韓民國京畿道水原市八達區梅灘洞韓國2次公寓112-404號 大韓民國漢城市瑞草市瑞草區方背洞830-22
三、申請人	姓名（名稱）	三星電子股份有限公司
	國籍	韓國
	住、居所（事務所）	大韓民國京畿道水原市八達區梅灘洞416番地
	代表人姓名	金光浩

裝 訂 線

經濟部中央標準局員工消費合作社印製

310429

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

韓　　國（地區）　申請專利，申請日期：12/4/1995　案號：95-46459　，□有　☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1）

發明範疇

本發明是關於一半導體記憶裝置，尤其是針對一積體電路記憶裝置，其有字碼線解碼驅動器對應於一儲存單元塊，其頂部及底部至少四條子字碼線。

發明背景

在一積體電路記憶裝置中，其儲存單元佔主要空間（面積），儲存單元的數目決定了此裝置記憶的容量。一記憶裝置的整體密度，大部份由各儲存單元大小來決定。在一動態暫存取記憶體（DRAM），諸行與諸列的解碼器，以相對於位址訊號方式附於特定儲存單元。一般而言，在動態存取記憶體具有記憶容量64MB至256MB或更大容量，組成諸行與諸列的解碼器，也形成整體性更困難的一個因素。

當一動態暫存取憶體具有一多位元測試功能時，一對二位元線之平行測試需要一單行解碼器。相對地，一列解碼器的佈局相較是容易的。而兩列解碼器，其各字碼線可能需要連接到相對應的儲存單元。而且，字碼線驅動電路之驅動字碼線連接到儲存單元上與列解碼器相對。這些字碼線驅動電路的佈置，也增加更不易達到較高程度集積性的困難度。

而且，一動態暫存記憶體之讀取時間，一部份是由相對應解碼器輸出線之電壓上升後，字碼線充電所需時間來決定。藉減少諸字碼線充電所需時間，記憶裝置的讀取時

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2）

間可以縮短。爲增加記憶裝置之集積性，必須減少字碼線間的距離。當一記憶裝置的集積密度增加，連接到各字碼線的儲存單元數目增加，且字碼線的驅動電路需有驅動大電流的容量。更明確的說，組成字碼線驅動電路的諸電晶體要有較大驅動能量，如此將增加這些電晶體各個所佔用的面積。依據前述要提高集積性，將減少驅動電路在與諸字線正交的垂直方向佔用面積，但這些驅動電路也要具有較大驅動容量。由於較大驅動容量之驅動電路需要較大面積，這兩項要求可能無法同時滿足。

與此相關發表有，Mamoru Fujita在美國專利5,416,748採用"雙字線之半導體記憶裝置"。一具有雙字碼線構造的DRAM實例亦於圖1中。如圖1所示，此DRAM有複數個儲存列塊100-1、100-2、……100-n。由於，各儲存列塊彼此構造相同，圖上只顯示出儲存列塊100-1，將於下說明。

此儲存列塊100-1，包含複數個主字碼線MWL-1至MWL-n，以多列方式安排且與一列解碼器110連接。此解碼器對應至列位址ADI，且選定與驅動主字碼線MWL之一到一啓動高位階。在兩相鄰主字碼線MWL1與MWL2間，有子字碼線驅動器（SWD）130。各子字碼線驅動器130有一輸入節點對應連接到一條主字碼線MWL，一輸出節點連到相對應子字碼線SWL與一電源節點。

此儲存列塊100-1，同時包含複數個字碼線驅動器（WDD）150-1、150-2與150-3，其對應各子字碼線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3 ）

驅動列之各行。各字碼解碼驅動器（WDD）有一第一電源輸出節點，其與子字碼線驅動器奇數電源節點在同一列上連接；一第二電源輸出節點與偶數電源節點連接。此字解碼器驅動器也有第一、第二和第三輸入節點。

此儲存列塊100-1，也包含一字碼解碼器（WD）140對應到另一列位址ADII，將其輸出節點轉成一啓動高位階。

在各儲存列塊，各第一、第二與第三儲存單元列120-1，120-2與120-3在各子字碼線驅動器群之右側，各字碼線MWL1與MWL2分成兩子字碼線延伸穿過各儲存單元列120-1，120-2與120-3。此子字碼線驅動器SWD於儲存單元列中驅動子字碼線SWL0和SWL1。

當至少主字碼線群MWL1—MWLn中之一，被來自列解碼器110的選定訊號啓動時，子字碼線驅動器將由被啓動字碼線MWL驅動，使字碼線升到一固定電位。所有的子字碼線驅動器，尚未被指定。特定地，至少有一子字碼線驅動器被一相對應的字碼解碼×驅動器產生的邏輯合成起動訊號ΦX1和ΦX2驅動。據此，子字碼線SWL0和SWL1至少有一，將藉選到的子字碼線驅動電路裝置升到固定電位。

具有上述構造的記憶裝置，其相對子字碼線驅動器之尺寸，將隨集積性增加而減少。而且，此構造中子字碼線間的距離，將依相對子字碼線驅動器的尺寸決定。據此，即使採用上述分離字碼線構造以增加集積性，但是主字碼

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4 ）

線間的距離與子字碼線間的距離，仍無法有效的減少。結果，舊式分離字碼線驅動構造，不足以使積體電路記憶裝置具有高度之集積性。

依據上述，對積體電路記憶裝置包含改良的字碼線電路的技術需求一直存在著。

發明要旨

因此本發明的目的之一，是提供一改良的積體電路記憶裝置。

本發明另一目的，是提供一具有高度集積能力的積體電路記憶裝置。

本發明再另一目的，是提供一積體電路記憶裝置，其對應於一單一字碼線至少安排有四條子字碼線。

本發明之又再另一目的，是提供一積體電路記憶裝置，其子字碼線之字碼線解碼驅動器，是設在各儲存單元塊的頂部和底部。

依據上述及其他目的，本發明包含一儲存單元塊有一儲存單元列其有複數個奇數與偶數子字碼線延伸穿過儲存單元列，在儲存單元塊頂部的第一解碼機構，其接收一第一列址並對應產生複數個第一控制訊號，與在儲存單元塊底部的第二解碼機構，其接收第一列址並對應產生複數個第二控制訊號。一列解碼器其接收一第二列址，並對應產生一字碼線訊號。一第一驅動器塊包含一與儲存單元之相鄰的複數個第一子字碼線驅動電路，且第一複數個的各子

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（5 ）

字碼線驅動電路相對連接到儲存單元列對應之奇數子字碼線上。此第一複數個子字碼線驅動電路，對應於第一和第二控制訊號的奇數控制訊號與字碼線訊號，啓動相對應的奇數子字碼線。一第二驅動器塊包含一第二複數個子字碼線驅動電路，其與儲存單元相鄰並和第一驅動器塊相對，第二複數個的各子字碼線驅動電路與儲存單元列對應的偶數子字碼線相連接。此第二複數個的子字碼線驅動電路，對應於第一和第二控制訊號的偶數控制訊號與字碼線訊號，驅動相對的偶數子字碼線。

此種安排，允許子字碼線驅動電路可以字碼線垂直方向延伸，提高了集積性密度。換言之，各子字碼線的驅動電路可在佔用諸子字碼線提供的垂直方向空間。

更明確的，此儲存單元列包含一第一、第二、第三和第四子字碼線。在此條件下，第一驅動器塊包含一第一子字碼線驅動電路連接到第一子字碼線，與一第二子字碼線驅動電路連接到第三子字碼線。同時，第二驅動器塊包含一第一子字碼線驅動電路連接到第二子字碼線，與一第二子字碼線驅動電路連接到第四子字碼線。利用此種佈置，各字碼線的字碼線驅動電路可利用四倍字碼線垂直距離的空間。

在此構造包含四條子字碼線，其第一解碼器對應接收列址產生第一和第二解碼訊號。其第二解碼器對應接收列址產生第三和第四解碼訊號，其第一驅動器塊的第一和第二子字碼線驅動電路，相對應於第一和第三解碼訊號，第

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（6 ）

二驅動器塊的第一和第二子字碼線驅動電路，相對應於第二和第四解碼訊號。

依據本發明另一特徵，爲一積體電路記憶裝置包含一儲存單元塊，其有第一和第二儲存單元列。一第一解碼器設在儲存單元塊頂部。此第一解碼器接收一第一列址與相對應地產生第一，第二和三控制訊號。一第二解碼器設在儲存單元塊底部。此第二解碼器接收第一列址並相對應的產生第四、第五和第六控制訊號，其至少有一主字碼線。一第一複數個子字碼線對應於此至少一條主字碼線。第一複數個的各子字碼線，延伸穿過第一儲存單元列。一第二複數個子字碼線與主字碼線相對應，第二複數個的各子字碼線延伸穿過第二儲存單元列。一第一驅動器塊包括一第一複數個子字碼線驅動電路，設在第一和第二儲存單元列之間，與此第一驅動器塊的一第一和一第二子字碼線驅動電路，對應的連接到第一和第二儲存單元列之各個第二和第四子字碼線上。該第一子字碼線驅動電路，對應於第二控制訊號與至少一條主字碼線之訊號，啓動第一和第二儲存單元塊的第二子字碼線，且第二子字碼線驅動電路，對應於第五控制訊號與至少一條主字碼線上之訊號，啓動第一和第二儲存單元塊的第四子字碼線。一第二驅動器塊包含一第二多數的子字碼線驅動電路，位於與第一儲存單元列相鄰與第一驅動器塊相對；與該第二驅動器塊的第一和第二子字碼線驅動電路，其對應地連接到第一儲存單元列的第一和第三子字碼線。該第一子字碼線驅動電路，對應

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7 ）

於第一控制訊號與主字碼線上的訊號，啓動第一儲存單元列的第一子字碼線。該第二子字碼線驅動電路，對應於第四控制訊號與主字碼線上的訊號，啓動第一儲存單元的第一子字碼線。一第三驅動器塊包含一第三多數的子字碼線驅動電器，位於與第二儲存單元列相鄰並與第一驅動器塊相對；此第三驅動器塊的一第一和第二字碼線驅動電路，對應的連接到第二儲存單元列的第一和第二子字碼線。此第一子字碼線驅動電路，對應於第三控制訊號及在至少一條主字碼線上的訊號，啓動第二儲存單元列的第一子字碼線。此第二子字碼線驅動電路，對應於第六控制訊號和在至少一條主字碼線上的訊號，啓動第二儲存單元列的第三子字碼線。

本發明之積體電路記憶裝置，因此可允許較高程度的集積性密度，達到增加記憶容量。

圖面概要說明

圖 1 所示是依據舊式之動態暫存記憶體（DRAM）之佈線圖；

圖 2 所示是依據本發明之一特徵的動態暫存記憶體（DRAM）之佈線圖。

本發明較佳具體實施例的詳細說明

本發明之具體實施例，將參照圖面於下詳述。但本發明之其他改型並不受限於此說明之實施例；而且，於此說

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（8 ）

明之實施例具有完整性，其涵蓋本發明之技術範疇。其相同編號代表相同元件。

依據本發明之一積體電路記憶裝置示於圖2中。如圖中所示，本記憶裝置有一多數個儲存單元塊200-1，200-2，200-3，……及200-n。各儲存單元塊有一列解碼器210其解列址ADI上訊號，儲存單元列220與222以和位之線及子字碼線驅動電路SWL1-SWL6垂直方式設置。此第一和第二儲存單元列220和222分別置於左側及右側，而子字碼線驅動電路在第一，第二及第三驅動器塊230-1，230-2及230-3中。第一驅動器塊230-1與第一儲存單元列220相鄰並和第二驅動器塊相對。第二驅動器塊230-2，在第一和第二儲存單元列220與222之間。第三驅動器塊230-3與第二儲存單元列222相鄰並和第二驅動器塊230-2相對。子字碼線驅動電路SWD1-SWD6於對應之驅動器塊，且對應驅動訊號ΦX1，ΦX2，ΦX3，ΦX4，ΦX5和ΦX6被選定啓動。諸驅動訊號藉字碼線解碼驅動器WDD1-WDD6產生，其解來自字碼線解碼器240-1與240-2之解碼控制訊號ΦD1，ΦD2，ΦD3和ΦD4。字碼線解碼器240-1與字碼線解碼驅動器WDD1-WDD3置於儲存單元塊200-1之頂部，字碼線解碼驅動器WDD4-WDD6設在儲存單元塊200-1之底部。

同時，一第一複數個位元線延伸穿過第一儲存單元列220，一第二複數個位元線延伸穿過第二儲存單元列222。第一驅動器塊230-1之子字碼線驅動電路SWD1和

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（9 ）

SWD2，以彼此平行且和主字碼線MWL垂直方式佈置。第二驅動器塊230-2之子字碼線驅動電路SWD3和SWD4，以彼此平行且和主字碼線MWL垂直方式佈置。第三驅動器塊230-3之字碼線驅動電路SWD5和SWD6，以彼此平行且和字碼線MWL垂直方式佈置。

在該第一與第三驅動器塊230-1和230-3，其主字碼線MWL對各儲存單元列分成兩子字碼線SWL1和SWL3，穿過子字碼線驅動電路SWD1，SWD2，SWD5和SWD6。同時，主字碼線由第二驅動器塊230-2之子字碼線驅動電路SWD3和SWD4，分成兩子字碼線SWL2和SWL4。

如圖2中所示，第二驅動器塊230-2之子字碼線驅動電路SWD3和SWD4，以彼此平行方式設在第一和第儲存單元列220及222間。第一驅動器塊230-1的子字碼線驅動電路SWD1和SWD2，以彼此平行方式且和第一儲存單元220相鄰並與第二驅動SWD5和SWD6，以彼此平行方式且和第二儲存單元列222相鄰並與第二驅動器塊230-2相對。換言之，對應各子字碼線的子字碼線驅動電路SWD1-SWD6，設置於相鄰的主字碼線之間且和位元線同向。在此例子，子字碼電路包括字碼線驅動電晶體可以採MOS電晶體。

更明確地，第一與第二儲存單元列220和222之偶數字線SWL2和SWL4，各延伸至第二驅動器塊230-2，且分別和子字碼線驅動電路SWD3和SWD4連接，如圖示。換言之，即儲存單元列220和222之子字碼線SWL2連接到第

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

二驅動器塊230-2的子字碼線驅動電路SWD3，儲存單元列220和222之子字碼線SWL4連接到第二驅動器塊230-2的子字碼線驅動電路SWD4。

第一儲存單元列220之奇數子字碼線SWL1和SWL3，連接到第一驅動器塊230-1的字碼線驅動電路SWD1和SWD2如圖所示，第一儲存單元列220之子字碼線SWL3在偶數字碼線SWL2和SWL4之間，且連接到第一驅動器塊230-1之字碼線驅動電路SWD2。第一儲存單元列220子字碼線SWL1，置於偶數子字線SWL2之上，連接到第一驅動器塊230-1的子字碼線驅動電路SWD1。

第二儲存單元列220也包含奇數子字碼線SWL1和SWL3，各子字碼線延伸至第三驅動器塊230-3。而且，子字碼線SWL3連接到子字碼線驅動電路SWD6，子字碼線SWL3並在偶數子字碼線SWL2和SWL4之間。第二儲存單元列222的子字碼線SWL1，置於偶數子字碼線SWL2上，連接到第三驅動器塊230-3的子字碼線驅動電路SWD5。

如圖2中所示，儲存單元塊200-1置於字碼線驅動器區間250-1和250-2之間，250-1及250-2分別在儲存單元塊200-1之頂部及底部。各字碼線驅動器區間有一字碼線解碼器和複數個字碼線解碼驅動器，與子字碼線驅動器塊之編號相對應。

在字碼線驅動器區間250-1位在儲存單元塊200-1之頂部，字碼線解碼器240-1解列址ADII之訊號，並產生控制訊號ΦX1和ΦX2。字線解碼驅動器WDD1和

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

WDD3，對應控制訊號ΦX1分別驅動子字碼線驅動電路SWD1及SWD5。字碼線解碼驅動器WDD2，對應控制訊號ΦX2驅動子字碼線驅動電路SWD3。

在位於儲存單元塊200-1底部的字碼線驅動器區間的250-2，其字碼線解碼器240-2解列址ADII之訊號，並產生控制訊號ΦD3和ΦD4。字碼解碼驅動器WDD4和WDD6，各對應控制訊號ΦD3，各驅動子字碼線驅動電路SWD2和SWD6。字碼線解碼驅動器WDD5，對應控制訊號ΦD4驅動子字碼線驅動電路SWD4。而且，字碼線驅動區間250-2也做爲與第一儲存單元列塊200-1相鄰的第二儲存單元塊200-2的頂部字碼線驅動器塊。如圖所示，字碼線解碼器240-2解列址ADII之訊號，並產生控制訊號ΦD3和ΦD4。字碼線解碼驅動器WDD4和WDD6，對應於控制訊號ΦD3，分別驅動第二儲存單元列200-2的子字碼線驅動電路SWD2和SWD6。字碼線解碼驅動器WDD5，對應於控制訊號ΦD4驅動第二儲存單元塊200-2的子字碼線驅動電路SWD4。

各儲存單元列之儲存單元，置於子字碼線和位元線交會處。若採用疊位元儲存構造，儲存單元列不能設置於各交會處。替換的仿眞單元連到對應的位元線提供一參考電壓VCC/2。如圖2中所示，列解碼器210解列址ADI，對應於列址ADI選擇性地起動主字碼線MWL至一高電位。

依據本發明之一包含分離字碼線的積體電路記憶裝置的操作，參考圖2說明如下。爲說明的目的，假定各儲存

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

單元爲單晶型式包含一充電貯存電容器連接到一晶閂，如MOS晶體連接在電容器及位元線之間。依據本發明之技術，此晶閂將貯存電容器的電荷轉到位元線。

當一資料讀自一儲存單元，列址ADI由列解碼器210解讀，且一對應到此址的主字碼線被選取。當如圖2中的列解碼器210有一單一主字碼線MWL，需知道本技術亦可具有多數字線。對應於列址，相對列址的主字碼線MWL將被啓動。驅動器塊的子字碼線驅動電路，將由升至一固定電壓的字碼線即啓動的字碼線MWL來驅動。並非所有的驅動電路都被選取。而是，至少有一子字線驅動電路，以驅動訊號ΦX1-ΦX6之一種邏輯組合來選定及驅動。這些驅動訊號是由字碼線解碼器240-1和240-2的字碼線解碼驅動器WDD1-WDD6，對應於來自字碼線解碼器240-1和240-2產生的控制訊號ΦD1，ΦD2，ΦD3和ΦD4而產生。據此，在子字碼線SWL1-SWL4中，至少有一藉選取的子字碼線驅動電路，升到一固定電壓。假設此升至一固定電壓的子字碼線在讀取操作時，貯存於選取之儲存單元電容器內之資料，將連接到選定的字字碼線轉到各對應之位元線上。

例如，爲允許子字碼線SWL1升到此固定電壓，連接到主字碼線MWL之子字碼線驅動電路SWD1和SWD5，藉驅動訊號ΦX1和ΦX5選取。爲選定第一和第二儲存單元列的子字碼線SWL2，子字碼線驅動電路SWD3以驅動訊號ΦX3選取，依此將子字碼線SWL2升至一固定電壓。爲選取

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

第一和第二儲存單元列的子字碼線SWL4，子字碼線驅動電路SWD4藉驅動訊號ΦX4選取，依此將子字碼線SWL4升至一固定電壓。諸儲存單元列的子字碼線SWL1，可以對應於驅動訊號ΦX5的子字碼線驅動電路SWD1和SWD5啓起。子驅動器塊SWL3可以對應驅動訊號ΦX2和ΦX6的子字碼線驅動電路SWD2和SWD6啓動。

在上述構造中，子字碼線驅動電路分成三塊230-1，230-2和230-3。該第一驅動器塊230-1位於第一儲存單元列220之左側，第二驅動器塊230-2位於儲存單元列220和222之間，第三驅動器塊230-3在第二儲存單元222之右側。各驅動器塊有兩條子字碼驅動電路彼此平行，並與位元線同向。子字碼線驅動電路SWD1和SWD2，對應於驅動第一儲存單元列220之奇數子字碼線SWL1和SWL3。子字碼線驅動電路SWD5和SWD6，對應於驅動第二儲存單元列222之奇數子字碼線SWL1和SWL3。子字碼線電路SWD3和SWD4，分別用於驅動儲存單元列220和222的偶數子字線SWL2及SWL4。各字碼線的驅動電路，依此方式可佔用四條字碼線之垂直距離。即是，各字碼線的驅動電路，可有四倍的字碼線線距。換言之，即各驅動電路之垂直尺寸爲字碼線線距之四倍。因此，子字碼線驅動電路可以增加／或是字碼線之距離可以減少。據此可增加集積性而不減少儲存單元之尺寸。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

而且，由於子字碼線之字碼線解碼驅動器，是在記憶裝置內之各儲存單元塊之頂部及底部，此發明可減少字碼線解碼驅動器所佔的面積。結果，可增加集積性。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：　　）

一種積體電路記憶裝置

一種積體電路記憶裝置，包含一儲存單元塊其有一儲存單元列具有複數個奇數和偶數子字碼線延伸穿過。一第一解碼器設置於該儲存單元塊之頂部，其接收一第一列位址並對應產生複數個的第一控制訊號。一第二解碼器設置於該儲存單元列的底部，其接收此第一列位址並對應產生複數個第二控制訊號。一列解碼器接收一第二位址並對應產生一字碼線訊號。一第一驅動器塊包含一第一複數個子字碼線驅動電路與儲存單元塊相鄰，此第一複數個驅動電路之各子字碼線，相對應地連接到儲存單元列的奇數子字碼線上，且第一複數個字碼線驅動電路，對應於第一和第二控制訊號的奇數控制訊號與字碼線訊號，驅動相對應之奇數子字碼線。一第二驅動器塊包含一第二複數個子字碼線驅動電路，其與儲存單元列相鄰並相對於第一驅動器塊，此第二複數個驅動電路之各子字碼線，相對應地連接到儲存單元列的偶數子字碼線，且第二多數之子字碼線驅動電路，對應於第一和第二控制訊號的偶數控制訊號與字碼線訊號，驅動相對應之偶數子字碼線。

英文發明摘要（發明之名稱：　　）

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

六、申請專利範圍

1.一種積體記憶裝置，包含：

一儲存單元塊，包含一儲存單元列具有複數個奇數與偶數子字碼線延伸穿過該儲存單元列；

第一解碼機構設在該儲存單元塊之頂部，其接受一第一列址，並對應產生複數個第一控制訊號；

第二解碼機構設在該儲存單元塊之底部，其接受該第一列址，並對應產生複數個第二控制訊號；

一列解碼器其接收一第二列址訊號，並對應產生一字碼線訊號；

一第一驅動器塊，包含一與該儲存單元列相鄰的第一複數個子字碼線驅動電路，此第一複數個子字碼線驅動電路的每一個各連接到該儲存單元列之相對應的奇數子字碼線，該第一複數個子字碼線驅動電路，對應於該第一和第二控制訊號的奇數控制訊號和該字線訊號，驅動對應的奇數子字碼線；與

一第二驅動器塊，包含一第二複數個子字碼線驅動電路，其在與該儲存單元列相鄰並和第一驅動器塊相向的位置，此第二複數個子字碼線驅動電路的每一個各連接到該儲存單元列的相對應的偶數子字碼線，該第二複數個子字碼線驅動電路，對應於第一和第二控制訊號的偶數控制訊號與此字線訊號，驅動對應之偶數子字碼線。

2.如申請專利範圍第1項之積體電路記憶裝置，其中該儲存單元列包含第一、第二、第三和第四字碼線，其

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

中該第一驅動器塊包含一連接到該第一子字碼線的第一子字碼線驅動電路，與一連接到該第三子字碼線第二子字碼線驅動電路，且其中該第二驅動器塊包含一連接到該第二子字碼線第一子字碼線驅動電路，與一連接到該第四子字碼線第二子字碼線驅動電路。

3.如申請專利範圍第1項之積體電路記憶裝置，其中該第一解碼機構相對應於所接收到的列址產生第一和第二解碼訊號，其中該第二解碼機構相對應於所接收到的列址產生第三和第四解碼訊號，其中該第一驅動器塊的第一和第二子字碼線驅動電路，分別對應於該第一和第三解碼訊號，該第二驅動器塊的第一和第二字碼線驅動電路，分別對應於第二和第四解碼訊號。

4.如申請專利範圍第1項之積體電路記憶裝置，其中該儲存單元列的偶數和奇數子字碼線彼此平行，且該偶數子字碼線與該奇數子字碼線相間。

5.如申請專利範圍第1項之積體電路記憶裝置，其還包含：

一與該第二驅動器塊相鄰且和該第一儲存單元列相向的位置的第二儲存單元列，其中該第二儲存單元列包含延伸穿過該第二儲存單元列的第二複數個奇數與偶數子字碼線，其中該第二複數個子字碼線驅動電路的每一個各連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

到該第二儲存單元列的相對應偶數子字碼線上，且其中該第二複數個子字碼線驅動電路，相對應於偶數解碼訊號及該字碼線訊號，驅動該第二儲存單元列的偶數子字碼線；與

一第三驅動器塊，包含一與該第二儲存單元列相鄰並和第二驅動器塊相向的第三複數個子字碼線驅動電路，其中該第三複數個子字碼線驅動電路的每一個各連接到該第二儲存單元列的對應奇數子字碼線，而且其中該第三複數個子字碼線驅動電路，對應於該奇數解碼訊號和該字碼線訊號，驅動該第二儲存單元列的奇數子字碼線。

6.如申請專利範圍第1項之積體電路記憶裝置，其中該儲存單元列的複數個儲存單元，連接到對應的該子字碼線。

7.如申請專利範圍第1項之積體電路記憶裝置，其中該儲存單元列之子字碼線，經由對應之子字碼線驅動電路，連接到一共同固定電位。

8.如申請專利範圍第1項之積體電路記憶裝置，其中該第一和第二複數個該子字碼線驅動電路，以彼此平行並和至少一條主字碼線垂直的方式佈線。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

9.如申請專利範圍第1項之積體電路記憶裝置，其還包含：

一第一位元線延伸穿過該儲存單元列。

10.一種積體電路裝置，包含：

一儲存單元塊，包含第一和第二儲存單元列；

第一解碼裝置，其置於該儲存單元塊之頂部，其接收一第一列址並產生對應的第一、第二和第三控制訊號；

第二解碼機構，其置於該儲存單元塊之底部，其接收該第一列址，並產生對應的第四、第五和第六控制訊號；

至少一條主字碼線；

一第一複數個子字碼線相對於該至少一條主字碼線，其中該第一複數個之各子字碼線，延伸穿過該第一儲存單元列；

一第二複數個子字碼線，其相對於該至少一條主字碼線，其中該第二複數個之各子字碼線，延伸穿過該第二儲存單元列；

一第一驅動器塊，包含一第一複數個子字碼線驅動電路，設在該第一和第二儲存單元列間，其中該第一驅動器塊的一第一和一第二子字碼線驅動電路，對應連接到該第一和第二儲存單元列的各第二和第四子字碼線，其中該第一子字碼線驅動電路，對應於該第二控制訊號和該至少一條之主字碼線訊號，驅動該第一和第二儲存單元列之該第二子字碼線，且其中該第二子字碼線驅動電路，對應於該

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

第五控制訊號和該至少一條之主字碼線訊號，驅動該第一和第二儲存單元之第四子字碼線；

一第二驅動器塊，包含一第二複數個子字碼線驅動電路，設在該第一儲存單元列相鄰及與該第一驅動器相向，其中該第二驅動器塊之一第一和一第二子字碼線驅動電路，相對應連接到該第一儲存單元列之第一和第三子字碼線，其中該第一子字碼線驅動電路，對應該第一控制訊號及在該主字碼線上之訊號，驅動該第一儲存單元列之第一子字碼線，其中該第二子字碼線驅動電路，對應該第四控制訊號和該主字碼線訊號，驅動該第一儲存單元之列之第四子字碼線；與

一第三驅動器塊，包含一第三複數個子字碼線驅動電路，設在該第二儲存單元列相鄰和該第一驅動器塊相對的位置，其中該第三驅動器塊之一第一和一第二子字碼線驅動電路，相對應連接到該第二儲存單元列之第一和第三子字碼線，且其中該第一子字碼線驅動電路，對應該第三控制訊號及在至少一條之主字碼線上之訊號，驅動第二儲存單元列之第一子字碼線，其中該第二子字碼線驅動電路，對應該第六控制訊號及至少一條之主字碼線上訊號，驅動該第二儲存單元之列之第三子字碼線。

11.如申請專利範圍第10項之積體電路記憶裝置，其中該等儲存單元列之複數個儲存單元，連接到該等子字碼線的對應的一條。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

12.如申請專利範圍第10項之積體電路記憶裝置，其中該第一和第二儲存單元列之一的該等子字碼線，經由相對應之該等子字碼線驅動電路，連接到一共同固定電位。

13.如申請專利範圍第10項之積體電路記憶裝置，其中該各驅動器塊的第一和第二字碼線驅動電路，以彼此平行且與該至少一條之主字碼線垂直的方式佈線。

14.如申請專利範圍第10項之積體電路記憶裝置，進一步包含：

一第一複數個位元線延伸穿過該第一儲存單元列；與

一第二複數個位元線延伸穿過該第二儲存單元列。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

310429

82 114874

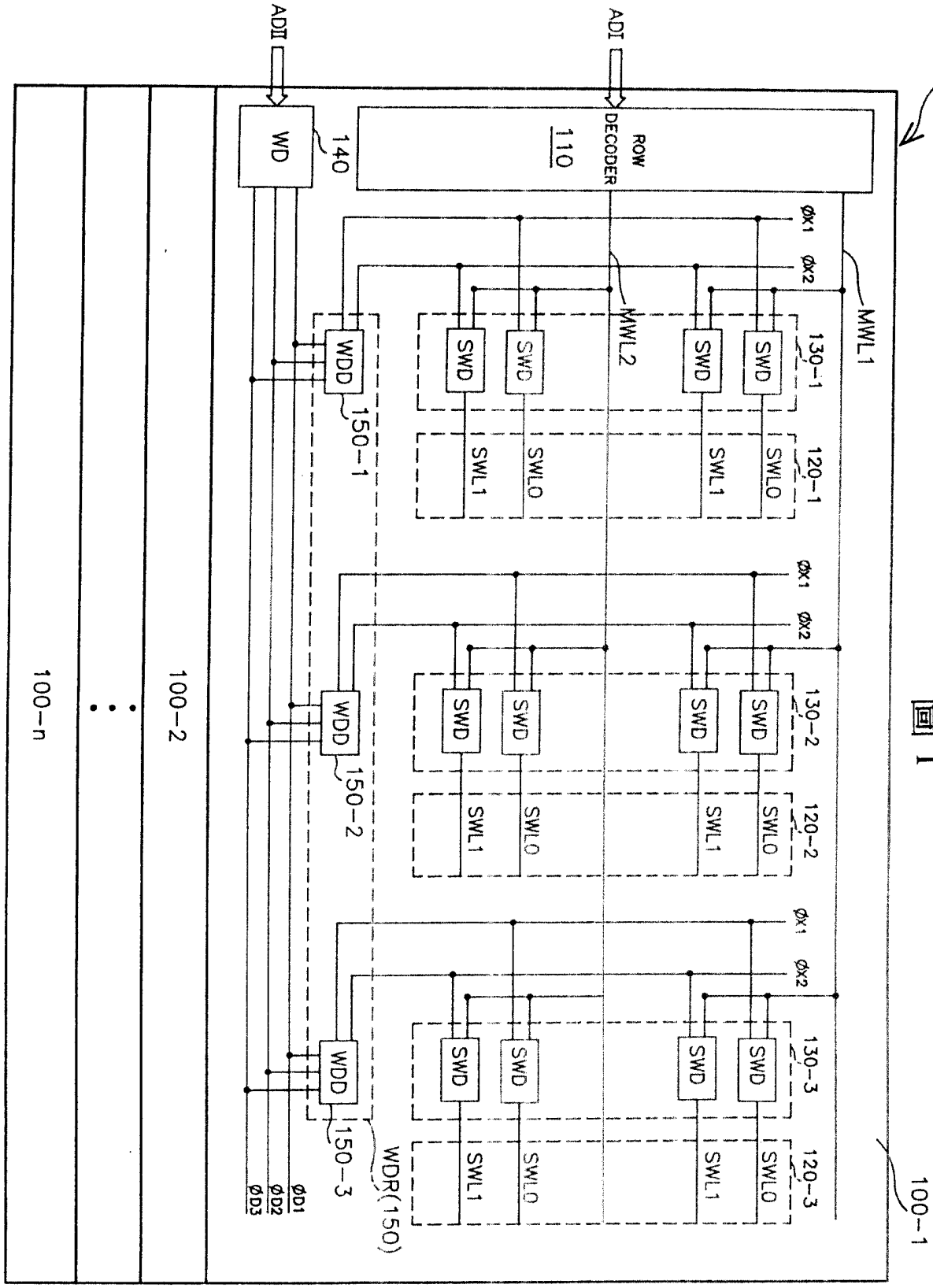
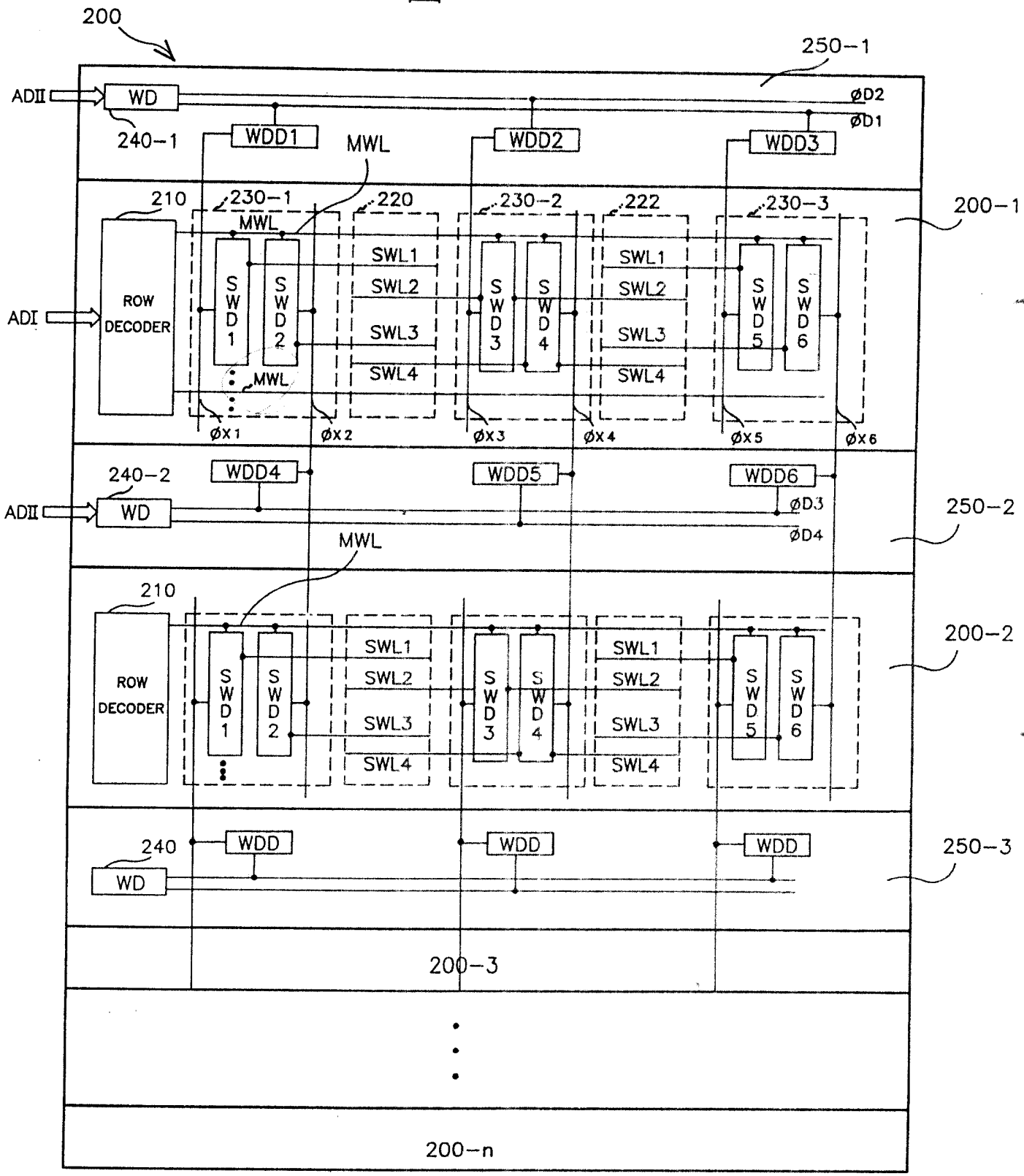


圖 1

圖 2


200
250-1
ADII
WD
240-1
WDD1
WDD2
WDD3
ØD2
ØD1
MWL
210
230-1
220
230-2
222
230-3
200-1
ADI
ROW DECODER
SWD1
SWD2
SWD3
SWD4
SWD5
SWD6
SWL1
SWL2
SWL3
SWL4
ØX1
ØX2
ØX3
ØX4
ØX5
ØX6
240-2
WDD4
WDD5
WDD6
ØD3
ØD4
250-2
200-2
240
250-3
200-3
200-n