



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0029289
(43) 공개일자 2010년03월17일

(51) Int. Cl.

G06F 13/16 (2006.01) G06F 13/36 (2006.01)

(21) 출원번호 10-2008-0088011

(22) 출원일자 2008년09월08일

심사청구일자 2008년09월08일

(71) 출원인

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

윤영섭

서울 서초구 잠원동 한신아파트 8차 308동 801호

이국표

인천광역시 남동구 만수3동 벽산아파트 3리 438번지

(74) 대리인

황광연, 강동호, 오정환

전체 청구항 수 : 총 5 항

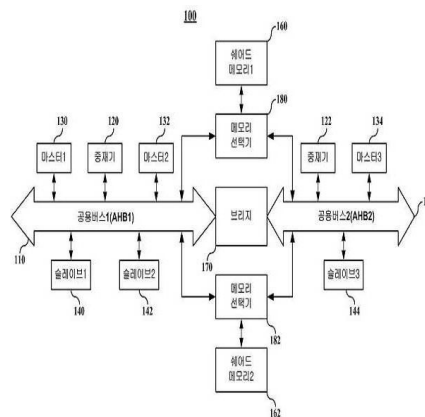
(54) 다중 버스 시스템과 이를 이용한 데이터 송신 방법

(57) 요약

본 발명은 버스 시스템에 관한 것으로, 특히 다중 버스 시스템에서 마스터들이 브리지를 경유하지 않고 웨어드 메모리로 데이터를 송신할 수 있는 다중 버스 시스템과 송신 방법에 관한 것이다.

실시 예에 따른 본 발명은 복수의 마스터, 복수의 웨어드 메모리를 포함하는 다중 버스 시스템에 있어서, 상기 복수의 마스터의 제 1 웨어드 메모리의 접속을 제어하는 제 1 메모리 선택기; 상기 복수의 마스터의 제 2 웨어드 메모리의 접속을 제어하는 제 2 메모리 선택기; 상기 복수의 마스터와 상기 제 1 메모리 선택기 간의 신호를 송수신하는 제 1 공용버스; 및 상기 복수의 마스터와 상기 제 2 메모리 선택기 간의 신호를 송수신하는 제 2 공용버스를 포함하는 것을 특징으로 한다.

대표도



특허청구의 범위

청구항 1

복수의 마스터, 복수의 웨어드 메모리를 포함하는 다중 버스 시스템에 있어서,
 상기 복수의 마스터의 제 1 웨어드 메모리로의 접속을 제어하는 제 1 메모리 선택기;
 상기 복수의 마스터의 제 2 웨어드 메모리로의 접속을 제어하는 제 2 메모리 선택기;
 상기 복수의 마스터와 상기 제 1 메모리 선택기 간의 신호를 송수신하는 제 1 공용버스 및
 상기 복수의 마스터와 상기 제 2 메모리 선택기 간의 신호를 송수신하는 제 2 공용버스를 포함하는 것을 특징으로 하는 다중 버스 시스템.

청구항 2

제 1 항에 있어서,
 서로 다른 공용버스와 접속된 복수의 마스터가 서로 다른 웨어드 메모리로 접속하고자 하는 경우,
 상기 제 1 메모리 선택기는 상기 복수의 마스터 중에서 상기 제 1 웨어드 메모리로 접속을 요청한 제 1 마스터의 신호를 상기 제 1 웨어드 메모리로 송신하고,
 상기 제 2 메모리 선택기는 상기 복수의 마스터 중에서 상기 제 2 웨어드 메모리로 접속을 요청한 제 2 마스터의 신호를 상기 제 2 웨어드 메모리로 송신하는 것을 특징으로 하는 다중 버스 시스템.

청구항 3

제 1 항에 있어서, 상기 제 1 메모리 선택기 및 제 2 메모리 선택기는
 상기 복수의 마스터로부터의 웨어드 신호를 입력 받아 상기 복수의 마스터 각각이 접속을 요청한 해당 웨어드 메모리로 송신하는 MUX;
 상기 복수의 마스터로부터 입력되는 웨어드 메모리 접속요청 신호를 해당 웨어드 메모리로 출력하는 OR 게이트;
 상기 복수의 마스터로부터의 웨어드 메모리 접속요청 신호 및 상기 웨어드 메모리로 송신하고자 하는 데이터의 송신 성격이 정의된 HTRANS 신호를 입력 받아 웨어드 메모리 선택신호를 생성하고, 상기 웨어드 메모리 신호를 상기 MUX 및 마스터 선택부로 송신하는 버스 선택부; 및
 상기 복수의 마스터로부터의 상기 웨어드 메모리 접속요청 신호 및 상기 HTRANS 신호와, 상기 웨어드 메모리로부터의 접속 가능 여부 신호 및 마스터 선택 신호를 입력 받아 접속 준비 신호를 생성하고, 상기 접속 준비 신호를 상기 복수의 마스터 각각에게 송신하는 마스터 선택부를 포함하는 것을 특징으로 하는 다중 버스 시스템.

청구항 4

상기 제 1 항 내지 제 3 항 중 어느 한 항의 다중 버스 시스템을 이용한 데이터 송신방법에 있어서,
 서로 다른 공용버스와 접속된 복수의 마스터로부터 서로 다른 제 1 및 제 2 웨어드 메모리로의 접속요청 신호를 수신하는 단계;
 상기 복수의 마스터 중에서 제 1 마스터가 접속하고자 하는 제 1 웨어드 메모리의 접속 가능여부 및 상기 복수의 마스터 중에서 제 2 마스터가 접속하고자 하는 제 2 웨어드 메모리의 접속 가능여부를 확인하는 단계;
 확인결과, 상기 제 1 웨어드 메모리 및 제 2 웨어드 메모리로의 접속이 가능한 경우, 상기 제 1 마스터 및 제 2 마스터를 접속을 요청한 각각의 제 1 및 제 2 웨어드 메모리로 접속시키는 단계; 및
 접속이 이루어진 제 1 및 제 2 웨어드 메모리로 제 1 및 제 2 마스터로부터의 신호를 송신하는 단계를 포함하는 것을 특징으로 하는 다중 버스 시스템의 데이터 송신방법.

청구항 5

제 4 항에 있어서,

상기 제 1 마스터 및 제 2 마스터는 동일 시간에 서로 다른 웨어드 메모리에 접속하여 상기 신호를 송신하는 것을 특징으로 하는 다중 버스 시스템의 데이터 송신방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 버스 시스템에 관한 것으로, 특히 다중 버스 시스템에서 마스터들이 브리지를 경유하지 않고 웨어드 메모리로 접근할 수 있는 다중 버스 시스템과 이를 이용한 데이터 송신 방법에 관한 것이다.

배경 기술

[0002] 반도체 제조 공정의 발달에 힘입어 서로 다른 기능을 수행하는 여러 컴포넌트 (Chip)들을 하나의 칩에 집적시키는 SoC(System on Chip) 기술이 개발되어 회로설계에 널리 이용되고 있다.

[0003] 이러한, SoC(System on Chip)는 시스템의 설계와 구현 시 칩 크기와 설계비용을 절감시킴과 아울러, 구동 시 저 전력 소모와 실시간 처리 능력 및 시스템의 유연성 면에서 향상된 성능을 제공할 수 있다.

[0004] SoC의 구성요소는 복수의 마스터(Master)와 중재기(Arbiter), 복수의 슬레이브(Slave) 및 마스터와 슬레이브 간의 데이터 송신을 위한 공용버스(Shared Bus)로 이루어져 있다. 일반적으로 마스터는 프로세서(CPU), DMA(Direct Memory Access), DSP(digital signal processor)를 뜻하며, 슬레이브는 SDRAM, SRAM과 같은 메모리와 입출력 수단을 뜻한다.

[0005] 하나의 칩에 여러 가지의 기능이 집적화된 SoC칩의 경우, 1개의 공용버스에 마스터, 중재기, 슬레이브 등이 연결된 버스 시스템이 필요하다. 다수의 마스터들이 하나의 공용버스를 동시에 이용하고자 하는 경우, 중재기에 의해 공용버스 허가 신호를 받은 복수의 마스터들이 순서대로 공용버스를 이용하여 데이터를 슬레이브(메모리)로 송신하거나, 슬레이브로부터 데이터를 로딩하게 된다.

[0006] 도 1은 일반적인 버스 시스템을 나타내는 도면이다. 도 1에서는 종래의 여러 버스 시스템들 중에서 AMBA(Advanced Micro-controller Bus Architecture) 시스템을 예로 하였고, 버스 시스템을 구성하는 복수의 마스터들 및 슬레이브들 중에서 각각 2개만 도시하였다.

[0007] 도 1을 참조하면, 일반적인 버스 시스템(1)은 1개의 공용버스(10)에 복수의 마스터(30, 32), 복수의 슬레이브(40, 42) 및 공용버스(10)을 이용을 중재하는 중재기(20)를 포함한다.

[0008] 복수의 마스터(30, 32)는 복수의 슬레이브(40, 42)로 접속하고자 하는 경우 즉, 마스터들(30, 32)이 슬레이브들(40, 42)로 데이터를 송신하거나, 슬레이브들(40, 42)로부터 데이터를 로딩하고자 하는 경우, 중재기(20)에게 공용버스(10)의 이용을 요청하게 된다. 이때, 중재기(20)는 미리 정해진 우선 순위 판단 방법에 따라 마스터들(30, 32) 각각의 공용버스(10) 이용의 우선권을 결정하며, 중재기(20)로부터 공용버스(10)의 이용 승인을 획득한 마스터가 공용버스(10)를 통해 슬레이브들(40, 42)로 접속하게 된다.

[0009] 예를 들어, 제 1 마스터(30)가 제 1 슬레이브(40)로의 접속을 요청하고, 동시에 제 2 마스터(32)가 제 2 슬레이브(42)로의 접속을 요청한 경우, 중재기(20)는 미리 정해진 우선 순위 판단 방법을 이용하여 공용버스(10) 이용의 우선권을 결정하며, 일반적으로 CPU, ARM 프로세서와 같이 많은 연산을 수행하고 신속성을 요하는 마스터에 공용버스(10) 이용의 우선권을 부여한다. 여기서, 중재기(20)에 적용되는 우선 순위 판단 방법은 고정된 우선 순위(Fixed Priority) 판단 방법과 라운드 로빈 우선 순위(Round Robin Priority) 판단 방법이 가장 널리 이용된다.

[0010] 중재기(20)의 우선권 결정에 의해 복수의 마스터(30, 32) 중에서 제 1 마스터(30)에 공용버스(10) 이용의 우선권이 부여되면 먼저, 제 1 마스터(30)가 제 1 슬레이브(40)로 접속하여 데이터를 송신 또는 로딩 한 후, 제 2 마스터(32)가 공용버스(10)의 이용권을 부여 받아 제 2 슬레이브(42)로 접속하여 데이터를 송신 또는 로딩하게 된다.

[0011] 상술한, 일반적인 버스 시스템(1)은 공용버스(10)를 이용하는 마스터 및 슬레이브의 수가 증가될 경우, 데이터

송신에 많은 시간이 소요되는 문제점이 있다. 버스 시스템의 성능 향상을 위해서는 여러 컴포넌트가 동시에 데이터를 송수신할 수 있는 병렬처리 구조 및 데이터 송신 방법이 도입되어야 한다. 그러나, 동일 시간에 하나의 데이터의 송신만이 가능한 공용버스 구조에서는 병렬 송신을 할 수 없는 단점이 있다.

- [0012] 상술한, 문제점들을 개선하기 위하여, 도 2에 도시된 바와 같이, 다중 버스 시스템(50)이 제안되었다. 도 2의 다중 버스 시스템(50)은 종래의 여러 버스 시스템들 중에서 AMBA(Advanced Micro-controller Bus Architecture)의 AHB(Advanced High-performance Bus) 시스템을 적용하였다.
- [0013] 도 2를 참조하면, 종래 기술에 따른 다중 버스 시스템(50)은 복수의 공용버스(10, 12), 복수의 마스터(30, 32, 34), 복수의 슬레이브(40, 42, 44), 제 1 공용버스(10)에 접속된 제 1 웨어드 메모리(60), 제 2 공용버스(12)에 접속된 제 2 웨어드 메모리(62), 공용버스(10, 12) 각각의 이용을 중재하는 복수의 중재기(20, 22) 및 제 1 공용버스(10)와 제 2 공용버스(12) 간의 데이터 송수신을 지원하는 브리지(70)를 포함한다.
- [0014] 여기서, 브리지(70)는 한 버스의 마스터가 다른 버스의 슬레이브로 접근할 수 있도록 접근 인터페이스를 제공하는 것으로, 제 1 공용버스에 접속된 마스터들이 제 2 공용버스에 접속된 슬레이브들로 접근할 수 있도록 하고, 제 2 공용버스에 접속된 마스터들이 제 1 공용버스에 접속된 슬레이브들로 접근할 수 있도록 한다.
- [0015] 도 2의 다중 버스 시스템(50)은 복수의 공용버스(10, 12)를 통해 병렬 송신이 가능하고, 브리지를 통해 공용버스(10, 12) 간의 데이터 송수신이 가능하다.
- [0016] 예를 들어, 제 1 공용버스(10)에 접속된 제 1 마스터(30)가 제 1 슬레이브(40)로의 접속을 요청하고, 동시에 제 2 공용버스(12)에 접속된 제 3 마스터(34)가 제 3 슬레이브(44)로의 접속을 요청하는 경우, 제 1 마스터(30)와 제 3 마스터(34)는 자신과 접속된 공용버스(10, 12)를 통해 동일 시간에 데이터의 송수신이 가능하다.
- [0017] 그러나, 제 1 공용버스(10)에 접속된 제 1 마스터(30)가 제 2 공용버스(12)에 접속된 제 3 슬레이브(44)로 접근하고자 하는 경우, 즉, 제 1 마스터가 자신과 접속된 공용버스(10)가 아닌 다른 공용버스(12)에 접속된 슬레이브(44) 접근을 요청하는 경우에는 데이터 송수신을 위해 제 1 마스터(30)가 제 1 공용버스(10)의 이용권을 획득하고 브리지(70)를 통해 제 2 공용버스(12)의 이용권을 획득해야 하므로 이러한 때에는 병렬송신을 할 수 없다.
- [0018] 특히, SDRAM 또는 DRAM과 같은 웨어드 메모리(60, 62)는 마스터들의 접근 빈도가 높으므로, 상술한 바와 같이 제 1 공용버스(10)에 접속된 제 1 및 제 2 마스터(30, 32)가 제 2 공용버스(12)에 접속된 제 2 웨어드 메모리(62)로 접속을 요청하는 경우는 병렬 송신을 할 수 없는 문제점이 있다. 또한, 제 2 공용버스(12)에 접속된 제 3 마스터(34)가 제 1 공용버스(10)에 접속된 제 1 웨어드 메모리(60)로 접속을 요청하는 경우에도 동일하게 병렬 송신을 할 수 없는 문제점이 있다.
- [0019] 상술한 문제점과 함께, 상기 제 1 공용버스(10)와 제 2 공용버스(12)는 브리지(70)를 통해 상호 데이터의 송수신이 가능하지만, 동작 주파수가 상이 하기 때문에 높은 주파수로 빠르게 동작하는 제 1 공용버스(10)에서 브리지(70)로 전달되는 데이터는 브리지(70)를 경유하면서 낮은 주파수로 느리게 동작하는 제 2 공용버스(12)의 주파수에 동기 되어 데이터의 송수신에 지연이 발생하는 문제점이 있다. 특히, 웨어드 메모리(60, 62)와 같이 접근 빈도가 높은 슬레이브에 마스터들이 접근하고자 하는 경우, 브리지(70)를 경유해야 하므로 브리지(70)이 대기 시간(latency)이 길어지게 된다. 이로 인해 데이터의 송신 지연이 발생하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0020] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 다중 버스 시스템에서 브리지의 대기 시간(latency)을 줄여 데이터 송신 효율을 향상시킬 수 있는 버스 시스템 및 데이터 송신 방법을 제공하는 것을 또 다른 기술적 과제로 한다.
- [0021] 실시 예에 따른 본 발명은 복수의 마스터 및 슬레이브를 포함하는 다중 버스 시스템에서 데이터 송신 시간을 줄여 데이터 송신의 효율성을 향상시킬 수 있는 버스 시스템 및 데이터 송신 방법을 제공하는 것을 기술적 과제로 한다.
- [0022] 실시 예에 따른 본 발명은 브리지를 이용하지 않고 마스터와 웨어드 메모리 간에 데이터를 송수신 할 수 있는 버스 시스템 및 데이터 송신 방법을 제공하는 것을 다른 기술적 과제로 한다.

과제 해결수단

- [0023] 상술한 목적을 달성하기 위한 본 발명의 실시 예에 따른 다중 버스 시스템은 복수의 마스터, 복수의 셰어드 메모리를 포함하는 다중 버스 시스템에 있어서, 상기 복수의 마스터의 제 1 셰어드 메모리로의 접속을 제어하는 제 1 메모리 선택기; 상기 복수의 마스터의 제 2 셰어드 메모리로의 접속을 제어하는 제 2 메모리 선택기; 상기 복수의 마스터와 상기 제 1 메모리 선택기 간의 신호를 송수신하는 제 1 공용버스; 및 상기 복수의 마스터와 상기 제 2 메모리 선택기 간의 신호를 송수신하는 제 2 공용버스를 포함하는 것을 특징으로 한다.
- [0024] 상술한 목적을 달성하기 위한 본 발명의 실시 예에 따른 다중 버스 시스템은 서로 다른 공용버스와 접속된 복수의 마스터가 서로 다른 셰어드 메모리로 접속하고자 하는 경우, 상기 제 1 메모리 선택기는 상기 복수의 마스터 중에서 상기 제 1 셰어드 메모리로 접속을 요청한 제 1 마스터의 신호를 상기 제 1 셰어드 메모리로 송신하고, 상기 제 2 메모리 선택기는 상기 복수의 마스터 중에서 상기 제 2 셰어드 메모리로 접속을 요청한 제 2 마스터의 신호를 상기 제 2 셰어드 메모리로 송신하는 것을 특징으로 한다.
- [0025] 상술한 목적을 달성하기 위한 본 발명의 실시 예에 따른 다중 버스 시스템은 상기 제 1 메모리 선택기 및 제 2 메모리 선택기는 상기 복수의 마스터로부터의 셰어드 신호를 입력 받아 상기 복수의 마스터 각각이 접속을 요청한 해당 셰어드 메모리로 송신하는 MUX; 상기 복수의 마스터로부터 입력되는 셰어드 메모리 접속요청 신호를 해당 셰어드 메모리로 출력하는 OR 게이트; 상기 복수의 마스터로부터의 셰어드 메모리 접속요청 신호 및 상기 셰어드 메모리로 송신하고자 하는 데이터의 송신 성격이 정의된 HTRANS 신호를 입력 받아 셰어드 메모리 선택신호를 생성하고, 상기 셰어드 메모리 신호를 상기 MUX 및 마스터 선택부로 송신하는 버스 선택부; 및 상기 복수의 마스터로부터의 상기 셰어드 메모리 접속요청 신호 및 상기 HTRANS 신호와, 상기 셰어드 메모리로부터의 접속 가능 여부 신호 및 마스터 선택 신호를 입력 받아 접속 준비 신호를 생성하고, 상기 접속 준비 신호를 상기 복수의 마스터 각각에게 송신하는 마스터 선택부를 포함하는 것을 특징으로 한다.
- [0026] 상술한 목적을 달성하기 위한 본 발명의 실시 예에 따른 다중 버스 시스템의 데이터 송신 방법은 서로 다른 공용버스와 접속된 복수의 마스터로부터 서로 다른 제 1 및 제 2 셰어드 메모리로의 접속요청 신호를 수신하는 단계; 상기 복수의 마스터 중에서 제 1 마스터가 접속하고자 하는 제 1 셰어드 메모리의 접속 가능여부 및 상기 복수의 마스터 중에서 제 2 마스터가 접속하고자 하는 제 2 셰어드 메모리의 접속 가능여부를 확인하는 단계; 확인결과, 상기 제 1 셰어드 메모리 및 제 2 셰어드 메모리로의 접속이 가능한 경우, 상기 제 1 마스터 및 제 2 마스터를 접속을 요청한 각각의 제 1 및 제 2 셰어드 메모리로 접속시키는 단계; 및 접속이 이루어진 제 1 및 제 2 셰어드 메모리로 제 1 및 제 2 마스터로부터의 신호를 송신하는 단계를 포함하는 것을 특징으로 한다.
- [0027] 상술한 목적을 달성하기 위한 본 발명의 실시 예에 따른 다중 버스 시스템의 데이터 송신 방법은 상기 제 1 마스터 및 제 2 마스터는 동일 시간에 서로 다른 셰어드 메모리에 접속하여 상기 신호를 송신하는 것을 특징으로 한다.

효 과

- [0028] 상술한 바와 같이, 본 발명의 실시 예에 따른 다중 버스 시스템 및 데이터 송신 방법은 브리지를 이용하지 않고 마스터와 셰어드 메모리 간에 데이터를 송수신을 가능케 하여 다중 버스 시스템의 데이터 송신 효율을 향상시킬 수 있다.
- [0029] 본 발명의 실시 예에 따른 다중 버스 시스템 및 데이터 송신 방법은 서로 다른 공용버스와 접속된 복수의 마스터가 서로 다른 셰어드 메모리로 접속하여 데이터를 송신하고자 하는 경우에, 셰어드 메모리와 연결된 메모리 선택기를 통해 마스터와 셰어드 메모리 간에 데이터를 송·수신 할 수 있는 효과를 제공한다.
- [0030] 본 발명의 실시 예에 따른 다중 버스 시스템 및 데이터 송신 방법은 브리지의 대기시간 발생을 감소시킴과 아울러, 데이터의 송수신의 병렬 처리를 가능하게 한다. 이를 통해 데이터 송신 시간을 단축시켜 전체 버스 시스템의 데이터 송신 효율을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0031] 본 발명은 다중 버스 시스템에서 셰어드 메모리의 접근을 중재하는 메모리 선택기를 이용하여 마스터들이 브리지를 경유하지 않고 셰어드 메모리로 접근할 수 있는 다중 버스 시스템과 이를 이용한 데이터 송신 방법에 관한 것이다.
- [0032] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예들에 대하여 설명하기로 한다.
- [0033] 도 3은 본 발명의 실시 예에 따른 다중 버스 시스템을 나타내는 도면이다.

- [0034] 도 3을 참조하면, 본 발명의 실시 예에 따른 다중 버스 시스템(100)은 복수의 공용버스(110, 112), 복수의 마스터(130, 132, 134), 복수의 슬레이브(140, 142, 144), 복수의 웨어드 메모리(160, 162), 브리지(170), 중재기(120, 122) 및 메모리 선택기(180, 182)를 포함한다.
- [0035] 복수의 마스터들(130, 132, 134)은 ARM 프로세서, CPU, DMA, DSP를 의미하며, 슬레이브들(140, 142, 144)은 메모리 및 USB(Universal Serial Bus), UART(Universal Asynchronous Receiver Transmitter)와 같은 입·출력 수단을 뜻한다. 슬레이브 중에서 마스터의 접근 빈도가 높은 SDRAM, SRAM과 같은 메모리는 본 발명에서는 웨어드 메모리(160, 162)로 정의하며, 웨어드 메모리(160, 162)는 복수의 공용버스(110, 112) 각각과 연결되는 메모리 선택기(180, 182)를 통해 접근할 수 있도록 구성되어 있다.
- [0036] 복수의 마스터들(130, 132, 134)은 자신이 접속된 공용버스(110, 112)를 통해 슬레이브들(140, 142, 144)에 접속하게 되며, 복수의 마스터들(130, 132, 134)이 동시에 슬레이브들(140, 142, 144)에 접속하고자 하는 경우, 중재기(120)로부터 공용버스(120) 이용의 허가 신호를 획득한 마스터들(130, 132, 134)이 순서대로 공용버스를 이용하여 데이터를 슬레이브들(140, 142, 144)로 송신하거나, 슬레이브들(140, 142, 144)로부터 데이터를 로딩하게 된다.
- [0037] 복수의 중재기(120, 122) 각각은 자신이 접속된 공용버스(110, 112) 이용의 우선 순위를 판단하는 단위 또는 복수의 판단부 포함하며, 복수의 마스터들(130, 132, 134)이 슬레이브들(140, 142, 144)에 접속하고자 하는 경우, 미리 정해진 우선 순위 결정 방법에 따라서 공용버스(110, 112) 이용의 우선 순위를 결정한다.
- [0038] 공용버스(110, 112)는 복수의 마스터들(130, 132, 134) 각각이 슬레이브들(140, 142, 144)로 접속할 수 있도록 즉, 복수의 마스터들(130, 132, 134) 및 슬레이브들(140, 142, 144)을 연결하여 읽기 쓰기 기능을 수행할 수 있도록 한다. 이때, 중재기(120, 122)로부터 공용버스(110, 112) 이용의 허가를 획득한 마스터가 데이터 송신을 할 수 있다.
- [0039] 본 발명에서 공용버스는 AHB(Advanced High-performance Bus), ASB(Advanced System Bus), APB(Advanced peripheral Bus)이 적용될 수 있으며, 일 예로서 버스트 송신(burst Transfer), 분할 트랜잭션(split transaction), 단일 사이클 버스 마스터 핸드오버(single-cycle bus master handover), 단일 클럭 에지 동작(single-clock edge operation), 128비트 데이터 버스 구성의 장점을 통해 고속 데이터 송신이 가능한 AHB 시스템을 제 1 및 제 2 공용버스(110, 112)로 적용하였다.
- [0040] 본 발명의 실시 예에 따른 다중 버스 시스템(100)은 동일 주파수 또는 다른 주파수로 동작하는 복수의 공용버스(110, 112)를 중심으로 하는 복수의 버스 시스템이 브리지(170)를 통해 데이터를 송수신 할 수 있으며, 마스터들(130, 132, 134)의 접근 빈도가 높은 웨어드 메모리(160, 162)는 메모리 선택기(180, 182)를 통해 접근할 수 있다.
- [0041] 제 1 마스터 및 제 2 마스터(130, 132), 제 1 슬레이브(140) 및 제 2 슬레이브(142)는 제 1 공용버스(110)와 접속되어 있고, 제 1 중재기(120)는 상기 제 1 마스터 및 제 2 마스터(130, 132)가 슬레이브로 접근하고자 하는 경우, 제 2 공용버스(110)의 이용을 중재한다.
- [0042] 제 3 마스터(134) 및 제 3 슬레이브(144)는 제 2 공용버스(112)와 접속되어 있고, 제 2 중재기(122)는 상기 제 3 마스터가 슬레이브로 접근하고자 하는 경우, 제 2 공용버스(112)의 이용을 중재한다.
- [0043] 브리지(170)는 상기 제 1 공용버스(110)와 제 2 공용버스(112) 간에 데이터의 송수신이 이루어질 수 있도록 접속 인터페이스를 제공한다.
- [0044] 본 발명의 실시 예에 따른 다중 버스 시스템(100)에서는 서로 다른 공용버스에 접속된 복수의 마스터가 동일 시간에 서로 다른 웨어드 메모리로 접근하고자 하는 경우, 상술한 브리지(170)를 경유하지 않고, 메모리 선택기를 이용하여 접근할 수 있도록 한다.
- [0045] 예를 들면, 제 1 공용버스(110)에 접속된 제 1 마스터(130)가 제 1 웨어드 메모리(160)로 접근하는 경우, 제 1 중재기(120)는 제 1 공용버스(110)의 이용을 중재하여 제 1 공용버스(110)의 이용이 가능하면 제 1 마스터(130)에게 제 1 공용버스(110)의 이용을 승인한다.
- [0046] 제 1 웨어드 메모리(160)는 공용버스(110, 112)와 접속되어 있지 않으므로 제 1 마스터(130)는 브리지(170)에 접속하지 않고, 제 1 공용버스(110)를 통해 제 1 웨어드 메모리(160)와 연결된 제 1 메모리 선택기(180)로 접속한다.

- [0047] 제 1 메모리 선택기(180)는 제 1 마스터(130)가 제 1 웨어드 메모리(160)로 접속 가능한지 확인하고, 접속이 가능한 경우, 제 1 마스터(130)를 제 1 웨어드 메모리(160)로 접속시켜 제 1 마스터(130)와 제 1 웨어드 메모리(160) 간에 데이터의 송수신이 이루어지게 된다.
- [0048] 이와 함께, 제 2 공용버스(110)에 접속된 제 3 마스터(134)가 제 2 웨어드 메모리(162)로 접근하는 경우, 제 2 중재기(122)는 제 2 공용버스(112)의 이용을 중재하여 제 2 공용버스(112)의 이용이 가능하면 제 3 마스터(134)에게 제 2 공용버스(112)의 이용을 승인한다.
- [0049] 제 2 웨어드 메모리(162)는 공용버스(110, 112)와 접속되어 있지 않으므로 제 1 마스터(130)는 브리지(170)에 접속하지 않고, 제 2 공용버스(110)를 통해 제 2 웨어드 메모리(162)와 연결된 제 2 메모리 선택기(182)로 접속한다.
- [0050] 제 2 메모리 선택기(182)는 제 3 마스터(134)가 제 2 웨어드 메모리(162)로 접속 가능한지 확인하고, 접속이 가능한 경우, 제 3 마스터(134)를 제 2 웨어드 메모리(162)로 접속시켜 제 3 마스터(134)와 제 2 웨어드 메모리(162) 간에 데이터의 송수신이 이루어지게 된다.
- [0051] 본 발명의 실시 예에 따른 다중 버스 시스템(100)은 상술한 바와 같이, 서로 다른 공용버스에 접속된 복수의 마스터가 동일 시간에 서로 다른 웨어드 메모리(160, 162)로 접속을 요청하게 되면, 브리지(170)를 이용하지 않고, 웨어드 메모리(160, 162)와 접속된 메모리 선택기(180, 182)를 이용하여 마스터와 웨어드 메모리를 접속시킬 수 있다.
- [0052] 도 4는 본 발명의 실시 예에 따른 다중 버스 시스템의 메모리 선택기를 나타내는 도면이다.
- [0053] 여기서, 제 1 메모리 선택기(180)와 제 2 메모리 선택기(182)는 동일한 구성을 포함한다. 또한, 동일한 방식으로 동작하여 마스터가 웨어드 메모리(160, 162)로 접속을 요청하는 경우 접속 가능 여부를 판단한다. 제 1 메모리 선택기(180)와 제 2 메모리 선택기(182)는 상기 판단 결과에 따라 마스터들(130, 132, 134)의 웨어드 메모리(160, 162) 접속을 지원하므로 이하 설명에서는 제 1 메모리 선택기(180)를 기준으로 설명하기로 한다.
- [0054] 본 발명의 실시 예에 따른 다중 버스 시스템(100)은 상술한 바와 같이, 마스터(130, 132, 134)가 웨어드 메모리(160, 162)로 접근하고자 하는 경우, 브리지(170)를 이용하지 않고 마스터(130, 132, 134)를 웨어드 메모리(160, 162)로 접속시키므로, 마스터(130, 132, 134)와 웨어드 메모리(160, 162) 간에 송·수신이 이루어지는 신호 및 데이터를 조절하는 별도의 구성이 필요하다. 이를 위해, 본 발명의 실시 예에 따른 다중 버스 시스템(100)은 웨어드 메모리(160, 162) 각각과 접속되는 메모리 선택기(180, 182)를 포함한다.
- [0055] 도 4를 참조하면, 본 발명의 실시 예에 따른 다중 버스 시스템(100)의 메모리 선택기(180)는 복수의 입력·출력 단자, MUX(182), OR 게이트(184), 버스 선택부(186) 및 마스터 선택부(188)를 포함한다.
- [0056] MUX(182)는 마스터들(130, 132, 134)로부터의 신호들을 입력 받아, 마스터들(130, 132, 134)이 데이터를 송신 또는 데이터를 수신하고자 하는 웨어드 메모리(160)로 해당 신호를 송신한다.
- [0057] 여기서, MUX(182)로 입력되는 복수의 신호들은 HWDATA[out] 신호, HBURST[out] 신호, HWRITE[out] 신호, HSIZE[out] 신호, HPROT 신호, HTRANS[out] 신호, HLOCK[out] 신호, HADDR[out] 신호를 포함한다.
- [0058] 또한, MUX(182)는 버스 선택부(186)로부터 입력되는 웨어드 메모리(슬레이브) 선택(HSEL_Selected) 신호를 통해 상기 다수의 마스터들(130, 132, 134)로부터 입력되는 상기 복수의 신호를 해당 웨어드 메모리(160)로 출력한다.
- [0059] 여기서, HWDATA 신호는 32비트로 구성되며 쓰기 동작일 때 이용되는 신호이다. HBURST 신호는 3비트로 구성되며 송신하고자 하는 데이터의 버스트 모드가 정의된 신호이다. HWRITE 신호는 마스터들(130, 132, 134)가 웨어드 메모리(160, 162)에 접속하고자 하는 목적이 쓰기 동작인지 읽기 동작인지를 알려주는 신호로 High 일 때 쓰기 동작, Low 일 때 읽기 동작을 의미한다.
- [0060] HSIZE 신호는 송신하고자 하는 데이터의 크기(8 바이트, 하프 워드, 풀 워드)를 의미하는 신호이다. HPROT 신호는 현재의 송신이 opcode fetch 인지 데이터 액세스 인지 등을 알려주어 송신을 보호하는 신호이다. HTRANS 신호는 데이터의 송신이 Non Sequential, Sequential, Idle, Busy 인지를 등의 송신 성격을 나타내는 신호이다.
- [0061] HLOCK 신호는 하나의 마스터가 웨어드 메모리(160)에 접속되어 있는 경우, 다른 마스터로 공용버스의 이용 및 웨어드 메모리(160)의 접속 권한이 넘어가는 것을 방지하기 위한 신호이다.

- [0062] 제 1 및 제 2 공용버스(110, 112)에서 출력되는 복수의 신호 중에서 슬레이브를 선택하기 위한 슬레이브 접속요청(HSEL_1, HSEL_2) 신호는 OR 게이트(184)로 입력된다.
- [0063] OR 게이트(184)에 입력된 HSEL_1, HSEL_2 신호는 해당 웨어드 메모리(160, 162)로 출력된다. 즉, 공용버스(110, 112)를 이용하는 마스터들(130, 132, 134) 중에서 하나의 마스터가 웨어드 메모리(160, 162)로 접속을 요청하는 경우, 해당 웨어드 메모리(160, 162)로 마스터의 접속을 요청을 알려주게 된다.
- [0064] 여기서, 복수의 마스터들(130, 132, 134)이 동일한 웨어드 메모리(예를 들면, 제 1 웨어드 메모리)로 접속을 요청하는 경우에는 먼저 접속을 요청한 마스터의 접속요청 신호를 웨어드 메모리(160, 162)로 알려주고, 이후, 접속을 요청한 마스터들의 접속요청 신호를 해당 웨어드 메모리(160, 162)로 송신하게 된다.
- [0065] 이때, 마스터 선택부(188)는 웨어드 메모리(160, 162)로부터 마스터 접속 준비(HREADY) 신호를 입력 받아 웨어드 메모리(160, 162)로 접속을 요청한 마스터들(130, 132, 134)에게 마스터 접속 준비(HREADY) 신호를 송신한다.
- [0066] HREADY 신호는 웨어드 메모리(160, 162)로의 접속 가능 여부를 알려주는 신호로, 데이터 송신의 완료되었는지, 확장이 필요한지를 나타낸다. 보다 자세히 설명하면, 마스터로부터 요청된 모든 처리를 완료한 웨어드 메모리(160, 162)는 HREADY 신호 값을 High로 출력하여 자신과 접속하고자 하는 마스터에게 자신이 현재 접속이 가능한 상태임을 알려주게 된다. 반면, 현재 마스터와 접속되어 있거나, 마스터로부터 요청된 처리를 수행중인 웨어드 메모리(160, 162)는 HREADY 신호 값을 Low로 출력하여 자신이 현재 자신과 접속하고자 하는 임의의 마스터와 접속할 수 없음을 알려주게 된다.
- [0067] 즉, 마스터 접속 준비(HREADY) 신호 값이 High인 경우에는 웨어드 메모리(160, 162)가 접속을 요청하는 마스터와 접속이 가능함을 의미하고, 마스터 접속 준비(HREADY) 신호 값이 Low인 경우에는 접속을 요청하는 웨어드 메모리(160, 162)가 마스터와 접속이 가능하지 않음을 의미한다. 즉, 마스터 접속 준비(HREADY) 신호를 통해 슬레이브로 접속하고자 하는 마스터들에게 해당 웨어드 메모리(160, 162)로의 접속 가능 여부를 알려주게 된다.
- [0068] 웨어드 메모리(160, 162)로 접속하고자 하는 마스터들(130, 132, 134)은 마스터 선택부(188)를 경유하여 웨어드 메모리(160, 162)로부터 출력되는 마스터 접속 준비(HREADY) 신호 값이 High 인지 Low 인지를 확인하고, 마스터 접속 준비(HREADY) 신호 값이 High 인 경우에 해당 웨어드 메모리(160, 162)로 접속하게 된다. 이때, 웨어드 메모리(160, 162)로의 접속에 대한 우선 순위를 의미하는 HGRANT 신호를 획득한 순서대로 해당 웨어드 메모리(160, 162)와 접속하여 데이터를 송·수신 하게 된다.
- [0069] 버스 선택부(186)는 제 1 및 제 2 공용버스(110, 112)를 통해 마스터들(130, 132, 134)로부터 입력되는 웨어드 메모리(슬레이브) 접속요청(HSEL_S[x]) 신호를 입력 받는다. 이와 함께, 웨어드 메모리(160, 162)로 송신하고자 하는 데이터, 또는 웨어드 메모리(160, 162)로부터 송신을 요청하고자 하는 데이터의 송신 성격이 정의된 HTRANS 신호를 마스터들(130, 132, 134)로부터 입력 받아 버스 선택(Bus_Selected) 신호를 생성한다. 생성된 버스 선택(Bus_Selected) 신호는 마스터 선택부(188) 및 MUX(182)로 송신된다.
- [0070] MUX(182)로 출력된 버스 선택(Bus_Selected) 신호는 MUX(182)로 입력되는 복수의 신호가 어느 버스로 송신되어야 하는지를 알려주며, 마스터 선택부(188)로 출력된 버스 선택(Bus_Selected) 신호는 마스터들(130, 132, 134)가 접속하고자 하는 해당 웨어드 메모리(160, 162)로의 접속 허용 신호 및 접속 대기 신호의 생성에 이용된다.
- [0071] 마스터 선택부(188)는 제 1 및 제 2 공용버스(110, 112)를 통해 마스터들(130, 132, 134)로부터 입력된 HSEL_S[x] 신호, 제 1 및 제 2 공용버스(110, 112)로부터의 HTRANS 신호, 슬레이브들(140, 142, 144)로부터의 HREADY 신호 및 버스 선택부(186)로부터 입력되는 버스 선택(Bus_Selected) 신호를 입력 받아 마스터가 접속을 요청한 웨어드 메모리(160, 162)로의 접속 가능여부를 나타내는 HREADYout_1, HREADYout_2 신호를 생성한다. 생성된 HREADYout_1, HREADYout_2 신호는 제 1 및 제 2 공용버스(110, 120)로 출력되어 웨어드 메모리(160, 162)로의 접속을 요청한 해당 마스터로 송신된다.
- [0072] 상술한, HREADYout_1, HREADYout_2 신호는 해당 웨어드 메모리(160, 162)로 접속하고자 하는 마스터들에게 웨어드 메모리(160, 162)에 현재 접속이 가능한지 여부를 알려주는 신호이다.
- [0073] 다음으로, 웨어드 메모리(160, 162)로부터 입력되어 제 1 및 제 2 공용버스(110, 112)를 경유하여 마스터들(130, 132, 134)로 출력되는 HRESP[1:0] 신호와 HRDATA[31:0] 신호는 메모리 선택기(180) 내에서 바이패스 시켰다.

- [0074] 상술한 구성을 포함하는 본 발명의 실시 예에 따른 다중 버스 시스템(100)은 복수의 셰어드 메모리(160, 162)와 연결된 메모리 선택기(180, 182)를 통해 브리지(170)를 이용하지 않고, 마스터와 셰어드 메모리(160, 162) 간에 데이터를 송·수신 할 수 있다. 이를 통해, 브리지(170)의 대기시간 발생을 방지함과 아울러, 데이터 송수신 시간을 줄일 수 있다.
- [0075] 도 5는 본 발명의 실시 예에 따른 데이터 송신 방법의 흐름도이다.
- [0076] 이하, 도 5를 참조한 설명에서는 본 발명의 실시 예에 따른 데이터 송신 방법에 대하여 설명하기로 한다. 서로 다른 공용버스와 접속된 복수의 마스터가 서로 다른 셰어드 메모리로 접속하여 데이터를 송신하는 방법에 대하여 설명하기로 한다.
- [0077] 도면을 참조한 설명에 앞서, 제 1 공용버스에 접속된 제 1 마스터가 제 1 셰어드 메모리에 접속하여 데이터를 송신함과 동시에 제 2 공용버스에 접속된 제 2 마스터가 제 2 셰어드 메모리에 접속하여 데이터를 송신하는 경우를 일 예로 한다.
- [0078] 제 1 공용버스에 접속된 제 1 마스터가 제 1 셰어드 메모리에 접속하고자 하는 경우, 먼저, 제 1 마스터는 제 1 공용버스의 이용을 요청한다(S100). 제 1 공용버스의 이용이 요청되면 제 1 중재기는 제 1 공용버스를 다른 마스터가 이용하고 있는지를 확인한다(S110).
- [0079] S100의 확인결과, 제 1 공용버스를 다른 마스터가 이용하고 있는 중이면 제 1 마스터가 요청한 제 1 공용버스 이용을 보류시키고, 제 1 마스터는 다른 마스터의 제 1 공용버스 이용이 종료될 때까지 제 1 공용버스의 이용을 대기한다(S120).
- [0080] 다시 S110으로 돌아가서, 확인결과, 제 1 공용버스를 다른 마스터가 이용하고 있지 않아 제 1 공용버스의 이용이 가능하면, 제 1 마스터가 접근하고자 하는 대상이 제 1 공용버스에 접속된 슬레이브인지 확인한다(S150).
- [0081] S150의 확인결과, 제 1 마스터가 제 1 공용버스에 접속된 슬레이브로 접근하고자 하는 경우에는 접속하고자 하는 슬레이브로의 접근을 허용한다(S160).
- [0082] 슬레이브에 접근이 허용된 제 1 마스터는 해당 슬레이브와 접속하여 데이터의 읽기/쓰기 동작을 수행한다(S170).
- [0083] S150의 확인결과, 제 1 마스터가 접근하고자 하는 대상이 제 1 공용버스에 접속된 슬레이브가 아닌 경우에는 접근하고자 하는 대상이 셰어드 메모리 인지 확인한다(S190).
- [0084] S190의 확인결과, 제 1 마스터가 접근하고자 하는 대상이 셰어드 메모리가 아닌 경우에는 제 2 공용버스에 접속된 슬레이브로 접근하고자 하는 것이므로, 제 1 마스터를 브리지로 접속시킨다(S200).
- [0085] 제 1 마스터의 브리지 접속 이후, 제 2 공용버스가 현재 다른 마스터에 의해 이용 중인지 확인한다(S210).
- [0086] S210의 확인결과, 제 2 공용버스를 다른 마스터가 이용하고 있는 중이면 제 1 마스터가 요청한 제 2 공용버스 이용을 보류시키고, 제 1 마스터는 다른 마스터의 제 2 공용버스 이용이 종료될 때까지 제 2 공용버스의 이용을 대기한다(S220).
- [0087] 다시 S210으로 돌아가서, 확인결과, 제 2 공용버스를 다른 마스터가 이용하고 있지 않아 제 2 공용버스의 이용이 가능하면, 제 1 마스터가 요청한 공용버스 이용을 승인하고, 제 2 공용버스를 통해 접근하고자 하는 해당 슬레이브로의 접근을 허용한다(S230).
- [0088] 이후, 제 1 마스터는 제 2 공용버스를 통해 접근하고자 하는 해당 슬레이브에 접속하여 데이터의 읽기/쓰기 동작을 수행한다(S240).
- [0089] 다시, S190으로 돌아가서, S190의 확인결과, 제 1 마스터가 접근하고자 하는 대상이 제 1 셰어드 메모리인 경우에는 브리지를 이용하지 않고, 제 1 마스터를 제 1 메모리 선택기에 접속시킨다(S250).
- [0090] 이후, 제 1 메모리 선택기는 자신에게 접속된 제 1 셰어드 메모리가 현재 마스터의 접근이 가능한지를 확인한다(S260).
- [0091] S260의 확인결과, 제 1 셰어드 메모리에 다른 마스터가 접속되어 있어 제 1 마스터의 접근이 불가능한 경우에는 다른 마스터와 제 1 셰어드 메모리 간의 접속이 종료될 때까지 제 1 마스터에 대해 제 1 셰어드 메모리로의 접근을 대기 시킨다(S270).

- [0092] S260의 확인결과, 제 1 웨어드 메모리로의 접근이 가능한 경우에는 제 1 마스터에게 제 1 웨어드 메모리로의 접근을 허용한다(S280). 제 1 웨어드 메모리로의 접근이 허용된 제 1 마스터는 제 1 웨어드 메모리에 접속하여 데이터의 읽기/쓰기 동작을 수행한다(S290).
- [0093] 상술한, 제 1 마스터의 동작 수행과 동시에 제 2 공용버스에 접속된 제 2 마스터가 제 2 웨어드 메모리에 접속하고자 하는 경우, 먼저, 제 2 마스터는 제 2 공용버스의 이용을 요청한다(S130).
- [0094] 제 2 공용버스의 이용이 요청되면 제 2 중재기는 제 2 공용버스를 다른 마스터가 이용하고 있는지를 확인한다(S140).
- [0095] S140의 확인결과, 제 2 공용버스를 다른 마스터가 이용하고 있는 중이면 제 2 마스터가 요청한 제 2 공용버스 이용을 보류시키고, 제 2 마스터는 다른 마스터의 제 2 공용버스 이용이 종료될 때까지 제 2 공용버스의 이용을 대기한다(S120).
- [0096] 다시 S140으로 돌아가서, 확인결과, 제 2 공용버스를 다른 마스터가 이용하고 있지 않아 제 2 공용버스의 이용이 가능하면, 제 2 마스터가 접근하고자 하는 대상이 제 2 공용버스에 접속된 슬레이브인지 확인한다(S180).
- [0097] S180의 확인결과, 제 2 마스터가 제 2 공용버스에 접속된 슬레이브로 접근하고자 하는 경우에는 접속하고자 하는 슬레이브로의 접근을 허용한다(S160).
- [0098] 슬레이브에 접근이 허용된 제 2 마스터는 해당 슬레이브와 접속하여 데이터의 읽기/쓰기 동작을 수행한다(S170).
- [0099] S180의 확인결과, 제 2 마스터가 접근하고자 하는 대상이 제 2 공용버스에 접속된 슬레이브가 아닌 경우에는 접근하고자 하는 대상이 웨어드 메모리 인지 확인한다(S190).
- [0100] S190의 확인결과, 제 1 마스터가 접근하고자 하는 대상이 웨어드 메모리가 아닌 경우에는 제 1 공용버스에 접속된 슬레이브로 접근하고자 하는 것이므로, 제 2 마스터를 브리지로 접속시킨다(S200).
- [0101] 제 2 마스터의 브리지 접속 이후, 제 1 공용버스가 현재 다른 마스터에 의해 이용 중인지 확인한다(S210).
- [0102] S210의 확인결과, 제 1 공용버스를 다른 마스터가 이용하고 있는 중이면 제 2 마스터가 요청한 제 1 공용버스 이용을 보류시키고, 제 2 마스터는 다른 마스터의 제 1 공용버스 이용이 종료될 때까지 제 1 공용버스의 이용을 대기한다(S220).
- [0103] 다시 S210으로 돌아가서, 확인결과, 제 1 공용버스를 다른 마스터가 이용하고 있지 않아 제 1 공용버스의 이용이 가능하면, 제 2 마스터가 요청한 공용버스 이용을 승인하고, 제 1 공용버스를 통해 접근하고자 하는 해당 슬레이브로의 접근을 허용한다(S230).
- [0104] 이후, 제 2 마스터는 제 1 공용버스를 통해 접근하고자 하는 해당 슬레이브에 접속하여 데이터의 읽기/쓰기 동작을 수행한다(S240).
- [0105] 다시, S190으로 돌아가서, S190의 확인결과, 제 2 마스터가 접근하고자 하는 대상이 제 2 웨어드 메모리인 경우에는 브리지를 이용하지 않고, 제 2 마스터를 제 2 메모리 선택기에 접속시킨다(S250).
- [0106] 이후, 제 2 메모리 선택기는 자신에게 접속된 제 2 웨어드 메모리가 현재 마스터의 접근이 가능한지를 확인한다(S260).
- [0107] S260의 확인결과, 제 2 웨어드 메모리에 다른 마스터가 접속되어 있어 제 2 마스터의 접근이 불가능한 경우에는 다른 마스터와 제 2 웨어드 메모리 간의 접속이 종료될 때까지 제 2 마스터에 대해 제 2 웨어드 메모리로의 접근을 대기 시킨다(S270).
- [0108] S260의 확인결과, 제 2 웨어드 메모리로의 접근이 가능한 경우에는 제 2 마스터에게 제 2 웨어드 메모리로의 접근을 허용한다(S280). 제 2 웨어드 메모리로의 접근이 허용된 제 2 마스터는 제 2 웨어드 메모리에 접속하여 데이터의 읽기/쓰기 동작을 수행한다(S290).
- [0109] 상술한, 본 발명의 실시 예에 따른 다중 버스 시스템의 데이터 송신 방법은 서로 다른 공용버스와 접속된 복수의 마스터가 서로 다른 웨어드 메모리로 접속하여 데이터를 송신하고자 하는 경우에, 웨어드 메모리와 연결된 메모리 선택기를 통해 브리지를 이용하지 않고, 마스터와 웨어드 메모리 간에 데이터를 송·수신 할 수 있다. 이를 통해, 브리지의 대기시간 발생을 방지함과 아울러, 데이터 송수신 시간을 줄일 수 있다. 또한, 데이터의

송수신의 병렬 처리를 가능하게 함으로써, 데이터 송신 시간을 단축시킴과 아울러, 전체 버스 시스템의 데이터 송신 효율을 향상시킬 수 있다.

[0110] 상기한 바와 같은 구성 및 작용은 하나의 실시 예로서 본 발명의 청구범위를 제한하는 것은 아니며, 본 발명의 기술적 사상을 변경하지 아니하는 범위 내에서 다양한 변경과 수정이 가능함은 본 발명이 속하는 분야에 종사하는 자에게는 자명함을 알 수 있다.

[0111] 본 발명은 본 발명의 정신 및 필수적 특징을 벗어나지 않는 범위에서 다른 특정한 형태로 구체화될 수 있음은 당업자에게 자명하다. 따라서, 상기의 상세한 설명은 모든 면에서 제한적으로 해석되어서는 아니 되고 예시적인 것으로 고려되어야 한다. 본 발명의 범위는 첨부된 청구항의 합리적 해석에 의해 결정되어야 하고, 본 발명의 등가적 범위 내에서의 모든 변경은 본 발명의 범위에 포함된다.

도면의 간단한 설명

[0112] 도 1은 일반적인 버스 시스템을 나타내는 도면.

[0113] 도 2는 종래 기술의 다중 버스 시스템을 나타내는 도면.

[0114] 도 3은 본 발명의 실시 예에 따른 다중 버스 시스템을 나타내는 도면.

[0115] 도 4는 본 발명의 다른 실시 예에 따른 다중 버스 시스템의 메모리 선택기를 나타내는 도면.

[0116] 도 5는 본 발명의 실시 예에 따른 데이터 송신 방법의 흐름도.

[0117] <도면 주요 부분에 대한 부호의 설명>

[0118] 100: 버스 시스템 110, 112: 공용버스

[0119] 120, 122: 중재기 130, 132, 134: 마스터

[0120] 140, 142, 144: 슬레이브 160, 162: 웨어드 메모리

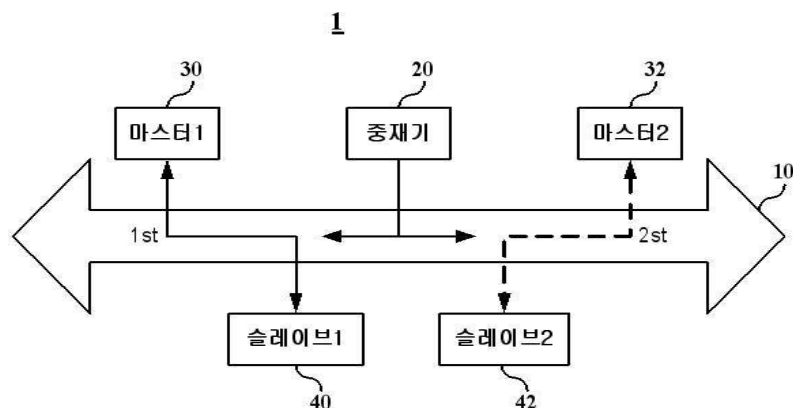
[0121] 170: 브리지 180: 메모리 선택기

[0122] 182: MUX 184: OR게이트

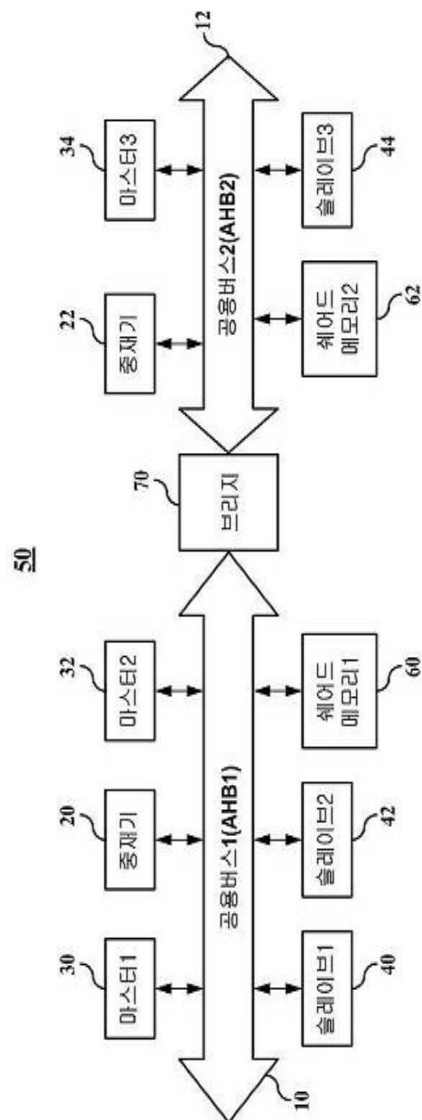
[0123] 186: 버스 선택부 188: 마스터 선택부

도면

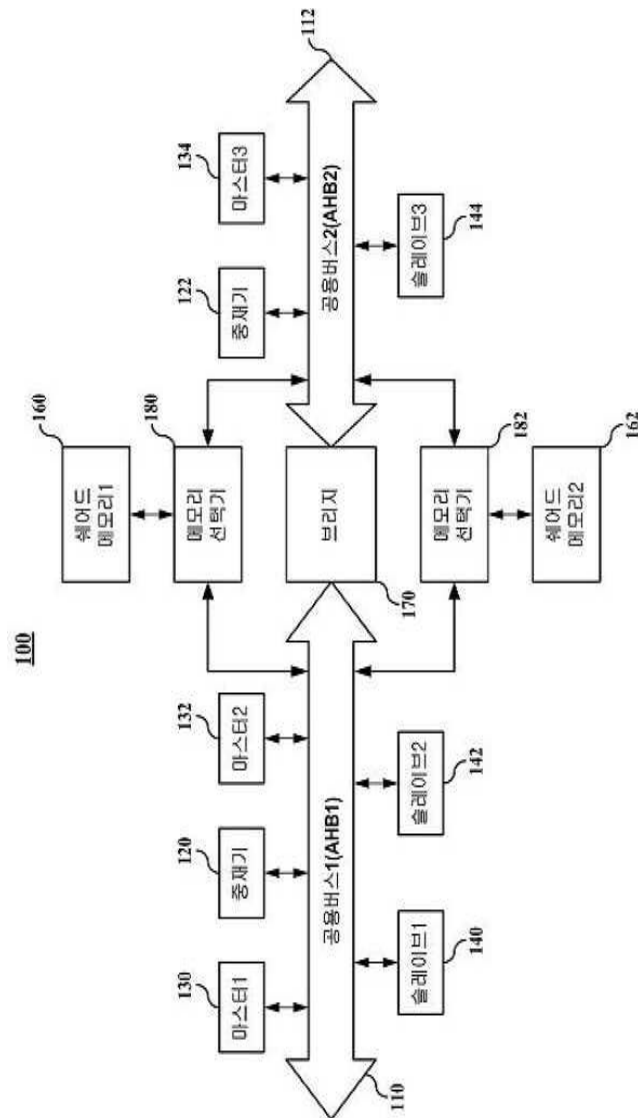
도면1



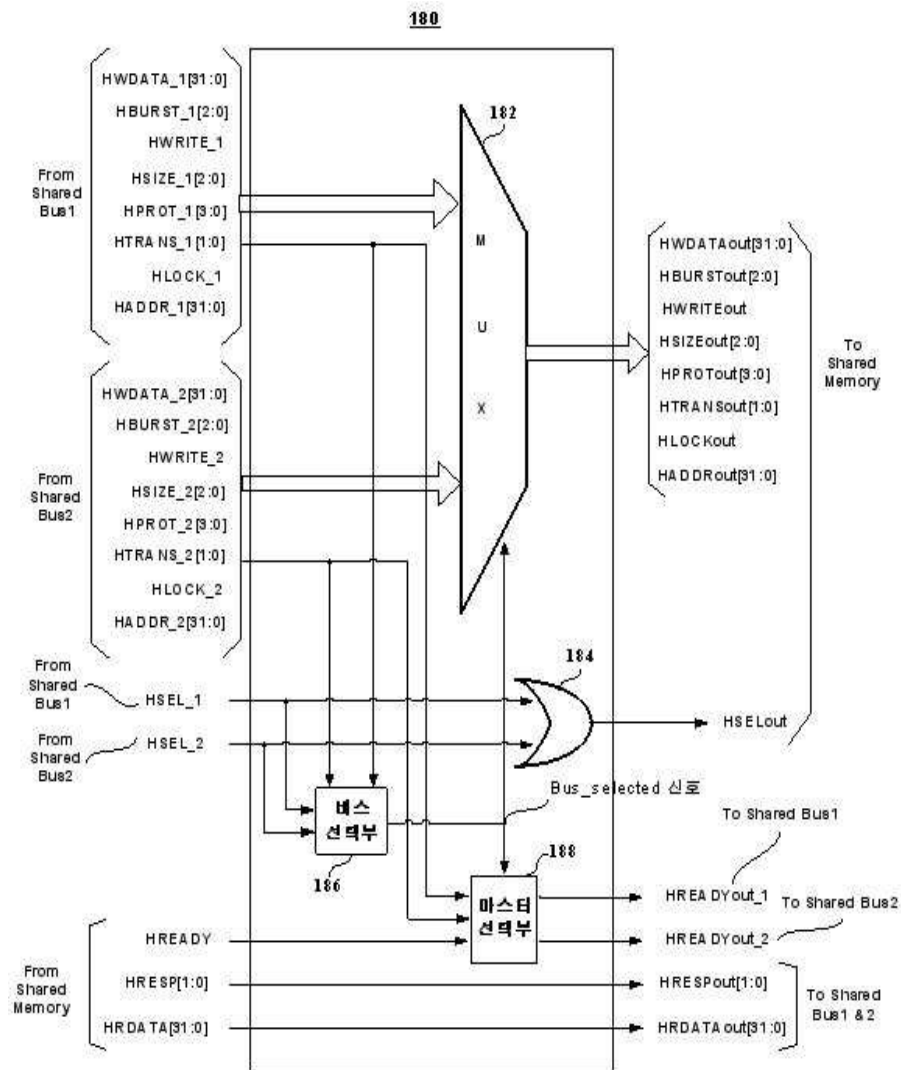
도면2



도면3



도면4



도면5

