

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6090447号
(P6090447)

(45) 発行日 平成29年3月8日(2017.3.8)

(24) 登録日 平成29年2月17日(2017.2.17)

(51) Int.Cl.

F 1

G06F 15/78

(2006.01)

G06F 15/78

5 1 7

G06F 11/22

(2006.01)

G06F 11/22

6 0 6 Z

G06F 1/04

(2006.01)

G06F 1/04

5 7 5

請求項の数 9 (全 20 頁)

(21) 出願番号 特願2015-527120 (P2015-527120)
 (86) (22) 出願日 平成25年7月19日 (2013.7.19)
 (86) 国際出願番号 PCT/JP2013/069604
 (87) 国際公開番号 WO2015/008372
 (87) 国際公開日 平成27年1月22日 (2015.1.22)
 審査請求日 平成27年8月25日 (2015.8.25)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 井實 健治
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 審査官 田中 幸雄

最終頁に続く

(54) 【発明の名称】演算処理装置及び演算処理装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

動的電圧・周波数制御で用いる複数の動作周波数及び前記動作周波数に対する電源電圧値を設定するテーブルと、

電源電圧の変化に応じて遅延変化を検出するクリティカルパスモニタ回路と、
 前記テーブル内の測定して得られた前記動作周波数及び前記電源電圧値での前記クリティカルパスモニタ回路のキャリブレーション処理を行い、前記キャリブレーション処理により得られた電源電圧値に係るキャリブレーション値を参照して前記テーブル内の測定していない前記動作周波数に対する前記電源電圧値の調整を前記クリティカルパスモニタ回路を用いて行い、調整した前記電源電圧値を前記テーブルに設定する制御回路とを有することを特徴とする演算処理装置。 10

【請求項 2】

前記テーブル内の前記動作周波数及び前記電源電圧値を、各々が測定して得られた前記動作周波数に対する前記電源電圧値及び測定していない前記動作周波数に対する前記電源電圧値の両方を含む複数のグループに分け、

前記制御回路は、測定していない前記動作周波数に対する前記電源電圧値の調整を、グループ内の測定して得られた前記動作周波数及び前記電源電圧値での前記キャリブレーション処理により得られた電源電圧値に係るキャリブレーション値を参照して行うことを特徴とする請求項1記載の演算処理装置。

【請求項 3】

前記制御回路は、

前記テーブル内の測定して得られた前記動作周波数及び前記電源電圧値に設定したときの前記クリティカルパスモニタ回路での遅延に応じたマージン情報に基づいて前記動作周波数に対するタイミングマージンが許容値を超えているか否かを判断する判断部と、

前記判断部での判断結果に基づいて前記クリティカルパスモニタ回路のキャリブレーション処理を行うキャリブレーション制御部とを有することを特徴とする請求項1記載の演算処理装置。

【請求項4】

前記制御回路は、

前記テーブル内の測定していない前記動作周波数及び前記電源電圧値に設定したときの前記クリティカルパスモニタ回路での遅延に応じたマージン情報に基づいて前記動作周波数に対するタイミングマージンが許容値を超えているか否かを判断する判断部と、

10

前記判断部での判断結果に基づいて前記動作周波数に対する前記電源電圧値の増減を制御する増減制御部とを有することを特徴とする請求項1記載の演算処理装置。

【請求項5】

前記制御回路は、

前記クリティカルパスモニタ回路での遅延に応じたマージン情報に基づいて前記動作周波数に対するタイミングマージンが許容値を超えているか否かを判断する判断部と、

前記テーブル内の測定して得られた前記動作周波数及び前記電源電圧値に設定したときの前記判断部での判断結果に基づいて前記クリティカルパスモニタ回路のキャリブレーション処理を行うキャリブレーション制御部と、

20

前記テーブル内の測定していない前記動作周波数及び前記電源電圧値に設定したときの前記判断部での判断結果に基づいて前記動作周波数に対する前記電源電圧値の増減を制御する増減制御部とを有することを特徴とする請求項1記載の演算処理装置。

【請求項6】

前記クリティカルパスモニタ回路を複数有し、

前記制御回路は、複数の前記クリティカルパスモニタ回路の内の1つの前記クリティカルパスモニタ回路を用いて、前記キャリブレーション処理及び前記電源電圧値の調整を行うことを特徴とする請求項1記載の演算処理装置。

【請求項7】

30

前記テーブル、前記クリティカルパスモニタ回路、及び前記制御回路の組を複数有することを特徴とする請求項1記載の演算処理装置。

【請求項8】

動的電圧・周波数制御で用いる複数の動作周波数及び前記動作周波数に対する電源電圧値を設定するテーブルと、電源電圧の変化に応じて遅延変化を検出するクリティカルパスモニタ回路とを有する演算処理装置の制御方法であって、

前記テーブル内の測定して得られた前記動作周波数及び前記電源電圧値での前記クリティカルパスモニタ回路のキャリブレーション処理を行い、

前記キャリブレーション処理により得られた電源電圧値に係るキャリブレーション値を参照して前記テーブル内の測定していない前記動作周波数に対する前記電源電圧値の調整を前記クリティカルパスモニタ回路を用いて行い、

40

調整された前記電源電圧値を前記テーブルに設定することを特徴とする演算処理装置の制御方法。

【請求項9】

動的電圧・周波数制御で用いる複数の動作周波数及び前記動作周波数に対する電源電圧値を設定するテーブルと、電源電圧の変化に応じて遅延変化を検出するクリティカルパスモニタ回路とを有する演算処理装置に、

前記テーブル内の測定して得られた前記動作周波数及び前記電源電圧値での前記クリティカルパスモニタ回路のキャリブレーション処理を実行させ、前記クリティカルパスモニタ回路の出力に基づいて電源電圧値に係るキャリブレーション値を求める処理と、

50

前記キャリブレーション処理により得られた電源電圧値に係るキャリブレーション値を適用して前記テーブル内の測定していない前記動作周波数及び前記電源電圧値で前記クリティカルパスモニタ回路を動作させ、前記クリティカルパスモニタ回路の出力に基づいて前記動作周波数に対する前記電源電圧値を調整する処理と、

調整された前記電源電圧値を前記テーブルに設定する処理とを実行させるためのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、演算処理装置及び演算処理装置の制御方法に関する。

10

【背景技術】

【0002】

演算処理装置で消費電力を抑えるための技術に、処理負荷等に応じて動作周波数（動作クロックの周波数）及び電源電圧を動的に制御する動的電圧・周波数制御（D V F S : Dynamic Voltage and Frequency Scaling）がある。例えば、D V F S では、動作周波数が高ければ電源電圧を高く設定し、動作周波数が低ければ電源電圧を低く設定する。

【0003】

D V F S 制御で用いる複数の動作周波数と電源電圧値を決定するには、下記 <1> ~ <3> のような方法がある。

<1> シミュレーションにより見積もる。

20

<2> D V F S 制御で用いる一部の動作周波数と電源電圧値を、それぞれ実際に試験を行うことで測定し、残りは測定結果から算出することで補間する。

<3> D V F S 制御で用いるすべての動作周波数と電源電圧値を、それぞれ実際に試験を行うことで測定する。

【0004】

また、例えば、半導体集積回路でのプロセスばらつきによる動作速度の変化をプロセスモニタ回路を用いて測定し、測定結果を基にプロセスばらつきに応じた電源電圧の補正を行う技術が提案されている（例えば、特許文献 1 参照）。また、演算処理装置の動作周波数と電源電圧を決める際に、ダイナミックにテストを実行し、テストにより得られた情報を操作して、不揮発性メモリに保管する技術が提案されている（例えば、特許文献 2 参照）。

30

【0005】

しかしながら、例えば特許文献 1 に記載されているような、プロセスばらつきによる動作速度の変化をプロセスモニタ回路で測定し電源電圧を補正する技術では、プロセスモニタ回路と実際の回路動作とを補正する手段がない。そのため、プロセスモニタ回路の回路特性が、プロセスばらつきにより実際に動作する回路の特性に合っていない場合には、最適な電源電圧値が得られない。また、例えば特許文献 2 に記載されているようなダイナミックにテストを実行して情報を得る技術では、動作周波数及び電源電圧の最適値を求めるために多大な時間を要してしまう。

【0006】

40

ここで、予めシミュレーションにより、演算処理装置における D V F S 制御で用いる動作周波数と電源電圧値を決める場合について、図 13 A 及び図 13 B を参照して説明する。図 13 A 及び図 13 B は、シミュレーション結果に基づく動作周波数に対する電源電圧値の設定例を示す図である。図 13 A 及び図 13 B のそれぞれにおいて、横軸が動作周波数であり、縦軸が電圧値である。

【0007】

図 13 Aにおいて、V 101 がシミュレーションにより得られた、動作周波数に対する電源電圧値を示している。また、V 102 が製造時にプロセスばらつきが速い側にばらついた場合における電源電圧値を示し、V 103 が製造時にプロセスばらつきが遅い側にばらついた場合における電源電圧値を示している。製造時にプロセスばらつきが遅い側には

50

らついたとしても演算処理装置の誤動作を回避するためには、動作周波数に対する電源電圧値はV103となる。さらに、プロセスばらつき以外にも、電源回路及び回路動作に伴う電圧降下やDVSでの電源電圧遷移によるノイズ等によって発生する、演算処理装置に供給する電源電圧の変動に対するマージン等も考慮すると、動作周波数に対する電源電圧値はV104となる。

【0008】

つまり、演算処理装置におけるDVS制御で用いる動作周波数と電源電圧値の初期設定値は、動作マージンを考慮すると、図13Bに示す(F_0, V_0)～(F_5, V_5)となる。これは、演算処理装置の実際の性能に対して必要以上のマージンが含まれる可能性があり、例えば製造時にプロセスばらつきが速い側にばらついた場合の動作周波数に対する電源電圧値V102に対して、設定される電源電圧値は最も過剰となる。このように、シミュレーションによってDVS制御で用いる動作周波数と電源電圧値を決めるとき、個々の演算処理装置のプロセスばらつきに応じた適切な電源電圧値が得られず、無駄な電力を消費することとなる。

【0009】

また、演算処理装置におけるDVS制御で用いる動作周波数と電源電圧値の一部を実際に試験を行って測定し、残りを測定結果に基づいて計算等により求める場合について、図14A及び図14Bを参照して説明する。図14A及び図14Bは、実測定に基づく動作周波数に対する電源電圧値の設定例を示す図である。図14A及び図14Bのそれぞれにおいて、横軸が動作周波数であり、縦軸が電圧値である。

【0010】

図14A及び図14Bにおいて、三角で示す印が演算処理装置の実際の性能（動作周波数に対し、正常に動作する電源電圧値）を示している。図14A及び図14Bにおいて、塗りつぶされた三角が実際に試験を行って測定された動作周波数に対する電源電圧値を示し、破線の三角が未測定の動作周波数に対する電源電圧値を示している。また、図14A及び図14Bにおいて、動作周波数に対する電源電圧値V102、V104は、図13A及び図13Bに示した動作周波数に対する電源電圧値V102、V104に対応する。

【0011】

図14Aに示すように、例えば、未測定の動作周波数に対する電源電圧値を、測定された動作周波数に対する電源電圧値を用いて直線で補間すると、動作周波数に対する電源電圧値はV201となる。ここで、演算処理装置におけるクリティカルパスは、演算処理装置が有するすべてのパスから決まるため、クリティカルパスの動作周波数と電源電圧の特性は一般に線形にはならない。したがって、未測定の動作周波数に対する電源電圧値を、測定された動作周波数に対する電源電圧値を用いて直線で補間すると、例えば図14Aに示す1401のように、設定する電源電圧値が実際の性能を得るために要求される電源電圧値より低くなってしまうことがある。これによる演算処理装置の誤動作を回避するために、V202として示すように、測定された動作周波数に対する電源電圧にマージンを設定し、それを用いて未測定の動作周波数に対する電源電圧値を求めることが考えられる。しかし、演算処理装置は、このマージンにより無駄な電力を消費することとなる。

【0012】

また、図14Bに示すように、例えば、未測定の動作周波数に対する電源電圧値として、高い側の動作周波数で測定された電源電圧値を流用すると、演算処理装置の動作は保証される。しかし、例えば図14Bに示す1402、1403などのように、設定する電源電圧値が実際の性能を得るために要求される電源電圧値に対して過剰になり、無駄な電力を消費することとなる。

【0013】

また、それぞれの演算処理装置で実際に試験を行い、DVS制御で用いるすべての動作周波数と電源電圧値を測定することで、個々の演算処理装置について動作周波数に対する適切な電源電圧値を得ることは可能である。しかし、DVS制御で用いるすべての動作周波数と電源電圧値を実際に試験を行って測定すると、多大な試験時間（コスト）を要

10

20

30

40

50

してしまう。

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開2005-322860号公報

【特許文献2】特表2009-526336号公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

本発明の目的は、試験時間の増大を抑制し、プロセスばらつきを考慮したDVS制御を行うことができる演算処理装置及び演算処理装置の制御方法を提供することにある。 10

【課題を解決するための手段】

【0016】

演算処理装置の一態様は、DVS制御で用いる複数の動作周波数及び電源電圧値を設定するテーブルと、電源電圧の変化に応じて遅延変化を検出するクリティカルパスモニタ回路と、制御回路とを有する。制御回路は、テーブル内の測定して得られた動作周波数及び電源電圧値でのクリティカルパスモニタ回路のキャリブレーション処理を行い、キャリブレーション処理により得られた電源電圧値に係るキャリブレーション値を参照してテーブル内の測定していない動作周波数に対する電源電圧値の調整をクリティカルパスモニタ回路を用いて行い、調整した電源電圧値を前記テーブルに設定する。 20

【発明の効果】

【0017】

DVS制御で用いる複数の動作周波数及び電源電圧値の一部を試験により測定することで試験時間の増大を抑制することができ、測定された動作周波数及び電源電圧値でのキャリブレーション値を参照しクリティカルパスモニタ回路を用いて、測定していない動作周波数に対する電源電圧値を調整することでプロセスばらつきを考慮した電源電圧値を設定することができる。

【図面の簡単な説明】

【0018】

【図1】図1は、本発明の実施形態における演算処理装置の構成例を示す図である。 30

【図2】図2は、本実施形態におけるDVS用テーブル設定に係る構成例を示す図である。

【図3】図3は、本実施形態におけるDVS用テーブルの構成例を示す図である。

【図4】図4は、本実施形態におけるCPM回路の構成例を示す図である。

【図5】図5は、本実施形態における制御回路の構成例を示す図である。

【図6】図6は、本実施形態におけるDVS用テーブルの設定の動作例を示すフローチャートである。

【図7】図7は、図6に示すステップS101での動作例を示すフローチャートである。

【図8】図8は、図6に示すステップS102及びS103での動作例を示すフローチャートである。 40

【図9】図9は、本実施形態におけるタイミングマージン確認を説明するための図である。

【図10A】図10Aは、本実施形態におけるDVS用テーブルのデータ設定例を示す図である。

【図10B】図10Bは、本実施形態におけるDVS用テーブルのデータ設定例を示す図である。

【図10C】図10Cは、本実施形態におけるDVS用テーブルのデータ設定例を示す図である。

【図10D】図10Dは、本実施形態におけるDVS用テーブルのデータ設定例を示す図である。 50

【図10E】図10Eは、本実施形態におけるDVF用テーブルのデータ設定例を示す図である。

【図11】図11は、本実施形態における演算処理装置の他の構成例を示す図である。

【図12】図12は、本実施形態における演算処理装置の他の構成例を示す図である。

【図13A】図13Aは、シミュレーション結果に基づく動作周波数に対する電圧値設定の例を示す図である。

【図13B】図13Bは、シミュレーション結果に基づく動作周波数に対する電圧値設定の例を示す図である。

【図14A】図14Aは、実測定に基づく動作周波数に対する電圧値設定の例を示す図である。

10

【図14B】図14Bは、実測定に基づく動作周波数に対する電圧値設定の例を示す図である。

【図15】図15は、本実施形態でのDVFにおける動作周波数に対する電圧値設定の例を示す図である。

【発明を実施するための形態】

【0019】

以下、本発明の実施形態を図面に基づいて説明する。

【0020】

図1は、本発明の実施形態における演算処理装置としてのCPU(Central Processing Unit)の構成例を示す図である。CPU10は、CPUコア11、DVF用テーブル12、制御回路14、周波数制御部15、スキャン制御部17、及びメモリ18を有する。

20

【0021】

CPUコア11は、電源電圧Vdd-cが供給され、周波数制御部15から供給されるクロック信号clk-cを動作クロックとして動作し、メモリ18等に格納されているプログラムを読み出して実行する。CPUコア11は、電源電圧Vdd-cの変化に応じて遅延変化(ディレイ変化)を検出するクリティカルパスモニタ(CPM:Critical Path Monitor)回路13を有する。

【0022】

DVF用テーブル12は、CPUコア11に対する動的電圧・周波数制御(DVFS:Dynamic Voltage and Frequency Scaling)で用いる動作周波数と電源電圧値を設定するテーブルである。DVF用テーブル12には、DVFS制御で用いる複数の動作周波数と電源電圧値の組の情報が格納されている。各組の情報は、DVFS制御で用いる動作周波数、その動作周波数に対する電源電圧値、その電源電圧値の状態を示す情報、CPM回路13のキャリブレーションのグループ及びキャリブレーション値を含む。

30

【0023】

制御回路14は、CPUコア11に対するDVFS制御に係る各種の制御を行う。制御回路14は、例えば、DVF用テーブル12の制御や、CPM回路13の制御や、CPUコア11に供給するクロック信号clk-c及び電源電圧Vdd-cの設定制御を行う。

40

【0024】

周波数制御部15は、クロック信号CPUCLKが入力されるとともに、制御回路14からの周波数設定信号fsetが入力される。周波数制御部15は、周波数設定信号fsetに応じて倍率(あるいは分周比)を制御して、クロック信号CPUCLKを基に、周波数設定信号fsetに応じた周波数のクロック信号clk-cを生成して出力する。周波数制御部15は、例えばPLL(Phase Locked Loop)回路である。

【0025】

スキャン制御部17は、CPU10におけるスキャン動作を制御する。例えば、スキャン制御部17による制御により、メモリ18から読み出したデータ等(scan data/cctr)をスキャンシフト動作によってDVF用テーブル12に書き込むことが可能

50

である。メモリ 18 は、例えば不揮発性メモリであり、CPU 11 で実行するプログラムや D V F S 用テーブル 12 の初期設定値が格納されている。

【 0 0 2 6 】

電圧制御部 19 は、供給される電源を基に、制御回路 14 からの電圧設定信号 v_s_e_t に応じた電圧値の電源電圧 v_d_d - c を生成して出力する。電圧制御部 19 は、例えば電圧制御を行う V R M (Voltage Regulator Module)、D C - D C コンバータである。なお、図 1において、電圧制御部 19 は、CPU 10 の外部に設けているが、CPU 10 の内部に設けるようにしても良い。

【 0 0 2 7 】

また、図 1において、信号 t_b_w_t は、D V F S 用テーブル 12 に係るライト制御信号であり、信号 t_b_s_e_l は、D V F S 用テーブル 12 内のデータ（情報）の組を選択する制御信号である。信号 t_b_r_d は、D V F S 用テーブル 12 に係るリード制御信号であり、信号 t_b_s_c_a_n は、D V F S 用テーブル 12 に対するスキャン信号である。

【 0 0 2 8 】

また、信号 r_e_q は、D V F S 用テーブル 12 の設定動作、D V F S 用テーブル 12 内のデータ値による周波数設定及び電圧設定、D V F S 用テーブル 12 の参照を行うための要求信号である。信号 i_n_f_o は、D V F S 用テーブル 12 への設定要求に対する応答信号（設定ステータスや D V F S 用テーブル 12 内のデータ等）である。信号 c_t_r は、制御回路 14 に対する制御信号である。また、信号 c_p_m_c_t_r は、C P M 回路 13 を起動及びキャリブレーションする制御信号であり、信号 c_p_m_d_l_y は、C P M 回路 13 の動作により得られるタイミングマージン情報信号である。信号 s_c_a_n は、スキャンシフト動作によるデータ設定に係る信号である。

【 0 0 2 9 】

図 2 は、図 1 に示した CPU 10 における D V F S 用テーブル設定に係る構成例を示す図である。図 2 において、図 1 に示した構成要素と同一の機能を有する構成要素には同一の符号を付している。本実施形態においては、D V F S 用テーブル 12 には、起動時の初期値として、一部は実際に試験を行って測定した動作周波数と電源電圧値との組が設定され、残りはシミュレーションにより得られた動作周波数と電源電圧値との組が設定される。そして、CPU 10 の起動時に、制御回路 14 は、測定により得られた動作周波数及び電源電圧値を設定して C P M 回路 13 のキャリブレーション処理を行う。制御回路 14 は、このキャリブレーション処理により得られたキャリブレーション値を、シミュレーションにより得られた（測定していない）動作周波数と電源電圧値との組のキャリブレーション値として流用し、C P M 回路 13 を利用して測定していない動作周波数に対する適切な電源電圧値を求める。

【 0 0 3 0 】

D V F S 用テーブル 12 は、D V F S 制御で用いる動作周波数と電源電圧値を設定するテーブルであり、図 3 に示すように、選択デコーダ 21 及びレジスタ 22 ~ 26 を有する複数のレジスタアレイを有する。図 3 は、本実施形態における D V F S 用テーブル 12 の構成例を示す図である。図 3 において、図 1、図 2 に示した構成要素と同一の機能を有する構成要素には同一の符号を付している。

【 0 0 3 1 】

レジスタ 22 は、D V F S 制御で用いる動作周波数を保存するレジスタであり、レジスタ 23 は、レジスタ 22 に保存されている動作周波数に対する電源電圧値を保存するレジスタである。レジスタ 24 は、レジスタ 23 に保存されている電源電圧値の状態を示すフラグレジスタであり、電源電圧値の状態としては、例えばシミュレーション値、実測値、補正値がある。レジスタ 25 は、C P M 回路 13 のキャリブレーションのグループを示すレジスタであり、レジスタ 26 は、C P M 回路 13 のキャリブレーション値を保存するレジスタである。

【 0 0 3 2 】

それぞれ 1 つのレジスタ 22 ~ 26 を組み合わせて 1 組のレジスタ群とし、各レジスタ

10

20

30

40

50

群に、D V F S 制御で用いる動作周波数、電源電圧値、電源電圧値の状態、C P M回路13のキャリブレーションのグループ及びキャリブレーション値が格納される。レジスタ群（レジスタ22～26の組）は、選択デコーダ21による制御信号t b_s e 1に応じた選択によって任意に選択可能である。

【0033】

また、D V F S用テーブル12内のレジスタ22～26は、制御回路14からの、ライトデータ／制御に係る信号t b_w t、レジスタの組の選択／制御に係る信号t b_s e 1、及びリードデータ／制御に係る信号t b_r dによりデータの書き込みや読み出しが可能である。また、D V F S用テーブル12内のレジスタ22～26は、制御回路14からのスキャン信号／制御に係る信号t b_s c a nに応じたスキャンシフト動作によってもデータの書き込みや読み出しが可能である。10

【0034】

C P M回路13は、電源電圧v d d - cの変化に応じて遅延変化（ディレイ変化）を検出する回路であり、図4に示すように、パルス発生部31、オフセット部32、クリティカルパス部33、論理積（A N D）演算部35、変換部36、及びマージン情報信号出力部39を有する。図4は、本実施形態におけるC P M回路13の構成例を示す図である。図4において、図1、図2に示した構成要素と同一の機能を有する構成要素には同一の符号を付している。

【0035】

パルス発生部31は、制御回路14からの信号c p m_c t rに含まれるイネーブル信号e n a b l eに基づいて、C P M回路13におけるタイミングマージン観測のためのパルス信号を発生して出力する。オフセット部32は、制御回路14からの信号c p m_c t rに含まれるキャリブレーション信号c a l i bに基づいて、パルス発生部31で発生したパルス信号に時間的なオフセット（遅延）を附加する。クリティカルパス部33の複数のレプリカパス34-1、34-2、…、34-nが有するデバイスは、C P U 1 0内のデバイスも含めてプロセスばらつきの影響を受けるが、オフセット部32でのオフセットの附加によりタイミングマージンの指標を調整することが可能である。20

【0036】

クリティカルパス部33は、複数のレプリカパス34-1、34-2、…、34-n（nは2以上の整数）を有し、入力されるパルス信号をそれぞれのレプリカパス34-1、34-2、…、34-nにて伝搬して出力する。レプリカパス34-1、34-2、…、34-nは、回路構成が異なるが、各バスにおける遅延（ディレイ）が合わせられている。30

【0037】

A N D演算部35は、クリティカルパス部33の複数のレプリカパス34-1、34-2、…、34-nからの出力を論理積演算し、演算結果を出力する。すなわち、A N D演算部35は、レプリカパス34-1、34-2、…、34-nのすべてから、伝搬されたパルス信号が出力されたことを検出すると、出力をアサートする。つまり、A N D演算部35は、複数のレプリカパス34-1、34-2、…、34-nの内のワーストパスでの遅延を検出する。40

【0038】

変換部36は、複数の遅延回路37-1、37-2、…、及び複数のフリップフロップ38-1、38-2、…38-m（mは2以上の整数）を有する。遅延回路37-1、37-2、…は、縦属接続（カスケード接続）されている。A N D演算部35の出力が、初段の遅延回路37-1及びフリップフロップ38-1に入力される。また、遅延回路37-(i-1)（i=2～mの整数）の出力が、遅延回路37-i及びフリップフロップ38-iに入力される。フリップフロップ38-1、38-2、…38-mのそれぞれは、入力を同期して取り込んで出力する。したがって、フリップフロップ38-1、38-2、…38-mの出力値が変化しているエッジを検出することで、タイミングマージンが観測可能である。マージン情報信号出力部39は、変換部36の複数のフリップフロップ350

8 - 1、38 - 2、…38 - mに基づいて、マージン情報信号 c p m_d l y を生成し出力する。

【0039】

制御回路 14 は、DVS 制御に係る各種の制御を行う回路であり、図 5 に示すように、DVS テーブル設定動作制御部 41、DVS テーブル制御部 42、及び CPM 制御部 43 を有する。図 5 は、本実施形態における制御回路 14 の構成例を示す図である。図 5において、図 1、図 2 に示した構成要素と同一の機能を有する構成要素には同一の符号を付している。

【0040】

DVS テーブル設定動作制御部 41 は、DVS 用テーブル 12 の設定に係る動作を制御する。DVS テーブル設定動作制御部 41 は、シーケンス制御部 44、周波数設定レジスタ 45、電圧値設定レジスタ 46、マージン確認部 47、電圧値の増減制御部 48、及びテーブル更新データ生成部 49 を有する。シーケンス制御部 44 は、DVS 用テーブル 12 の設定における CPM 回路 13 のキャリブレーション動作や CPM 回路 13 を利用した電源電圧値の設定動作を制御する。

10

【0041】

周波数設定レジスタ 45 は、DVS 制御での装置の動作周波数の設定値を示すレジスタである。周波数設定レジスタ 45 は、DVS テーブル制御部 42 を介して DVS 用テーブル 12 から読み出された動作周波数の設定値が設定され、設定値に応じた周波数設定信号 f_s e t を出力する。

20

【0042】

電圧値設定レジスタ 46 は、DVS 制御での装置の電源電圧の設定値を示すレジスタである。電圧値設定レジスタ 46 は、DVS テーブル制御部 42 を介して DVS 用テーブル 12 から読み出された電源電圧の設定値、又は CPM 回路 13 からのタイミングマージン情報信号 c p m_d l y により決まる電源電圧の設定値が設定され、設定値に応じた電圧設定信号 v_s e t を出力する。

【0043】

マージン確認部 47 は、CPM 回路 13 からのタイミングマージン情報信号 c p m_d l y に基づいて、DVS 制御時におけるマージンを判断する。マージン確認部 47 は、CPM 回路 13 のキャリブレーション動作時には、タイミングマージン情報信号 c p m_d l y に基づいて CPM 回路 13 のキャリブレーションを行うか否かを判断する。また、マージン確認部 47 は、CPM 回路 13 を利用した電源電圧値の調整時には、タイミングマージン情報信号 c p m_d l y 及び許容値から電圧値のマージンを判断する。

30

【0044】

電圧値の増減制御部 48 は、CPM 回路 13 を利用した電源電圧値の調整時に、マージン確認部 47 の判断結果に基づいて電源電圧の設定値に対する増減制御を行う。テーブル更新データ生成部 49 は、CPM 回路 13 のキャリブレーション動作や CPM 回路 13 を利用した電源電圧値の設定動作において、DVS 用テーブル 12 に書き込む更新データを生成する。テーブル更新データ生成部 49 は、例えば電源電圧値、電源電圧値の状態、キャリブレーション値を生成する。

40

【0045】

DVS テーブル制御部 42 は、DVS 用テーブル 12 に対するデータの書き込み及び読み出しを制御する。DVS テーブル制御部 42 は、ライト / リード制御部 50、及びレジスタ 51、52 を有する。ライト / リード制御部 50 は、DVS テーブル設定動作制御部 41 からの信号に基づいて、データの書き込み及び読み出しを行う DVS 用テーブル 12 のデータの組を選択するための信号 t_b_s e l を生成して出力する。レジスタ 51 は、DVS 用テーブル 12 への書き込みデータを保持するレジスタであり、レジスタ 52 は、DVS 用テーブル 12 からの読み出しデータを保持するレジスタである。

【0046】

CPM 制御部 43 は、CPM 回路 13 の動作を制御する。CPM 制御部 43 は、回路動

50

作制御部 54 及びキャリブレーション制御部 55 を有する。回路動作制御部 54 は、DVF S テーブル設定動作制御部 41 からの起動信号 c p m_e n b に応じて、CPM 回路 13 の起動を制御する。キャリブレーション制御部 55 は、DVF S テーブル設定動作制御部 41 のマージン確認部 47 の出力に応じて、CPM 回路 13 のキャリブレーション値を生成して出力する。

【0047】

次に、本実施形態における DVF S 用テーブルの設定に係る動作について説明する。図 6 は、本実施形態における DVF S 用テーブルの設定の動作例を示すフローチャートである。なお、図 6 に示す各処理は、試験時にステップ S101 の処理が行われ、その後の装置の起動時にステップ S102 及び S103 の処理が行われる。

10

【0048】

まず、試験装置により実際に動作させる試験を演算処理装置としての CPU10 で行い、DVF S 制御での動作周波数に対して、正常に動作する電源電圧値を測定により求める (S101)。このステップ S101 における試験による電源電圧値の実測は、DVF S 制御において制御し得るすべての動作周波数に対しては行わずに、一部の動作周波数に対して行う。このように、すべての動作周波数に対して試験を行うのではなく、一部の動作周波数に対して試験を行うことで、試験時間の増大を抑制することができる。ここで、試験を行うことによって測定された動作周波数に対する電源電圧値は、測定対象となった CPU10 と関連付けて、任意の記憶装置等に保存しておく。

【0049】

次に、CPU10 の起動時に、制御回路 14 は、ステップ S101 において測定された動作周波数及び電源電圧値（実測値）を設定して、CPM 回路 13 のキャリブレーション処理を行う (S102)。このステップ S102 における CPM 回路 13 のキャリブレーション処理により、測定された動作周波数及び電源電圧値の組に対する CPM 回路 13 のキャリブレーション値が得られる。制御回路 14 は、得られた CPM 回路 13 のキャリブレーション値を DVF S 用テーブル 12 に書き込む。また、CPM 回路 13 のキャリブレーション値は、同じキャリブレーションのグループの測定していない動作周波数及び電源電圧値の組に対しても流用するので、制御回路 14 は、DVF S 用テーブル 12 における同じグループの測定していない動作周波数及び電源電圧値の組に対してもキャリブレーション値を書き込む。

20

【0050】

次に、制御回路 14 は、測定していない動作周波数及び電源電圧値（シミュレーション値）を設定して、CPM 回路 13 を利用し、その動作周波数に対して正常に動作する電源電圧値を求める (S103)。制御回路 14 は、ステップ S102 において得られたキャリブレーション値でキャリブレーションされた CPM 回路 13 からのタイミングマージン情報に基づき、動作周波数に対する電源電圧値の最適化を行う。このように、実測値によりキャリブレーションされた CPM 回路 13 を用いて動作周波数に対する電源電圧値を求めることで、対象の CPU10 におけるプロセスばらつきを考慮した電源電圧値を得ることができる。そして、制御回路 14 は、得られた電源電圧値等を DVF S 用テーブル 12 に書き込む。以上のようにして、DVF S 制御での動作周波数に対する電源電圧値の設定を行う。

30

【0051】

以下、前述したステップ S101 ~ S103 での動作を詳細に説明する。

図 7 は、図 6 に示したステップ S101 での動作例を示すフローチャートである。試験装置を用いて、DVF S 制御で用いる動作周波数の一部について、シミュレーションにより見積もった動作周波数及び電源電圧値で、演算処理装置としての CPU10 の試験を開始する (S201)。そして、試験装置で電源電圧値を変えながら試験を行うことで、動作周波数に対し、正常に動作する電源電圧値をマージンも含めて測定する (S202)。次に、DVF S 用テーブル 12 の設定データとして使用するために、試験で測定された動作周波数に対する電源電圧値を、測定対象となった CPU10 と関連付けて、任意の記憶

40

50

装置等に保存する（S203）。これにより、DVF S制御で用いる動作周波数の一部について、マージンも含めた電源電圧値が測定により求まる。

【0052】

図8は、図6に示したステップS102及びS103での動作例を示すフローチャートである。図8において、ステップS301～S307が、図6に示したステップS102での動作に対応し、ステップS308～S314が、図6に示したステップS103での動作に対応する。

【0053】

まず、CPU10の起動時に、制御回路14のDVF Sテーブル設定動作制御部41は、信号scan、ctrに応じてスキャンシフト動作を行い、信号tb_scanを介して、DVF S用テーブル12にデータを設定する（S301）。DVF S用テーブル12に設定するデータには、DVF S制御で用いる動作周波数、電源電圧値（シミュレーション値、実測値）、電源電圧値の状態、CPM回路13のキャリブレーションのグループ、キャリブレーション値（初期値は不定）が含まれる。

10

【0054】

次に、DVF Sテーブル設定動作制御部41のシーケンス制御部44は、DVF Sテーブル制御部42を介してDVF S用テーブル12のデータを読み出し、テーブル12内の情報を確認する（S302）。シーケンス制御部44は、読み出したデータの電源電圧値の状態を示すフラグを確認した結果、電源電圧値が実測値であれば、DVF S用テーブル12から読み出したデータの動作周波数及び電源電圧値（実測値）を周波数設定レジスタ45及び電圧値設定レジスタ46に設定する（S303）。DVF Sテーブル設定動作制御部41は、信号ctrを用いて、CPUコア11に供給されるクロック信号clk-c及び電源電圧vdd-cの設定、及び正しく設定されたことの確認を行う。

20

【0055】

そして、CPM制御部43は、信号cpm_ctrを介してCPM回路13のキャリブレーションを行う。CPM制御部43は、例えば図9に示すようにCPM回路13の変換部36の出力値が変化しているエッジが中央になるように、CPM回路13のキャリブレーション値を変更する（S304）。

【0056】

CPM回路13のキャリブレーションが完了すると、DVF Sテーブル設定動作制御部41は、得られたキャリブレーション値を、DVF Sテーブル制御部42を介してDVF S用テーブル12に書き込む（S305）。このとき、DVF Sテーブル設定動作制御部41は、処理対象の実測値の動作周波数及び電源電圧値の組に加え、同じキャリブレーションのグループの動作周波数及び電源電圧値の組に対しても、同じキャリブレーション値を書き込む。また、DVF Sテーブル設定動作制御部41は、処理対象の実測値の動作周波数及び電源電圧値の組における電源電圧値の状態を示すフラグをキャリブレーション済に設定する（S306）。

30

【0057】

続いて、シーケンス制御部44は、CPM回路13のキャリブレーションが必要な実測値の動作周波数及び電源電圧値の組がDVF S用テーブル12にあるか否かを判断する（S307）。シーケンス制御部44は、DVF S用テーブル12から読み出したデータを基に、CPM回路13のキャリブレーションを行っていない、すなわち電源電圧値の状態を示すフラグがキャリブレーション済となっていない実測値の動作周波数及び電源電圧値の組があるか否かを判断する。

40

【0058】

判断の結果、CPM回路13のキャリブレーションが必要な実測値の動作周波数及び電源電圧値の組がある場合にはステップS303に戻って前述した動作を行う。一方、CPM回路13のキャリブレーションが必要な実測値の動作周波数及び電源電圧値の組がない場合には、ステップS308に進む。このようにして、CPM回路13のキャリブレーションを、DVF S用テーブル12の動作周波数及び電源電圧値の各組について電源電圧値

50

の状態を示すフラグを確認しながら行うことで、DVF S用テーブル12の動作周波数及び電源電圧値のすべての組についてCPM回路13のキャリブレーション値を設定することが可能である。

【0059】

次に、シーケンス制御部44は、DVF S用テーブル制御部42を介してDVF S用テーブル12のデータを読み出し、読み出したデータの電源電圧値の状態を示すフラグを確認する(S308)。そして、シーケンス制御部44は、DVF S用テーブル12に、電源電圧値の状態を示すフラグがキャリブレーション済となっていないシミュレーション値の動作周波数及び電源電圧値の組があるか否かを判断する(S309)。

【0060】

シーケンス制御部44は、読み出したデータの電源電圧値の状態を示すフラグが、キャリブレーション済でないシミュレーション値であれば、その動作周波数及び電源電圧値(シミュレーション値)を周波数設定レジスタ45及び電圧値設定レジスタ46に設定する(S310)。DVF S用テーブル設定動作制御部41は、信号ctrを用いて、CPUコア11に供給されるクロック信号clk-c及び電源電圧vdd-cの設定、及び正しく設定されたことの確認を行う。

【0061】

そして、CPM制御部43は、信号cpm_c trを介してCPM回路13を動作させる。このとき、DVF S用テーブル12に設定済みのCPM回路13のキャリブレーション値が適用される。DVF S用テーブル設定動作制御部41のマージン確認部47は、信号cpm_dlyにより設定した動作周波数に対するタイミングマージンを確認する(S311)。

【0062】

次に、DVF S用テーブル設定動作制御部41は、電源電圧値のキャリブレーションが必要であるか否かを判断する(S312)。DVF S用テーブル設定動作制御部41は、確認されたタイミングマージンが予め定めた許容値を超えると電源電圧値のキャリブレーションが必要であると判断し、超えていなければ電源電圧値のキャリブレーションが必要ないと判断する。

【0063】

判断の結果、電源電圧値のキャリブレーションが必要である場合には、DVF S用テーブル設定動作制御部41の電圧値の増減制御部48は、タイミングマージンが許容値以上であれば電源電圧値を下げ、タイミングマージンが許容値以下であれば電源電圧値を上げて、電圧値設定レジスタ46に設定する。そして、タイミングマージンを再度確認することで、DVF S用テーブル設定動作制御部41は、設定した動作周波数に対する電源電圧値の調整を行う(S313)。例えば図9に示すようにCPM回路13の変換部36の出力値が変化しているエッジが中央になるように、電源電圧値を変更する。

【0064】

そして、許容値内にタイミングマージンが入ると、DVF S用テーブル設定動作制御部41は、DVF S用テーブル制御部42を介してDVF S用テーブル12に、電圧値設定レジスタ46に設定されている電源電圧値を書き込むとともに、その電源電圧値の状態を示すフラグをキャリブレーション済に設定する(S314)。

【0065】

このようにして、電源電圧値の状態を示すフラグがキャリブレーション済となっていないシミュレーション値の動作周波数及び電源電圧値の組がなくなるまで繰り返して、電源電圧値の調整を行い、DVF S用テーブル12内のすべての組について動作周波数及び電源電圧値を設定する。そして、設定が完了すると、DVF S用テーブル設定動作制御部41は、信号infoによりDVF S用テーブル12のデータが確定されたことをCPUコア11に通知する。

【0066】

なお、電源電圧値を調整する際に、電源電圧値を変化させてもタイミングマージンが許

10

20

30

40

50

容値に入らない場合には、D V F S テーブル設定動作制御部 4 1 が、信号 *i n f o* により D V F S 用テーブル 1 2 の設定動作において不具合が発生したことを C P U コア 1 1 に通知するようにしても良い。また、この設定された D V F S 用テーブル 1 2 のデータを、不揮発性の記憶装置等に保持しておくことで、再度起動する際に C P M 回路 1 3 のキャリブレーションや C P M 回路 1 3 を利用した電源電圧値の調整に係る動作を省くことが可能である。

【 0 0 6 7 】

図 1 0 A ~ 図 1 0 E は、前述した D V F S 用テーブルの設定に係る動作による D V F S 用テーブル 1 2 のデータ変化の例を示す図である。D V F S 用テーブル 1 2 には、インデックス *i n d* (*i n d* は 0、1、2、...、*M i d - x*、...、*M i d*、...、*M a x - 2*、*M a x - 1*、*M a x*) の各タップについての、動作周波数 *F i n d*、電源電圧値 *V i n d_s i m*、*V i n d_t s t*、又は *V i n d_c p m*、電源電圧値の状態、C P M 回路 1 3 のキャリブレーションのグループ、キャリブレーション値が格納されている。
10

【 0 0 6 8 】

なお、図 1 0 A ~ 図 1 0 E において、電源電圧値は、シミュレーション値を *V i n d_s i m* で示し、実測値を *V i n d_t s t* で示し、C P M 回路 1 3 を利用して得られた補正值を *V i n d_c p m* で示す。また、図 1 0 A ~ 図 1 0 E に示す例において、C P M 回路 1 3 のキャリブレーションのグループは、インデックス *i n d* が 0 ~ 2 の設定値は第 0 グループに属し、インデックス *i n d* が *M i d - x* ~ *M i d* の設定値は第 2 グループに属し、インデックス *i n d* が *M a x - 2* ~ *M i d* の設定値は第 3 グループに属するものとする。
20

【 0 0 6 9 】

実際に試験を行って実測値を測定する前は、図 1 0 A に示すように、動作周波数 *F i n d* に対する電源電圧値は、すべてシミュレーション値である *V i n d_s i m* となっており、電源電圧値の状態を示すフラグは、シミュレーション値であることを示す “ 0 0 ” となっている。実際に試験を行って実測値を測定すると、図 1 0 B に示すように、測定を行った動作周波数 *F 0*、*F m i d*、*F m a x* のそれぞれに対する電源電圧値が、実測値である *V 0_t s t*、*V m i d_t s t*、*V m a x_t s t* となり、さらに図 1 0 C に示すように、電源電圧値の状態を示すフラグが、実測値であることを示す “ 1 0 ” となる。

【 0 0 7 0 】

続いて、実測された動作周波数及び電源電圧値を用いて、装置の起動時に C P M 回路 1 3 のキャリブレーションを行うと、図 1 0 D に示すように、キャリブレーションを行った電源電圧値の状態を示すフラグが、キャリブレーション済であることを示す “ 1 1 ” となる。また、同じキャリブレーションのグループに同じキャリブレーション値が書き込まれる。例えば、実測した動作周波数 *F 0* 及び電源電圧値 *V 0_t s t* に設定して行った C P M 回路 1 3 のキャリブレーションにより得られたキャリブレーション値 “ z z z z z z z z ” が第 0 グループのキャリブレーション値とされる。また、実測した動作周波数 *F m i d* 及び電源電圧値 *V m i d_t s t* に設定して得られたキャリブレーション値 “ y y y y y y y y ” が第 2 グループのキャリブレーション値とされ、実測した動作周波数 *F m a x* 及び電源電圧値 *V m a x_t s t* に設定して得られたキャリブレーション値 “ x x x x x x x x ” が第 3 グループのキャリブレーション値とされる。
30
40

【 0 0 7 1 】

そして、測定していない、シミュレーション値の動作周波数及び電源電圧値の組に対して C P M 回路 1 3 を利用した電源電圧値の調整を行うと、図 1 0 E に示すように、電源電圧値の調整を行った動作周波数 *F 1*、*F 2*、*F m i d - x*、*F m a x - 2*、*F m a x - 1* 等に対する電源電圧値が、補正值である *V 1_c p m*、*V 2_c p m*、*V m i d - x_c p m*、*V m a x - 2_c p m*、*V m a x - 1_c p m* となり、電源電圧値の状態を示すフラグが、補正值（キャリブレーション済）であることを示す “ 0 1 ” となる。

【 0 0 7 2 】

本実施形態によれば、D V F S 用テーブル 1 2 に、電源電圧値の状態を示す情報、及び C P M 回路 1 3 のキャリブレーションに係る情報を設定する。そして、D V F S 制御で用
50

いる複数の動作周波数及び電源電圧値の一部について、実際の試験を行って動作周波数に対する電源電圧値を測定し、測定していない動作周波数に対する電源電圧値は、起動時に処理することで、試験時間の増大を抑制することが可能になる。また、図15に示すように、測定していない動作周波数に対する電源電圧値は、測定された動作周波数及び電源電圧値によりキャリブレーションされたCPM回路13を利用して調整することで、プロセスばらつきに応じて最適化された電源電圧値を設定することが可能になり、電力性能を向上させることが可能となる。

【0073】

図15は、本実施形態における動作周波数に対する電源電圧値の設定例を示す図である。
10
。図15において、横軸が動作周波数であり、縦軸が電圧値である。また、図15において、動作周波数に対する電源電圧値V102、V104は、図13A及び図13Bに示した動作周波数に対する電源電圧値V102、V104に対応する。図15において、Ca10、Ca13、Ca15は、実際に試験を行って測定された動作周波数F0、F3、F5に対する電源電圧値でCPM回路13をキャリブレーションして得られたキャリブレーション値である。また、四角で示す印は、CPM回路13のキャリブレーション前におけるCPM回路13の出力におけるエッジが中央となる電源電圧値を示す。

【0074】

なお、前述した説明では、DVFS用テーブル12の設定に係る動作は、制御回路14が制御して行うようにしているが、これに限定されるものではない。制御回路14内で値を保持するレジスタを配置し、設定に係る動作の制御は、CPUコア11がメモリ18等から読み出したプログラムを実行することで制御を行うようにしても良い。
20

【0075】

なお、前述した実施形態では、演算処理装置としてのCPU10において、1つのCPM回路13を配置する例を示したが、図11に示すように複数のCPM回路13を配置するようにしても良い。例えば、複数のCPUコア11を搭載し、複数のCPUコア11共通でDVFS制御を行う場合などが考えられる。図11は、本実施形態における演算処理装置の他の構成例を示す図である。図11には、DVFS用テーブル設定に係る構成例を図示している。図11において、図1～図5に示した構成要素と同一の機能を有する構成要素には同一の符号を付している。

【0076】

図11に示す例では、複数のCPM回路13-1、13-2、13-3、…を有するが、DVFS用テーブル12は1つとしている。そのため、CPM制御部43にワーストパス検出部56を設け、ワーストパス検出部56が、複数のCPM回路13-1、13-2、13-3、…の内から最もタイミングマージンが劣るタイミングマージン情報、すなわちワーストパスのタイミングマージン情報を検出してマージン確認部47に出力する。これにより、前述した実施形態と同様にDVFS用テーブル12の設定を行うことが可能である。
30

【0077】

また、図12に示すように、DVFS用テーブル12、CPM回路13、及び制御回路14の組を複数配置するようにしても良い。例えば、複数のCPUコア11を搭載し、CPUコア11毎にDVFS制御を行う場合などが考えられる。図12は、本実施形態における演算処理装置の他の構成例を示す図である。図12には、DVFS用テーブル設定に係る構成例を図示している。図12において、図1～図5に示した構成要素と同一の機能を有する構成要素には同一の符号を付している。
40

【0078】

図12に示した例では、DVFS用テーブル12-1、CPM回路13-1、及び制御回路14-1を組とし、DVFS用テーブル12-2、CPM回路13-2、及び制御回路14-2を組とし、DVFS用テーブル12-3、CPM回路13-3、及び制御回路14-3を組として、それぞれの組で前述したDVFS用テーブルの設定の動作を独立して行けば良い。
50

【 0 0 7 9 】

なお、本実施形態は、例えばC P U (又はM P U)及びメモリ等を有する演算処理装置が、メモリ等に記憶されたプログラムを実行することで実現でき、前記プログラムは本発明の実施形態に含まれる。また、前記プログラムを記録した記録媒体は本発明の実施形態に含まれる。前記プログラムを記録する記録媒体としては、例えばC D - R O M、フレキシブルディスク、ハードディスク、磁気テープ、光磁気ディスク、不揮発性メモリカード等を用いることができる。

【 0 0 8 0 】

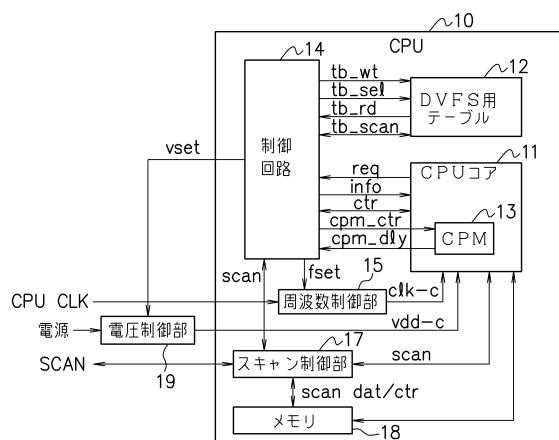
また、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。10

【産業上の利用可能性】

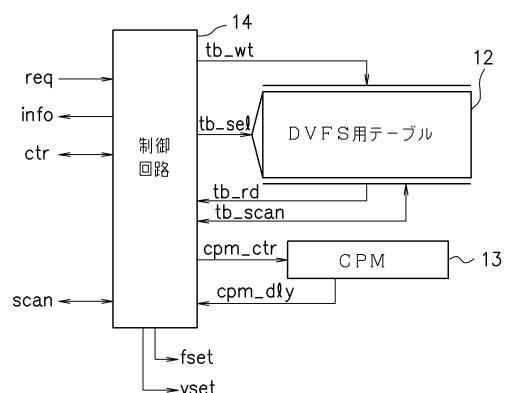
【 0 0 8 1 】

D V F S 制御を行う演算処理装置にて、D V F S 制御で用いる動作周波数及び電源電圧値を測定するための試験時間の増大を抑制することが可能になり、またプロセスばらつきに応じた最適な電源電圧値を設定してD V F S 制御を行うことが可能になる。

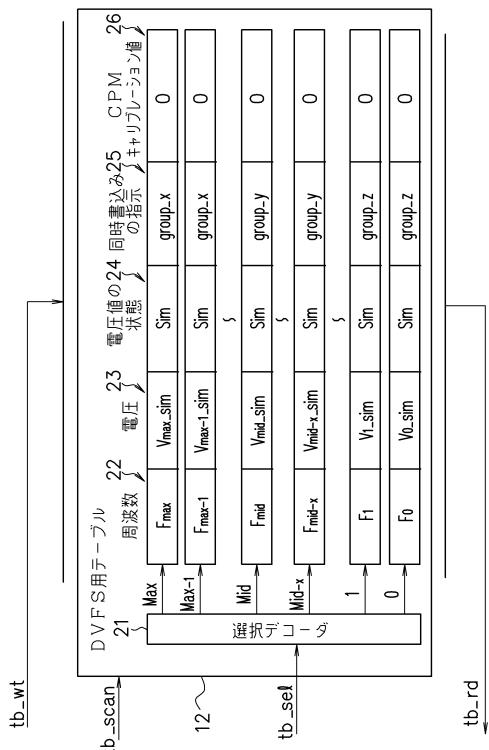
【 図 1 】



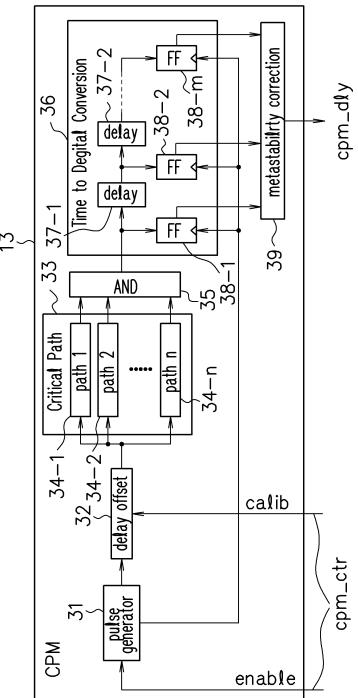
【 図 2 】



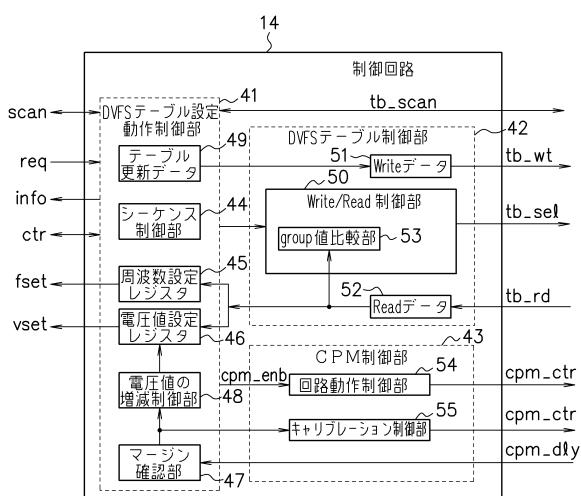
【図3】



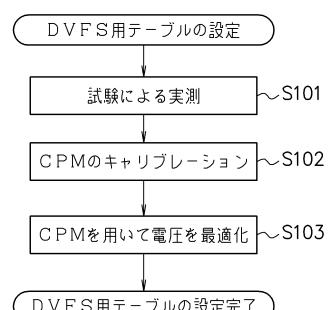
【図4】



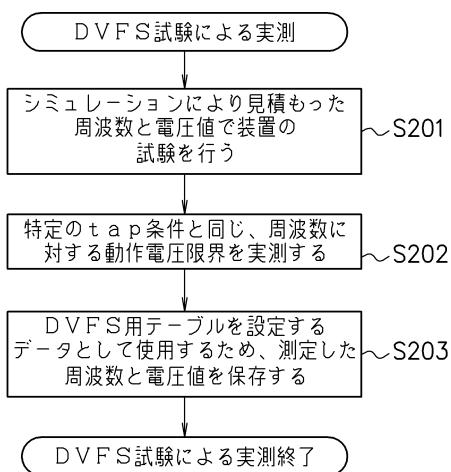
【図5】



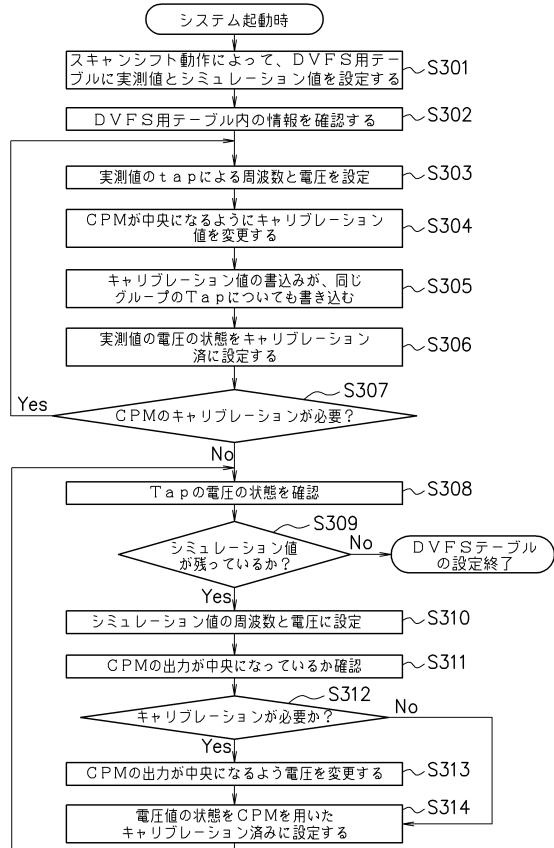
【図6】



【図7】



【図8】



【図9】



【図10A】

Max	F _{max}	V _{max_sim}	00	3	0
Max-1	F _{max-1}	V _{max-1_sim}	00	3	0
Max-2	F _{max-2}	V _{max-2_sim}	00	3	0
			⋮		
Mid	F _{mid}	V _{mid_sim}	00	2	0
Mid-x	F _{mid-x}	V _{mid-x_sim}	00	2	0
			⋮		
2	F ₂	V _{2_sim}	00	0	0
1	F ₁	V _{1_sim}	00	0	0
0	F ₀	V _{0_sim}	00	0	0

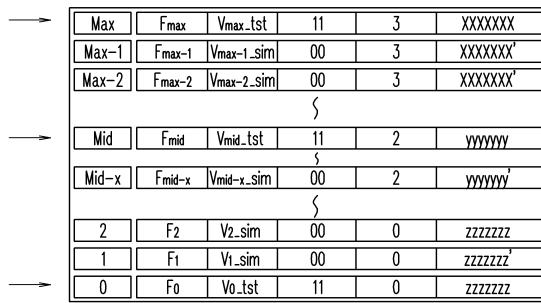
【図10B】

Max	F _{max}	V _{max_tst}	00	3	0
Max-1	F _{max-1}	V _{max-1_sim}	00	3	0
Max-2	F _{max-2}	V _{max-2_sim}	00	3	0
			⋮		
Mid	F _{mid}	V _{mid_tst}	00	2	0
Mid-x	F _{mid-x}	V _{mid-x_sim}	00	2	0
			⋮		
2	F ₂	V _{2_sim}	00	0	0
1	F ₁	V _{1_sim}	00	0	0
0	F ₀	V _{0_tst}	00	0	0

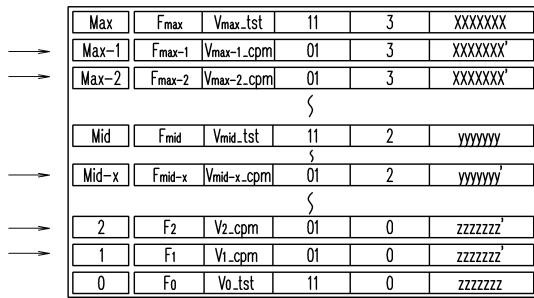
【図10C】

Max	F _{max}	V _{max_tst}	10	3	0
Max-1	F _{max-1}	V _{max-1_sim}	00	3	0
Max-2	F _{max-2}	V _{max-2_sim}	00	3	0
			⋮		
Mid	F _{mid}	V _{mid_tst}	10	2	0
Mid-x	F _{mid-x}	V _{mid-x_sim}	00	2	0
			⋮		
2	F ₂	V _{2_sim}	00	0	0
1	F ₁	V _{1_sim}	00	0	0
0	F ₀	V _{0_tst}	10	0	0

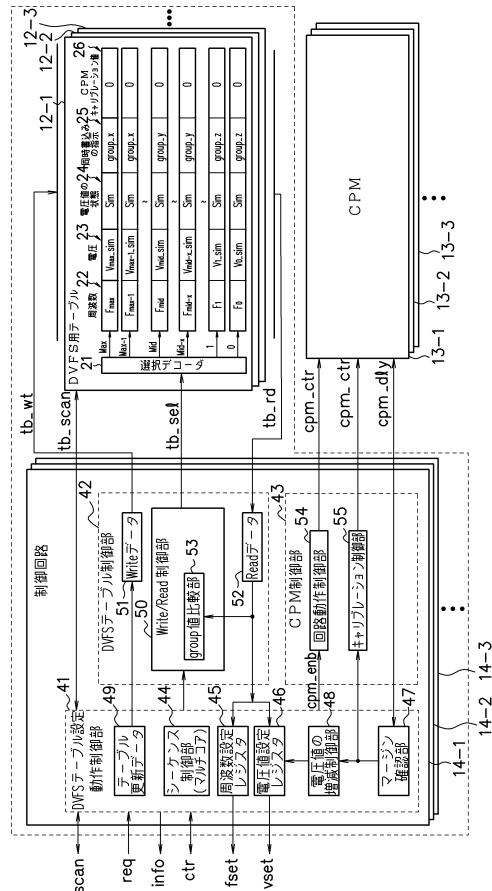
【図10D】



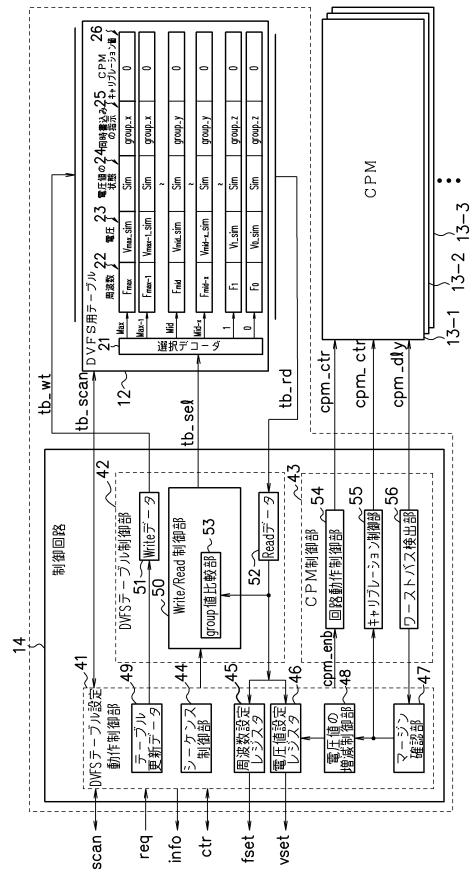
【図10E】



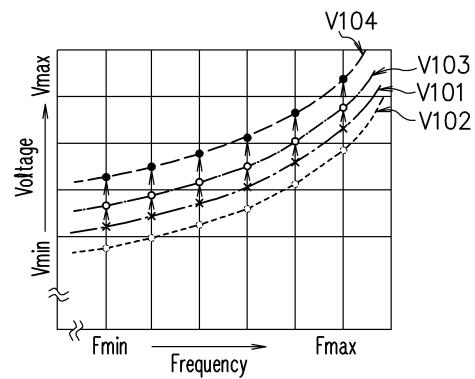
【図12】



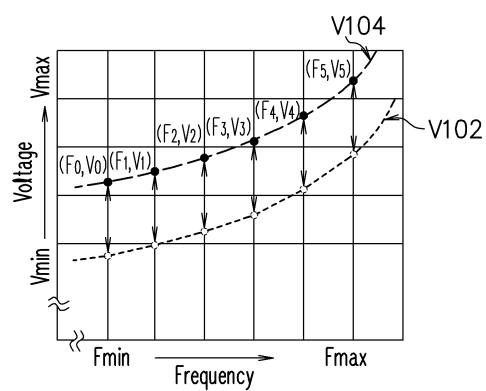
【図11】



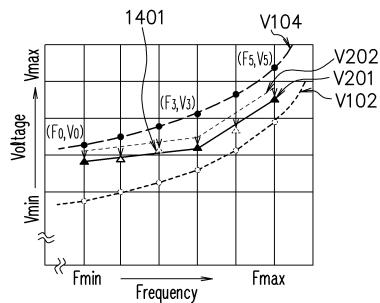
【図13A】



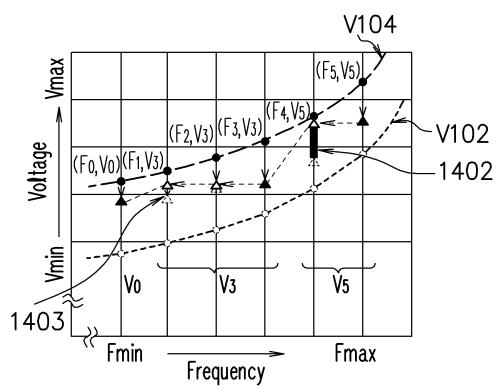
【図 1 3 B】



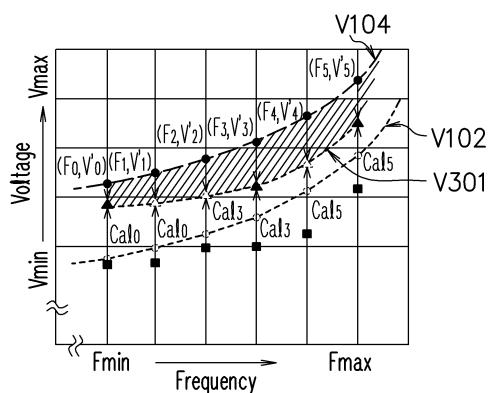
【図 1 4 A】



【図 1 4 B】



【図 1 5】



フロントページの続き

(56)参考文献 特開2013-25508(JP,A)
特開2012-212291(JP,A)
特開2004-70805(JP,A)
特開2002-359289(JP,A)
特開2008-98322(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 06 F 15 / 78
G 06 F 1 / 04
G 06 F 11 / 22