

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4485605号
(P4485605)

(45) 発行日 平成22年6月23日(2010.6.23)

(24) 登録日 平成22年4月2日(2010.4.2)

(51) Int.Cl.

G 11 C 13/00 (2006.01)

F 1

G 11 C 13/00

A

請求項の数 14 (全 30 頁)

(21) 出願番号 特願2009-554808 (P2009-554808)
 (86) (22) 出願日 平成21年9月30日 (2009.9.30)
 (86) 国際出願番号 PCT/JP2009/005017
 (87) 国際公開番号 WO2010/038442
 (87) 国際公開日 平成22年4月8日 (2010.4.8)
 審査請求日 平成21年12月28日 (2009.12.28)
 (31) 優先権主張番号 特願2008-253107 (P2008-253107)
 (32) 優先日 平成20年9月30日 (2008.9.30)
 (33) 優先権主張国 日本国 (JP)

早期審査対象出願

(73) 特許権者 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100109210
 弁理士 新居 広守
 (72) 発明者 村岡 傑作
 日本国大阪府門真市大字門真1006番地
 パナソニック株式会社内
 (72) 発明者 高木 剛
 日本国大阪府門真市大字門真1006番地
 パナソニック株式会社内
 (72) 発明者 三谷 覚
 日本国大阪府門真市大字門真1006番地
 パナソニック株式会社内

最終頁に続く

(54) 【発明の名称】抵抗変化素子の駆動方法、初期処理方法、及び不揮発性記憶装置

(57) 【特許請求の範囲】

【請求項 1】

与えられる電気的パルスに応じてその抵抗値が増加および減少する金属酸化物を備えた抵抗変化素子を駆動するための駆動方法であって、

前記金属酸化物は、第1の酸化物層と、当該第1の酸化物層よりも酸素含有率が高い第2の酸化物層とが積層されて構成されており、

前記駆動方法は、

第1の極性の電圧パルスである書き込み電圧パルスを前記金属酸化物に与えることによって、当該金属酸化物の抵抗状態を高から低へ変化させる、1回以上の書き込み過程と、

前記第1の極性とは異なる第2の極性の電圧パルスである消去電圧パルスを前記金属酸化物に与えることによって、当該金属酸化物の抵抗状態を低から高へ変化させる、1回以上の消去過程とを有し、

第1回目から第N回目 (Nは1以上)までの前記書き込み過程における書き込み電圧パルスの電圧値をVw1とし、第(N+1)回目以降の前記書き込み過程における書き込み電圧パルスの電圧値をVw2とした場合に |Vw1| > |Vw2| を満たし、且つ、第1回目から第M回目 (Mは1以上)までの前記消去過程における消去電圧パルスの電圧値をVe1とし、第(M+1)回目以降の前記消去過程における消去電圧パルスの電圧値をVe2とした場合に |Ve1| > |Ve2| を満たしており、

第M回目の消去過程の次に第(N+1)回目の前記書き込み過程が続く、抵抗変化素子の駆動方法。

10

20

【請求項 2】

| V e 1 | | V w 1 | 且つ | V e 2 | | V w 2 | をさらに満たす、請求項 1 に記載の抵抗変化素子の駆動方法。

【請求項 3】

第 (N + 1) 回目以降の前記書き込み過程において、前記金属酸化物の抵抗状態を高から低への変化させることに失敗した場合に、電圧値が V w 3 (但し、 | V w 3 | > | V w 2 |) である回復書き込み電圧パルスを前記金属酸化物に与えることによって、前記金属酸化物の抵抗状態を高から低へ変化させる回復書き込み過程と、

第 (M + 1) 回目以降の前記消去過程において、前記金属酸化物の抵抗状態を低から高へ変化させることに失敗した場合に、電圧値が V e 3 (但し、 | V e 3 | > | V e 2 |) である回復消去電圧パルスを前記金属酸化物に与えることによって、前記金属酸化物の抵抗状態を低から高へ変化させる回復消去過程と、

をさらに含む請求項 1 または 2 に記載の抵抗変化素子の駆動方法。

【請求項 4】

電圧値 V w 1 と電圧値 V w 3 とが等しく、且つ電圧値 V e 1 と電圧値 V e 3 とが等しい、請求項 3 に記載の抵抗変化素子の駆動方法。

【請求項 5】

前記第 1 の酸化物は、 Ta O_x (但し、 0 . 8 < x < 1 . 9) で表される組成を有するタンタル酸化物で構成され、

前記第 2 の酸化物は、 Ta O_y (但し、 2 . 1 < y < 2 . 5) で表される組成を有するタンタル酸化物で構成される、請求項 1 乃至 4 の何れかに記載の抵抗変化素子の駆動方法。

【請求項 6】

第 1 電極と、第 2 電極と、前記第 1 電極と前記第 2 電極との間に介在し、両電極間に与えられる電気的パルスに応じてその抵抗値が増加および減少する金属酸化物を具備する抵抗変化素子と、駆動部とを備え、

前記金属酸化物は、第 1 の酸化物層と、当該第 1 の酸化物層よりも酸素含有率が高い第 2 の酸化物層とが積層されて構成されており、

前記駆動部は、

第 1 の極性の電圧パルスである書き込み電圧パルスを前記第 1 電極と前記第 2 電極との間に与えることによって、前記金属酸化物の抵抗状態を高から低へ変化させる書き込み過程と、

前記第 1 の極性とは異なる第 2 の極性の電圧パルスである消去電圧パルスを前記第 1 電極と前記第 2 電極との間に与えることによって、前記金属酸化物の抵抗状態を低から高へ変化させる消去過程とを実行し、

第 1 回目から第 N 回目 (N は 1 以上) までの前記書き込み過程における書き込み電圧パルスの電圧値を V w 1 とし、第 (N + 1) 回目以降の前記書き込み過程における書き込み電圧パルスの電圧値を V w 2 とした場合に | V w 1 | > | V w 2 | を満たし、且つ、第 1 回目から第 M 回目 (M は 1 以上) までの前記消去過程における消去電圧パルスの電圧値を V e 1 とし、第 (M + 1) 回目以降の前記消去過程における消去電圧パルスの電圧値を V e 2 とした場合に | V e 1 | > | V e 2 | を満たしており、

第 M 回目の消去過程の次に第 (N + 1) 回目の前記書き込み過程が続く、不揮発性記憶装置。

【請求項 7】

| V e 1 | | V w 1 | 且つ | V e 2 | | V w 2 | をさらに満たす、請求項 6 に記載の不揮発性記憶装置。

【請求項 8】

前記駆動部は、

第 (N + 1) 回目以降の前記書き込み過程において、前記金属酸化物の抵抗状態を高から低への変化させることに失敗した場合に、電圧値が V w 3 (但し、 | V w 3 | > | V w

10

20

30

40

50

2 |) である回復書き込み電圧パルスを前記第1電極と前記第2電極との間に与えることによって、前記金属酸化物の抵抗状態を高から低へ変化させる回復書き込み過程と、

第 (M + 1) 回目以降の前記消去過程において、前記金属酸化物の抵抗状態を低から高へ変化させることに失敗した場合に、電圧値が $|V_{e3}| > |V_{e2}|$) である回復消去電圧パルスを前記第1電極と前記第2電極との間に与えることによって、前記金属酸化物の抵抗状態を低から高へ変化させる回復消去過程と、

をさらに実行する、請求項 6 または 7 に記載の不揮発性記憶装置。

【請求項 9】

電圧値 V_{w1} と電圧値 V_{w3} とが等しく、且つ電圧値 V_{e1} と電圧値 V_{e3} とが等しい、請求項 8 に記載の不揮発性記憶装置。 10

【請求項 10】

前記第1の酸化物は、 TaO_x (但し、 $0.8 < x < 1.9$) で表される組成を有するタンタル酸化物で構成され、

前記第2の酸化物は、 TaO_y (但し、 $2.1 < y < 2.5$) で表される組成を有するタンタル酸化物で構成される、請求項 6 乃至 9 の何れかに記載の不揮発性記憶装置。

【請求項 11】

前記第1電極または前記第2電極に電気的に接続された電流制限素子をさらに備える、請求項 6 乃至 10 の何れかに記載の不揮発性記憶装置。

【請求項 12】

前記電流制限素子が選択トランジスタである、請求項 11 に記載の不揮発性記憶装置。 20

【請求項 13】

前記電流制限素子がダイオードである、請求項 11 に記載の不揮発性記憶装置。

【請求項 14】

与えられる電気的パルスに応じてその抵抗値が増加および減少する金属酸化物を備えた抵抗変化素子に対して初期処理を行うための初期処理方法であって、

前記金属酸化物は、第1の酸化物層と、当該第1の酸化物層よりも酸素含有率が高い第2の酸化物層とが積層されて構成されており、

第1の極性でかつ電圧値が $|V_{w2}|$ の書き込み電圧パルスを前記金属酸化物に与えることによって、前記金属酸化物の抵抗状態を高から低へ変化させる書き込み過程と、

前記書き込み過程に続いて、前記第1の極性とは異なる第2の極性でかつ電圧値が $|V_{e2}|$ の消去電圧パルスを前記金属酸化物に与えることによって、前記金属酸化物の抵抗状態を低から高へ変化させる消去過程と、 30

を繰り返すことによって、前記抵抗変化素子へのデータの書き込みと消去とが行われる場合に、

前記初期処理方法は、

前記第1の極性でかつ $|V_{w1}| > |V_{w2}|$ を満たす電圧値 $|V_{w1}|$ の電圧パルスを前記金属酸化物に与えることによって、前記金属酸化物の抵抗状態を高から低へ変化させる、1回以上の初期書き込み過程と、

前記初期書き込み過程に続いて、前記第2の極性でかつ $|V_{e1}| > |V_{e2}|$ を満たす電圧値 $|V_{e1}|$ の電圧パルスを前記金属酸化物に与えることによって、前記金属酸化物の抵抗状態を低から高へ変化させる、1回以上の初期消去過程と、 40

を含み、最後の前記初期消去過程の後に最初の前記書き込み過程が続く、抵抗変化素子の初期処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、与えられる電気的パルスに応じて抵抗値が変化する抵抗変化素子の駆動方法、初期処理方法、及びその方法を実施する不揮発性記憶装置に関する。

【背景技術】

【0002】

近年では、電子機器におけるデジタル技術の進展に伴い、画像などのデータを保存するため、不揮発性抵抗変化素子の大容量化、書き込み電力の低減化、書き込み／読み出し時間の高速化、及び長寿命化等の要求が高まっている。こうした要求に対し、既存のフローティングゲートを用いたフラッシュメモリの微細化での対応には限界があると言われている。

【0003】

上記要求に応えることができる可能性のある第1の従来技術として、ペロブスカイト材料（例えば、 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ [PCM_xO₃]、 LaSrMnO_3 [LSMO]、 $\text{GdBaCo}_x\text{O}_y$ [GBCO]など）を用いた不揮発性抵抗変化素子が提案されている（特許文献1を参照）。この技術は、ペロブスカイト材料に極性の異なる電圧パルス（継続時間の短い波状の電圧）を印加してその抵抗値を増大または減少させ、変化する抵抗値にデータを対応させることによってデータを記憶させるというものである。

【0004】

また、同極性の電圧パルスを用いて抵抗値を切り替えることを可能とする第2の従来技術として、遷移金属酸化物（ NiO 、 V_2O_5 、 ZnO 、 Nb_2O_5 、 TiO_2 、 WO_3 、または CoO ）の膜にパルス幅の異なる電圧パルスを印加することにより、当該遷移金属酸化物膜の抵抗値が変化することを利用した不揮発性抵抗変化素子もある（特許文献2を参照）。遷移金属酸化物膜を用いた抵抗変化素子では、ダイオードを用いたクロスポイント型メモリアレイを積層した構成も実現されている。

【先行技術文献】

10

【特許文献】

20

【0005】

【特許文献1】米国特許第6204139号明細書

【特許文献2】特開2004-363604号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、前記第1の従来技術においては、動作の安定性や再現性が不十分であるといった課題を有していることが判明している。さらに、 $(\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3)$ のようなペロブスカイト構造を有する酸化物結晶では、その結晶化のために通常650～850という高温を必要とするため、半導体製造プロセスに導入すると、他の材料が劣化するという問題もある。

30

【0007】

また、前記第2の従来技術においては、低抵抗状態から高抵抗状態に抵抗値を変化させる際の電圧のパルス幅が1 msec.以上と非常に長いため、高速動作が非常に難しいという課題を抱えたままであり、安定した高速動作が可能な抵抗変化素子の実現が待ち望まれている。

【0008】

本発明は斯かる事情に鑑みてなされたものであり、その主たる目的は、低温で製造可能な抵抗変化素子の駆動方法であって、抵抗変化素子を安定且つ高速に抵抗変化させることができる抵抗変化素子の駆動方法、及びその方法を実施する不揮発性記憶装置を提供することにある。

40

【課題を解決するための手段】

【0009】

上述した課題を解決するために、本発明の一の態様の抵抗変化素子の駆動方法は、与えられる電気的パルスに応じてその抵抗値が増加および減少する金属酸化物を備えた抵抗変化素子を駆動するための駆動方法であって、前記金属酸化物は、第1の酸化物層と、当該第1の酸化物層よりも酸素含有率が高い第2の酸化物層とが積層されて構成されており、前記駆動方法は、第1の極性の電圧パルスである書き込み電圧パルスを前記金属酸化物に与えることによって、当該金属酸化物の抵抗状態を高から低へ変化させる、1回以上の書

50

き込み過程と、前記第1の極性とは異なる第2の極性の電圧パルスである消去電圧パルスを前記金属酸化物に与えることによって、当該金属酸化物の抵抗状態を低から高へ変化させる、1回以上の消去過程とを有し、第1回目から第N回目（Nは1以上）までの前記書き込み過程における書き込み電圧パルスの電圧値をVw1とし、第（N+1）回目以降の前記書き込み過程における書き込み電圧パルスの電圧値をVw2とした場合に|Vw1|>|Vw2|を満たし、且つ、第1回目から第M回目（Mは1以上）までの前記消去過程における消去電圧パルスの電圧値をVe1とし、第（M+1）回目以降の前記消去過程における消去電圧パルスの電圧値をVe2とした場合に|Ve1|>|Ve2|を満たしており、第M回目の消去過程の次に第（N+1）回目の前記書き込み過程が続く。

【0010】

10

上記発明に係る抵抗変化素子の駆動方法において、|Ve1|>|Vw1|且つ|Ve2|>|Vw2|をさらに満たすことが好ましい。

【0011】

また、上記発明に係る抵抗変化素子の駆動方法において、第（N+1）回目以降の前記書き込み過程において、前記金属酸化物の抵抗状態を高から低への変化させることに失敗した場合に、電圧値がVw3（但し、|Vw3|>|Vw2|）である回復書き込み電圧パルスを前記金属酸化物に与えることによって、前記金属酸化物の抵抗状態を高から低へ変化させる回復書き込み過程と、第（M+1）回目以降の前記消去過程において、前記金属酸化物の抵抗状態を低から高へ変化させることに失敗した場合に、電圧値がVe3（但し、|Ve3|>|Ve2|）である回復消去電圧パルスを前記金属酸化物に与えることによって、前記金属酸化物の抵抗状態を低から高へ変化させる回復消去過程と、をさらに含むことが好ましい。

20

【0012】

また、上記発明に係る抵抗変化素子の駆動方法において、電圧値Vw1と電圧値Vw3とが等しく、且つ電圧値Ve1と電圧値Ve3とが等しいことが好ましい。

【0013】

また、上記発明に係る抵抗変化素子の駆動方法において、前記第1の酸化物は、TaO_x（但し、0.8 < x < 1.9）で表される組成を有するタンタル酸化物で構成され、前記第2の酸化物は、TaO_y（但し、2.1 < y < 2.5）で表される組成を有するタンタル酸化物で構成されることが好ましい。

30

【0014】

また、本発明に係る不揮発性記憶装置は、第1電極と、第2電極と、前記第1電極と前記第2電極との間に介在し、両電極間に与えられる電気的パルスに応じてその抵抗値が増加および減少する金属酸化物を具備する抵抗変化素子と、駆動部とを備え、前記金属酸化物は、第1の酸化物層と、当該第1の酸化物層よりも酸素含有率が高い第2の酸化物層とが積層されて構成されており、前記駆動部は、第1の極性の電圧パルスである書き込み電圧パルスを前記第1電極と前記第2電極との間に与えることによって、前記金属酸化物の抵抗状態を高から低へ変化させる書き込み過程と、前記第1の極性とは異なる第2の極性の電圧パルスである消去電圧パルスを前記第1電極と前記第2電極との間に与えることによって、前記金属酸化物の抵抗状態を低から高へ変化させる消去過程とを実行し、第1回目から第N回目（Nは1以上）までの前記書き込み過程における書き込み電圧パルスの電圧値をVw1とし、第（N+1）回目以降の前記書き込み過程における書き込み電圧パルスの電圧値をVw2とした場合に|Vw1|>|Vw2|を満たし、且つ、第1回目から第M回目（Mは1以上）までの前記消去過程における消去電圧パルスの電圧値をVe1とし、第（M+1）回目以降の前記消去過程における消去電圧パルスの電圧値をVe2とした場合に|Ve1|>|Ve2|を満たしており、第M回目の消去過程の次に第（N+1）回目の前記書き込み過程が続いている。

40

【0015】

上記発明に係る不揮発性記憶装置において、|Ve1|>|Vw1|且つ|Ve2|>|Vw2|をさらに満たすことが好ましい。

50

【0016】

また、上記発明に係る不揮発性記憶装置において、前記駆動部は、第N + 1回目以降の前記書き込み過程において、前記金属酸化物の抵抗状態を高から低へ変化させることに失敗した場合に、電圧値がVw3（但し、|Vw3| > |Vw2|）である回復書き込み電圧パルスを前記第1電極と前記第2電極との間に与えることによって、前記金属酸化物の抵抗状態を高から低へ変化させる回復書き込み過程と、第(M + 1)回目以降の前記消去過程において、前記金属酸化物の抵抗状態を低から高へ変化させることに失敗した場合に、電圧値がVe3（但し、|Ve3| > |Ve2|）である回復消去電圧パルスを前記第1電極と前記第2電極との間に与えることによって、前記金属酸化物の抵抗状態を低から高へ変化させる回復消去過程と、をさらに実行してもよい。

10

【0017】

また、上記発明に係る不揮発性記憶装置において、電圧値Vw1と電圧値Vw3とが等しく、且つ電圧値Ve1と電圧値Ve3とが等しいことが好ましい。

【0018】

また、上記発明に係る不揮発性記憶装置において、前記第1の酸化物は、TaO_x（但し、0.8 < x < 1.9）で表される組成を有するタンタル酸化物で構成され、前記第2の酸化物は、TaO_y（但し、2.1 < y < 2.5）で表される組成を有するタンタル酸化物で構成されることが好ましい。

【0019】

また、上記発明に係る不揮発性記憶装置において、前記第1電極または前記第2電極に電気的に接続された電流制限素子をさらに備えることが好ましい。この電流制限素子は選択トランジスタであってもよく、ダイオードであってもよい。

20

【0020】

また、本発明に係る抵抗変化素子の初期処理方法は、与えられる電気的パルスに応じてその抵抗値が増加および減少する金属酸化物を備えた抵抗変化素子に対して初期処理を行うための初期処理方法であって、前記金属酸化物は、第1の酸化物層と、当該第1の酸化物層よりも酸素含有率が高い第2の酸化物層とが積層されて構成されており、第1の極性でかつ電圧値がVw2の書き込み電圧パルスを前記金属酸化物に与えることによって、前記金属酸化物の抵抗状態を高から低へ変化させる書き込み過程と、前記書き込み過程に続いて、前記第1の極性とは異なる第2の極性でかつ電圧値がVe2の消去電圧パルスを前記金属酸化物に与えることによって、前記金属酸化物の抵抗状態を低から高へ変化させる消去過程と、を繰り返すことによって、前記抵抗変化素子へのデータの書き込みと消去とが行われる場合に、前記初期処理方法は、前記第1の極性でかつ|Vw1| > |Vw2|を満たす電圧値Vw1の電圧パルスを前記金属酸化物に与えることによって、前記金属酸化物の抵抗状態を高から低へ変化させる、1回以上の初期書き込み過程と、前記書き込み過程に続いて、前記第2の極性でかつ|Ve1| > |Ve2|を満たす電圧値Ve1の電圧パルスを前記金属酸化物に与えることによって、前記金属酸化物の抵抗状態を低から高へ変化させる、1回以上の初期消去過程と、を含み、最後の前記初期消去過程の次に最初の前記書き込み過程が続く。

30

【発明の効果】

40

【0021】

本発明に係る抵抗変化素子の駆動方法によれば、抵抗変化素子を安定且つ高速に抵抗変化させることができる。また、この駆動方法を実施する本発明の不揮発性記憶装置によれば、安定且つ高速に動作可能な記憶装置を実現することができる。

【図面の簡単な説明】

【0022】

【図1】図1は、本発明の実施の形態1の抵抗変化素子の構成の一例を示した模式図である。

【図2】図2は、本発明の実施の形態1の抵抗変化素子の駆動方法の手順を示すフローチャートである。

50

【図3】図3は、抵抗変化層の抵抗状態の変化の一例を示すグラフである。

【図4】図4は、本発明の実施の形態1の抵抗変化素子を動作させる回路の構成の一例及び当該抵抗変化素子にデータを書き込む場合における動作例を示す図である。

【図5】図5は、本発明の実施の形態1の抵抗変化素子にデータを書き込む場合及び消去する場合における抵抗変化層の抵抗値の変化を示す図である。

【図6】図6は、本発明の実施の形態1の抵抗変化素子を動作させる回路の構成の一例及び当該抵抗変化素子に書き込まれたデータを読み出す場合における動作例を示す図である。

【図7】図7は、データの読み出しの際に、本発明の実施の形態1の抵抗変化素子を備える回路を流れる電流の電流値と抵抗変化層の抵抗値との関係を示す図である。

【図8A】図8Aは、本発明の実施の形態1の抵抗変化素子に電圧値を順次変化させながら複数の電圧パルスを与えた場合における抵抗変化層3の抵抗値の変化のヒステリシス特性を示すグラフである。

【図8B】図8Bは、抵抗変化層の厚みを変えて製造した別の抵抗変化素子のヒステリシス特性を示すグラフである。

【図9】図9は、 $|V_{e1}| > |V_{e2}|$ である場合におけるエンデュランス特性の良否を調べた結果を示すグラフである。

【図10】図10は、 $|V_{e1}| = |V_{e2}|$ である場合におけるエンデュランス特性の良否を調べた結果を示すグラフである。

【図11】図11は、第1書き込み電圧パルスの電圧値及び第2書き込み電圧パルスの電圧値が-2.0Vと同一であって、且つ第1消去電圧パルスの電圧値及び第2消去電圧パルスの電圧値が+2.5Vと同一である場合における、比較例1の抵抗変化素子が備える抵抗変化層の抵抗状態の変化を示すグラフである。

【図12】図12は、第1書き込み電圧パルスの電圧値及び第2書き込み電圧パルスの電圧値が-2.5Vと同一であって、且つ第1消去電圧パルスの電圧値及び第2消去電圧パルスの電圧値が+3.5Vと同一である場合における、比較例2の抵抗変化素子が備える抵抗変化層の抵抗状態の変化を示すグラフである。

【図13】図13は、本発明の実施の形態2の抵抗変化素子が備える抵抗変化層の抵抗状態の変化の一例を示すグラフである。

【図14】図14は、本発明の実施の形態2の抵抗変化素子の駆動方法の手順を示すフローチャートである。

【図15】図15は、本発明の実施の形態3の不揮発性記憶装置の構成の一例を示すプロック図である。

【図16】図16は、本発明の実施の形態4の不揮発性記憶装置の構成の一例を示すプロック図である。

【発明を実施するための形態】

【0023】

以下、本発明の好ましい実施の形態を、図面を参照しながら説明する。

【0024】

(実施の形態1)

[抵抗変化素子の構成]

まず、本発明の実施の形態1の抵抗変化素子の構成について説明する。

【0025】

図1は、本発明の実施の形態1の抵抗変化素子の構成の一例を示した模式図である。図1に示すように、本実施の形態の抵抗変化素子10は、基板1と、基板1の上に形成された下部電極2と、下部電極2の上に形成された抵抗変化層3と、抵抗変化層3の上に形成された上部電極4とを備えている。下部電極2及び上部電極4は、抵抗変化層3と電気的に接続されている。

【0026】

基板1は、例えばシリコン基板により構成される。また、下部電極2及び上部電極4は

10

20

30

40

50

、例えば、Au(金)、Pt(白金)、Ir(イリジウム)、及びCu(銅)のうちの1つまたは複数の材料を用いて構成される。

【0027】

抵抗変化層3は、第1タンタル酸化物層3aと第2タンタル酸化物層3bとが積層されて構成されている。ここで、第2タンタル酸化物層3bの酸素含有率は、第1タンタル酸化物層3aの酸素含有率よりも高くなっている。

【0028】

第1タンタル酸化物層3aの組成をTaO_xとした場合にxが0.8以上1.9以下であり、且つ、第2タンタル酸化物層3bの組成をTaO_yとした場合にyが2.1以上2.5未満である場合に、抵抗変化層3の抵抗値を安定して高速に変化させることができた。したがって、x及びyは上記の範囲内にあることが好ましい。

【0029】

抵抗変化層3の厚みは、1μm以下であれば抵抗値の変化が認められるが、200nm以下であることが好ましい。パターニングプロセスリソグラフィーを使用する場合に、加工し易く、しかも抵抗変化層3の抵抗値を変化させるために必要となる電圧パルスの電圧値を低くすることができるからである。他方、電圧パルス印加時のブレークダウン(絶縁破壊)をより確実に回避するという観点からは、抵抗変化層3の厚みは少なくとも5nm以上であることが好ましい。

【0030】

また、第2タンタル酸化物層3bの厚みについては、大きすぎると初期抵抗値が高くなりすぎる等の不都合があり、また小さすぎると安定した抵抗変化が得られないという不都合があるため、1nm以上8nm以下程度が好ましい。

【0031】

上述したように構成される抵抗変化素子10を動作させる場合、下部電極2及び上部電極4が、電源5の異なる端子に電気的に接続される。この電源5は、抵抗変化素子10を駆動するための電気的パルス印加装置として機能し、下部電極2と上部電極4との間に所定の極性、電圧及び時間幅の電気的パルス(電圧パルス)を下部電極2と上部電極4との間に印加することができるよう構成されている。

【0032】

なお、以下では、電極間に印加される電圧パルスの電圧が、下部電極2を基準にした上部電極4の電位で特定されるものとする。

【0033】

[抵抗変化素子の製造方法]

次に、抵抗変化素子10の製造方法について説明する。

【0034】

まず、基板1上に、スパッタリング法により、厚さ0.2μmの下部電極2を形成する。その後、Taターゲットをアルゴンガス及び酸素ガス中でスパッタリングする所謂反応性スパッタリング法によって、下部電極2の上にタンタル酸化物層を形成する。ここで、タンタル酸化物層における酸素含有率は、アルゴンガスに対する酸素ガスの流量比を変えることにより容易に調整することができる。なお、基板温度は特に加熱することなく室温とすることができる。

【0035】

次に、上記のようにして形成されたタンタル酸化物層の最表面を酸化することによりその表面を改質する。これにより、タンタル酸化物層の表面に、当該タンタル酸化物層の酸化されなかった領域(第1領域)よりも酸素含有率の高い領域(第2領域)が形成される。これらの第1領域及び第2領域が第1タンタル酸化物層3a及び第2タンタル酸化物層3bにそれぞれ相当し、このようにして形成された第1タンタル酸化物層3a及び第2タンタル酸化物層3bによって抵抗変化層3が構成されることになる。

【0036】

次に、上記のようにして形成された抵抗変化層3の上に、スパッタリング法により、厚

10

20

30

40

50

さ $0.2 \mu\text{m}$ の上部電極 4 を形成することにより、抵抗変化素子 10 が得られる。

【0037】

なお、下部電極 2 及び上部電極 4 並びに抵抗変化層 3 の大きさ及び形状は、マスク及びリソグラフィによって調整することができる。本実施の形態では、上部電極 4 及び抵抗変化層 3 の大きさを $0.5 \mu\text{m} \times 0.5 \mu\text{m}$ (面積 $0.25 \mu\text{m}^2$) とし、下部電極 2 と抵抗変化層 3 とが接する部分の大きさも $0.5 \mu\text{m} \times 0.5 \mu\text{m}$ (面積 $0.25 \mu\text{m}^2$) とした。

【0038】

また、本実施の形態では、第 1 タンタル酸化物層 3a の組成を TaO_x ($x = 1.54$) とし、第 2 タンタル酸化物層 3b の組成を TaO_y ($y = 2.47$) としている。なお、本発明の実施の形態における酸化物層の組成解析には、すべてラザフォード後方散乱法 (RBS) を用いている。さらに、抵抗変化層 3 の厚みを 30 nm とし、第 1 タンタル酸化物層 3a の厚みを 22 nm 、第 2 タンタル酸化物層 3b の厚みを 8 nm としている。

【0039】

なお、本実施形態においては、 $x = 1.54$ 、 $y = 2.47$ の場合にて説明をしているが、これに限ることなく、 x の範囲は $0.8 \leq x \leq 1.9$ 、 y の範囲は $2.1 \leq y < 2.5$ であれば、本実施形態での抵抗変化特性と同様に、安定した抵抗変化を実現できる。

【0040】

【抵抗変化素子の動作】

次に、上述した製造方法により得られた抵抗変化素子 10 の動作について説明する。

【0041】

以下では、抵抗変化層 3 の抵抗値が所定の高い値 (例えば、 20000) にある場合を高抵抗状態といい、同じく所定の低い値 (例えば、 700) にある場合を低抵抗状態という。

【0042】

電源 5 を用いて、負極性の電圧パルスである書き込み電圧パルスを下部電極 2 及び上部電極 4 間に印加することにより、抵抗変化層 3 の抵抗値が減少し、抵抗変化層 3 が高抵抗状態から低抵抗状態へ変化する。以下では、これを書き込み過程という。

【0043】

他方、電源 5 を用いて、正極性の電圧パルスである消去電圧パルスを下部電極 2 及び上部電極 4 間に印加することにより、抵抗変化層 3 の抵抗値が増加し、抵抗変化層 3 が低抵抗状態から高抵抗状態へ変化する。以下では、これを消去過程という。

【0044】

なお、抵抗変化層 3 が低抵抗状態にある場合に、書き込み電圧パルスと同極性である負極性の電圧パルスが下部電極 2 及び上部電極 4 間に印加されたとしても、抵抗変化層 3 は低抵抗状態のまま変化しない。同様にして、抵抗変化層 3 が高抵抗状態にある場合に、消去電圧パルスと同極性である正極性の電圧パルスが下部電極 2 及び上部電極 4 間に印加されたとしても、抵抗変化層 3 は高抵抗状態のまま変化しない。

【0045】

上記の書き込み過程及び消去過程を繰り返すことにより、抵抗変化素子 10 が動作する。なお、連続して書き込み過程または消去過程を実行する所謂オーバーライト (上書き) が行われる場合もある。

【0046】

本実施の形態では、第 1 回目から第 N 回目 (N は 1 以上) までの書き込み過程 (以下、「第 1 書き込み過程」という) における書き込み電圧パルス (以下、「第 1 書き込み電圧パルス」という) の電圧値を V_{w1} とし、第 ($N + 1$) 回目以降の書き込み過程 (以下、「第 2 書き込み過程」という) における書き込み電圧パルス (以下、「第 2 書き込み電圧パルス」という) の電圧値を V_{w2} とした場合に、 $|V_{w1}| > |V_{w2}|$ を満たすようにする。

【0047】

10

20

30

40

50

また、第1回目から第M回目（Mは1以上）までの消去過程（以下、「第1消去過程」という）における消去電圧パルス（以下、「第1消去電圧パルス」という）の電圧値をV_{e1}とし、第（M+1）回目以降の消去過程（以下、「第2消去過程」という）における消去電圧パルス（以下、「第2消去電圧パルス」という）の電圧値をV_{e2}とした場合に、|V_{e1}|>|V_{e2}|を満たすようにする。

【0048】

なお、第1回目の書き込みからオーバーライトが行われる場合、すなわち上記第1書き込み過程が複数回発生する場合に、上記のNが2以上となる。同様に、上記第1消去過程が複数回発生する場合に、上記のMが2以上となる。

【0049】

また、オーバーライトではなく、第1書き込み過程と第1消去過程とを複数回交互に繰り返し実行する場合があり、この場合もN及びMが2以上となる。

【0050】

このように、N及びMは1以上の値であるが、これらN及びMが1以上の何れの値であっても、第2書き込み過程は第1消去過程の次に続くように設定される。すなわち、第1書き込み過程と第2書き込み過程との間には必ず第1消去過程が存在し、第1書き込み過程と第2書き込み過程とが連続しないように設定される。第2書き込み過程が第1消去過程の次に続かず、第2書き込み過程が第1書き込み過程の次に続く場合（第1書き込み過程と第2書き込み過程とが連続する場合）、安定した抵抗変化を実現することが困難となるからである。

【0051】

上述した本発明の実施の形態1の抵抗変化素子10の駆動方法をフローチャートに表すと図2の通りになる。まず、電圧値V_{w1}の電圧パルスによって第1書き込み過程を実行する（S101）。このとき、抵抗変化層3は、初期状態の高抵抗状態（HR）から低抵抗状態（LR）へ変化する。次に、電圧値V_{e1}の電圧パルスによって第1消去過程を実行する（S102）。このとき、抵抗変化層3は、低抵抗状態から高抵抗状態へ変化する。

【0052】

その後、第2書き込み過程及び第2消去過程を繰り返すステップS103を実行する。具体的には、電圧値V_{w2}の電圧パルスによる第2書き込み過程（S103A）と、電圧値V_{e2}の電圧パルスによる第2消去過程（S103B）とを繰り返す。ここで、ステップS103Aを実行したときには、抵抗変化層3が高抵抗状態から低抵抗状態へ変化し、ステップS103Bを実行したときには、抵抗変化層3が低抵抗状態から高抵抗状態へ変化する。

【0053】

なお、上述したように、上記のN及びMのいずれか一方または両方が2以上になる場合は、ステップS101及びステップS102のいずれか一方または両方が繰り返し実行されることになる。

【0054】

本発明は、図2のフローチャートによって示される動作の具体的な実施方法を限定しないが、一例を挙げれば、ステップS101及びステップS102は、製造された抵抗変化素子に対する初期処理として、抵抗変化素子の出荷前に工場にて実行され、ステップS103は、ユーザが抵抗変化素子を実際に使用する（データを書き込み、消去する）ために実行されるとしてもよい。

【0055】

後ほど詳しく述べるように、製造後の初期抵抗状態にある抵抗変化素子に対してステップS101及びステップS102を実施することで、抵抗変化素子の安定した高速動作及び良好なエンデュランス特性を実現することができる。そのため、抵抗変化素子に対して、出荷前にステップS101及びステップS102を実行し、所望の抵抗状態の変化が起きたことを確認することで、製品の良否判定と、動作特性を向上させる処理とを、一度に

10

20

30

40

50

済ませることができる。

【0056】

図3は、抵抗変化層3の抵抗状態の変化の一例を示すグラフである。この例では、第1書き込み電圧パルスの電圧値Vw1を-3.0Vとし、第2書き込み電圧パルスの電圧値Vw2を-2.0Vとしている。また、第1消去電圧パルスの電圧値Ve1を+4.0Vとし、第2消去電圧パルスの電圧値Ve2を+2.5Vとしている。なお、何れの場合も、パルス幅は100nsとしている。また、第1書き込み過程および第1消去過程をそれぞれ1回ずつ実行している。

【0057】

図3を参照すると、抵抗変化層3の抵抗状態の変化が安定していることが分かる。このように、|Vw1|>|Vw2|且つ|Ve1|>|Ve2|を満たすように電圧パルスを両電極間に印加することにより、抵抗変化素子10を安定して動作させることが可能になる。なお、本実施の形態では、|Ve1|>|Vw1|且つ|Ve2|>|Vw2|の条件も満たしている。この点も、抵抗変化素子10の安定動作に寄与していると考えられる。

【0058】

次に、抵抗変化素子10がメモリとして使用され、1ビットデータの書き込みおよび読み出し処理を行う場合について、説明する。なお、以下では、抵抗変化層3が低抵抗状態にある場合を「1」に対応させ、高抵抗状態にある場合を「0」に対応させる。

【0059】

図4は、本発明の実施の形態1の抵抗変化素子10を動作させる回路の構成の一例及び当該抵抗変化素子10にデータを書き込む場合における動作例を示す図である。図4に示すように、この回路は、抵抗変化素子10と、第1端子11及び第2端子12とを備えている。抵抗変化素子10の上部電極4は第1端子11に電気的に接続されており、下部電極2は第2端子12に電気的に接続されている。

【0060】

図5は、本発明の実施の形態1の抵抗変化素子10にデータを書き込む場合（書き込み過程）及び消去する場合（消去過程）における抵抗変化層3の抵抗値の変化を示す図である。なお、書き込み過程及び消去過程においては、図4に示すように、第2端子12は接地（グランド：GND）され、第1端子11に電圧パルスが供給される。電圧パルスは、下部電極2及び接地点を基準に特定される。

【0061】

抵抗変化素子10が初期状態にある場合（抵抗変化層3の抵抗値が初期抵抗値にある場合）に、負極性の第1書き込み電圧パルス（電圧値Vw1）が第1端子11に供給されると、図5に示すように、抵抗変化層3の抵抗値は初期抵抗値から減少し、抵抗変化層3が低抵抗状態Raとなる。これにより、「1」を表す1ビットデータが書き込まれたことになる。次に、正極性の第1消去電圧パルス（電圧値Ve1）が第1端子11に供給されると、抵抗変化層3が低抵抗状態Raから高抵抗状態Rbへ変化する。これにより、「0」を表す1ビットデータが書き込まれたことになる。

【0062】

その後、抵抗変化層3が高抵抗状態Rbにある場合において、負極性の第2書き込み電圧パルス（電圧値Vw2）が第1端子11に供給されると、抵抗変化層3は高抵抗状態Rbから低抵抗状態Raへ変化する。他方、抵抗変化層3が低抵抗状態Raにある場合において、正極性の第2消去電圧パルス（電圧値Ve2）が第1端子11に供給されると、抵抗変化層3は低抵抗状態Raから高抵抗状態Rbへ変化する。

【0063】

この回路においても、上述したとおり、|Vw1|>|Vw2|且つ|Ve1|>|Ve2|を満たすように電圧パルスを第1端子11へ供給することにより、抵抗変化素子10が安定して高速に動作するメモリとして機能することになる。

【0064】

10

20

30

40

50

図6は、本発明の実施の形態1の抵抗変化素子10を動作させる回路の構成の一例及び当該抵抗変化素子10に書き込まれたデータを読み出す場合における動作例を示す図である。図6に示すように、データの読み出しを行う場合には、第2端子12は接地(グランド:GND)され、第1端子11に読み出電圧が供給される。この読み出電圧は、下部電極2及び接地点を基準に特定される。

【0065】

図7は、データの読み出しの際に、本発明の実施の形態1の抵抗変化素子10を備える回路を流れる電流の電流値と抵抗変化層3の抵抗値との関係を示す図である。第1端子11に読み出電圧が供給されると、抵抗変化層3の抵抗値に応じた電流が回路を流れる。すなわち、図7に示すように、抵抗変化層3が低抵抗状態Raにある場合は電流値Iaの電流が回路を流れ、高抵抗状態Rbにある場合は電流値Ibの電流が回路を流れる。

10

【0066】

図6に示すように第2端子12が接地され、例えば+0.5Vの読み出電圧が第1端子11に供給された場合に、第1端子11と第2端子12との間に流れる電流の電流値を検出することにより、抵抗変化層3が高低の何れの抵抗状態にあるのかを判別する。具体的には、検出した電流値がIaであれば、抵抗変化層3が低抵抗状態Raにあると判別する。その結果、抵抗変化素子10に書き込まれたデータが「1」であることが分かる。他方、検出した電流値がIbであれば、抵抗変化層3が高抵抗状態Rbにあると判別する。その結果、抵抗変化素子10に書き込まれたデータが「0」であることが分かる。このようにして、抵抗変化素子10に書き込まれたデータの読み出しが行われる。

20

【0067】

本実施の形態の抵抗変化素子10は、電源を切ったとしても抵抗値が変化しない。そのため、この抵抗変化素子10を用いることにより、不揮発性記憶装置を実現することができる。

【0068】

図8Aは、本発明の実施の形態1の抵抗変化素子10に電圧値を順次変化させながら複数の電圧パルスを与えた場合における抵抗変化層3の抵抗値の変化のヒステリシス特性を示すグラフである。測定に用いた抵抗変化素子10は、抵抗変化層3の厚みが30nm、第1タンタル酸化物層3aの厚みが22nm、第2タンタル酸化物層3bの厚みが8nmである。第1タンタル酸化物3aの組成は、タンタル酸化物をTaO_xと表記したときにx=1.54であり、第2のタンタル酸化物層3bの組成は、タンタル酸化物をTaO_yと表記したときにy=2.47である。

30

【0069】

図8Aに示すように、電圧パルスの電圧値が0から-3.0V程度に至るまでの間、抵抗変化層3の抵抗値は初期抵抗値を維持したままであり、-3.0V程度のしきい値電圧V_{L1}になったときに急激に減少する。その後、電圧パルスの電圧値が-3.0V程度から-3.5V程度の最低電圧を経て+3.5Vに至るまでの間、抵抗変化層3の抵抗値は低い状態を維持し、+3.5V程度のしきい値電圧V_{H1}になったときに上昇の予兆を示し、さらに+4.0V程度の最高電圧を経て+3.3V程度になったときに抵抗変化層3の抵抗値は急激に上昇する。次に、電圧パルスの電圧値が+3.3V程度から0Vに至るまでの間、抵抗変化層3の抵抗値は高い状態を維持する。ここまでが、図8Aにおいて「第1サイクル」と示した点の軌跡である。

40

【0070】

次に、電圧パルスの電圧値が0Vから-1.0V程度に至るまでの間、抵抗変化層3の抵抗値は高い状態を維持し、-1.0V程度のしきい値電圧V_{L2}になったときに急激に減少する。その後、電圧パルスの電圧値が-1.0V程度から-1.5V程度の最低電圧を経て+1.7V程度に至るまでの間、抵抗変化層3の抵抗値は低い状態を維持し、+1.7V程度のしきい値電圧V_{H2}になったときに急激に上昇する。次に、+1.7V程度から+2.0V程度の最高電圧を経て0Vに至るまでの間、抵抗変化層3の抵抗値は高い状態を維持する。ここまでが、図8Aにおいて「第2サイクル」と示した点の軌跡である。

50

【0071】

さらに、電圧パルスの電圧値が0から-0.7V程度に至るまでの間、抵抗変化層3の抵抗値は高い状態を維持し、-0.7V程度のしきい値電圧 V_{L3} になったときに急激に減少する。その後、電圧パルスの電圧値が-0.7V程度から-1.5V程度の最低電圧を経て+1.7V程度に至るまでの間、抵抗変化層3の抵抗値は低い状態を維持し、+1.7V程度のしきい値電圧 V_{H3} になったときに急激に上昇する。次に、+1.7V程度から+2.0V程度の最高電圧を経て0Vまでの間、抵抗変化層3の抵抗値は高い状態を維持する。ここまでが、図8Aにおいて「第3サイクル」と示した点の軌跡である。なお、「第4サイクル」と示した点の軌跡も、この「第3サイクル」の場合と同様になっている。

【0072】

さらに、抵抗変化素子10から抵抗変化層の厚みを変えて製造した別の抵抗変化素子を用いて同様の実験を行った。別の抵抗変化素子は、抵抗変化層3の厚みが50nm、第1タンタル酸化物層3aの厚みが45nm、第2タンタル酸化物層3bの厚みが5nmである。第1タンタル酸化物3aの組成は、タンタル酸化物をTaO_xと表記したときに $x = 1.54$ であり、第2のタンタル酸化物層3bの組成は、タンタル酸化物をTaO_yと表記したときに $y = 2.47$ である。

【0073】

図8Bは、上述した別の抵抗変化素子のヒステリシス特性を示すグラフである。図8Aに示される抵抗変化素子10の特性と比べて、各しきい値電圧の値は異なるが、類似した形状のグラフで表される特性が見られる。

【0074】

発明者らは、図8Aおよび図8Bの結果を含む、複数の実験の結果から、抵抗変化素子のヒステリシス特性には一般に次の性質があることを見出した。

【0075】

(i) 第n(nは1以上)サイクルにおいて抵抗変化層が低抵抗状態になるしきい値電圧 V_{L_n} の絶対値は、抵抗変化層が初期抵抗状態にある第1サイクルにおいて最も大きく、第2サイクル以降では小さくなる。

【0076】

(ii) 各サイクルとも、抵抗変化層が高抵抗状態になるしきい値電圧 V_{H_n} は、そのサイクルで抵抗変化層を低抵抗状態にするために印加した負極性の電圧パルスの最低電圧と比べて、絶対値において等しいか、より大きい。

【0077】

なお、図8Aでは、第1サイクルのしきい値電圧 V_{H1} において抵抗変化層の抵抗値が上昇する予兆が見られるものの直ちに高抵抗状態になっていない。このような挙動は、後の考察から、実験回路に直列に挿入された保護抵抗に関係していることが分かった。保護抵抗の値を抵抗変化層の厚みに応じて適切に選択することで、図8Bのようなグラフで表されるヒステリシス特性が得られる。

【0078】

以上の結果から、例えば図8Aのヒステリシス特性に従って、第1書き込み電圧パルスの電圧値 V_{W1} を-3.0V程度のしきい値電圧 V_{L1} よりも低い-3.5Vに設定し、第1消去電圧パルスの電圧値 V_{E1} を絶対値において V_{W1} よりも大きい+4.0V程度に設定することにより、第1書き込み過程及び第1消去過程を実行することが可能であることが分かる。

【0079】

また、 $|V_{L1}| > |V_{L2}|$ 及び $|V_{H1}| > |V_{H2}|$ となることから、 $|V_{W1}| > |V_{W2}|$ 及び $|V_{E1}| > |V_{E2}|$ を満たすことを考慮すると、第2書き込み電圧パルスの電圧値 V_{W2} を-0.7V乃至-2.5V程度の範囲内に設定し、第2消去電圧パルスの電圧値 V_{E2} を+1.7V乃至+3.5V程度の範囲内に設定することが適当であるといえる。そのため、図2を参照しながら上述したように、本実施の形態においては、 V_{W1} 及び V_{W2} をそれぞれ-3.0V及び-2.0Vとし、 V_{E1} 及び V_{E2} をそれぞれ+

10

20

30

40

50

4.0V 及び +2.5V としている。

【0080】

次に、各電圧パルスの電圧値の大小関係が抵抗変化素子のエンデュランス特性に影響する点について説明する。

【0081】

図9は、 $|V_{e1}| > |V_{e2}|$ である場合におけるエンデュランス特性の良否を調べた結果を示すグラフである。また、図10は、 $|V_{e1}| = |V_{e2}|$ である場合におけるエンデュランス特性の良否を調べた結果を示すグラフである。なお、ここでは、安定した抵抗変化が100回繰り返された場合をエンデュランス特性が良好である(印)とし、そうでない場合をエンデュランス特性が不良である(×印)としている。

10

【0082】

図9に示すように、 $|V_{e1}| > |V_{e2}|$ が成立し、且つ $|V_{w1}| > |V_{w2}|$ が成立する場合は、エンデュランス特性が良好となっている。これに対し、図9及び図10に示すように、 $|V_{e1}| > |V_{e2}|$ 及び $|V_{w1}| > |V_{w2}|$ の少なくとも何れかが成立しない場合は、エンデュランス特性が不良となっている。

【0083】

本実施の形態の抵抗変化素子10においては、 $|V_{e1}| > |V_{e2}|$ 及び $|V_{w1}| > |V_{w2}|$ の何れもが成立する。したがって、上記の実験結果を踏まえると、本実施の形態の抵抗変化素子10のエンデュランス特性が良好であることが分かる。

【0084】

20

[比較例1]

以下、比較例1の抵抗変化素子について説明する。なお、この比較例1の抵抗変化素子の構成は、本実施の形態の抵抗変化素子10と同様であるため、説明を省略する。

【0085】

図11は、第1書き込み電圧パルスの電圧値 V_{w1} 及び第2書き込み電圧パルスの電圧値 V_{w2} が-2.0Vと同一であって、且つ第1消去電圧パルスの電圧値 V_{e1} 及び第2消去電圧パルスの電圧値 V_{e2} が+2.5Vと同一である場合における、比較例1の抵抗変化素子が備える抵抗変化層の抵抗状態の変化を示すグラフである。なお、何れの場合も、パルス幅は100nsとしている。

【0086】

30

図11に示すように、比較例1においては、抵抗変化層の抵抗値は初期抵抗値のままであり、抵抗状態の変化がみられない。したがって、この比較例1の抵抗変化素子をメモリに用いることはできない。

【0087】

[比較例2]

次に、比較例2の抵抗変化素子について説明する。なお、この比較例2の抵抗変化素子の構成も、本実施の形態の抵抗変化素子10と同様であるため、説明を省略する。

【0088】

図12は、第1書き込み電圧パルスの電圧値 V_{w1} 及び第2書き込み電圧パルスの電圧値 V_{w2} が-3.0Vと同一であって、且つ第1消去電圧パルスの電圧値 V_{e1} 及び第2消去電圧パルスの電圧値 V_{e2} が+4.0Vと同一である場合における、比較例2の抵抗変化素子が備える抵抗変化層の抵抗状態の変化を示すグラフである。なお、何れの場合も、パルス幅は100nsとしている。

40

【0089】

図12に示すように、比較例2においては、パルス数が10程度までは抵抗変化層の抵抗状態の変化がみられるものの、それ以降は低抵抗状態における抵抗値と高抵抗状態における抵抗値との差が著しく小さくなる場合があり、パルス数が90以降になると当該差が小さい状況が続いている。

【0090】

これらの比較例1及び2から分かるように、 $|V_{w1}| = |V_{w2}|$ 及び $|V_{e1}| =$

50

$|V_{e2}|$ が成立する場合では、安定した動作が可能な抵抗変化素子を実現することができない。これに対し、本実施の形態の抵抗変化素子 10 の場合では、図 3 に示すように、安定した動作を得ることができる。

【0091】

(実施の形態 2)

上述したように、実施の形態 1 の駆動方法は、抵抗変化素子 10 に良好なエンデュランス特性を与えているが、極めて稀に、第 2 書き込み過程または第 2 消去過程における書き込みに失敗する（つまり、抵抗変化層が所望の抵抗状態に変化しない）場合がある。実施の形態 2 の抵抗変化素子は、そのような失敗が起きた場合に、回復書き込み過程または回復消去過程を実行することによって、より安定した動作を得ることができるものである。

10

【0092】

図 13 は、本発明の実施の形態 2 の抵抗変化素子の駆動方法による抵抗変化層の抵抗状態の変化の一例を示すグラフである。図 13 は、第 1 書き込み過程及び第 1 消去過程を経た後に、第 2 書き込み過程において第 2 書き込み電圧パルス（電圧値 $V_{w2} : -2.0V$ 、パルス幅 : 100 ns）を印加し、第 2 消去過程において第 2 消去電圧パルス（電圧値 $V_{e2} : +2.5V$ 、パルス幅 : 100 ns）を印加している場合に、第 2 書き込み過程の書き込みに失敗したときの、抵抗変化層の抵抗状態の変化の一例を示している。

【0093】

書き込みの失敗は、電圧パルスの印加後に抵抗変化層が所望の抵抗状態になっているか（例えば、第 2 書き込み過程の後であれば低抵抗状態になっているか）を検証するベリファイ過程において検出される。

20

【0094】

図 13 の例では、書き込みに失敗した後、回復書き込み過程において回復書き込み電圧パルス（電圧値 $V_{w3} : -3.0V$ 、パルス幅 : 100 ns）を印加し、後続する回復消去過程において回復消去電圧パルス（電圧値 $V_{e3} : +4.0V$ 、パルス幅 : 100 ns）を印加している。ここで、回復書き込み電圧パルスの電圧値 V_{w3} の絶対値は第 2 書き込み電圧パルスの電圧値 V_{w2} の絶対値よりも大きく、回復消去電圧パルスの電圧値 V_{e3} の絶対値は第 2 消去電圧パルスの電圧値 V_{e2} の絶対値よりも大きい。例えば、図 13 に示されるように、 $V_{w3} = V_{w1}$ かつ $V_{e3} = V_{e1}$ としてもよい。

30

【0095】

図 13 を参照すると、書き込みに失敗した後に、第 1 書き込み電圧パルスと電圧値が等しい回復書き込み電圧パルス及び第 1 消去電圧パルスと電圧値が等しい回復消去電圧パルスを印加することによって、その後は安定して抵抗状態の変化が行われることを確認することができる。

【0096】

上述した本発明の実施の形態 2 の抵抗変化素子の駆動方法をフローチャートに表すと図 14 の通りになる。まず、電圧値 V_{w1} の電圧パルスによって第 1 書き込み過程を実行する（S101）。このとき、抵抗変化層は、初期状態の高抵抗状態（HR）から低抵抗状態（LR）へ変化する。次に、電圧値 V_{e1} の電圧パルスによって第 1 消去過程を実行する（S102）。このとき、抵抗変化層は、低抵抗状態から高抵抗状態へ変化する。

40

【0097】

その後、第 2 書き込み過程、ベリファイ過程、及び第 2 消去過程を繰り返すステップ S113 を実行する。具体的には、電圧値 V_{w2} の電圧パルスによる第 2 書き込み過程（S103A）と、抵抗変化層の抵抗状態を変化させない程度の低い再生電圧によるベリファイ過程（S103C）と、電圧値 V_{e2} の電圧パルスによる第 2 消去過程（S103B）とを繰り返す。

【0098】

ベリファイ過程（S103C）では、再生電圧を抵抗変化素子に印加し、抵抗変化素子に流れる電流値をしきい値比較することで、抵抗変化層が所望の抵抗状態になっているかを検証する。

50

【0099】

ベリファイ過程で、抵抗変化層が低抵抗状態になつてゐない場合（S103CでNG）、電圧値Vw3（例えば、Vw3=Vw1）の電圧パルスによって回復書き込み過程を実行する（S104）。このとき抵抗変化層は、高抵抗状態（HR）から低抵抗状態（LR）へ変化する。次に、電圧値Ve3（例えば、Ve3=Ve1）の電圧パルスによって回復消去過程を実行する（S105）。このとき、抵抗変化層は、低抵抗状態から高抵抗状態へ変化する。

【0100】

その後、第2書き込み過程、ベリファイ過程、及び第2消去過程を繰り返すステップS113を実行する。

10

【0101】

このような駆動方法によれば、図13から確認されるように、第2書き込み過程における書き込みに失敗した場合に、回復書き込み過程および回復消去過程を実行することで、再び第2書き込み過程および第2消去過程において所望の抵抗状態の変化が起こるようになる。

【0102】

なお、上記では、第2書き込み過程における書き込み（低抵抗状態になっているか）を検証するベリファイ過程を設ける例を説明したが、第2消去過程における書き込み（高抵抗状態になっているか）を検証するベリファイ過程を設けてもよい。

【0103】

20

第2消去過程の後のベリファイ過程で、抵抗変化層が高抵抗状態になつてゐないことが検出された場合は、まず回復消去過程を実行し、続いて回復書き込み過程を実行する。

【0104】

(実施の形態3)

実施の形態3は、実施の形態1において説明した抵抗変化素子を備える不揮発性記憶装置である。以下、この不揮発性記憶装置の構成及び動作について説明する。

【0105】

[不揮発性記憶装置の構成]

図15は、本発明の実施の形態3の不揮発性記憶装置の構成の一例を示すブロック図である。図15に示すように、不揮発性記憶装置200は、抵抗変化素子を具備するメモリアレイ201と、アドレスバッファ202と、制御部203と、行デコーダ204と、ワード線ドライバ205と、列デコーダ206と、ビット線／プレート線ドライバ207とを備えている。ここで、制御部203と、ワード線ドライバ205と、ビット線／プレート線ドライバ207とを、駆動部208と総称する。

30

【0106】

メモリアレイ201は、図15に示すように、縦方向に延びる2本のワード線W201、W202と、当該ワード線W201、W202と交差して横方向に延びる2本のビット線B201、B202と、当該ビット線B201、B202に一対一で対応して設けられる横方向に延びる2本のプレート線P201、P202と、ワード線W201、W202及びビット線B201、B202との各交差点に対応してマトリクス状に設けられた4個のトランジスタT211、T212、T221、T222と、当該4個のトランジスタT211、T212、T221、T222に一対一で対応してマトリクス状に設けられたメモリセルMC211、MC212、MC221、MC222とを具備している。

40

【0107】

なお、これらの各構成要素の個数または本数は上記のものに限定されるわけではない。例えば、メモリアレイ201は上記のように4個のメモリセルを具備しているが、これは一例であり、5個以上のメモリセルを具備する構成であつてもよい。

【0108】

上述したメモリセルMC211、MC212、MC221、MC222は、実施の形態1において図4を参照して説明した素子に相当する。図4を併せて参照しながらメモリア

50

レイ201の構成についてさらに説明すると、トランジスタT211及びメモリセルMC211は、ビット線B201とプレート線P201との間に設けられており、トランジスタT211のソースとメモリセルMC211の第1端子11とが接続されるべく直列に並んでいる。より詳しくは、トランジスタT211は、ビット線B201とメモリセルMC211との間で、ビット線B201及びメモリセルMC211と接続されており、メモリセルMC211は、トランジスタT211とプレート線P201との間で、トランジスタT211及びプレート線P201と接続されている。また、トランジスタT211のゲートはワード線W201に接続されている。

【0109】

なお、他の3個のトランジスタT212、T221、T222及びこれらのトランジスタT212、T221、T222と直列に配置される3個のメモリセルMC212、MC221、MC222の接続状態は、トランジスタT211及びメモリセルMC211の場合と同様であるので、説明を省略する。 10

【0110】

以上の構成により、トランジスタT211、T212、T221、T222のそれぞれのゲートに、ワード線W201、W202を介して所定の電圧（活性化電圧）が供給されると、トランジスタT211、T212、T221、T222のドレイン及びソース間が導通することになる。

【0111】

アドレスバッファ202は、外部回路（図示せず）からアドレス信号ADDRESSを受け取り、このアドレス信号ADDRESSに基づいて行アドレス信号ROWを行デコーダ204に出力するとともに、列アドレス信号COLUMNを列デコーダ206に出力する。ここで、アドレス信号ADDRESSは、メモリセルMC211、MC212、MC221、MC222のうちの選択されるメモリセルのアドレスを示す信号である。また、行アドレス信号ROWは、アドレス信号ADDRESSに示されたアドレスのうちの行のアドレスを示す信号であり、列アドレス信号COLUMNは、同じく列のアドレスを示す信号である。 20

【0112】

制御部203は、外部回路から受け取ったモード選択信号MODEに応じて、記憶モード、リセットモード、及び再生モードのうちのいずれか1つのモードを選択する。 30

【0113】

記憶モードにおいて、制御部203は、外部回路から受け取った入力データDinに応じて、「記憶電圧印加」を指示する制御信号CONTをビット線／プレート線ドライバ207に出力する。

【0114】

また、再生モードの場合、制御部203は、「再生電圧印加」を指示する制御信号CONTをビット線／プレート線ドライバ207に出力する。この再生モードでは、制御部203はさらに、ビット線／プレート線ドライバ207から出力される信号I_{READ}を受け取り、この信号I_{READ}に応じたビット値を示す出力データDoutを外部回路へ出力する。この信号I_{READ}は、再生モードのときにプレート線P201、P202を流れる電流の電流値を示す信号である。 40

【0115】

さらに、リセットモードにおいて、制御部203は、メモリセルMC211、MC212、MC221、MC222の記憶状態を確認し、その記憶状態に応じて、「リセット電圧印加」を指示する制御信号CONTをビット線／プレート線ドライバ207に出力する。

【0116】

行デコーダ204は、アドレスバッファ202から出力された行アドレス信号ROWを受け取り、この行アドレス信号ROWに応じて、2本のワード線W201、W202のうちの何れか一方を選択する。ワード線ドライバ205は、行デコーダ204の出力信号に 50

基づいて、行デコーダ 204 によって選択されたワード線に活性化電圧を印加する。

【0117】

列デコーダ 206 は、アドレスバッファ 202 から出力された列アドレス信号 C O L U M N を受け取り、この列アドレス信号 C O L U M N に応じて、2 本のビット線 B 201、B 202 のうちの何れか一方を選択するとともに、2 本のプレート線 P 201、P 202 のうちの何れか一方を選択する。

【0118】

ビット線／プレート線ドライバ 207 は、制御部 203 から「記憶電圧印加」を指示する制御信号 C O N T を受け取ると、列デコーダ 206 の出力信号に基づいて、列デコーダ 206 によって選択されたビット線に記憶電圧 V_{WRITE} を印加するとともに、同じく選択されたプレート線を接地状態にする。10

【0119】

また、ビット線／プレート線ドライバ 207 は、制御部 203 から「再生電圧印加」を指示する制御信号 C O N T を受け取ると、列デコーダ 206 の出力信号に基づいて、列デコーダ 206 によって選択されたビット線に再生電圧 V_{READ} を印加するとともに、同じく選択されたプレート線を接地状態にする。その後、ビット線／プレート線ドライバ 207 は、そのプレート線を流れる電流の電流値を示す信号 I_{READ} を制御部 203 に出力する。

【0120】

また、ビット線／プレート線ドライバ 207 は、制御部 203 から「リセット電圧印加」を指示する制御信号 C O N T を受け取ると、列デコーダ 206 の出力信号に基づいて、列デコーダ 206 によって選択されたビット線にリセット電圧 V_{RESET} を印加するとともに、同じく選択されたプレート線を接地状態にする。20

【0121】

ここで、記憶電圧 V_{WRITE} の電圧値は、例えば、第 1 書き込み過程においては -3.5 V に、第 2 書き込み過程においては -2.5 V にそれぞれ設定され、そのパルス幅が 100 ns に設定される。また、再生電圧 V_{READ} の電圧値は、例えば +0.5 V に設定される。さらに、リセット電圧 V_{RESET} の電圧値は、例えば、第 1 消去過程においては +4.0 V に、第 2 消去過程においては +2.5 V にそれぞれ設定され、そのパルス幅は 100 ns に設定される。

【0122】

このような電圧値が異なる複数の電圧パルスは、例えば、複数種の電圧を生成可能な電圧発生回路（図示省略）を用いて生成される。どの電圧値の電圧パルスを生成するかを決定する方法の一例が、以下の動作例で詳細に説明される。30

【0123】

[不揮発性記憶装置の動作]

以下、上述したように構成される不揮発性記憶装置 200 の動作例を、上記の記憶モード（メモリセルに入力データ D_{in} を書き込むモード）、リセットモード（メモリセルに書き込まれたデータをリセットするモード）、及び再生モード（メモリセルに書き込まれたデータを出力データ D_{out} として出力（再生）するモード）の各モードに分けて説明する。ここで、上記の第 1 書き込み過程及び第 2 書き込み過程は記憶モードに該当し、第 1 消去過程及び第 2 消去過程はリセットモードに該当する。40

【0124】

なお、説明の便宜上、モード選択信号 M O D E には、記憶モードが上記の第 1 書き込み過程及び第 2 書き込み過程のいずれに該当するかを指定し、かつリセットモードが上記の第 1 消去過程及び第 2 消去過程のいずれに該当するかを指定する情報が含まれているものとする。制御部 203 は、モード選択信号 M O D E を介して、外部回路から、第 1 書き込み過程、第 2 書き込み過程、第 1 消去過程、第 2 消去過程のうちのいずれを実行すべきかを指定される。

【0125】

また、アドレス信号 A D D R E S S は、メモリセル M C 211 のアドレスを示す信号で50

あるものとする。

【0126】

〔記憶モード〕

制御部203は、外部回路から入力データDinを受け取る。ここで、制御部203は、この入力データDinが「1」である場合に、「記憶電圧印加」を示す制御信号CONTをビット線/プレート線ドライバ207に出力する。一方、制御部203は、入力データDinが「0」である場合には制御信号CONTを出力しない。

【0127】

「記憶電圧印加」を示す制御信号CONTには、モード選択信号MODEの指定に応じて、上記の第1書き込み電圧パルスおよび第2書き込み電圧パルスのうちの何れをメモリセルに印加すべきかを示す情報が含まれる。

10

【0128】

ビット線/プレート線ドライバ207は、制御部203から「記憶電圧印加」を示す制御信号CONTを受け取ると、列デコーダ206によって選択されたビット線B201に記憶電圧V_{WRITE}を印加する。また、ビット線/プレート線ドライバ207は、列デコーダ206によって選択されたプレート線P201を接地状態にする。

【0129】

このとき、行デコーダ204によって選択されたワード線W201には、ワード線ドライバ205によって活性化電圧が印加されている。そのため、トランジスタT211のドレイン及びソース間が導通状態となっている。

20

【0130】

このため、第1書き込み過程においては、記憶電圧V_{WRITE}として、電圧値が-3.5Vでパルス幅が100nsの第1書き込み電圧パルスが、メモリセルMC211に印加される。また、第2書き込み過程においては、記憶電圧V_{WRITE}として、電圧値が-2.5Vでパルス幅が100nsの第2書き込み電圧パルスが、メモリセルMC211に印加される。これにより、メモリセルMC211は、高抵抗状態から低抵抗状態へと変化する。他方、メモリセルMC221、MC222には書き込み電圧パルスは印加されず、且つメモリセルMC212と直列接続されたトランジスタT212のゲートには活性化電圧が印加されないため、メモリセルMC212、MC221、MC222の抵抗状態は変化しない。

30

【0131】

このようにして、メモリセルMC211のみを低抵抗状態へ変化させることができ、これにより、メモリセルMC211に、低抵抗状態に対応する「1」を示す1ビットデータが書き込まれる(1ビットデータが記憶される)。

【0132】

なお、メモリセルMC211への書き込みが完了すると、アドレスバッファ202に新たなアドレス信号ADDRESSが入力され、上記の不揮発性記憶装置200の記憶モードにおける動作が、メモリセルMC211以外のメモリセルに対して繰り返される。

【0133】

〔再生モード〕

制御部203は、「再生電圧印加」を指示する制御信号CONTをビット線/プレート線ドライバ207に出力する。

40

【0134】

ビット線/プレート線ドライバ207は、制御部203から「再生電圧印加」を指示する制御信号CONTを受け取ると、列デコーダ206によって選択されたビット線B201に再生電圧V_{READ}を印加する。また、ビット線/プレート線ドライバ207は、列デコーダ206によって選択されたプレート線P201を接地状態にする。

【0135】

このとき、行デコーダ204によって選択されたワード線W201には、ワード線ドライバ205によって活性化電圧が印加されている。そのため、トランジスタT211のド

50

レイン及びソース間が導通状態となっている。

【0136】

このため、記憶電圧 V_{READ} として、電圧値が +0.5V の測定電圧が、メモリセル MC 211 に印加される。これにより、メモリセル MC 211 の抵抗値に応じた電流値を示す電流が、メモリセル MC 212 を介して、プレート線 P 201 に流れ込む。

【0137】

なお、メモリセル MC 221、MC 222 には測定電圧が印加されず、且つメモリセル MC 212 と特別接続されたトランジスタ T 212 のゲートには活性化電圧が印加されないため、メモリセル MC 212、MC 221、MC 222 には上記電流が流れない。

【0138】

次に、ビット線 / プレート線ドライバ 207 は、プレート線 P 201 を流れる電流の電流値を測定し、その測定値を示す信号 I_{READ} を制御部 203 に出力する。

【0139】

制御部 203 は、その信号 I_{READ} に示された電流値に応じた出力データ D_{out} を外部へ出力する。例えば、信号 I_{READ} に示された電流値が、メモリセル MC 211 が低抵抗状態のときに流れる電流の電流値に相当する場合、制御部 203 は、「1」を示す出力データ D_{out} を出力する。

【0140】

このようにして、メモリセル MC 211 のみに当該メモリセル MC 211 の抵抗値に応じた電流が流れ、当該電流がプレート線 P 201 に流出される。これにより、メモリセル MC 211 から「1」を示す 1 ビットデータが読み出される（1 ビットデータが再生される）。

【0141】

なお、メモリセル MC 211 からの読み出しが完了すると、アドレスバッファ 202 に新たなアドレス信号 ADDRESS が入力され、上記の不揮発性記憶装置 200 の再生モードにおける動作が、メモリセル MC 211 以外のメモリセルに対して繰り返される。

【0142】

〔リセットモード〕

リセットモードにおいては、まず制御部 203 が、上記再生モードを実行することによってメモリセル MC 211 の抵抗値の状態（記憶状態）を取得する。そして、メモリセル MC 211 に「1」を示すビットデータが記憶されていると判定した場合（メモリセル MC 211 が低抵抗状態にあると判定した場合）、制御部 203 は、「リセット電圧印加」を示す制御信号 $CONT$ をビット線 / プレート線ドライバ 207 に出力する。他方、メモリセル MC 211 に「0」を示すビットデータが記憶されていると判定した場合（メモリセル MC 211 が高抵抗状態にあると判定した場合）は、制御部 203 は上記制御信号 $CONT$ を出力しない。

【0143】

「リセット電圧印加」を示す制御信号 $CONT$ には、モード選択信号 MODE の指定に応じて、上記の第 1 消去電圧パルスおよび第 2 消去電圧パルスのうちの何れをメモリセルに印加すべきかを示す情報が含まれる。

【0144】

ビット線 / プレート線ドライバ 207 は、制御部 203 から「リセット電圧印加」を示す制御信号 $CONT$ を受け取ると、列デコーダ 206 によって選択されたビット線 B 201 にリセット電圧 V_{RESET} を印加する。また、ビット線 / プレート線ドライバ 207 は、列デコーダ 206 によって選択されたプレート線 P 201 を接地状態にする。

【0145】

このとき、行デコーダ 204 によって選択されたワード線 W 201 には、ワード線ドライバ 205 によって活性化電圧が印加されている。そのため、トランジスタ T 211 のドレンとソース間が導通状態となっている。

【0146】

10

20

30

40

50

このため、第1消去過程においては、リセット電圧 V_{RESET} として、電圧値が +4.0 V でパルス幅が 100 ns の第1消去電圧パルスが、メモリセル MC211 に印加される。また、第2消去過程においては、リセット電圧 V_{RESET} として、電圧値が +2.5 V でパルス幅が 100 ns の第2消去電圧パルスが、メモリセル MC211 に印加される。これにより、メモリセル MC211 は、低抵抗状態から高抵抗状態へと変化する。他方、メモリセル MC221、MC222 には消去電圧パルスは印加されず、且つメモリセル MC212 と直列接続されたトランジスタ T212 のゲートには活性化電圧が印加されないため、メモリセル MC212、MC221、MC222 の抵抗状態は変化しない。

【0147】

このようにして、メモリセル MC211 のみを高抵抗状態へ変化させることができる。これにより、メモリセル MC211 に記憶された低抵抗状態に対応する「1」を示す 1 ビットデータが、高抵抗状態に対応する「0」にリセットされる。

【0148】

なお、メモリセル MC211 のリセットが完了すると、アドレスバッファ A202 に新たなアドレス信号 ADDRESS が入力され、上記の不揮発性記憶装置 200 のリセットモードにおける動作が、メモリセル MC211 以外のメモリセルに対して繰り返される。

【0149】

以上のように、不揮発性記憶装置 200 は、記憶モードにおいて、第1書き込み電圧パルスの電圧値の絶対値を第2書き込み電圧パルスの電圧値の絶対値よりも大きくし、且つ、リセットモードにおいて、第1消去電圧パルスの電圧値の絶対値を第2消去電圧パルスの電圧値の絶対値よりも大きくしている。これにより、安定した高速動作及び良好なエンデュランス特性を実現することができる。

【0150】

また、別の構成として、不揮発性記憶装置が、初期処理としての第1書き込み過程および第1消去過程を、全てのメモリセルに対して自律的に実行してもよい。

【0151】

そのような不揮発性記憶装置では、例えば、制御部に、初期処理済みか否かを示すフラグレジスタと、全てのメモリセルを順次指定できるアドレスカウンタとが追加される。

【0152】

制御部は、アドレスカウンタで順次指定される全てのメモリセルに対して第1書き込み過程および第1消去過程を実行し終えた後、フラグレジスタの値を初期処理済みに更新し、その後、外部回路からのアクセスに応じて、第2書き込み過程および第2消去過程を実行する。

【0153】

(実施の形態4)

実施の形態4は、実施の形態1において説明した抵抗変化素子を備えるクロスポイント型の不揮発性記憶装置である。ここで、クロスポイント型の不揮発性記憶装置とは、ワード線とピット線との交点(立体交差点)にアクティブ層を介在させた態様の記憶装置である。

【0154】

以下、この実施の形態4の不揮発性記憶装置の構成及び動作について説明する。

【0155】

[不揮発性記憶装置の構成]

図16は、本発明の実施の形態4の不揮発性記憶装置の構成の一例を示すブロック図である。図16に示すように、クロスポイント型の不揮発性記憶装置 100 は、抵抗変化素子を備えるメモリアレイ 101 と、アドレスバッファ 102 と、制御部 103 と、行デコーダ 104 と、ワード線ドライバ 105 と、列デコーダ 106 と、ピット線ドライバ 107 とを備えている。ここで、制御部 103 と、ワード線ドライバ 105 と、ピット線ドライバ 107 とを、駆動部 108 と総称する。

【0156】

10

20

30

40

50

メモリアレイ 101 は、図 16 に示すように、互いに平行にして縦方向に延びるように形成された複数のワード線 W101、W102、W103、…と、これらのワード線 W101、W102、W103、…と交差し、互いに平行にして横方向に延びるように形成された複数のビット線 B101、B102、B103、…とを具備している。ここで、ワード線 W101、W102、W103、…は、基板（図示せず）の主面に平行な第 1 の平面内において形成されており、ビット線 B101、B102、B103、…は、その第 1 の平面より上方に位置し且つ第 1 の平面に実質的に平行な第 2 の平面内において形成されている。そのため、ワード線 W101、W102、W103、…とビット線 B101、B102、B103、…とは立体交差しており、その立体交差点に対応して、複数のメモリセル MC111、MC112、MC113、MC121、MC122、MC123、MC131、MC132、MC133、…（以下、「メモリセル MC111、MC112、…」と表す）が設けられている。
10

【0157】

個々のメモリセル MC は、直列に接続された抵抗変化素子と、例えば双方向ダイオードで構成される電流制限素子 D111、D112、D113、D121、D122、D123、D131、D132、D133、…とを具備しており、当該抵抗変化素子はビット線 B101、B102、B103、…と、電流制限素子は抵抗変化素子及びワード線 W101、W102、W103…とそれぞれ接続されている。なお、この抵抗変化素子として、実施の形態 1 の抵抗変化素子 10 を用いることができる。
20

【0158】

アドレスバッファ 102 は、外部回路（図示せず）からアドレス信号 ADDRESS を受け取り、このアドレス信号 ADDRESS に基づいて行アドレス信号 ROW を行デコーダ 104 に出力するとともに、列アドレス信号 COLUMN を列デコーダ 106 に出力する。ここで、アドレス信号 ADDRESS は、メモリセル MC112、MC121、…のうちの選択されるメモリセルのアドレスを示す信号である。また、行アドレス信号 ROW は、アドレス信号 ADDRESS に示されたアドレスのうちの行のアドレスを示す信号であり、列アドレス信号 COLUMN は、同じく列のアドレスを示す信号である。
30

【0159】

制御部 103 は、外部回路から受け取ったモード選択信号 MODE に応じて、書き込みモード（上記の第 1 及び第 2 書き込み過程並びに第 1 及び第 2 消去過程に該当）及び読み出しモードのうちのいずれか 1 つのモードを選択する。
30

【0160】

書き込みモードにおいて、制御部 103 は、外部回路から受け取った入力データ D_in に応じて、書き込み電圧パルスまたは消去電圧パルスをワード線ドライバ 105 に出力する。

【0161】

また、読み出しモードの場合、制御部 103 は、読み出し（再生）電圧をワード線ドライバ 105 に出力する。この読み出しモードでは、制御部 103 はさらに、ワード線ドライバ 105 から出力される信号 I_READ を受け取り、この信号 I_READ に応じたビット値を示す出力データ D_out を外部回路へ出力する。この信号 I_READ は、読み出しモードのときにワード線 W101、W102、W103、…を流れる電流の電流値を示す信号である。
40

【0162】

行デコーダ 104 は、アドレスバッファ 102 から出力された行アドレス信号 ROW を受け取り、この行アドレス信号 ROW に応じて、ワード線 W101、W102、W103、…のうちの何れか一つを選択する。ワード線ドライバ 105 は、行デコーダ 104 の出力信号に基づいて、行デコーダ 104 によって選択されたワード線に活性化電圧を印加する。

【0163】

列デコーダ 106 は、アドレスバッファ 102 から出力された列アドレス信号 COLUMN を受け取り、この列アドレス信号 COLUMN に応じて、ビット線 B101、B10
50

2、B103、…のうちの何れか一つを選択する。

【0164】

ビット線ドライバ107は、列デコーダ106の出力信号に基づいて、列デコーダ106によって選択されたビット線を接地状態にする。

【0165】

なお、本実施の形態は、1層型のクロスポイント型記憶装置であるが、メモリアレイを積層することにより積層型のクロスポイント型記憶装置としてもよい。

【0166】

また、抵抗変化素子と電流制限素子とは、その位置関係が入れ替わっていてもよい。すなわち、ワード線が抵抗変化素子に、ビット線が電流制限素子にそれぞれ接続されていてもよい。

10

【0167】

さらに、ビット線及びワード線のうちのいずれか一方または両方が抵抗変化素子へ電力を供給する構成であってもよい。すなわち、ビット線及びワード線のいずれか一方を接地し、他方から抵抗変化素子に電源電圧を印加して電力を供給してもよく、また、ビット線及びワード線の両方にそれぞれ接地電圧と異なる電源電圧を印加し、これらビット線とワード線との間に設けられる所定の電圧差にて抵抗変化素子に電力を供給してもよい。

【0168】

〔不揮発性記憶装置の動作〕

20

以下、上述したように構成される不揮発性記憶装置100の動作例を、上記の書き込みモード及び読み出しモードの各モードに分けて説明する。なお、ビット線及びワード線を選択する方法、並びに電圧パルスを印加する方法などについては、周知のものが利用可能であるため、詳細な説明を省略する。

【0169】

また、説明の便宜上、モード選択信号MODEには、書き込みモードが上記の第1書き込み過程、第2書き込み過程、第1消去過程、及び第2消去過程のいずれに該当するかを指定する情報が含まれているものとする。制御部103は、モード選択信号MODEを介して、外部回路から、第1書き込み過程、第2書き込み過程、第1消去過程、第2消去過程のうちのいずれを実行すべきかを指定される。

【0170】

30

以下では、メモリセルMC122に対して書き込み／読み出しを行う場合を例にして説明する。

【0171】

〔書き込みモード〕

メモリセルMC122に「1」を表す1ビットデータを書き込む（記憶する）場合、ビット線ドライバ107によりビット線B102が接地され、ワード線ドライバ105によりワード線W102と制御部103とが電気的に接続される。そして、制御部103により、ワード線W102に書き込み電圧パルスが印加される。ここで、書き込み電圧パルスの電圧値は、モード選択信号MODEの指定に応じて、第1書き込み過程においては-3.5Vに、第2書き込み過程においては-2.5Vにそれぞれ設定される。また、そのパルス幅は100nsに設定される。

40

【0172】

以上のような動作により、メモリセルMC122の抵抗変化素子には書き込み電圧パルスが印加されるので、メモリセルMC122の抵抗変化素子は、「1」に対応する低抵抗状態になる。

【0173】

他方、メモリセルMC122に「0」を表す1ビットデータを書き込む（記憶する）場合には、ビット線ドライバ107によりビット線B102が接地され、ワード線ドライバ105によりワード線W102と制御部103とが電気的に接続される。そして、制御部103により、ワード線W102に消去電圧パルスが印加される。ここで、消去電圧パル

50

スの電圧値は、モード選択信号M O D Eの指定に応じて、第1消去過程においては+4.0Vに、第2消去過程においては+2.5Vにそれぞれ設定される。また、そのパルス幅は100nsに設定される。

【0174】

以上のような動作により、メモリセルMC122の抵抗変化素子には書き込み電圧パルスが印加されるので、メモリセルMC122の抵抗変化層は、「0」に対応する高抵抗状態になる。

【0175】

〔読み出しモード〕

メモリセルMC122に書き込まれているデータを読み出す場合、ビット線ドライバ107によりビット線B102が接地され、ワード線ドライバ105によりワード線W102と制御部103とが電気的に接続される。そして、制御部103により、ワード線W102に読み出電圧が印加される。ここで、読み出電圧の電圧値は+0.5Vに設定される。

10

【0176】

メモリセルMC122に読み出電圧が印加されると、メモリセルMC122の抵抗変化層の抵抗値に応じた電流値を有する電流がビット線B102とワード線W102との間に流れる。制御部103は、この電流の電流値を検知し、その電流値と読み出電圧とに基づいてメモリセルMC122の抵抗状態を検出する。

【0177】

メモリセルMC122の抵抗変化層が低抵抗状態であれば、メモリセルMC122に書き込まれているデータが「1」であることが分かる。他方、高抵抗状態であれば、メモリセルMC122に書き込まれているデータが「0」であることが分かる。

20

【0178】

以上のように、不揮発性記憶装置100は、書き込みモードにおいて、第1書き込み電圧パルスの電圧値の絶対値を第2書き込み電圧パルスの電圧値の絶対値よりも大きくし、且つ、第1消去電圧パルスの電圧値の絶対値を第2消去電圧パルスの電圧値の絶対値よりも大きくしている。これにより、安定した高速動作及び良好なエンデュランス特性を実現することができる。

【0179】

なお、本実施の形態の不揮発性記憶装置においても、前述の実施の形態の不揮発性記憶装置について行った説明と同様にして、初期処理としての第1書き込み過程および第1消去過程を、全てのメモリセルに対して自律的に実行してもよい。

30

【0180】

〔その他の実施の形態〕

上記の各実施の形態において、抵抗変化層はタンタル酸化物の積層構造で構成されていたが、本発明はこれに限定されるわけではない。例えば、ハフニウム(Hf)酸化物の積層構造またはジルコニウム(Zr)酸化物の積層構造などであってもよい。

【0181】

ハフニウム酸化物の積層構造を採用する場合は、第1ハフニウム酸化物の組成をHfO_xとし、第2ハフニウム酸化物の組成をHfO_yとすると、第1、第2ハフニウム酸化物ともに化学量論組成に対して酸素不足型の組成とし、xが0.9以上1.6以下程度であって、yが1.89以上1.97以下程度であることが好ましい。

40

【0182】

また、ジルコニウム酸化物の積層構造を採用する場合は、第1ジルコニウム酸化物の組成をZrO_xとし、第2ジルコニウム酸化物の組成をZrO_yとすると、第1、第2ジルコニウム酸化物ともに化学量論組成に対して酸素不足型の組成とし、xが0.9以上1.4以下程度であって、yが1.8以上2以下程度であることが好ましい。

【0183】

上記の酸素不足型ハフニウム酸化物および酸素不足型ジルコニウム酸化物は、上述した実施形態にて説明した酸素不足型タンタル酸化物と同様の製造方法で作成することができ

50

る。

【0184】

なお、遷移金属酸化物の組成は、オージェ電子分光分析法 (AES: Auger Electron Spectroscopy)、X線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy)、あるいはラザフォード後方散乱分析 (RBS: Rutherford Backscattering Spectrometry) 等を用いることにより分析できるが、組成の絶対値をもっとも正確に分析できる手法は、RBS法である。上記のハフニウム酸化物やジルコニウム酸化物においても、各遷移金属酸化物の組成分析は、RBS法を用いて行った。

【産業上の利用可能性】

10

【0185】

本発明の抵抗変化素子の駆動方法及び不揮発性記憶装置はそれぞれ、パーソナルコンピュータまたは携帯型電話機などの種々の電子機器に用いられる抵抗変化素子の駆動方法及び記憶装置などとして有用である。

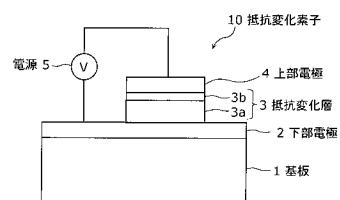
【符号の説明】

【0186】

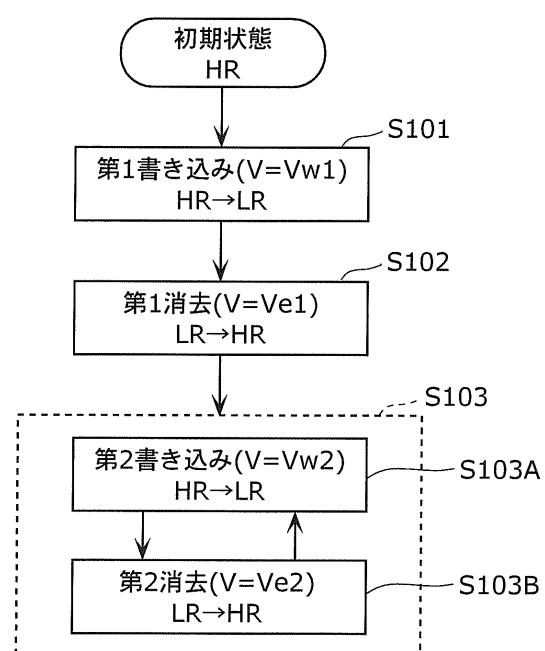
1	基板	
2	下部電極	
3	抵抗変化層	
3 a	第1タンタル酸化物層	20
3 b	第2タンタル酸化物層	
4	上部電極	
5	電源	
10	抵抗変化素子	
11	第1端子	
12	第2端子	
100	不揮発性記憶装置	
101	メモリアレイ	
102	アドレスバッファ	
103	制御部	30
104	行デコーダ	
105	ワード線ドライバ	
106	列デコーダ	
107	ビット線ドライバ	
108	駆動部	
W101、W102、W103	ワード線	
B101、B102、B103	ビット線	
MC111、MC112、MC113、MC121、MC122、MC123、MC1		
31、MC132、MC133	メモリセル	
D111、D112、D113、D121、D122、D123、D131、D132		40
、D133	電流制限素子	
200	不揮発性記憶装置	
201	メモリアレイ	
202	アドレスバッファ	
203	制御部	
204	行デコーダ	
205	ワード線ドライバ	
206	列デコーダ	
207	ビット線／プレート線ドライバ	
208	駆動部	50

W 2 0 1、W 2 0 2 ワード線
 B 2 0 1、B 2 0 2 ビット線
 P 2 0 1、P 2 0 2 プレート線
 M C 2 1 1、M C 2 1 2、M C 2 2 1、M C 2 2 2 メモリセル
 T 2 1 1、T 2 1 2、T 2 2 1、T 2 2 2 トランジスタ

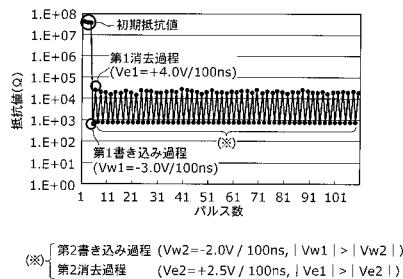
【図 1】



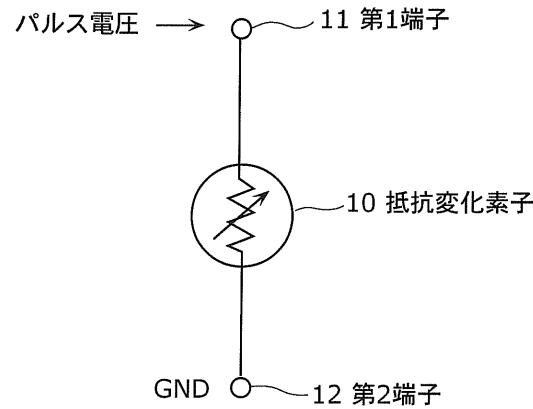
【図 2】



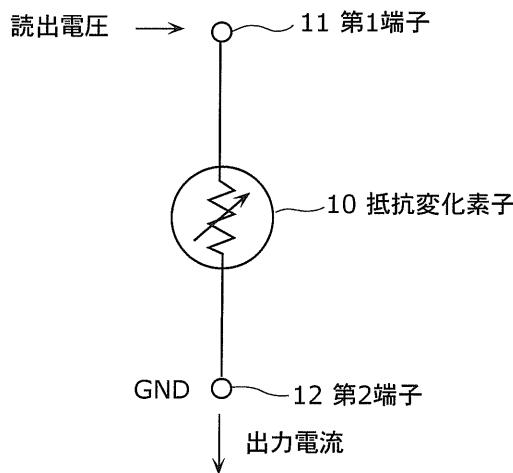
【図3】



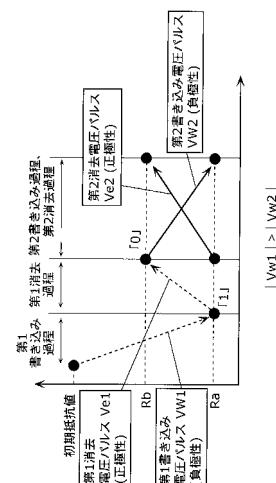
【図4】



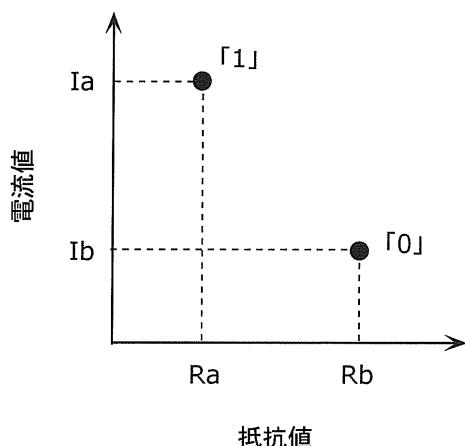
【図6】



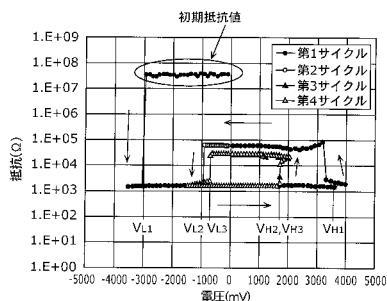
【図5】



【図7】

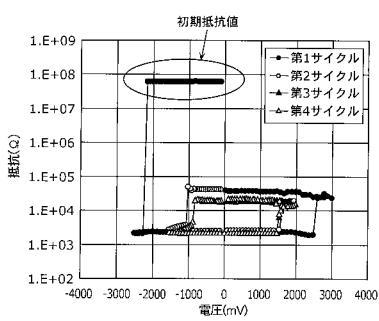


【図8A】



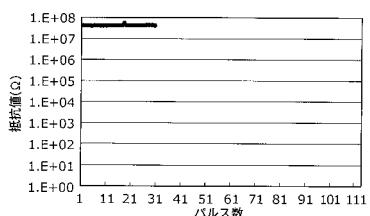
第1タンタル酸化物層3aの組成 TaOx ($x=1.54$)
 第2タンタル酸化物層3bの組成 TaOy ($y=2.47$)
 抵抗変化層3の厚み 30nm
 第1タンタル酸化物層3aの厚み 22nm
 第2タンタル酸化物層3bの厚み 8nm

【図8B】



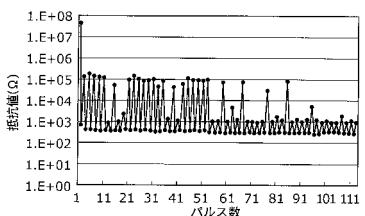
第1タンタル酸化物層3aの組成 TaOx ($x=1.54$)
 第2タンタル酸化物層3bの組成 TaOy ($y=2.47$)
 抵抗変化層3の厚み 50nm
 第1タンタル酸化物層3aの厚み 45nm
 第2タンタル酸化物層3bの厚み 5nm

【図11】



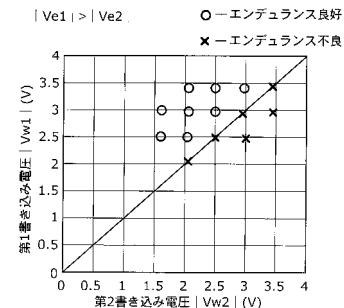
第1書き込み電圧Vw1=第2書き込み電圧Vw2=-2.0V / 100ns
 第1消去電圧Ve1=第2消去電圧Ve2=+2.5V / 100ns

【図12】



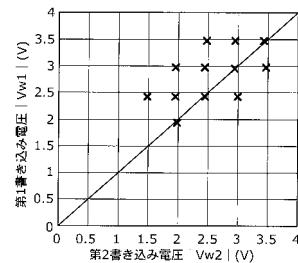
第1書き込み電圧Vw1=第2書き込み電圧Vw2=-3.0V / 100ns
 第1消去電圧Ve1=第2消去電圧Ve2=+4.0V / 100ns

【図9】

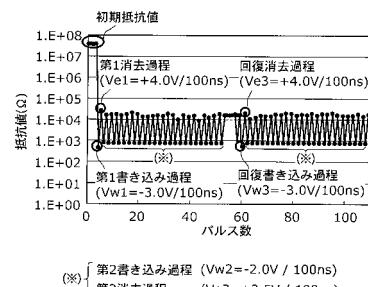


【図10】

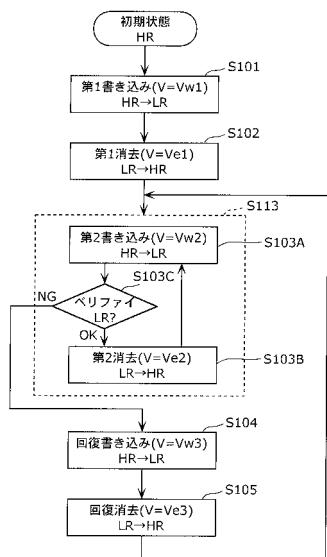
○—エンデュランス良好
 ×—エンデュランス不良



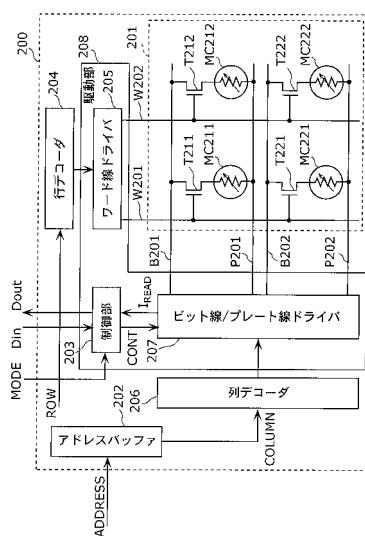
【図13】



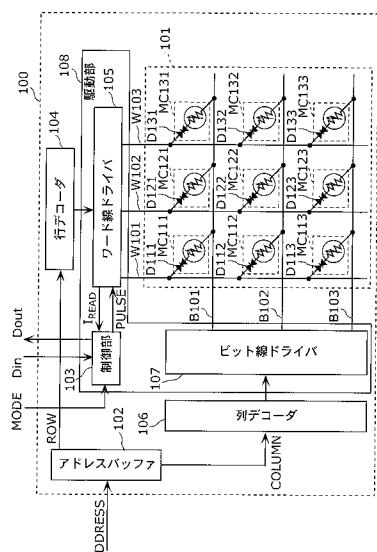
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 片山 幸治

日本国大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 高野 芳徳

(56)参考文献 特開2007-004873 (JP, A)

特開2007-004849 (JP, A)

国際公開第2008/149484 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G11C 13/00