



(12) 发明专利申请

(10) 申请公布号 CN 103632699 A

(43) 申请公布日 2014. 03. 12

(21) 申请号 201310080018. 2

(22) 申请日 2013. 03. 13

(66) 本国优先权数据

201210300241. 9 2012. 08. 22 CN

(71) 申请人 成都海存艾匹科技有限公司

地址 610041 四川省成都市高新区永丰路 6 号 B-36

(72) 发明人 张国飙

(51) Int. Cl.

G11C 5/02(2006. 01)

G11C 29/42(2006. 01)

H01L 25/065(2006. 01)

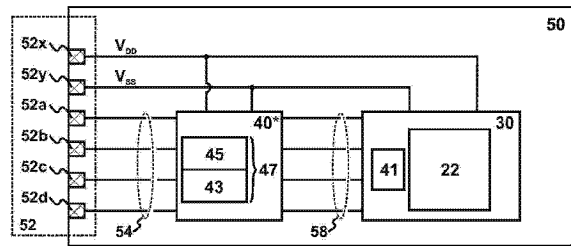
权利要求书2页 说明书6页 附图7页

(54) 发明名称

含有地址 / 数据变换器芯片的三维存储器

(57) 摘要

本发明提出一种含有地址 / 数据变换器芯片的三维存储器,它含有至少一单独的三维阵列芯片 (30) 和一单独的地址 / 数据变换器芯片 (40\*)。三维阵列芯片 (30) 含有多个三维存储阵列 (22aa...),地址 / 数据变换器芯片 (40\*) 将主机的地址 / 数据 (54) 与三维阵列芯片 (30) 的地址 / 数据 (58) 相互转换。该三维存储器支持多个三维阵列芯片 (30a, 30b... )。



1. 一种三维存储器 (50), 其特征在于包括:

一三维阵列芯片 (30), 该三维阵列芯片 (30) 含有至少一三维存储阵列 (22aa...), 该三维存储阵列 (22aa...) 含有多个相互堆叠的存储层 (16A, 16B...);

一地址/数据转换器芯片 (40\*), 该地址/数据转换器芯片 (40\*) 含有至少一地址转换器 (43), 该地址转换器 (43) 将主机的地址 (54A) 与该三维阵列芯片 (30) 的地址 (58A) 相互转换;

所述三维阵列芯片 (30) 和所述地址/数据转换器芯片 (40\*) 为两个不同的芯片。

2. 一种三维存储器 (50), 其特征在于包括:

一三维阵列芯片 (30), 该三维阵列芯片 (30) 含有至少一三维存储阵列 (22aa...), 该三维存储阵列 (22aa...) 含有多个相互堆叠的存储层 (16A, 16B...);

一地址/数据转换器芯片 (40\*), 该地址/数据转换器芯片 (40\*) 含有至少一数据转换器 (45), 该数据转换器 (45) 将主机的数据 (54D) 与该三维阵列芯片 (30) 的数据 (58D) 相互转换;

所述三维阵列芯片 (30) 和所述地址/数据转换器芯片 (40\*) 为两个不同的芯片。

3. 一种三维存储器 (50), 其特征在于包括:

第一和第二三维阵列芯片 (30a, 30b), 该第一和第二三维阵列芯片 (30a, 30b) 分别含有至少一三维存储阵列 (22aa...), 该三维存储阵列 (22aa...) 含有多个相互堆叠的存储层 (16A, 16B...);

一地址/数据转换器芯片 (40\*), 该地址/数据转换器芯片 (40\*) 含有至少一地址/数据转换器 (47), 该地址/数据转换器 (47) 将主机的地址 (54A) 与该第一和第二三维阵列芯片 (30a, 30b) 的地址 (58A) 相互转换;

所述第一、第二三维阵列芯片 (30a, 30b) 和所述地址/数据转换器芯片 (40\*) 为三个不同的芯片。

4. 一种三维存储器 (50), 其特征在于包括:

第一和第二三维阵列芯片 (30a, 30b), 该第一和第二三维阵列芯片 (30a, 30b) 分别含有至少一三维存储阵列 (22aa...), 该三维存储阵列 (22aa...) 含有多个相互堆叠的存储层 (16A, 16B...);

一地址/数据转换器芯片 (40\*), 该地址/数据转换器芯片 (40\*) 含有至少一地址/数据转换器 (47), 该地址/数据转换器 (47) 将主机的数据 (54D) 与该第一和第二三维阵列芯片 (30a, 30b) 的数据 (58D) 相互转换;

所述第一、第二三维阵列芯片 (30a, 30b) 和所述地址/数据转换器芯片 (40\*) 为三个不同的芯片。

5. 根据权利要求 1 所述的存储器, 其特征还在于: 该地址转换器 (43) 含有地址映射表 (82)、故障块表 (84) 和磨损管理表 (86) 中的至少一种。

6. 根据权利要求 2 所述的存储器, 其特征还在于: 该数据转换器 (45) 含有 ECC 编码器 (96) 和 ECC 解码器 (98) 中的至少一种。

7. 根据权利要求 1-4 所述的存储器, 其特征还在于: 该三维阵列芯片 (30) 还含有至少一串行器-解串器 (49)。

8. 根据权利要求 1-4 所述的存储器, 其特征还在于: 所述三维存储器含有三维只读

存储器(3D-ROM)、三维随机读取存储器(3D-RAM)、memristor、resistive random-access memory (RRAM 或 ReRAM)、phase-change memory (PCM)、programmable metallization memory (PMM) 和 conductive-bridging random-access memory (CBRAM) 中的至少一种。

9. 根据权利要求 1 - 4 所述的存储器,其特征还在于:所述三维存储器是存储卡、固态硬盘、多芯片封装和多芯片组件中的至少一种。

10. 根据权利要求 1 - 4 所述的存储器,其特征还在于:所述三维阵列芯片的阵列效率大于 40%。

## 含有地址 / 数据变换器芯片的三维存储器

### 技术领域

[0001] 本发明涉及集成电路存储器领域,更确切地说,涉及三维存储器(3D-M)。

### 背景技术

[0002] 三维存储器(3D-M)是一种单片(monolithic)半导体存储器,它含有多个相互堆叠的存储层。3D-M包括三维只读存储器(3D-ROM)和三维随机读取存储器(3D-RAM)。3D-ROM可以进一步划分为三维掩膜编程只读存储器(3D-MPROM)和三维电编程只读存储器(3D-EPROM)。基于其编程机制,3D-M可以含有memristor、resistive random-access memory (RRAM 或 ReRAM)、phase-change memory (PCM)、programmable metallization memory (PMM)、或conductive-bridging random-access memory (CBRAM)。

[0003] 美国专利5,835,396披露了一种3D-M,即3D-ROM。如图1A所示,3D-M芯片20含有一衬底层0K及多个堆叠于衬底层0K上并相互堆叠的存储层16A、16B。衬底层0K含有晶体管0t及其互连线0i。其中,晶体管0t形成在半导体衬底0中;互连线0i含有衬底金属层0M1、0M2,它位于衬底0上方,但位于最低存储层16A下方。存储层(如16A)通过接触通道孔(如1av)与衬底层0K耦合。

[0004] 每个存储层(如16A)含有多条顶地址线(如2a)、底地址线(如1a)和存储元(如5aa)。存储元可以采用二极管、晶体管或别的器件。在各种存储元中,采用二极管的存储元尤其重要;其面积最小,仅为 $4F^2$ (F为最小特征尺寸)。二极管存储元一般形成在顶地址线和底地址线的交叉点处,从而构成一交叉点(cross-point)阵列。这里,二极管泛指任何具有如下特征的二端器件:当其外加电压的数值小于读电压或外加电压的方向与读电压相反时,其电阻远大于其在读电压下的电阻。二极管的例子包括半导体二极管(如p-i-n硅二极管等)和金属氧化物二极管(如氧化钛二极管、氧化镍二极管等)等。

[0005] 存储层16A、16B构成至少一三维存储阵列16,而衬底层0K则含有三维存储阵列16的周边电路。其中,一部分周边电路位于三维存储阵列下方,它们被称为阵列下周边电路;另一部分周边电路位于三维存储阵列外边,它们被称为阵列外周边电路18。由于阵列外周边电路18上方的空间17不含有存储元,该空间实际上被浪费了。

[0006] 美国专利7,388,476披露了一种集成3D-M芯片20,它能直接使用由主机提供的电源电压23,并直接与主机交换地址/数据27。这里,主机是直接使用该芯片20的设备,主机使用的地址/数据27是逻辑地址/数据。

[0007] 如图1B所示,集成3D-M芯片20含有一3D-M核心区域22和一中间电路区域28。3D-M核心区域22含有多个三维存储阵列(如22aa、22ay)及其解码器(如24、24G)。这些解码器24包括本地解码器24和整体解码器24G。其中,本地解码器24对单个三维存储阵列的地址/数据进行解码,整体解码器24G将整体地址/数据25解码至单个三维存储阵列中。注意到,3D-M核心区域22的地址/数据25是物理地址/数据。

[0008] 中间电路区域28含有介于3D-M核心区域22和主机之间的中间电路。中间电路28为3D-M核心区域22与主机之间实现电压、数据、地址转换。例如,它将电源电压23转

换成读电压  $V_r$  或 / 和写(编程) 电压  $V_w$ , 将逻辑地址 / 数据 27 与物理地址 / 数据 25 相互转换。中间电路 28 含有读 / 写电压产生器 21 和地址 / 数据转换器 29。其中, 地址 / 数据转换器 29 包括错误检验和校正电路(ECC) 29E、页寄存器 29P 和智能写控制器 29W 等。ECC 电路 29E 对从三维存储阵列中读出的数据进行 ECC 解码, 同时进行错误检验和校正(参考美国专利 6, 591, 394); 页寄存器 29P 在主机和三维存储阵列之间起临时存储数据的功能, 它还能对数据进行 ECC 编码(参考美国专利 8, 223, 525); 智能写控制器 29W 在编程过程中监控写错误, 一旦写错误发生, 则启动自修复机制以将数据写入到冗余行中(参考美国专利 7, 219, 271)。现有技术的集成 3D-M 芯片 20 在芯片内部实现电压、数据、地址转换。

[0009] 一般说来, 中间电路 28 是阵列外周边电路 18。由于中间电路在 3D-M 芯片 20 中占用了大量芯片面积, 现有技术的集成 3D-M 芯片 20 具有较低的阵列效率。这里, 阵列效率定义为总存储面积(即用于存储用户数据的芯片面积)和总芯片面积之比。在 3D-M 中, 总存储面积  $A_M$  是位于用户可用数据位(即不包括用户不能使用的数据位)下方的芯片面积, 它可以表达为:  $A_M = A_c * C_L = (4F^2) * C_{3D-M} / N$ 。其中,  $A_c$  为单个存储元所占的芯片面积,  $C_L$  是一个存储层所存储的数据量,  $F$  是地址线的半周期,  $C_{3D-M}$  是 3D-M 的存储容量,  $N$  是 3D-M 中所有存储层的数目。以下段落以两个 3D-M 为例, 来计算其阵列效率。

[0010] 第一个 3D-M 的例子是三维一次编程存储器(3D-OTP)(参见 Crowley 等著《512Mb PROM with 8 layers of antifuse/diode cells》, 2003 年国际固态电路会议, 图 16. 4. 5)。该 3D-OTP 芯片的存储容量为 512Mb, 它含有 8 个存储层, 并采用 0. 25um 的生产工艺。其总存储面积为  $(4 * 0. 25um^2) * 512Mb / 8 = 16mm^2$ 。由于总芯片面积为  $48. 3mm^2$ , 该 3D-OTP 芯片的阵列效率为  $\sim 33\%$ 。

[0011] 第二个 3D-M 的例子是三维电阻式存储器(3D-ReRAM)(参见 Liu 等著《A 130. 7mm<sup>2</sup> 2-Layer 32Gb ReRAM Memory Device in 24nm Technology》, 2013 年国际固态电路会议, 图 12. 1. 7)。该 3D-ReRAM 芯片的存储容量为 32Gb, 它含有 2 个存储层, 并采用 24nm 的生产工艺。其总存储面积为  $(4 * 24nm^2) * 32Gb / 2 = 36. 8mm^2$ 。由于总芯片面积为  $130. 7mm^2$ , 该 3D-ReRAM 芯片的阵列效率为  $\sim 28\%$ 。

[0012] 在现有技术的集成 3D-M 芯片 20 中, 三维存储阵列与所有中间电路组件(包括读 / 写电压产生器和地址 / 数据转换器) 集成在一个芯片上。集成 3D-M 基于集成电路的主流观点, 即集成能降低成本。不幸的是, 该观点对 3D-M 不成立。由于三维存储阵列采用了繁复的后端工艺, 而中间电路的后端工艺较简单, 因此盲目地将中间电路和三维存储阵列集成的直接结果就是不得不用制造三维存储阵列的昂贵工艺流程来制造中间电路, 这不仅不能降低成本, 反而会增加成本。此外, 由于中间电路只能采用与三维存储阵列同样数目的金属层(如仅为两层), 故中间电路的设计比较麻烦, 其所需的芯片面积较大。另一方面, 由于 3D-M 存储元一般会经过高温工艺, 中间电路需要采用耐高温的互连线材料, 如钨(W) 等, 这些材料会使 3D-M 的整体性能下降。

## 发明内容

[0013] 本发明的主要目的是提供一种更为廉价的三维存储器(3D-M)。

[0014] 本发明的另一目的是提供一种性能优异的 3D-M。

[0015] 本发明的另一目的是提高三维阵列芯片的阵列效率。

[0016] 为了实现这些以及别的目的,本发明遵从如下指导原则:将三维电路和二维电路分离到不同芯片,以便将它们分别优化;为了提高阵列效率,应尽量避免在三维阵列芯片中转换地址和数据。相应地,本发明提出一种含有地址/数据转换器芯片的分离三维存储器(分离 3D-M),它含有至少一三维阵列芯片(三维电路)和至少一地址/数据转换器芯片(二维电路)。三维阵列芯片构建在三维空间中并含有多个功能层(即存储层),地址/数据转换器芯片构建在二维空间中并只含有一个功能层。将三维电路和二维电路分离到不同芯片中可以将它们分别优化。这里,地址/数据转换器将主机的地址(即逻辑地址)或/和数据(即逻辑数据)与三维阵列芯片的地址(即物理地址)或/和数据(即物理数据)相互转换。由于三维阵列芯片不含地址/数据转换器,故其阵列效率可以大于 40%。分离 3D-M 支持多个三维阵列芯片,它可以用于大容量 3D-M 存储卡和 3D-M 固态硬盘。

[0017] 由于地址/数据转换器芯片可以采用独立的、廉价工艺流程来制造,其晶片成本比三维阵列芯片低很多。因此对于相同的存储容量,分离 3D-M 的总成本低于集成 3D-M。此外,由于地址/数据转换器芯片中金属层的数目不再受三维阵列芯片的限制,它可以含有更多的金属层(如从两层金属增加到四层金属),因此其设计更为简单,而且所需的芯片面积更小。另外,由于地址/数据转换器芯片不需要经过高温工艺,其互连线可以使用高速互连线材料,如铜(Cu)等,这些材料可以提高 3D-M 的整体性能。

[0018] 相应地,本发明提出一种三维存储器(50),其特征在于包括:一三维阵列芯片(30),该三维阵列芯片(30)含有至少一三维存储阵列(22aa...),该三维存储阵列(22aa...)含有多个相互堆叠的存储层(16A, 16B...);一地址/数据转换器芯片(40\*),该地址/数据转换器芯片(40\*)含有至少一地址转换器(43),该地址转换器(43)将主机的地址(54A)与该三维阵列芯片(30)的地址(58A)相互转换;所述三维阵列芯片(30)和所述地址/数据转换器芯片(40\*)为两个不同的芯片。

[0019] 本发明还提出一种三维存储器(50),其特征在于包括:一三维阵列芯片(30),该三维阵列芯片(30)含有至少一三维存储阵列(22aa...),该三维存储阵列(22aa...)含有多个相互堆叠的存储层(16A, 16B...);一地址/数据转换器芯片(40\*),该地址/数据转换器芯片(40\*)含有至少一数据转换器(45),该数据转换器(45)将主机的数据(54D)与该三维阵列芯片(30)的数据(58D)相互转换;所述三维阵列芯片(30)和所述地址/数据转换器芯片(40\*)为两个不同的芯片。

[0020] 本发明进一步提出一种三维存储器(50),其特征在于包括:第一和第二三维阵列芯片(30a, 30b),该第一和第二三维阵列芯片(30a, 30b)分别含有至少一三维存储阵列(22aa...),该三维存储阵列(22aa...)含有多个相互堆叠的存储层(16A, 16B...);一地址/数据转换器芯片(40\*),该地址/数据转换器芯片(40\*)含有至少一地址/数据转换器(47),该地址/数据转换器(47)将主机的地址(54A)与该第一和第二三维阵列芯片(30a, 30b)的地址(58A)相互转换;所述第一、第二三维阵列芯片(30a, 30b)和所述地址/数据转换器芯片(40\*)为三个不同的芯片。

[0021] 本发明还进一步提出一种三维存储器(50),其特征在于包括:第一和第二三维阵列芯片(30a, 30b),该第一和第二三维阵列芯片(30a, 30b)分别含有至少一三维存储阵列(22aa...),该三维存储阵列(22aa...)含有多个相互堆叠的存储层(16A, 16B...);一地址/数据转换器芯片(40\*),该地址/数据转换器芯片(40\*)含有至少一地址/数据转换器

(47), 该地址 / 数据转换器 (47) 将主机的数据 (54D) 与该第一和第二三维阵列芯片 (30a, 30b) 的数据 (58D) 相互转换; 所述第一、第二三维阵列芯片 (30a, 30b) 和所述地址 / 数据转换器芯片 (40\*) 为三个不同的芯片。

### 附图说明

[0022] 图 1A 是一种现有技术中三维存储器 (3D-M) 的截面图; 图 1B 是一种集成 3D-M 芯片 (现有技术) 的系统构架。

[0023] 图 2A — 图 2B 是两种含有地址 / 数据转换器芯片的分离 3D-M 之电路框图。

[0024] 图 3A 是一种分离 3D-M 中三维阵列芯片的截面图; 图 3B 是其地址 / 数据转换器芯片的截面图。

[0025] 图 4A — 图 4C 是三种分离 3D-M 的截面图。

[0026] 图 5A — 图 5B 是两种地址 / 数据转换器的电路框图。

[0027] 注意到, 这些附图仅是概要图, 它们不按比例绘图。为了显眼和方便起见, 图中的部分尺寸和结构可能做了放大或缩小。在不同实施例中, 相同的符号一般表示对应或类似的结构。

### 具体实施方式

[0028] 在本发明中, “/” 表示 “和” 或 “或” 的关系。例如, 读 / 写电压产生器表示它可以只产生读电压、或只产生写电压、或同时产生读电压和写电压; 地址 / 数据转换器表示它可以只转换地址、或只转换数据、或同时转换地址和电压。

[0029] 图 2A — 图 2B 表示两种含有地址 / 数据转换器芯片的分离 3D-M 50。这些实施例均含有至少一三维阵列芯片 (三维电路) 和至少一地址 / 数据转换器芯片 (二维电路)。其中, 三维阵列芯片构建在三维空间中并含有多个功能层 (即存储层), 地址 / 数据转换器芯片构建在二维空间中并只含有一个功能层。将三维电路和二维电路分离到不同芯片中可以将它们分别优化。

[0030] 分离 3D-M 50 包括一能与各种主机实现物理连接、并按照一种通讯标准通讯的接口 52。接口 52 包括多个接触端 52x、52y、52a — 52b, 它们能与主机插口对应的接触端耦合。例如, 主机分别通过电源端 52x 和接地端 52y 为分离 3D-M 50 提供电源电压  $V_{DD}$  和接地电压  $V_{SS}$ ; 主机通过信号端 52a — 52d 与分离 3D-M 50 交换地址 / 数据。由于这些地址 / 数据直接被主机使用, 它们是逻辑地址 / 数据。

[0031] 图 2A 中的分离 3D-M 50 是一 3D-M 存储卡。它含有一单独的三维阵列芯片 (三维电路) 30 和一单独的地址 / 数据转换器芯片 (二维电路) 40\*。三维阵列芯片 30 含有如图 1B 中的 3D-M 核心区域 22, 它含有多个三维存储阵列 (如 22aa、22ay) 及其解码器 (如 24、24G)。三维阵列芯片 30 还含有一读 / 写电压产生器 41, 它为 3D-M 核心区域 22 产生读电压和写电压。地址 / 数据转换器芯片 40\* 含有一地址 / 数据转换器 47, 该地址 / 数据转换器 47 含有地址转换器 43 和数据转换器 45。其中, 地址转换器 43 将外部总线 54 (包括来自接触端 52a — 52d 上的信号) 上的逻辑地址与内部总线 58 上的物理地址相互转换; 数据转换器 45 将外部总线 54 上的逻辑数据与内部总线 58 上的物理数据相互转换。这里, 地址 / 数据转换器 47 可以仅实现地址转换、或仅实现数据转换、或同时实现地址和数据转换。由于三维

阵列芯片 30 不含地址 / 数据转换器 47, 其阵列效率可以大于 40%。

[0032] 由于地址 / 数据转换器芯片 40\* 可以采用独立的、廉价工艺流程来制造, 其晶片成本比三维阵列芯片 30 低很多。作为一个简单的估算, 假如地址 / 数据转换器芯片 40\* 的晶片成本是三维阵列芯片 30 的一半, 且阵列效率由集成 3D-M 芯片 20 的 30% 提高到三维阵列芯片 30 的 40%, 那么对于相同的存储容量, 分离 3D-M 50 的总成本是集成 3D-M 20 的 ~88%。

[0033] 图 2B 中的分离 3D-M 50 是一大容量 3D-M 存储卡或一 3D-M 固态硬盘。它含有一单独的地址 / 数据转换器芯片 40\* 和两个三维阵列芯片 30a、30b。地址 / 数据转换器芯片 40\* 含有地址 / 数据转换器 47, 它包括两个地址 / 数据转换器 47a、47b, 每个地址 / 数据转换器(如 47a) 为一个三维阵列芯片(如 30a) 实现地址数据 / 转换。虽然本实施例仅有两个三维阵列芯片, 对于熟悉本专业的人士来说, 大容量 3D-M 存储卡和 3D-M 固态硬盘可以含有更多三维阵列芯片。

[0034] 图 3A — 图 3B 是分离 3D-M 50 中三维阵列芯片 30 和地址 / 数据转换器芯片 40\* 的截面图。在图 3A 中的三维阵列芯片 30 形成在三维空间中, 并含有多个功能层, 包括衬底层 0K 和存储层 16A、16B。衬底层 0K 含有晶体管 0t 及其互连线 0iA。晶体管 0t 形成在三维阵列衬底 0A 上, 互连线 0iA 包括两个衬底金属层 0M1、0M2。为了适应制造存储元(如 5aa) 所需的高温工艺, 衬底金属层 0M1、0M2 最好采用高温互连线材料, 如钨(W) 等。这里, 存储层 16A、16B 与图 1A 中的 3D-M 20 类似。

[0035] 图 3B 中的地址 / 数据转换器芯片 40\* 形成在二维空间中, 并只含有一个功能层, 即衬底层 0K'。衬底层 0K' 包括晶体管 0t 及其互连线 0iB。晶体管 0t 形成在地址 / 数据转换器衬底 0B 上, 互连线 0iB 包括四个金属层 0M1' — 0M4'。由于三维阵列芯片 30 和地址 / 数据转换器芯片 40\* 为两个单独芯片, 地址 / 数据转换器芯片 40\* 可以采用独立的、廉价工艺流程来制造, 而非采用昂贵的、制造三维阵列芯片 30 的工艺来制造。因此, 地址 / 数据转换器芯片 40\* 的晶片成本比三维阵列芯片 30 低很多。

[0036] 由于是一个单独芯片, 地址 / 数据转换器芯片 40\* 可以比集成 3D-M 芯片 20 具有更多的金属层(如从两层金属增加到四层金属), 因此地址 / 数据转换器的设计更为简单, 且所需的芯片面积要小。此外, 由于地址 / 数据转换器芯片 40\* 的金属层 0M1' — 0M4' 不需要经历高温工艺, 其互连线 0iB 可以采用高性能互连线材料, 如铜(Cu)。这些材料可以提高地址 / 数据转换器芯片 40\* 的功能, 也能相应地提高 3D-M 的整体性能。

[0037] 图 4A — 图 4C 是三种分离 3D-M 50 的截面图。图 4A — 图 4B 中的分离 3D-M 50 是一种多芯片封装(MCP)。其中, 图 4A 中的 3D-M 多芯片封装 50 含有两个单独的芯片: 一三维阵列芯片 30 和一地址 / 数据转换器芯片 40\*。芯片 30、40\* 堆叠在一封装衬底(interposer) 53 上并位于同一封装壳 51 中。引线(bond wire) 55 为芯片 30、40\* 提供电连接。除了引线, 还可以采用焊球(solder bump) 等。为了保证数据安全, 芯片 30、40\* 最好封装在一模塑料(molding compound) 57 内。在本实施例中, 三维阵列芯片 30 堆叠在地址 / 数据转换器芯片 40\* 上。在其它实施例中, 地址 / 数据转换器芯片 40\* 可以堆叠在三维阵列芯片 30 上, 或三维阵列芯片 30 与地址 / 数据转换器芯片 40\* 面对面地堆叠在一起, 或三维阵列芯片 30 和地址 / 数据转换器芯片 40\* 并列放置。该 3D-M 多芯片封装 50 可以采用图 2A 中的电路。

[0038] 图 4B 中的 3D-M 多芯片封装 50 含有至少两个三维阵列芯片 30a、30b 和一地址 /



数据转换器芯片 40\*。这些芯片 30a、30b 和 40\* 是三个单独的芯片。它们位于同一封装壳 51 中。其中,三维阵列芯片 30a 堆叠在三维阵列芯片 30b 之上,三维阵列芯片 30b 堆叠在地址 / 数据转换器芯片 40\* 之上。引线 55 为芯片 30a、30b 和 40\* 提供电连接。该 3D-M 多芯片封装 50 可以采用图 2B 中的电路。

[0039] 图 4C 中的分离 3D-M 是一 3D-M 多芯片组件 (MCM) 50\*, 它含有一个框架 66。该框架 66 含有两个单独的封装: 三维阵列封装 62 和地址 / 数据转换器封装 64。其中, 三维阵列封装 62 含有两个三维阵列芯片 30a、30b, 而地址 / 数据转换器封装 64 含有地址 / 数据转换器芯片 40\*。框架 66 还为三维阵列封装 62 和地址 / 数据转换器封装 64 提供电连接 (此处未画出)。该 3D-M 多芯片组件 50\* 可以采用图 2B 中的电路。

[0040] 图 5A 一图 5B 分别表示地址 / 数据转换器 47 的两个组件: 地址转换器 43 和数据转换器 45。图 5A 表示一种地址转换器 43。它将主机的逻辑地址 54A 转换成 3D-M 核心区域 22 的物理地址 58A。地址转换器 43 含有一个处理器 92 和一存储器 94。存储器 94 存储一地址映射表 82、一故障块表 84 和一磨损管理表 86。这些状态表 82、84、86 平时存储在只读存储器 (ROM) 中。在使用时被加载到随机存取存储器 (RAM) 中。这里, 只读存储器可以一种非易失性存储器 (NVM), 如快闪存储器。对于一个支持多三维阵列芯片 (如图 2D 中的 30a、30b... 30w) 的地址 / 数据转换器 47 来说, 存储器 94 为所有三维阵列芯片 30a、30b... 30w 存储状态表 82、84、86, 它被所有三维阵列芯片 30a、30b... 30w 共享。

[0041] 在存储器 94 的各种状态表 82、84、86 中, 地址映射表 82 存储逻辑地址和物理地址之间的映射; 故障块表 84 存储三维存储阵列中有故障的存储块之地址; 磨损管理表 86 纪录每个存储块读 / 写的次数。这里, “存储块” 是指存储器的分配单元, 其大小可以从一个存储元到一个三维存储阵列中的所有存储元。

[0042] 在读过程中, 一旦处理器 92 接收到需要读出的存储块之逻辑地址 54A, 它从地址映射表 82 中获取相应的物理地址 58A。在写过程中, 一旦处理器 92 接收到需要写入的存储块之逻辑地址 54A, 它从地址映射表 82、故障块表 84 和磨损管理表 86 中选择一未占用、无故障以及较少使用的存储块来写入数据。该被选存储块的地址即为物理地址。

[0043] 图 5B 表示一种数据转换器 45。它将主机的逻辑数据 54D 转换成三维存储阵列的物理数据 58D, 或者将三维存储阵列的物理数据 58D 转换成主机的逻辑数据 54D。数据转换器 45 含有一错误检验校正 (ECC) 编码器 96 和一 ECC 解码器 98。ECC 编码器 96 将输入的逻辑数据 54D 转换成要存储到三维存储阵列的物理数据 58D。ECC 解码器 98 将从三维存储阵列中读出的物理数据 58D 转换成要被输出的逻辑数据 54D。在该过程中, 物理数据 58D 中的错误位被检验和校正。适合 3D-M 的 ECC 编码算法包括 Reed-Solomon 码、Golay 码、BCH 码、多维奇偶码和汉明码等。

[0044] 应该了解, 在不远离本发明的精神和范围的前提下, 可以对本发明的形式和细节进行改动, 这并不妨碍它们应用本发明的精神。因此, 除了根据附加的权利要求书的精神, 本发明不应受到任何限制。

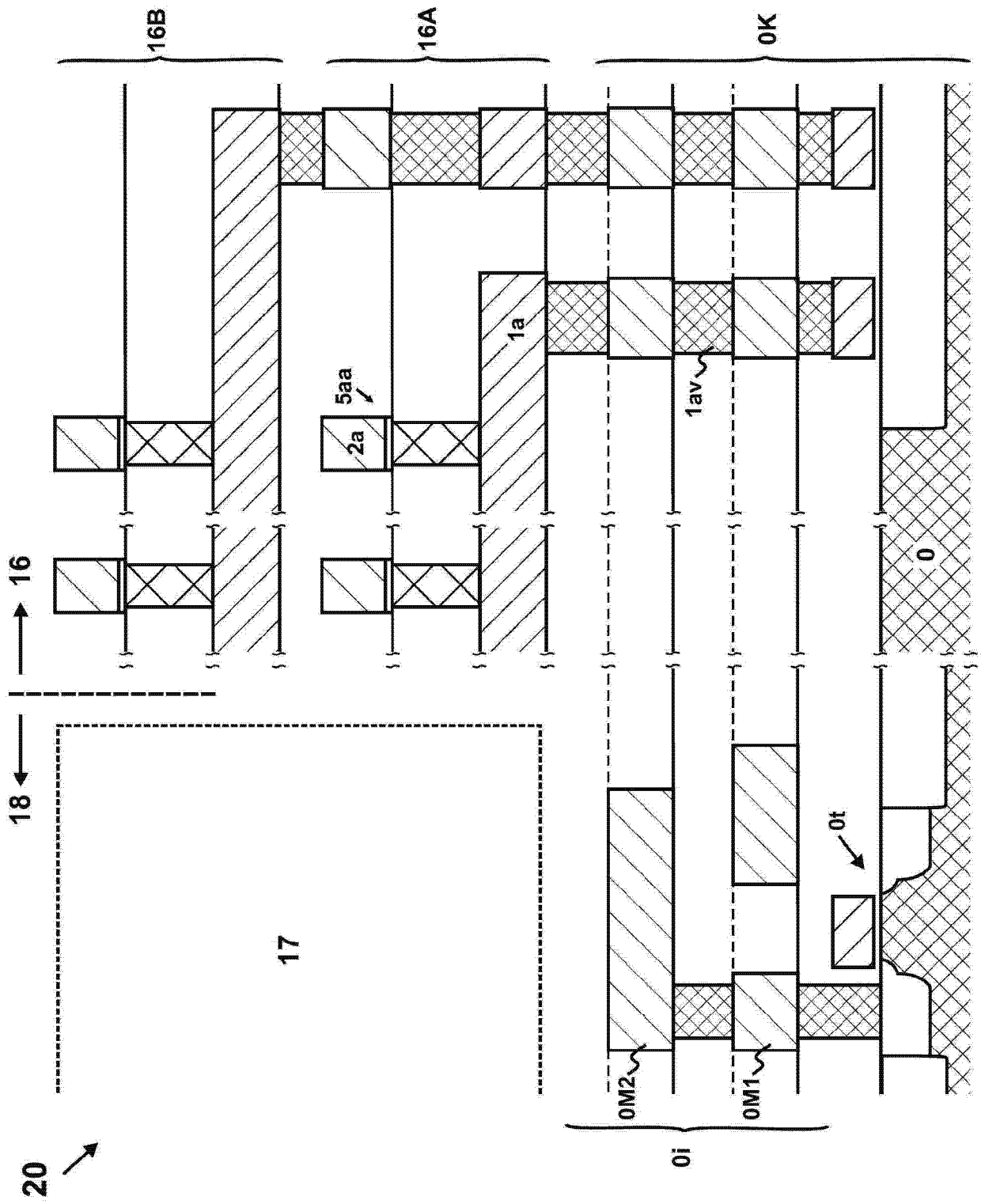


图 1A

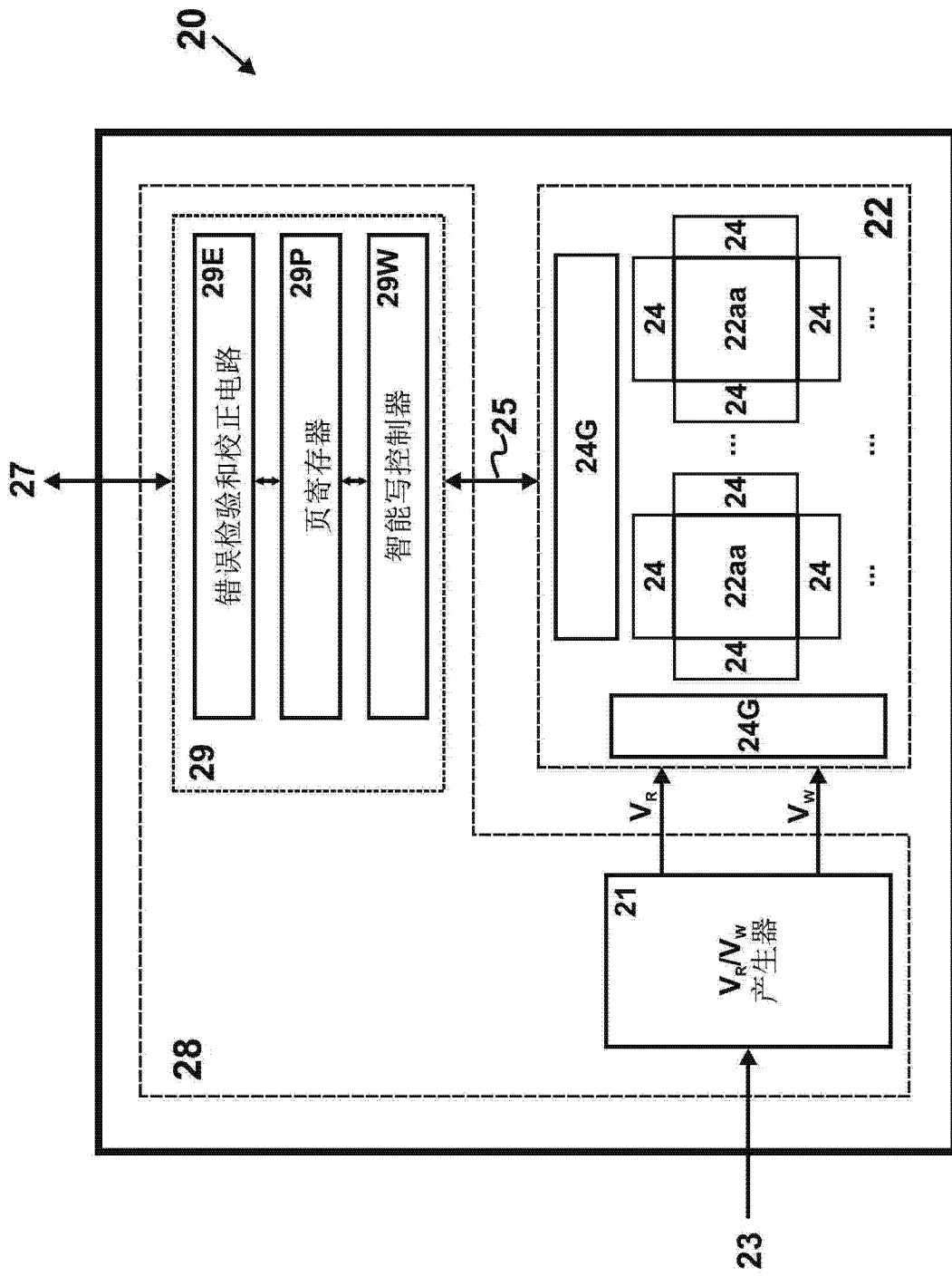


图 1B

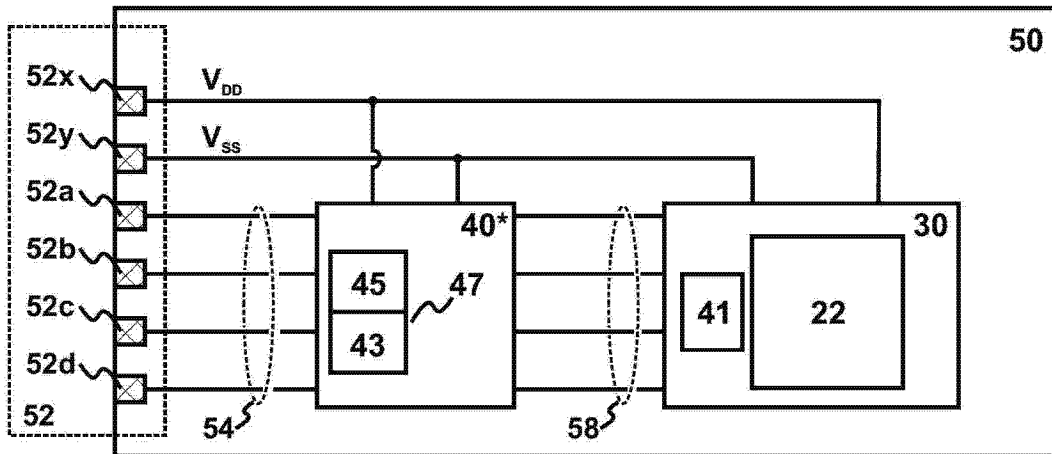


图 2A

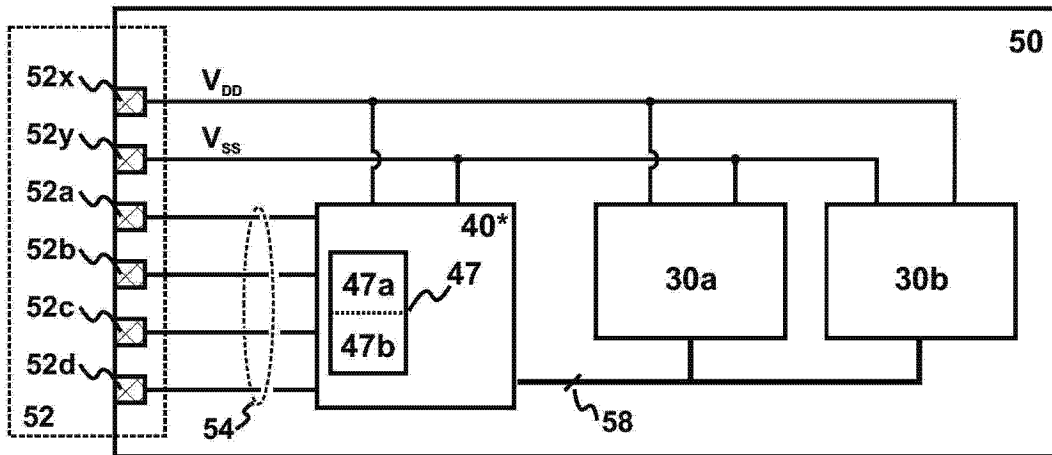


图 2B

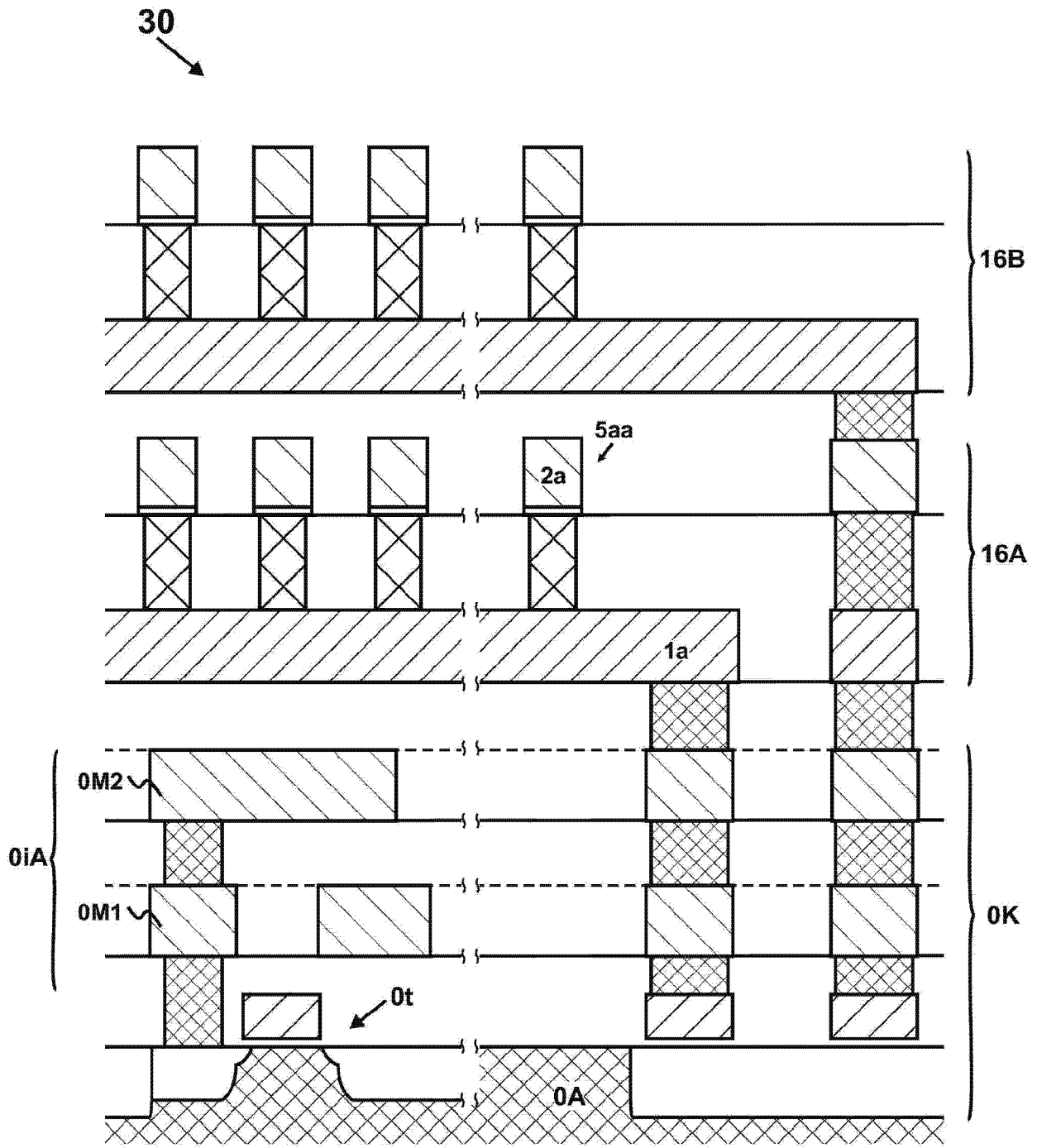


图 3A

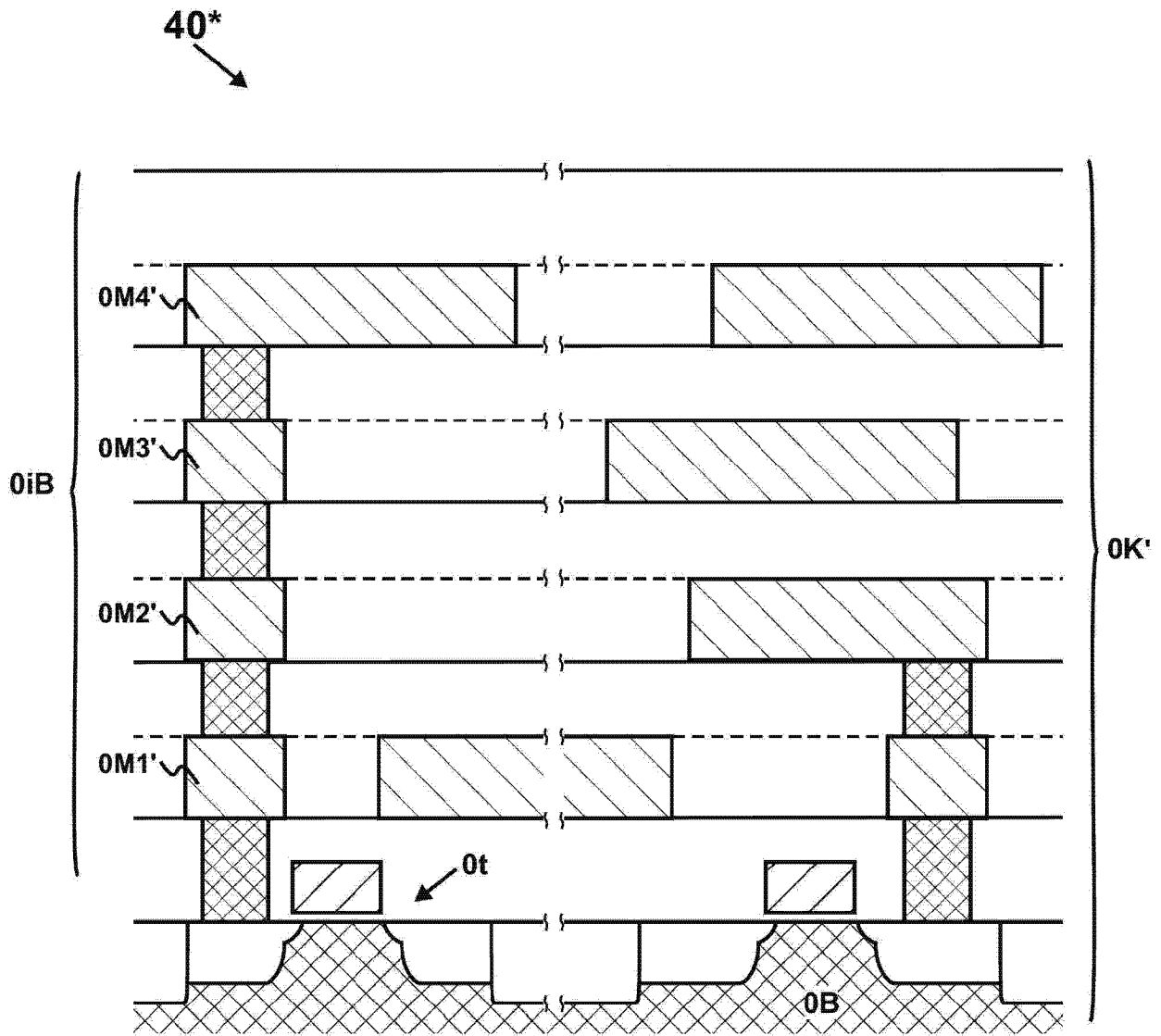


图 3B

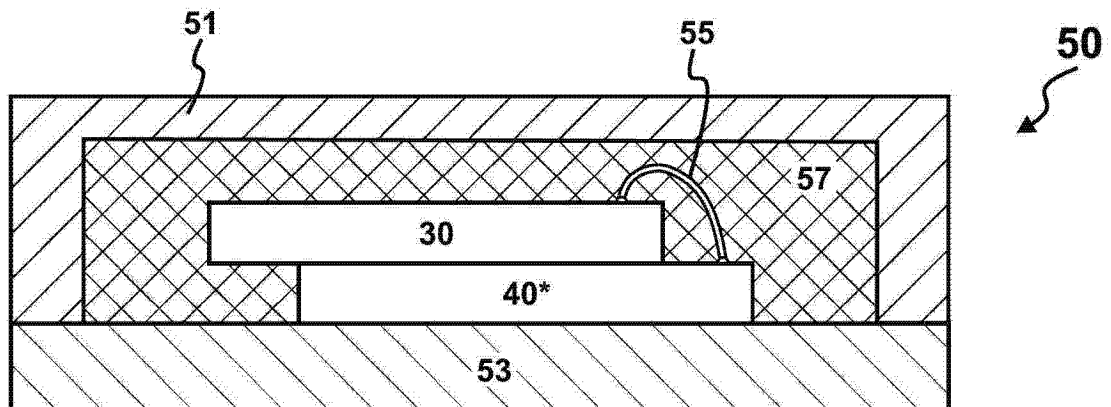


图 4A

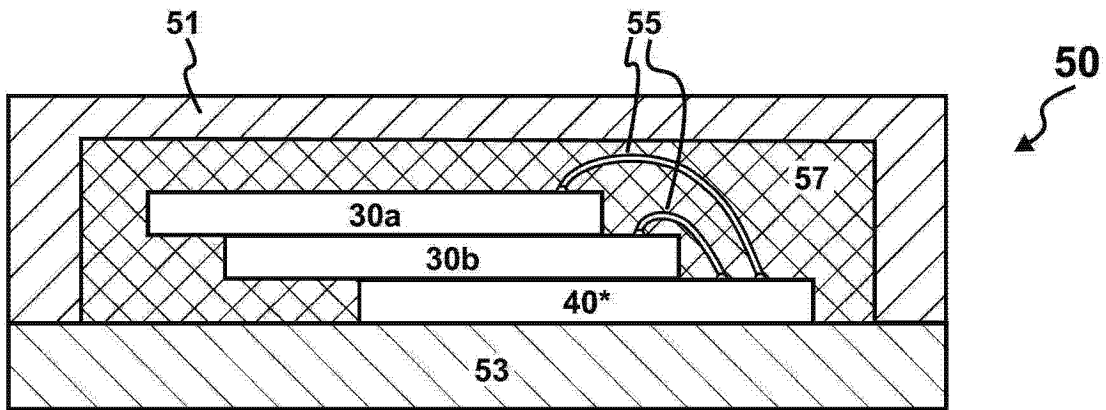


图 4B

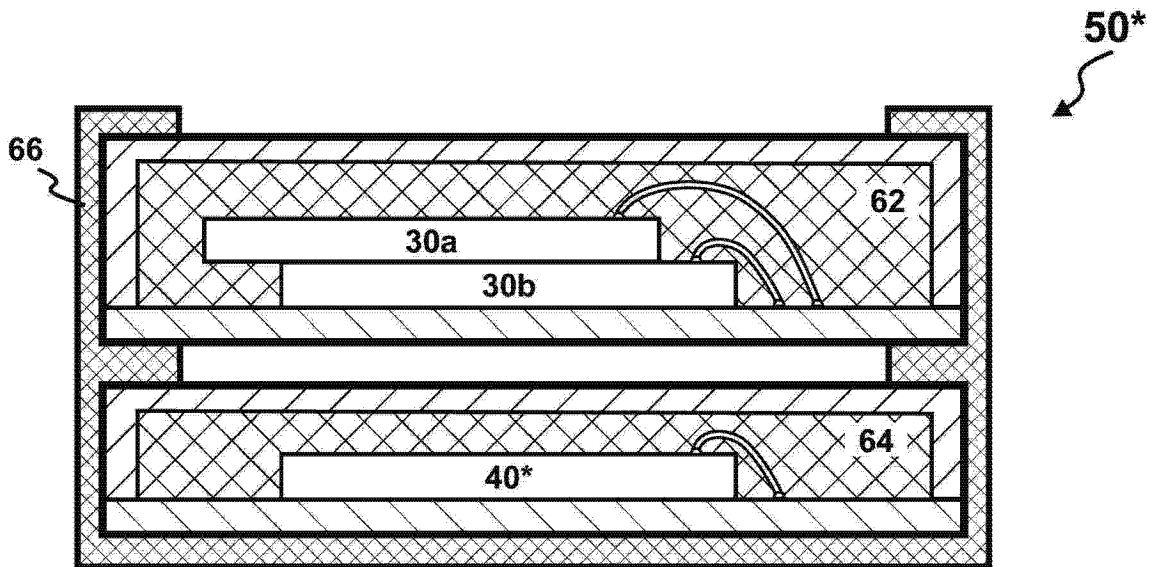


图 4C

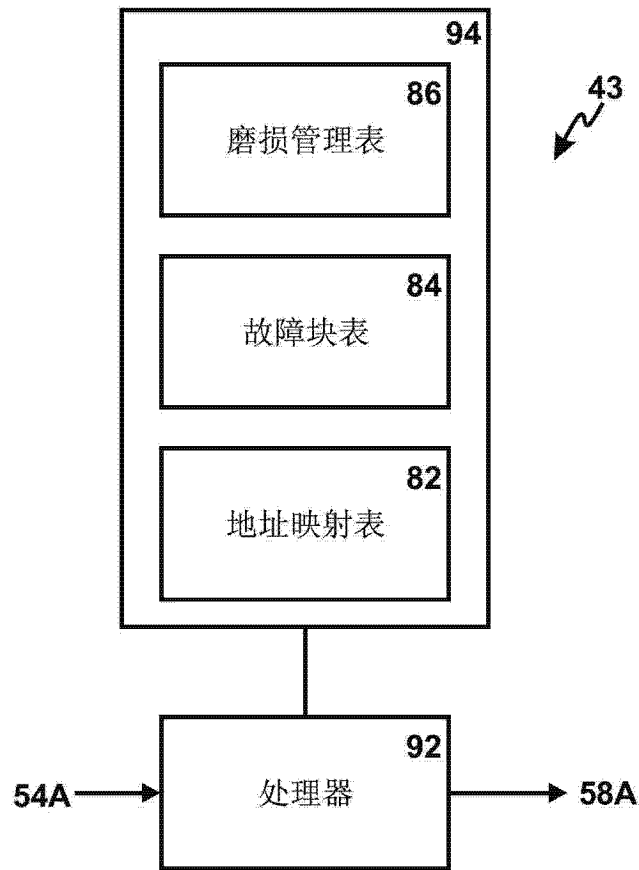


图 5A

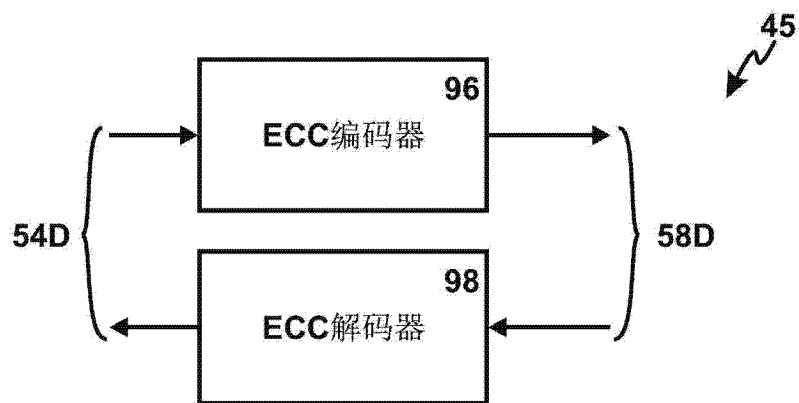


图 5B