

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 7 月 7 日 (07.07.2016)



(10) 国际公布号
WO 2016/106813 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 29/06 (2006.01)
- (21) 国际申请号: PCT/CN2015/070419
- (22) 国际申请日: 2015 年 1 月 9 日 (09.01.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410856397.4 2014 年 12 月 31 日 (31.12.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 卢昶鸣 (LU, Changming); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新园粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: LOW TEMPERATURE POLY-SILICON THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 低温多晶硅薄膜晶体管及其制造方法

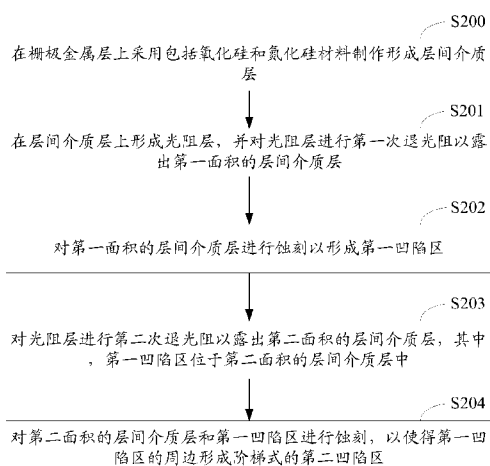


图 2 / Fig. 2

S200 Manufacturing on a gate electrode metal layer to form an interlayer dielectric layer by using a material that comprises silicon oxide and silicon nitride
S201 Forming a photoresist layer on the interlayer dielectric layer, and performing first photoresist withdrawal on the photoresist layer so as to expose an interlayer dielectric layer of a first area
S202 Etching the interlayer dielectric layer of the first area to form a first concave region
S203 Performing second photoresist withdrawal on the photoresist layer so as to expose an interlayer dielectric layer of a second area, wherein the first concave region is located in the interlayer dielectric layer of the second area
S204 Etching the interlayer dielectric layer of the second area and the first concave region, so that a stepped second concave region is formed at the periphery of the first concave region

(57) Abstract: A low temperature poly-silicon thin film transistor and a manufacturing method therefor. The method comprises: manufacturing on a gate electrode metal layer to form an interlayer dielectric layer (S200); forming a photoresist layer on the interlayer dielectric layer, and performing first photoresist withdrawal on the photoresist layer so as to expose an interlayer dielectric layer of a first area (S201); etching the interlayer dielectric layer of the first area to form a first concave region (S202), and performing second photoresist withdrawal on the photoresist layer so as to expose an interlayer dielectric layer of a second area (S203); and etching the interlayer dielectric layer of the second area and the first concave region, so that a stepped second concave region is formed at the periphery of the first concave region (S204). By providing a stepped concave region channel on an interlayer dielectric layer, when source electrode and drain electrode metal layers can be manufactured within the concave region channel, a line breaking problem caused by edges and corners touch of the concave region channel can be avoided, and the technical problem of low product reliability caused by a gap formed by source electrode and drain electrode metals being unable to fill the concave region channel can also be avoided.

(57) 摘要:

[见续页]



一种低温多晶硅薄膜晶体管及其制造方法，方法包括：在栅极金属层上制作形成层间介质层（S200）；在层间介质层上形成光阻层，并对光阻层进行第一次退光阻以露出第一面积的层间介质层（S201）；对第一面积的层间介质层进行蚀刻以形成第一凹陷区（S202），对光阻层进行第二次退光阻以露出第二面积的层间介质层（S203）；对第二面积的层间介质层和第一凹陷区进行蚀刻，使得第一凹陷区的周边形成阶梯式的第二凹陷区（S204）。通过在层间介质层设置阶梯式的凹陷区通道，使得在凹陷区通道内制作源极、漏极金属层时，可以避免凹陷区通道的棱角碰触造成的断线问题，也可以避免源极、漏极金属无法填满凹陷区通道而形成空隙、导致产品可靠度低的技术问题。

发明名称: 低温多晶硅薄膜晶体管及其制造方法

[1] 【技术领域】

[2] 本发明属于薄膜晶体管技术领域，具体涉及一种低温多晶硅薄膜晶体管，还涉及一种该低温多晶硅薄膜晶体管的制造方法。

[3] 【背景技术】

[4] 请参阅图1，图1为现有技术的LTPS-TFT（Low Temperature Poly-Silicon-Thin Film Transistor，低温多晶硅薄膜晶体管）的结构示意图。

[5] 如图1所示，现有技术LTPS-TFT依序包括Substrate（基底）层、SiNx（氮化硅）层、SiOx（氧化硅）层的基材层、a-Si（非晶硅）层、doping（掺杂）不同剂量的P31（相对分子质量为31的磷）的掺杂区域、及GE（栅极金属）层、Source（源极金属）层和Drain（漏极金属）层等。其中，源极金属层和漏极金属层对应设于图1所示的ILD Via Hole箭头所指的凹陷区通道内并与掺杂区域相连接。

[6] 从图1不难看出，现有凹陷区通道的垂直孔设置方式，对源极金属层和漏极金属层影响较大。譬如随著ILD（层间介质层）膜厚变厚，和源极、漏极金属层的线宽变窄，制程上的隐忧会逐渐浮现，尤其在超解析度LTPS和最终产品中，源极、漏极金属层设置在凹陷区通道ILD via Hole中会有断线的可能性，譬如与凹陷区通道ILD via Hole的棱角触碰；其次，源极、漏极金属层可能无法完全填满凹陷区通道ILD via Hole，形成部分空隙等，而易造成产品的可靠度降低，成品率合格率无法得到保证。

[7] 【发明内容】

[8] 有鉴于此，本发明实施例提供一种低温多晶硅薄膜晶体管及其制造方法，以解决现有技术中源极、漏极金属层容易断线、产品可靠度低的技术问题。

[9] 为解决上述技术问题，本发明实施例提供一种低温多晶硅薄膜晶体管的制造方法，其中，所述制造方法包括：在栅极金属层上采用包括氧化硅和氮化硅材料制作形成层间介质层；在所述层间介质层上形成光阻层，并对所述光阻层进行第一次退光阻以露出第一面积的层间介质层；对所述第一面积的层间介质层进

行蚀刻以形成第一凹陷区；对所述光阻层进行第二次退光阻以露出第二面积的层间介质层，其中，所述第一凹陷区位于所述第二面积的层间介质层中；对所述第二面积的层间介质层和所述第一凹陷区进行蚀刻，以使得所述第一凹陷区的周边形成阶梯式的第二凹陷区。

[10] 其中，在对所述第二面积的层间介质层和所述第一凹陷区进行蚀刻，以使得所述第一凹陷区的周边形成阶梯式的第二凹陷区的步骤之后，还包括：对所述光阻层进行多次退光阻以依次露出多个面积的层间介质层，并对多个面积的层间介质层依序进行相应蚀刻，以形成多阶梯式的凹陷区通道。

[11] 其中，在形成多阶梯式的凹陷区通道的步骤之后，还包括：在所述凹陷区通道上分别对应形成源极金属层或漏极金属层。

[12] 其中，在进行退光阻时，采用干式蚀刻和电浆方式并在射频功率为200~3000KHz的条件下加工10~500秒进行退光阻。

[13] 其中，所述电浆方式所采用的制程气体为氧气、四氟化碳或氧化氮，所述射频功率为1000~2000KHz，加工时间为200~300秒。

[14] 其中，在采用全干式蚀刻和氧气电浆方式进行退光阻时，使用多晶硅与氧化硅或氮化硅薄膜高选择比的蚀刻配方进行蚀刻，以形成所述凹陷区通道。

[15] 其中，在采用干式和湿式蚀刻组合退光阻时，采用缓冲氢氟酸BHF蚀刻液或氢氟酸HF蚀刻液进行蚀刻，以形成所述凹陷区通道。

[16] 为解决上述技术问题，本发明实施例还提供一种低温多晶硅薄膜晶体管，其中，所述低温多晶硅薄膜晶体管包括层间介质层、源极金属层和漏极金属层，所述层间介质层采用包括氧化硅和氮化硅材料制作形成，所述层间介质层形成有阶梯式的凹陷区通道，所述源极金属层和所述漏极金属层形成于所述阶梯式的凹陷区通道内。

[17] 其中，所述凹陷区通道至少为三层阶梯式。

[18] 其中，所述凹陷区通道为四层阶梯式。

[19] 通过上述技术方案，本发明实施例的有益效果是：本发明实施例通过在层间介质层设置阶梯式的凹陷区通道，使得在凹陷区通道内制作源极、漏极金属层时，可以避免凹陷区通道的棱角触碰造成断线的问题，也可以避免源极、漏极金

属无法填满凹陷区通道而形成空隙、导致产品可靠度低的技术问题。进一步而言，避免了层间介质层膜厚变厚所引起的断线问题，同时提高了产品的可靠度、成品率和合格率。

[20] **【附图说明】**

[21] 为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[22] 图1为现有技术的LTPS-TFT的结构示意图；

[23] 图2是本发明低温多晶硅薄膜晶体管的制造方法一实施例的流程示意图；

[24] 图3A至图3E是采用图2所示制造方法时的效果示意图；

[25] 图4是本发明低温多晶硅薄膜晶体管一实施例的结构示意图。

[26] **【具体实施方式】**

[27] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，本发明以下所描述的实施例仅仅是本发明的一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有付出创造性劳动前提下所获得的所有其它实施例，都属于本发明保护的范围。

[28] 请参阅图2~图3E，图2是本发明低温多晶硅薄膜晶体管的制造方法一实施例的流程示意图，图3A至图3E是采用图2所示制造方法时的效果示意图，本实施例的低温多晶硅薄膜晶体管的制造方法包括但不限于以下步骤。

[29] 步骤S200，在栅极金属层上采用包括氧化硅和氮化硅材料制作形成层间介质层。

[30] 在步骤S200中，氧化硅化学式为 SiO_x ，氮化硅化学式为 SiN_x ，层间介质层为图3A所示的层间介质层ILD。

[31] 步骤S201，在层间介质层上形成光阻层，并对光阻层进行第一次退光阻以露出第一面积的层间介质层。

[32] 在步骤S201中，光阻层为图3A所示的光阻层PR，其中，图3A可以采用图形化处理退光阻，以形成多个PR之间的蚀刻通道，其中，第一面积与蚀刻通道的横

截面面积相同。

- [33] 步骤S202，对第一面积的层间介质层进行蚀刻以形成第一凹陷区。
- [34] 在步骤S202中，如图3B所示，进行蚀刻后，在层间介质层上形成第一凹陷区，其中，第一凹陷区的面积与第一面积相同。
- [35] 步骤S203，对光阻层进行第二次退光阻以露出第二面积的层间介质层，其中，第一凹陷区位于第二面积的层间介质层中。
- [36] 在步骤S203中，如图3C所示，通过对PR进行第二次退光阻，露出了原图3B中北PR覆盖的第二面积的层间介质层，其中，第一面积和第二面积的和与此时形成的蚀刻通道的横截面积相同。
- [37] 步骤S204，对第二面积的层间介质层和第一凹陷区进行蚀刻，以使得第一凹陷区的周边形成阶梯式的第二凹陷区。
- [38] 在步骤S204中，如图3D所示，由于原第一凹陷区与露出的第二面积的层间介质层进行同步蚀刻，因此，其所蚀刻的厚度基本上相同，而形成了高度比较接近均匀的阶梯。
- [39] 其中，在步骤S204之后，本发明实施例还包括退光阻过程，制得如图3E所示的结构。
- [40] 需要说明的是，在对第二面积的层间介质层和第一凹陷区进行蚀刻，以使得第一凹陷区的周边形成阶梯式的第二凹陷区之后，本实施例还可以对光阻层进行多次退光阻以依次露出多个面积的层间介质层，并对多个面积的层间介质层依序进行相应蚀刻，以形成多阶梯式的凹陷区通道。换言之，本发明实施例可以通过反复执行上述步骤，而形成包括三层阶梯、四层阶梯或以上的凹陷区通道，其具体可以根据层间介质层ILD的厚度而设置阶梯的数目。
- [41] 此外，在形成多阶梯式的凹陷区通道之后，本实施例还可以包括在凹陷区通道上分别对应形成源极金属层或漏极金属层等过程，如图3E所示在上述凹陷区通道内形成的沉积状结构。
- [42] 需要指出的是，在进行退光阻时，本实施例采用干式蚀刻和电浆方式并在射频功率为200~3000KHz（千赫兹）的条件下加工10~500秒进行退光阻。具体来说，电浆方式可以所采用的制程气体为氧气、四氟化碳或氧化氮，射频功率为100

0~2000KHz，加工时间为200~300秒等，在本技术领域人员容易理解的范围内，不作限定。在优选的实施例中，可以采用1800 KHz的射频功率并加工250秒进行循环退光阻处理。

[43] 当然，在其他实施例中，如在采用全干式蚀刻和氧气电浆方式进行退光阻时，本发明则可以使用多晶硅与氧化硅或氮化硅薄膜高选择比的蚀刻配方进行蚀刻，以形成凹陷区通道。

[44] 在其他实施例中，在采用干式和湿式蚀刻组合退光阻时，本发明可以采用缓冲氢氟酸BHF蚀刻液或氢氟酸HF蚀刻液进行蚀刻，以形成凹陷区通道。

[45] 值得注意的是，本发明的实施例还可以通过half tone（半调式）掩膜或gray tone（灰调式）制程进行图形处理，则在对应的退光阻过程中，也可以采用全干式蚀刻和氧气电浆方式进行循环退光阻。

[46] 本发明实施例通过在层间介质层设置阶梯式的凹陷区通道，使得在凹陷区通道内制作源极、漏极金属层时，可以避免凹陷区通道的棱角触碰造成断线的问题，也可以避免源极、漏极金属无法填满凹陷区通道而形成空隙、导致产品可靠度低的技术问题。进一步而言，避免了层间介质层膜厚变厚所引起的断线问题，同时提高了产品的可靠度、成品率和合格率。

[47] 请参阅图4，图4是本发明低温多晶硅薄膜晶体管一实施例的结构示意图，本实施例低温多晶硅薄膜晶体管包括层间介质层41、源极、漏极金属层42、43。

[48] 层间介质层采用包括氧化硅和氮化硅材料制作形成，层间介质层形成有阶梯式的凹陷区通道，源极、漏极金属层42、43分别形成于阶梯式的凹陷区通道内。

[49] 需要说明的是，本实施例凹陷区通道至少为三层阶梯式，优选地，凹陷区通道为四层阶梯式。

[50] 此外，从图4不难看出，本实施例低温多晶硅薄膜晶体管还可以包括栅极金属层GE、掺杂区域doping、轻掺杂区域LDD以及包括氮化硅和氧化硅材料形成的基材层等，在本技术领域人员容易理解的范围内，不作细述。

[51] 值得注意的是，本实施例低温多晶硅薄膜晶体管优选地采用前面实施例所涉及的制造方法制得，在此不作限定。

[52] 本发明实施例通过在层间介质层41设置阶梯式的凹陷区通道，使得在凹陷区通

道内制作源极、漏极金属层42、43时，可以避免凹陷区通道的棱角触碰造成断线的问题，也可以避免源极、漏极金属42、43无法填满凹陷区通道而形成空隙、导致产品可靠度低的技术问题。进一步而言，避免了层间介质层41膜厚变厚所引起的断线问题，同时提高了产品的可靠度、成品率和合格率。

[53] 以上所述仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，例如各实施例之间技术特征的相互结合，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

- [权利要求 1] 一种低温多晶硅薄膜晶体管的制造方法，其中，所述制造方法包括：
- 在栅极金属层上采用包括氧化硅和氮化硅材料制作形成层间介质层；
- 在所述层间介质层上形成光阻层，并对所述光阻层进行第一次退光阻以露出第一面积的层间介质层；
- 对所述第一面积的层间介质层进行蚀刻以形成第一凹陷区；
- 对所述光阻层进行第二次退光阻以露出第二面积的层间介质层，其中，所述第一凹陷区位于所述第二面积的层间介质层中；
- 对所述第二面积的层间介质层和所述第一凹陷区进行蚀刻，以使得所述第一凹陷区的周边形成阶梯式的第二凹陷区；对所述光阻层进行多次退光阻以依次露出多个面积的层间介质层，并对多个面积的层间介质层依序进行相应蚀刻，以形成多阶梯式的凹陷区通道，其中，在进行退光阻时，采用干式蚀刻和电浆方式并在射频功率为200~3000KHz的条件下加工10~500秒进行退光阻。
- [权利要求 2] 一种低温多晶硅薄膜晶体管的制造方法，其中，所述制造方法包括：
- 在栅极金属层上采用包括氧化硅和氮化硅材料制作形成层间介质层；
- 在所述层间介质层上形成光阻层，并对所述光阻层进行第一次退光阻以露出第一面积的层间介质层；
- 对所述第一面积的层间介质层进行蚀刻以形成第一凹陷区；
- 对所述光阻层进行第二次退光阻以露出第二面积的层间介质层，其中，所述第一凹陷区位于所述第二面积的层间介质层中；
- 对所述第二面积的层间介质层和所述第一凹陷区进行蚀刻，以使得所述第一凹陷区的周边形成阶梯式的第二凹陷区。
- [权利要求 3] 根据权利要求2所述的制造方法，其中，在对所述第二面积的层间

介质层和所述第一凹陷区进行蚀刻，以使得所述第一凹陷区的周边形成阶梯式的第二凹陷区的步骤之后，还包括：

对所述光阻层进行多次退光阻以依次露出多个面积的层间介质层，并对多个面积的层间介质层依序进行相应蚀刻，以形成多阶梯式的凹陷区通道。

[权利要求 4] 根据权利要求3所述的制造方法，其中，在形成多阶梯式的凹陷区通道的步骤之后，还包括：

在所述凹陷区通道上分别对应形成源极金属层或漏极金属层。

[权利要求 5] 根据权利要求2任一项所述的制造方法，其中，在进行退光阻时，采用干式蚀刻和电浆方式并在射频功率为200~3000KHz的条件下加工10~500秒进行退光阻。

[权利要求 6] 根据权利要求3任一项所述的制造方法，其中，在进行退光阻时，采用干式蚀刻和电浆方式并在射频功率为200~3000KHz的条件下加工10~500秒进行退光阻。

[权利要求 7] 根据权利要求4任一项所述的制造方法，其中，在进行退光阻时，采用干式蚀刻和电浆方式并在射频功率为200~3000KHz的条件下加工10~500秒进行退光阻。

[权利要求 8] 根据权利要求7所述的制造方法，其中，所述电浆方式所采用的制程气体为氧气、四氟化碳或氧化氮，所述射频功率为1000~2000KHz，加工时间为200~300秒。

[权利要求 9] 根据权利要求7所述的制造方法，其中，在采用全干式蚀刻和氧气电浆方式进行退光阻时，使用多晶硅与氧化硅或氮化硅薄膜高选择比的蚀刻配方进行蚀刻，以形成所述凹陷区通道。

[权利要求 10] 根据权利要求7所述的制造方法，其中，在采用干式和湿式蚀刻组合退光阻时，采用缓冲氢氟酸BHF蚀刻液或氢氟酸HF蚀刻液进行蚀刻，以形成所述凹陷区通道。

[权利要求 11] 一种低温多晶硅薄膜晶体管，其中，所述低温多晶硅薄膜晶体管包括层间介质层、源极金属层和漏极金属层，所述层间介质层采

用包括氧化硅和氮化硅材料制作形成，所述层间介质层形成有阶梯式的凹陷区通道，所述源极金属层和所述漏极金属层形成于所述阶梯式的凹陷区通道内。

[权利要求 12] 根据权利要求11所述的低温多晶硅薄膜晶体管，其中，所述凹陷区通道至少为三层阶梯式。

[权利要求 13] 根据权利要求12所述的低温多晶硅薄膜晶体管，其中，所述凹陷区通道为四层阶梯式。

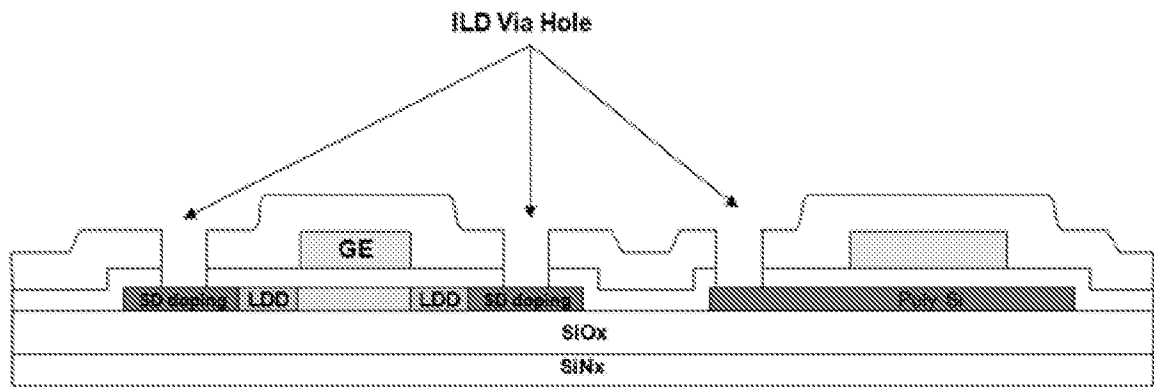


图 1

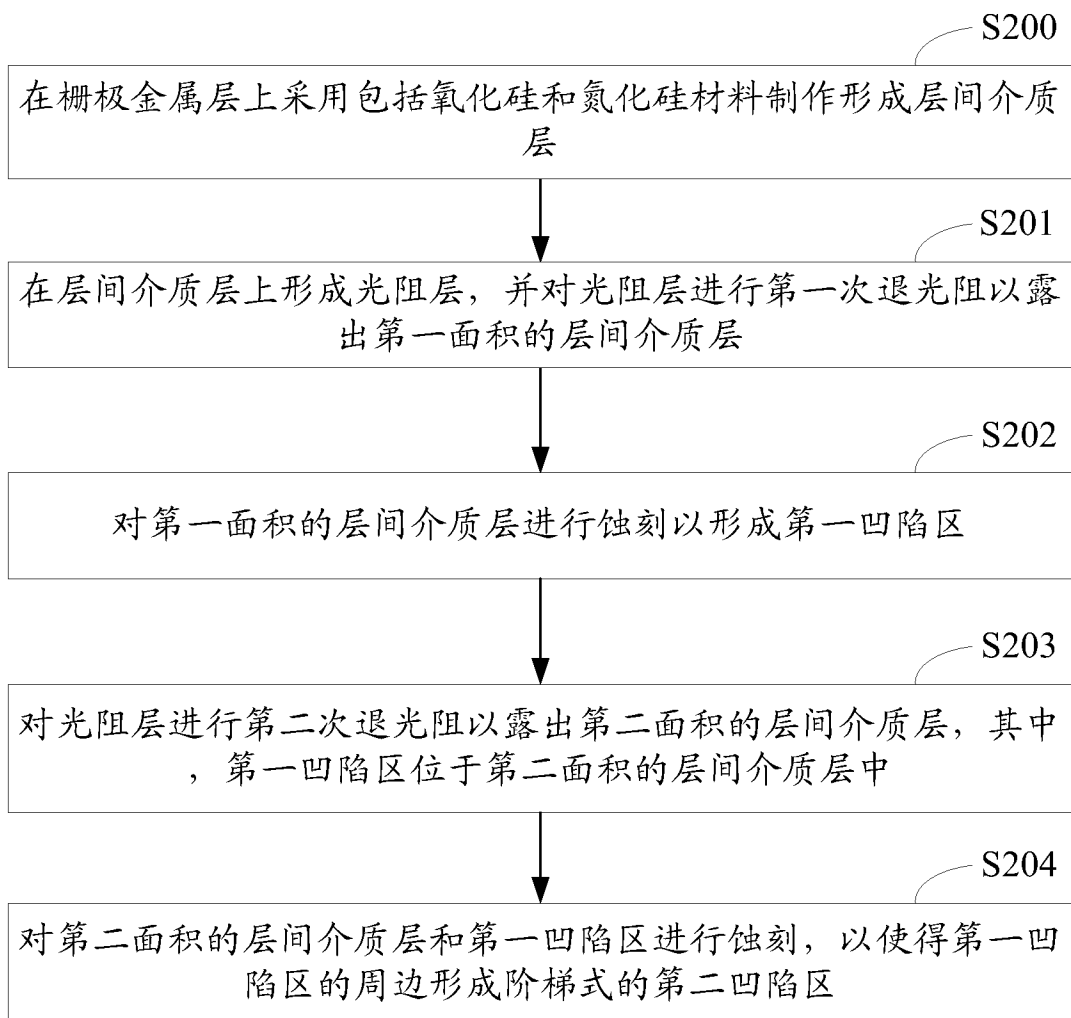


图 2

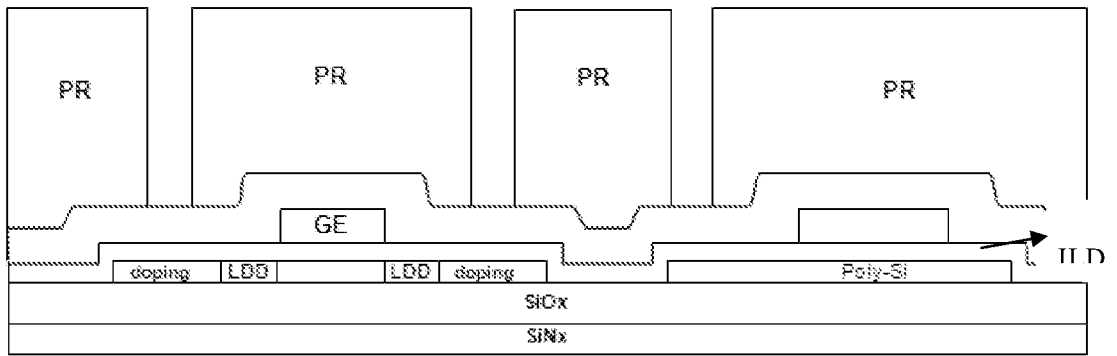


图 3A

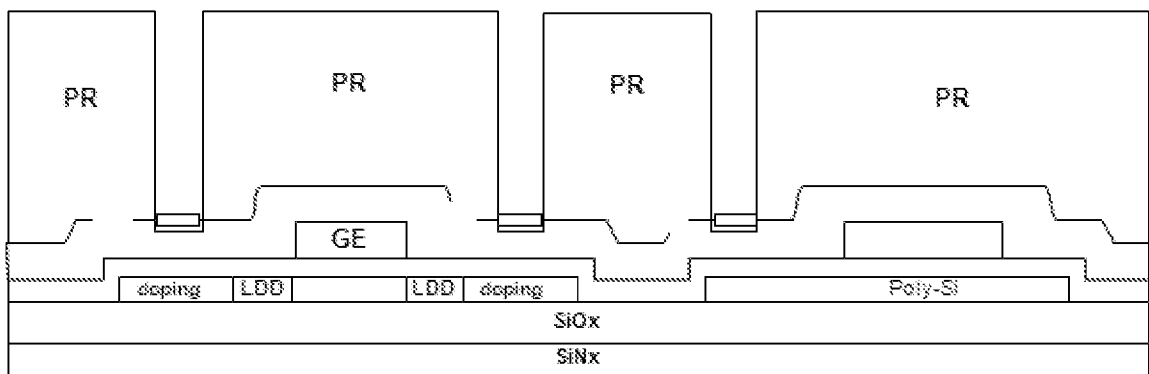


图 3B

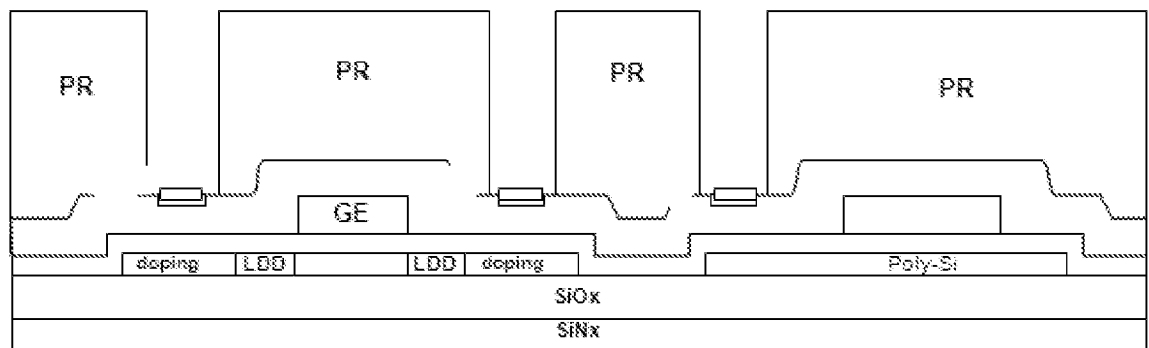


图 3C

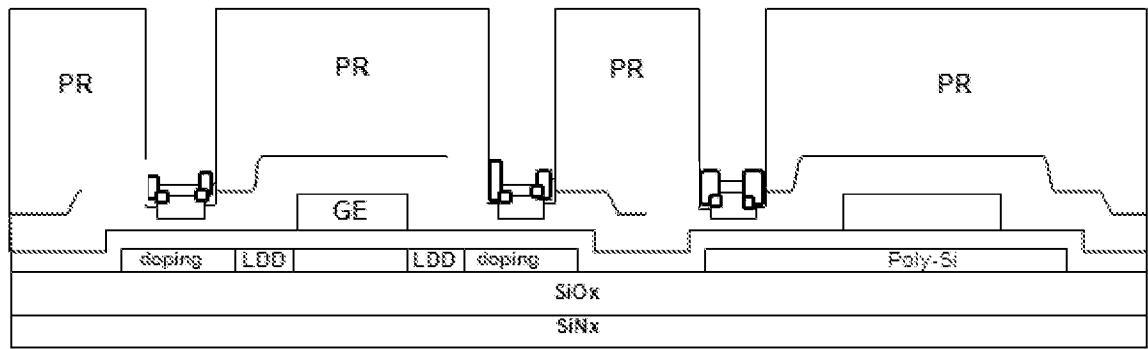


图 3D

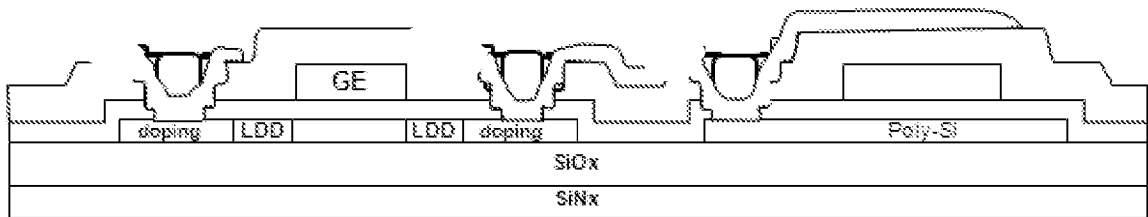


图 3E

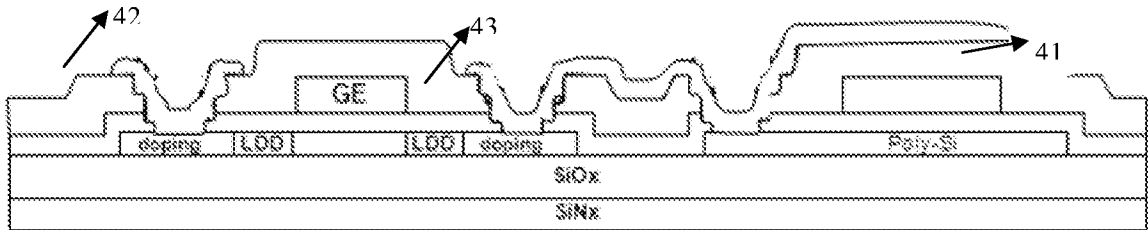


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/070419

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i; H01L 29/06 (2006.01) i; H01L 29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNABS, TWABS, VEN, EPODOC, DWPI, IEEE: polycrystalline silicon, thin film transistor, low temperature, broken line, recess, concave, tft, transistor, silicon, low, temperature, step, drain, groove, source, broken

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102437196 A (KUNSHAN NEW FLAT PANEL DISPLAY TECHNOLOGY CENTER CO., LTD.), 02 May 2012 (02.05.2012), description, paragraphs [0018]-[0027], and figures 3-5L	1-13
A	CN 1567550 A (TOPPOLY OPTOELECTRONICS CORP.), 19 January 2005 (19.01.2005), the whole document	1-13
A	US 7064021 B2 (CHANG), 20 June 2006 (20.06.2006), the whole document	1-13
A	US 2005059191 A1 (LIN), 17 March 2005 (17.03.2005), the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 September 2015 (08.09.2015)	Date of mailing of the international search report 09 October 2015 (09.10.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Xiaoming Telephone No.: (86-10) 62089263

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/070419

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102437196 A	02 May 2012	CN 102437196 B	03 April 2013
CN 1567550 A	19 January 2005	None	
US 7064021 B2	20 June 2006	US 2005090045 A1	28 April 2005
US 2005059191 A1	17 March 2005	None	

A. 主题的分类		
H01L 21/336(2006.01)i; H01L 29/06(2006.01)i; H01L 29/786(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
H01L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNKI, CNABS, TWABS, VEN, EPODOC, DWPI, IEEE: 多晶硅, 薄膜晶体管, 低温, 梯, 源极, 漏极, 断线, 阶, 陷, 凹, tft, transistor, silicon, low, temperature, step, drain, groove, source, broken		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 102437196 A (昆山工研院新型平板显示技术中心有限公司) 2012年 5月 2日 (2012 - 05 - 02) 说明书第【0018】段至第【0027】段, 图3至图5L	1-13
A	CN 1567550 A (统宝光电股份有限公司) 2005年 1月 19日 (2005 - 01 - 19) 全文	1-13
A	US 7064021 B2 (CHANG) 2006年 6月 20日 (2006 - 06 - 20) 全文	1-13
A	US 2005059191 A1 (LIN) 2005年 3月 17日 (2005 - 03 - 17) 全文	1-13
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2015年 9月 8日		2015年 10月 9日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国		李晓明
传真号 (86-10)62019451		电话号码 (86-10)62089263

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/070419

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	102437196	A	2012年 5月 2日	CN 102437196 B	2013年 4月 3日
CN	1567550	A	2005年 1月 19日	无	
US	7064021	B2	2006年 6月 20日	US 2005090045 A1	2005年 4月 28日
US	2005059191	A1	2005年 3月 17日	无	