



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년02월11일

(11) 등록번호 10-1945689

(24) 등록일자 2019년01월30일

(51) 국제특허분류(Int. Cl.)

G11C 7/10 (2015.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2012-0054637

(22) 출원일자 2012년05월23일

심사청구일자 2017년04월28일

(65) 공개번호 10-2012-0133369

(43) 공개일자 2012년12월10일

(30) 우선권주장

JP-P-2011-119429 2011년05월27일 일본(JP)

(56) 선행기술조사문헌

KR1020040006746 A

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

가네야스 마코토

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 9 항

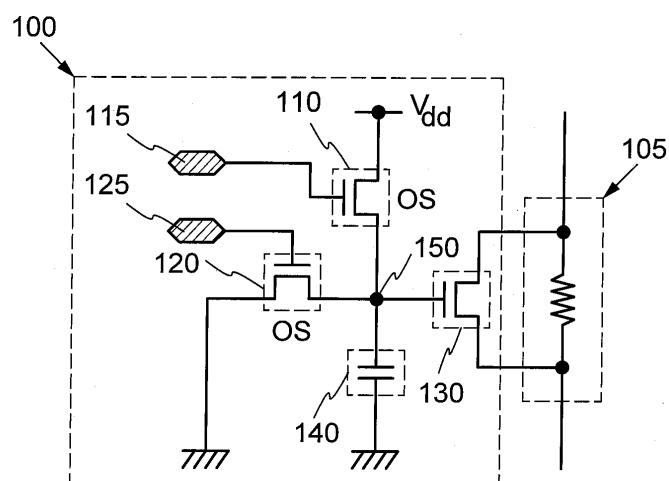
심사관 : 윤석채

(54) 발명의 명칭 트리밍 회로, 트리밍 회로의 구동 방법

**(57) 요 약**

본 발명은 신뢰성이 높은 트리밍 회로, 재기록 가능한 트리밍 회로, 신뢰성이 높은 트리밍 회로의 구동 방법, 재기록 가능한 트리밍 회로의 구동 방법을 제공한다.

오프 누설 전류가 매우 작은 트랜지스터의 소스 전극 또는 드레인 전극에 접속된 기억 노드와, 상기 기억 노드에 게이트 전극이 접속된 트랜지스터로 트리밍 회로를 구성한다. 또한, 상기 오프 누설 전류가 매우 작은 트랜지스터를 사용하여, 상기 기억 노드에 게이트 전극이 접속된 트랜지스터의 소스 전극과 드레인 전극에 별별로 접속된 소자 또는 회로의 트리밍 상태를 제어한다.

**대 표 도 - 도1**

## 명세서

### 청구범위

#### 청구항 1

트리밍 회로에 있어서,

용량 소자와;

제 1 트랜지스터와;

제 2 트랜지스터와;

제 3 트랜지스터를 포함하고,

상기 용량 소자의 한쪽 전극이 기억 노드에 전기적으로 접속되고, 상기 용량 소자의 다른 쪽 전극이 접지 전위선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트 전극이 기록 단자에 전기적으로 접속되고, 상기 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 하나가 상기 기억 노드에 전기적으로 접속되고, 상기 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 하나가 전원 전위선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트 전극이 소거 단자에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 하나가 상기 기억 노드에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 하나가 접지 전위선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 게이트 전극이 상기 기억 노드에 전기적으로 접속되고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 각각 채널 형성 영역에 밴드갭이 2.5eV 이상인 반도체 재료를 포함하고,

상기 제 3 트랜지스터의 소스 전극 및 드레인 전극이 저항에 병렬로 접속되는, 트리밍 회로.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 각각 상기 채널 형성 영역에 산화물 반도체층을 포함하는, 트리밍 회로.

#### 청구항 3

트리밍 회로에 있어서,

용량 소자와;

제 1 트랜지스터와;

제 2 트랜지스터와;

제 3 트랜지스터를 포함하고,

상기 용량 소자의 한쪽 전극이 기억 노드에 전기적으로 접속되고, 상기 용량 소자의 다른 쪽 전극이 접지 전위선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트 전극이 기록 단자에 전기적으로 접속되고, 상기 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 하나가 상기 기억 노드에 전기적으로 접속되고, 상기 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 하나가 전원 전위선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트 전극이 소거 단자에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 하나가 상기 기억 노드에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 전극 또는

드레인 전극 중 다른 하나가 접지 전위선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 게이트 전극이 상기 기억 노드에 전기적으로 접속되고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각의 채널 폭  $1\mu\text{m}$ 당의 오프 상태시 누설 전류가  $1 \times 10^{-17}\text{A}$  이 하이고,

상기 제 3 트랜지스터의 소스 전극 및 드레인 전극이 저항에 병렬로 접속되는, 트리밍 회로.

#### 청구항 4

제 3 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 각각 채널 형성 영역에 산화물 반도체층을 포함하는, 트리밍 회로.

#### 청구항 5

트리밍 회로의 구동 방법에 있어서,

상기 트리밍 회로는 용량 소자, 제 1 트랜지스터, 제 2 트랜지스터, 및 제 3 트랜지스터를 포함하고,

상기 용량 소자의 한쪽 전극이 기억 노드에 전기적으로 접속되고, 상기 용량 소자의 다른 쪽 전극이 접지 전위선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트 전극이 기록 단자에 전기적으로 접속되고, 상기 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 하나가 상기 기억 노드에 전기적으로 접속되고, 상기 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 하나가 전원 전위선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트 전극이 소거 단자에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 하나가 상기 기억 노드에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 하나가 접지 전위선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 게이트 전극이 상기 기억 노드에 전기적으로 접속되고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각의 채널 폭  $1\mu\text{m}$ 당의 오프 상태시 누설 전류가  $1 \times 10^{-17}\text{A}$  이 하이고,

상기 제 3 트랜지스터의 소스 전극 및 드레인 전극이 저항에 병렬로 접속되고,

상기 방법은:

상기 기록 단자에 상기 제 1 트랜지스터가 온 상태가 되는 신호를, 상기 소거 단자에 상기 제 2 트랜지스터가 오프 상태가 되는 신호를 각각 입력하여, 상기 기억 노드의 전위를 상기 제 3 트랜지스터가 온 상태가 되는 전위로 하는 제 1 단계;

상기 기록 단자에 상기 제 1 트랜지스터가 오프 상태가 되는 신호를, 상기 소거 단자에 상기 제 2 트랜지스터가 오프 상태가 되는 신호를 각각 입력하여, 상기 저항을 트리밍 상태로 하는 제 2 단계를 포함하는, 트리밍 회로의 구동 방법.

#### 청구항 6

제 5 항에 있어서,

상기 제 2 단계 후에, 상기 기록 단자에 상기 제 1 트랜지스터가 온 상태가 되는 신호를, 상기 소거 단자에 상기 제 2 트랜지스터가 오프 상태가 되는 신호를 각각 입력하여, 상기 기억 노드의 전위를 상기 제 3 트랜지스터가 온 상태가 되는 전위로 함으로써, 또는 상기 기록 단자에 상기 제 1 트랜지스터가 오프 상태가 되는 신호를, 상기 소거 단자에 상기 제 2 트랜지스터가 온 상태가 되는 신호를 각각 입력하여, 상기 기억 노드의 전위를 상기 제 3 트랜지스터가 오프 상태가 되는 전위로 함으로써, 상기 기억 노드의 전위를 상기 제 2 단계에서의 상기 기억 노드의 전위와 상이한 전위로 하는 제 3 단계;

상기 기록 단자에 상기 제 1 트랜지스터가 오프 상태가 되는 신호를, 상기 소거 단자에 상기 제 2 트랜지스터가

오프 상태가 되는 신호를 각각 입력하는 제 4 단계를 더 포함하는, 트리밍 회로의 구동 방법.

### 청구항 7

제 5 항에 있어서,

상기 제 3 트랜지스터로 흐르는 전류는 상기 트리밍 상태의 저항으로 흐르는 전류보다 많은, 트리밍 회로의 구동 방법.

### 청구항 8

트리밍 회로의 구동 방법에 있어서,

상기 트리밍 회로는 용량 소자, 제 1 트랜지스터, 제 2 트랜지스터, 및 제 3 트랜지스터를 포함하고,

상기 용량 소자의 한쪽 전극이 기억 노드에 전기적으로 접속되고, 상기 용량 소자의 다른 쪽 전극이 접지 전위선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트 전극이 기록 단자에 전기적으로 접속되고, 상기 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 하나가 상기 기억 노드에 전기적으로 접속되고, 상기 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 하나가 전원 전위선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트 전극이 소거 단자에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 하나가 상기 기억 노드에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 하나가 접지 전위선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 게이트 전극이 상기 기억 노드에 전기적으로 접속되고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각의 채널 폭  $1\mu\text{m}$ 당의 오프 상태시 누설 전류가  $1 \times 10^{-17}\text{A}$  이하이고,

상기 제 3 트랜지스터의 소스 전극 및 드레인 전극이 저항에 병렬로 접속되고,

상기 방법은:

상기 기록 단자에 상기 제 1 트랜지스터가 오프 상태가 되는 신호를, 상기 소거 단자에 상기 제 2 트랜지스터가 온 상태가 되는 신호를 각각 입력하여, 상기 기억 노드의 전위를 상기 제 3 트랜지스터가 오프 상태가 되는 전위로 하는 제 1 단계와;

상기 기록 단자에 상기 제 1 트랜지스터가 오프 상태가 되는 신호를, 상기 소거 단자에 상기 제 2 트랜지스터가 오프 상태가 되는 신호를 각각 입력하여, 상기 저항을 이용가능한 상태로 하는 제 2 단계를 포함하는, 트리밍 회로의 구동 방법.

### 청구항 9

제 8 항에 있어서,

상기 제 2 단계 후에, 상기 기록 단자에 상기 제 1 트랜지스터가 온 상태가 되는 신호를, 상기 소거 단자에 상기 제 2 트랜지스터가 오프 상태가 되는 신호를 각각 입력하여, 상기 기억 노드의 전위를 상기 제 3 트랜지스터가 온 상태가 되는 전위로 함으로써, 또는 상기 기록 단자에 상기 제 1 트랜지스터가 오프 상태가 되는 신호를, 상기 소거 단자에 상기 제 2 트랜지스터가 온 상태가 되는 신호를 각각 입력하여, 상기 기억 노드의 전위를 상기 제 3 트랜지스터가 오프 상태가 되는 전위로 함으로써, 상기 기억 노드의 전위를 상기 제 2 단계에서의 상기 기억 노드의 전위와 상이한 전위로 하는 제 3 단계와;

상기 기록 단자에 상기 제 1 트랜지스터가 오프 상태가 되는 신호를, 상기 소거 단자에 상기 제 2 트랜지스터가 오프 상태가 되는 신호를 각각 입력하는 제 4 단계를 더 포함하는, 트리밍 회로의 구동 방법.

### 청구항 10

삭제

## 발명의 설명

### 기술 분야

[0001] 본 발명은 트리밍 회로에 관한 것이다. 또한, 트리밍 회로의 구동 방법에 관한 것이다.

### 배경기술

[0002] 정밀도가 높은 전압값, 전류값이 요구되는 집적 회로(예를 들어 AD컨버터나 DA컨버터)의 제조 공정에서, 제조 조건을 조정하여도 억제할 수 없는 특성의 편차를 보정(補正)하는 방법이 요구되고 있다.

[0003] 또한, 고수율이 요구되는 집적 회로(예를 들어 대용량 기억 장치)의 제조 공정에서, 내장된 용장 회로에 대한 접속을 전환시키는 방법이 요구되고 있다.

[0004] 트리밍 회로라고 불리는 회로가 이와 같은 용도로 사용되고 있다. 트리밍 회로는 상기 트리밍 회로에 병렬로 접속된 소자나 회로를 이용 가능한 상태로 할지 또는 이용 불가능한 상태(트리밍 상태)로 할지를 선택하는 회로이다. 종래의 트리밍 회로에는, 예를 들어 퓨즈(fuse)나 제너 캡 다이오드(zener zap diode) 등이 사용되고 있다.

[0005] 또한, 채널 형성 영역에 산화물 반도체를 사용한 트랜ジ스터가 알려져 있다(특허문현 1 참조). 산화물 반도체 층은 스퍼터링법 등을 이용하여 비교적 용이하게 제작할 수 있기 때문에, 채널 형성 영역에 산화물 반도체를 사용한 트랜ジ스터는 용이하게 제작할 수 있다는 특징을 갖는다.

### 선행기술문헌

#### 특허문헌

[0006] (특허문헌 0001) 일본국 특개2007-123861호 공보

## 발명의 내용

### 해결하려는 과제

[0007] 그런데 퓨즈나 제너 캡 다이오드 등은 신뢰성이 문제가 발생할 경우가 있다. 예를 들어, 레이저를 이용하여 퓨즈를 소성 절단하는 레이저 절단법으로는 절단 개소에 잔사가 잔존하여 회로가 제대로 차단되지 않는 경우가 있다.

[0008] 또한, 퓨즈나 제너 캡 다이오드 등 비가역적인 소자를 사용하는 종래의 트리밍 회로는 일단 절단하면 원래의 상태로 되돌릴 수 없기 때문에, 트리밍을 다시 하거나 재기록할 수 없다는 문제가 있다.

[0009] 본 발명의 일 형태는 이러한 기술적 배경하에서 이루어진 것이다. 본 발명의 일 형태는 신뢰성이 높은 트리밍 회로를 제공하는 것을 과제 중 하나로 한다. 또는 재기록 가능한 트리밍 회로를 제공하는 것을 과제 중 하나로 한다. 또는 신뢰성이 높은 트리밍 회로의 구동 방법을 제공하는 것을 과제 중 하나로 한다. 또는 재기록 가능한 트리밍 회로의 구동 방법을 제공하는 것을 과제 중 하나로 한다.

### 과제의 해결 수단

[0010] 상기 목적을 달성하기 위해서 본 발명의 일 형태는 회로를 물리적으로 절단하지 않고, 개폐기를 설계된 상태로 오랜 기간 유지하는 구성에 착안하였다. 그리고, 오프 누설 전류가 매우 작은 트랜ジ스터의 소스 전극 또는 드레인 전극에 접속된 기억 노드와, 상기 기억 노드에 게이트 전극이 접속된 트랜ジ스터를 구비한 구성을 생각해냈다. 또한 상기 오프 누설 전류가 매우 작은 트랜ジ스터를 사용하여, 상기 기억 노드에 게이트 전극이 접속된 트랜ジ스터의 소스 전극과 드레인 전극에 대해 병렬로 접속된 소자 또는 회로의 트리밍 상태를 제어하는 방법을 고안하여, 상기 과제를 해결하게 되었다.

[0011] 즉 본 발명의 일 형태는 한쪽 전극이 기억 노드에, 다른 쪽 전극이 접지 전위선에 각각 전기적으로 접속된 용량 소자와, 게이트 전극이 기록 단자에, 소스 전극 또는 드레인 전극 중 하나가 기억 노드에, 다른 하나가 전원 전위선에 각각 전기적으로 접속된 제 1 트랜ジ스터와, 게이트 전극이 소거 단자에, 소스 전극 또는 드레인 전극

중 하나가 기억 노드에, 다른 하나가 접지 전위선에 각각 전기적으로 접속된 제 2 트랜지스터와, 게이트 전극이 기억 노드에 전기적으로 접속된 제 3 트랜지스터를 갖는다. 그리고, 제 1 트랜지스터와 제 2 트랜지스터는 밴드갭이 2.5eV 이상인 반도체 재료가 채널 형성 영역에 구비되고, 제 3 트랜지스터의 소스 전극 및 드레인 전극이 저항 소자에 병렬로 접속된 트리밍 회로이다.

[0012] 상기 본 발명의 일 형태인 트리밍 회로는 밴드갭이 2.5eV 이상인 반도체 재료가 채널 형성 영역에 구비된 제 1 트랜지스터 및 제 2 트랜지스터와, 트랜지스터 각각의 소스 전극 또는 드레인 전극 중 하나와, 제 3 트랜지스터의 게이트 전극과, 용량 소자의 한쪽 전극이 접속된 기억 노드를 구비한다. 밴드갭이 2.5eV 이상인 반도체 재료가 채널 형성 영역에 구비된 트랜지스터는 오프 누설 전류가 작고, 이러한 구성의 기억 노드는 전하의 유지능력이 우수하며, 상기 기억 노드에 게이트 전극이 접속된 제 3 트랜지스터의 동작 상태를 안정적으로 유지할 수 있다. 그러므로, 구성 요소의 구조를 변화시키지 않고(예를 들어 소자나 배선을 파괴하지 않고) 제 3 트랜지스터의 동작 상태를 장기간 동안 유지할 수 있다. 이렇게 함으로써, 신뢰성이 높은 트리밍 회로를 제공할 수 있다.

[0013] 또한, 상기 본 발명의 일 형태인 트리밍 회로는 그 구성 요소의 구조를 비가역적으로 변화시키지 않고 제 3 트랜지스터의 동작 상태를 변경할 수 있다. 그러므로, 제 3 트랜지스터의 동작 상태를 몇 번이나 변경할 수 있다. 이렇게 함으로써, 재기록 가능한 트리밍 회로를 제공할 수 있다.

[0014] 또한, 본 발명의 일 형태는 한쪽 전극이 기억 노드에, 다른 쪽 전극이 접지 전위선에 각각 전기적으로 접속된 용량 소자와, 게이트 전극이 기록 단자에, 소스 전극 또는 드레인 전극 중 하나가 기억 노드에, 다른 하나가 전원 전위선에 각각 전기적으로 접속된 제 1 트랜지스터와, 게이트 전극이 소거 단자에, 소스 전극 또는 드레인 전극 중 하나가 기억 노드에, 다른 하나가 접지 전위선에 각각 전기적으로 접속된 제 2 트랜지스터와, 게이트 전극이 기억 노드에 전기적으로 접속된 제 3 트랜지스터를 갖는다. 그리고, 제 1 트랜지스터와 제 2 트랜지스터의 오프 누설 전류가 채널 폭  $1\mu\text{m}$ 당  $1\times 10^{-17}\text{A}$  이하이고, 제 3 트랜지스터의 소스 전극 및 드레인 전극이 저항 소자에 병렬로 접속된 트리밍 회로이다.

[0015] 상기 본 발명의 일 형태인 트리밍 회로는 오프 누설 전류가 매우 작은 제 1 트랜지스터 및 제 2 트랜지스터를 구비한다. 구체적으로는 채널 형성 영역에 산화물 반도체층을 구비한 트랜지스터이며, 그 오프 누설 전류의 크기는 채널 폭  $1\mu\text{m}$ 당  $1\times 10^{-17}\text{A}$  이하이다. 트랜지스터 각각의 소스 전극 또는 드레인 전극 중 하나와, 제 3 트랜지스터의 게이트 전극과, 용량 소자의 한쪽 전극이 접속된 기억 노드를 구비한다. 이러한 구성의 기억 노드는 전하의 유지 능력이 우수하며, 상기 기억 노드에 게이트 전극이 접속된 제 3 트랜지스터의 동작 상태를 안정적으로 유지할 수 있다. 그러므로, 구성 요소의 구조를 변화시키지 않고(예를 들어 소자나 배선을 파괴하지 않고) 제 3 트랜지스터의 동작 상태를 장기간 동안 유지할 수 있다. 이렇게 함으로써, 신뢰성이 높은 트리밍 회로를 제공할 수 있다.

[0016] 또한, 상기 본 발명의 일 형태인 트리밍 회로는 그 구성 요소의 구조를 비가역적으로 변화시키지 않고 제 3 트랜지스터의 동작 상태를 변경할 수 있다. 그러므로, 제 3 트랜지스터의 동작 상태를 몇 번이나 변경할 수 있다. 이렇게 함으로써, 재기록 가능한 트리밍 회로를 제공할 수 있다.

[0017] 또한, 본 발명의 일 형태는 제 1 트랜지스터와 제 2 트랜지스터 양쪽 모두가 채널 형성 영역에 산화물 반도체층을 구비하는, 상기 트리밍 회로이다.

[0018] 상기 본 발명의 일 형태인 트리밍 회로는 오프 누설 전류가 매우 작은 제 1 트랜지스터와 제 2 트랜지스터를 구비한다. 구체적으로는 채널 형성 영역에 산화물 반도체층을 구비한 트랜지스터이며, 트랜지스터 각각의 소스 전극 또는 드레인 전극 중 하나와, 제 3 트랜지스터의 게이트 전극과, 용량 소자의 한쪽 전극이 접속된 기억 노드를 구비한다. 산화물 반도체층이 사용된 트랜지스터는 오프 누설 전류가 매우 작다. 또한, 산화물 반도체층은 스퍼터링법 등에 의해 간편하게 형성할 수 있다. 그러므로, 신뢰성이 높은 트리밍 회로를 용이하게 제공할 수 있다. 또한, 다른 반도체 장치(예를 들어 실리콘 단결정이 사용된 반도체 장치)에 적층하여 트리밍 회로를 형성할 수 있다. 이로써, 부가가치가 높은 반도체 장치를 제공할 수 있다.

[0019] 또한, 본 발명의 일 형태는 한쪽 전극이 기억 노드에, 다른 전극이 접지 전위선에 각각 전기적으로 접속된 용량 소자와, 게이트 전극이 기록 단자에, 소스 전극 또는 드레인 전극 중 하나가 기억 노드에, 다른 하나가 전원 전위선에 각각 전기적으로 접속된 제 1 트랜지스터와, 게이트 전극이 소거 단자에, 소스 전극 또는 드레인 전극 중 하나가 기억 노드에, 다른 하나가 접지 전위선에 각각 전기적으로 접속된 제 2 트랜지스터와, 게이트 전극이 상기 기억 노드에 전기적으로 접속된 제 3 트랜지스터를 갖는다. 또한, 제 1 트랜지스터와 제 2 트랜지스터의

오프 누설 전류가 채널 폭  $1\text{ }\mu\text{m}$ 당  $1\times 10^{-17}\text{ A}$  이하이고, 제 3 트랜지스터의 소스 전극 및 드레인 전극이 저항 소자에 병렬로 접속된, 저항 소자의 트리밍 회로의 구동 방법이다. 그리고, 상기 방법은 기록 단자에 제 1 트랜지스터가 온 상태가 되는 신호를, 소거 단자에 제 2 트랜지스터가 오프 상태가 되는 신호를 각각 입력하여, 기억 노드의 전위를 제 3 트랜지스터가 온 상태가 되는 전위로 하는 제 1 단계와, 기록 단자에 제 1 트랜지스터가 오프 상태가 되는 신호를, 소거 단자에 제 2 트랜지스터가 오프 상태가 되는 신호를 각각 입력하는 제 2 단계를 포함하는, 저항 소자를 트리밍된 상태로 하는 트리밍 회로의 구동 방법이다.

[0020] 상기 본 발명의 일 형태인 트리밍 회로의 구동 방법은 기억 노드의 전위를 제 3 트랜지스터가 온 상태가 되는 전위로 하는 단계와, 기억 노드에 소스 전극 또는 드레인 전극이 접속된 제 1 트랜지스터 및 제 2 트랜지스터를 오프 상태로 하는 단계를 갖는다. 이로써, 트리밍 회로를 구성하는 모든 요소의 구조를 변화시키지 않고 제 3 트랜지스터의 동작 상태를 가역적으로 변경할 수 있다. 그러므로, 신뢰성이 높은 트리밍 회로의 구동 방법을 제공할 수 있다.

[0021] 또한, 본 발명의 일 형태는 한쪽 전극이 기억 노드에, 다른 전극이 접지 전위선에 각각 전기적으로 접속된 용량 소자와, 게이트 전극이 기록 단자에, 소스 전극 또는 드레인 전극 중 하나가 기억 노드에, 다른 하나가 전원 전위선에 각각 전기적으로 접속된 제 1 트랜지스터와, 게이트 전극이 소거 단자에, 소스 전극 또는 드레인 전극 중 하나가 기억 노드에, 다른 하나가 접지 전위선에 각각 전기적으로 접속된 제 2 트랜지스터와, 게이트 전극이 기억 노드에 전기적으로 접속된 제 3 트랜지스터를 갖는다. 또한, 제 1 트랜지스터와 제 2 트랜지스터의 오프 누설 전류가 채널 폭  $1\text{ }\mu\text{m}$ 당  $1\times 10^{-17}\text{ A}$  이하이고, 제 3 트랜지스터의 소스 전극 및 드레인 전극이 저항 소자에 병렬로 접속된, 저항 소자의 트리밍 회로의 구동 방법이다. 그리고, 상기 방법은 기록 단자에 제 1 트랜지스터가 오프 상태가 되는 신호를, 소거 단자에 제 2 트랜지스터가 온 상태가 되는 신호를 각각 입력하여, 기억 노드의 전위를 제 3 트랜지스터가 오프 상태가 되는 전위로 하는 제 1 단계와, 기록 단자에 제 1 트랜지스터가 오프 상태가 되는 신호를, 소거 단자에 제 2 트랜지스터가 오프 상태가 되는 신호를 각각 입력하는 제 2 단계를 포함하는, 저항 소자를 이용 가능한 상태로 하는 트리밍 회로의 구동 방법이다.

[0022] 상기 본 발명의 일 형태인 트리밍 회로의 구동 방법은 기억 노드의 전위를 제 3 트랜지스터가 오프 상태가 되는 전위로 하는 단계와, 기억 노드에 소스 전극 또는 드레인 전극이 접속된 제 1 트랜지스터 및 제 2 트랜지스터를 오프 상태로 하는 단계를 갖는다. 이로써, 트리밍 회로를 구성하는 모든 요소의 구조를 변화시키지 않고 제 3 트랜지스터의 동작 상태를 가역적으로 변경할 수 있다. 그러므로, 신뢰성이 높은 트리밍 회로의 구동 방법을 제공할 수 있다.

[0023] 또한, 본 발명의 일 형태는 상술한 제 2 단계에 이어서, 기록 단자에 제 1 트랜지스터가 온 상태가 되는 신호를, 소거 단자에 상기 제 2 트랜지스터가 오프 상태가 되는 신호를 각각 입력하여, 기억 노드의 전위를 제 3 트랜지스터가 온 상태가 되는 전위로 함으로써, 또는 기록 단자에 제 1 트랜지스터가 오프 상태가 되는 신호를, 소거 단자에 제 2 트랜지스터가 온 상태가 되는 신호를 각각 입력하여, 기억 노드의 전위를 제 3 트랜지스터가 오프 상태가 되는 전위로 함으로써, 기억 노드의 전위를 제 2 단계와 상이한 전위로 하는 제 3 단계와, 기록 단자에 제 1 트랜지스터가 오프 상태가 되는 신호를, 소거 단자에 제 2 트랜지스터가 오프 상태가 되는 신호를 각각 입력하는 제 4 단계를 포함하는, 저항 소자의 트리밍 상태를 변경하는 트리밍 회로의 구동 방법이다.

[0024] 상기 본 발명의 일 형태인 트리밍 회로의 구동 방법은 기억 노드의 전위를 구동하기 전과 상이한 전위로 하는 단계와, 기억 노드에 소스 전극 또는 드레인 전극이 접속된 제 1 트랜지스터 및 제 2 트랜지스터를 오프 상태로 하는 단계를 갖는다. 이로써, 트리밍 회로를 구성하는 모든 요소의 구조를 변화시키지 않고 제 3 트랜지스터의 동작 상태를 가역적으로 변경할 수 있다. 그러므로, 재기록 가능한 트리밍 회로의 구동 방법을 제공할 수 있다.

### 발명의 효과

[0025] 본 발명의 일 형태에 따르면, 신뢰성이 높은 트리밍 회로를 제공할 수 있다. 또는, 재기록 가능한 트리밍 회로를 제공할 수 있다. 또는, 신뢰성이 높은 트리밍 회로의 구동 방법을 제공할 수 있다. 또는, 재기록 가능한 트리밍 회로의 구동 방법을 제공할 수 있다.

### 도면의 간단한 설명

[0026] 도 1은 실시형태에 따른 트리밍 회로의 구성을 설명하기 위한 도면.

도 2a 내지 도 2c는 실시형태에 따른 트리밍 회로의 동작을 설명하기 위한 도면.

도 3a 내지 도 3c는 실시형태에 따른 트리밍 회로의 구성을 설명하기 위한 도면.

도 4a 내지 도 4d는 실시형태에 따른 트리밍 회로의 제작 방법을 설명하기 위한 도면.

도 5a 내지 도 5d는 실시형태에 따른 트리밍 회로의 제작 방법을 설명하기 위한 도면.

도 6a 내지 도 6e는 실시형태에 따른 산화물 재료의 구조를 설명하기 위한 도면.

도 7a 내지 도 7c는 실시형태에 따른 산화물 재료의 구조를 설명하기 위한 도면.

도 8a 내지 도 8c는 실시형태에 따른 산화물 재료의 구조를 설명하기 위한 도면.

도 9a 및 도 9b는 실시형태에 따른 산화물 재료의 구조를 설명하기 위한 도면.

### 발명을 실시하기 위한 구체적인 내용

[0027]

실시형태에 대해서, 도면을 사용하여 상세하게 설명한다. 다만, 본 발명은 이하에 제시되는 설명에 한정되지 않고 본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당연히 자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 제시되는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 이하에 설명되는 발명의 구성에 관해서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면들에서 공통적으로 사용하고, 그 반복 설명은 생략한다.

[0028]

(실시형태 1)

[0029]

본 실시형태에서는 오프 누설 전류가 매우 작은 트랜지스터의 소스 전극 또는 드레인 전극에 접속된 기억 노드 와, 상기 기억 노드에 게이트 전극이 접속된 트랜지스터를 구비한 트리밍 회로의 구성에 대해서 도 1을 참조하여 설명한다.

[0030]

본 발명의 일 형태인 트리밍 회로의構成을 도 1에 도시하였다. 도 1에 예시한 트리밍 회로(100)는 용량 소자(140), 제 1 트랜지스터(110), 제 2 트랜지스터(120), 제 3 트랜지스터(130)를 갖는다. 또한, 제 1 트랜지스터(110)와 제 2 트랜지스터(120)는 밴드갭이 2.5eV 이상인 반도체 재료가 채널 형성 영역에 구비되고, 오프 누설 전류가 매우 작은 트랜지스터이다. 오프 누설 전류를 매우 작게 함으로써, 기억 노드(150)에 기록된 전하를 오랜 기간 동안 유지할 수 있다. 예를 들어, 밴드갭이 3.15eV인 산화물 반도체층이 채널 형성 영역에 구비되고, 오프 누설 전류의 크기가 채널 폭  $1\text{ }\mu\text{m}$ 당  $1\times 10^{-17}\text{ A}$  이하인 트랜지스터를 사용할 수 있다.

[0031]

제 1 트랜지스터(110)와 제 2 트랜지스터(120)에 사용할 수 있는 트랜지스터는 실리콘 반도체의 1.12eV보다 큰 밴드갭을 갖는 반도체 재료가 그 채널 형성 영역에 구비된 트랜지스터가 적합하다. 예를 들어, 밴드갭이 2.5eV 이상, 바람직하게는 3.0eV 이상인 반도체 재료가 채널 형성 영역에 구비된 트랜지스터, 구체적으로는 산화물 반도체, 질화물 반도체, 산질화물 반도체, 탄화물 반도체, 반도체 특성을 나타내는 다이아몬드 박막 등이 채널 형성 영역에 구비된 트랜지스터를 사용할 수 있다. 밴드갭이 2.5eV 이상인 반도체 재료가 채널 형성 영역에 구비된 트랜지스터는 밴드갭이 1.12eV인 실리콘 반도체가 채널 형성 영역에 구비된 트랜지스터보다 오프 누설 전류를 작게 할 수 있다.

[0032]

또한, 제 1 트랜지스터와 제 2 트랜지스터의 오프 누설 전류를 저감하기 위해서 다양한 구성의 트랜지스터를 사용할 수 있다. 예를 들어, 직렬로 접속된 2개 이상의 채널 형성 영역을 갖는 반도체층을 포함한 멀티 게이트형 트랜지스터를 사용하여도 좋다. 또한, 소스 전극 또는 드레인 전극과 채널 형성 영역 사이에 간격(오프셋이라고도 함)이 형성된 트랜지스터를 사용하여도 좋다.

[0033]

용량 소자(140)는 그 한쪽 전극이 기억 노드(150)에, 다른 쪽 전극이 접지 전위선에 각각 전기적으로 접속된다.

[0034]

기억 노드(150)는 밴드갭이 2.5eV 이상인 반도체 재료가 채널 형성 영역에 구비되고, 오프 누설 전류가 저감된 제 1 트랜지스터(110), 제 2 트랜지스터(120), 및 용량 소자(140)에 접속된다. 용량 소자(140)를 형성하면, 서지 전류 등에 기인하여 기억 노드(150)의 전위가 불안정하게 되는 현상의 발생을 억제할 수 있어서 신뢰성이 향상되기 때문에 바람직하다.

[0035]

제 1 트랜지스터(110)는 게이트 전극이 기록 단자(115)에, 소스 전극 또는 드레인 전극 중 하나가 기억 노드(150)에, 다른 하나가 전원 전위선에 각각 전기적으로 접속된다. 또한, 전원 전위선에는 접지 전위보다 높은

전원 전위 Vdd가 공급된다.

- [0036] 제 2 트랜지스터(120)는 게이트 전극이 소거 단자(125)에, 소스 전극 또는 드레인 전극 중 하나가 기억 노드(150)에, 다른 하나가 전원 전위선에 각각 전기적으로 접속된다.
- [0037] 제 3 트랜지스터(130)는 게이트 전극이 기억 노드(150)에 전기적으로 접속되고, 소스 전극 및 드레인 전극이 저항 소자(105)에 병렬로 접속된다.
- [0038] 기억 노드(150)는 용량 소자(140)의 한쪽 전극이 접속되고, 오프 누설 전류가 매우 작은 제 1 트랜지스터(110)에 의해 전원 전위선으로부터 전기적으로 분리되고, 오프 누설 전류가 매우 작은 제 2 트랜지스터(120)에 의해 접지 전위선으로부터 전기적으로 분리된다. 이와 같이 구성된 기억 노드(150)는 기록된 전하를 오랜 기간 동안 안정적으로 유지할 수 있다.
- [0039] 기록된 전하를 오랜 기간 동안 유지할 수 있는 기억 노드(150)에 제 3 트랜지스터(130)의 게이트 전극이 접속된 구성에 의해, 상기 게이트 전극을 통하여 제 3 트랜지스터(130)의 동작 상태(구체적으로는 온 상태 또는 오프 상태 중 어느 한 상태)를 오랜 기간 동안 유지할 수 있다.
- [0040] 또한, 이 구성에 따르면, 모든 구성 요소의 구조를 비가역적으로 변화시키지 않고 제 3 트랜지스터(130)의 동작 상태를 오랜 기간 동안 유지할 수 있기 때문에 신뢰성이 특히 높다. 또한, 비가역적으로 구조를 변화시키지 않고 기억 노드(150)의 전위를 재기록하여, 제 3 트랜지스터(130)의 동작 상태를 몇 번이나 변경할 수 있다.
- [0041] 본 발명의 일 형태에 따르면, 신뢰성이 높은 트리밍 회로를 제공할 수 있다. 또는, 재기록 가능한 트리밍 회로를 제공할 수 있다.
- [0042] 또한, 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.
- [0043] (실시형태 2)
- [0044] 본 실시형태에서는 오프 누설 전류가 매우 작은 트랜지스터의 소스 전극 또는 드레인 전극에 접속된 기억 노드와, 상기 기억 노드에 게이트 전극이 접속된 트랜지스터를 구비한 트리밍 회로의 구동 방법에 대해서 도 2a 내지 도 2c를 참조하여 설명한다. 구체적으로는 실시형태 1에서 예시한 트리밍 회로(100)의 구동 방법에 대해서 설명한다.
- [0045] <구동 방법 예 1>
- [0046] 우선, 트리밍 회로에 병렬로 접속된 소자나 회로를 이용 불가능한 상태(트리밍 상태)로 하는 방법에 대해서 도 2a와 도 2c를 사용하여 설명하기로 한다.
- [0047] 기록 단자(115)에 제 1 트랜지스터(110)가 온 상태가 되는 신호를, 소거 단자(125)에 제 2 트랜지스터(120)가 오프 상태가 되는 신호를 각각 입력한다. 이로써, 기억 노드(150)는 제 1 트랜지스터(110)를 통하여 전원 전위선과 접속되고, 용량 소자(140)에 접속된 기억 노드(150)에 전하가 축적된다. 또한, 기억 노드(150)에 게이트 전극이 접속된 제 3 트랜지스터는 온 상태가 되고, 그 소스 전극과 드레인 전극을 통하여 제 3 트랜지스터에 전류가 흐르게 된다. 또한, 여기까지의 단계를 구동 방법 예 1의 제 1 단계라고 부르기로 한다(도 2a 참조).
- [0048] 다음에, 기록 단자(115)에 제 1 트랜지스터(110)가 오프 상태가 되는 신호를, 소거 단자(125)에 제 2 트랜지스터(120)가 오프 상태가 되는 신호를 각각 입력한다. 이로써, 기억 노드(150)는 전원 전위선 및 접지 전위선 양쪽 모두로부터 전기적으로 분리되어, 기억 노드(150)에 기록된 전하가 유지된다. 또한, 여기까지의 단계를 구동 방법 예 1의 제 2 단계라고 부르기로 한다(도 2c 참조).
- [0049] 상기 본 발명의 일 형태인 트리밍 회로(100)의 구동 방법은 기억 노드(150)의 전위를 제 3 트랜지스터(130)가 온 상태가 되는 전위로 하는 제 1 단계와, 기억 노드(150)에 소스 전극 또는 드레인 전극이 접속된 제 1 트랜지스터(110) 및 제 2 트랜지스터(120)를 오프 상태로 하는 제 2 단계를 갖는다. 이로써, 트리밍 회로(100)를 구성하는 모든 요소의 구조를 변화시키지 않고 제 3 트랜지스터(130)에 더 많은 전류를 흘릴 수 있게 한다. 이렇게 함으로써, 신뢰성이 높은 트리밍 회로의 구동 방법을 제공할 수 있다.
- [0050] <구동 방법 예 2>
- [0051] 다음에, 트리밍 회로에 병렬로 접속된 소자나 회로를 이용 가능한 상태로 하는 방법에 대해서 도 2b와 도 2c를 사용하여 설명한다.
- [0052] 기록 단자(115)에 제 1 트랜지스터(110)가 오프 상태가 되는 신호를, 소거 단자(125)에 제 2 트랜지스터(120)가

온 상태가 되는 신호를 각각 입력한다. 이로써, 기억 노드(150)는 제 2 트랜지스터(120)를 통하여 접지 전위선과 접속되고, 기억 노드(150)는 접지 전위와 같은 전위가 된다. 또한, 기억 노드(150)에 게이트 전극이 접속된 제 3 트랜지스터는 오프 상태가 되고, 그 소스 전극과 드레인 전극에 병렬로 접속된 저항 소자(105)에 전류가 흐르게 된다. 또한, 여기까지의 단계를 구동 방법 예 2의 제 1 단계라고 부르기로 한다(도 2b 참조).

[0053] 다음에, 기록 단자(115)에 제 1 트랜지스터(110)가 오프 상태가 되는 신호를, 소거 단자(125)에 제 2 트랜지스터(120)가 오프 상태가 되는 신호를 각각 입력한다. 이로써, 기억 노드(150)는 전원 전위선 및 접지 전위선 양쪽 모두로부터 전기적으로 분리되어, 기억 노드(150)에 기록된 전하가 유지된다. 또한, 여기까지의 단계를 구동 방법 예 2의 제 2 단계라고 부르기로 한다(도 2c 참조).

[0054] 상기 본 발명의 일 형태인 트리밍 회로(100)의 구동 방법은 기억 노드(150)의 전위를 제 3 트랜지스터(130)가 오프 상태가 되는 전위로 하는 제 1 단계와, 기억 노드(150)에 소스 전극 또는 드레인 전극이 접속된 제 1 트랜지스터(110) 및 제 2 트랜지스터(120)를 오프 상태로 하는 제 2 단계를 갖는다. 이로써, 트리밍 회로(100)를 구성하는 모든 요소의 구조를 변화시키지 않고 제 3 트랜지스터(130)의 소스 전극과 드레인 전극에 병렬로 접속된 저항 소자(105)에 더 많은 전류를 흘릴 수 있게 한다. 이렇게 함으로써, 신뢰성이 높은 트리밍 회로(100)의 구동 방법을 제공할 수 있다.

[0055] <구동 방법 예 3>

[0056] 다음에, 구동 방법 예 1 또는 구동 방법 예 2에서 기재한 방법을 이용하여 트리밍 상태가 설정된 트리밍 회로(100)의 설정을 변경하는 방법에 대해서 설명한다.

[0057] 기록 단자(115)에 제 1 트랜지스터(110)가 온 상태가 되는 신호를, 소거 단자(125)에 제 2 트랜지스터(120)가 오프 상태가 되는 신호를 각각 입력하여, 기억 노드(150)의 전위를 제 3 트랜지스터(130)가 온 상태(도 2a 참조)가 되는 전위로 하거나, 또는 기록 단자(115)에 제 1 트랜지스터(110)가 오프 상태가 되는 신호를, 소거 단자(125)에 제 2 트랜지스터(120)가 온 상태가 되는 신호를 각각 입력하여, 기억 노드(150)의 전위를 제 3 트랜지스터(130)가 오프 상태(도 2b 참조)가 되는 전위로 하고 나서, 구동 방법 예 1 또는 구동 방법 예 2에서 기재한 방법을 이용하여 트리밍 상태가 설정된 기억 노드(150)의 전위를 재기록한다. 또한, 여기까지의 단계를 구동 방법 예 1 또는 구동 방법 예 2에서 설명한 어느 한 구동 방법의 제 1 단계 및 제 2 단계 후에 이어서 실시하기 때문에, 구동 방법 예 3의 제 3 단계라고 부르기로 한다.

[0058] 다음에, 기록 단자(115)에 제 1 트랜지스터(110)가 오프 상태가 되는 신호를, 소거 단자(125)에 제 2 트랜지스터(120)가 오프 상태가 되는 신호를 각각 입력한다. 이로써, 기억 노드(150)는 전원 전위선 및 접지 전위선 양쪽 모두로부터 전기적으로 분리되어, 기억 노드(150)에 기록된 전하가 유지된다. 또한, 여기까지의 단계를 구동 방법 예 3의 제 4 단계라고 부르기로 한다(도 2c 참조).

[0059] 상기 본 발명의 일 형태인 트리밍 회로(100)의 구동 방법은 기억 노드(150)의 전위를 구동 방법 3을 이용하여 트리밍 회로(100)를 구동하기 전과 상이한 전위로 하는 제 3 단계와, 기억 노드(150)에 소스 전극 또는 드레인 전극이 접속된 제 1 트랜지스터(110) 및 제 2 트랜지스터(120)를 오프 상태로 하는 제 4 단계를 갖는다. 이로써, 트리밍 회로를 구성하는 모든 요소의 구조를 변화시키지 않고 제 3 트랜지스터(130)의 동작 상태를 변경할 수 있다. 이렇게 함으로써, 재기록 가능한 트리밍 회로(100)의 구동 방법을 제공할 수 있다.

[0060] <변형 예>

[0061] 구동 방법 예 3에서는 제 3 트랜지스터(130)의 동작 상태를 변경하는 방법에 대해서 기재하였지만, 제 3 트랜지스터(130)의 동작 상태를 변경하지 않고 기록 단자(115)와 소거 단자(125)에 신호를 다시 입력하여 데이터를 기록하는 구동 방법도 본 발명의 일 형태라고 할 수 있다.

[0062] 본 발명의 일 형태인 트리밍 회로는 제 1 트랜지스터(110)와 제 2 트랜지스터(120)에 오프 누설 전류가 매우 작은 트랜지스터가 구비되고, 기억 노드(150)에 기록된 전하를 오랜 기간 동안 유지할 수 있다. 여기서, 기억 노드(150)가 전하를 유지하는 상태와 같은 상태를 유지하도록 기록 단자(115)와 소거 단자(125)에 신호를 입력함으로써, 신뢰성을 더 향상시킬 수 있다.

[0063] 또한, 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.

[0064] (실시형태 3)

[0065] 본 실시형태에서는 본 발명의 일 형태인 트리밍 회로의 구성에 대해서 도 3a 내지 도 3c를 참조하여 설명한다.

구체적으로는 산화물 반도체 이외의 반도체가 사용된 트랜지스터와 채널 형성 영역에 산화물 반도체층이 구비된 트랜지스터를 포함한 트리밍 회로의 구성에 대해서 설명하기로 한다.

[0066] 본 발명의 일 형태인 트리밍 회로의 구성을 도 3a 내지 도 3c에 도시하였다. 도 3a는 트리밍 회로(300)의 상면도이고, 도 3b는 도 3a에 도시된 절단선 C1-C2 부분의 단면도이고, 도 3c는 도 3a에 도시된 절단선 D1-D2 부분의 단면도이다.

[0067] 도 3a 내지 도 3c에 예시한 트리밍 회로(300)는 제 3 트랜지스터(330)와 저항 소자(305)가 형성된 기판(301) 위에 절연층(304)을 개재(介在)하여 형성된 제 1 트랜지스터(310)와, 제 2 트랜지스터(320)와, 용량 소자(340)를 갖는다.

[0068] <제 3 트랜지스터와 저항 소자의 구성>

[0069] 본 실시형태에서는 제 3 트랜지스터(330)의 채널 형성 영역에 산화물 반도체 이외의 반도체 재료를 적용하는 경우에 대해서 설명한다. 구체적으로는 기판(301)에 실리콘 단결정 기판을 사용하고, 그 표면에 제 3 트랜지스터(330)가 형성된 구성에 대해서 설명한다(도 3b 참조).

[0070] 또한, 산화물 반도체 이외의 반도체 재료로서는, 예를 들어 실리콘, 게르마늄, 실리콘게르마늄, 탄화실리콘, 또는 갈륨비소 등을 사용할 수 있다. 또한, 유기 반도체 재료 등을 사용하여도 좋다.

[0071] 또한, 상기 반도체 재료 중 어느 재료이든 비결정 상태나 결정 상태를 포함하여도 좋지만, 단결정 반도체 기판을 사용하면, 고속 동작이 가능한 트랜지스터를 제작할 수 있기 때문에 바람직하다.

[0072] 또한, SOI 기판 등을 적용할 수 있다. 일반적으로 말해서 ‘SOI 기판’ 이란 절연 표면 위에 실리콘 반도체막이 형성된 구성을 갖는 기판을 의미하지만, 본 명세서 등에서는 절연 표면 위에 실리콘 이외의 재료로 이루어진 반도체막이 형성된 구성을 갖는 기판도 포함한다. 즉 ‘SOI 기판’ 이 갖는 반도체막은 실리콘 반도체막에 한정되지 않는다. 또한, SOI 기판에는 유리 기판 등의 절연 기판 위에 절연층을 개재하여 반도체막이 형성된 구성을 갖는 기판도 포함된다.

[0073] 소자 분리 절연층(302)이 제 3 트랜지스터(330)를 둘러싸도록 형성된다. 제 3 트랜지스터(330)의 게이트 전극(331)은 절연층(303)에 형성된 개구부를 통하여 배선(332)과 전기적으로 접속된다.

[0074] 배선(332)과 동일한 도전층으로 형성된 배선(335)이 구비한 굴곡된 부분이 저항 소자(305)로서 기능한다. 그리고, 상기 저항 소자(305)는 제 3 트랜지스터(330)의 소스 전극 및 드레인 전극에 병렬로 접속된다(도 3a 참조).

[0075] <용량 소자, 제 1 트랜지스터 및 제 2 트랜지스터의 구성>

[0076] 용량 소자(340)는 배선(341)과 배선(352) 사이에 절연층을 끼워서 구비하고, 절연층(304) 위에 형성된다. 또한, 배선(352)은 절연층(304)에 형성된 개구부를 통하여 배선(332)과 접속된다(도 3b 참조).

[0077] 제 1 트랜지스터(310)는 절연층(304) 위에 형성된 산화물 반도체층(313)과, 게이트 전극으로서 기능하는 배선(311) 사이에 게이트 절연층(312)을 구비한다. 또한, 배선(311)은 그 측벽에 절연층이 형성되고, 소스 전극 또는 드레인 전극으로서 기능하는 배선(351) 및 배선(352)과 절연된다(도 3c 참조).

[0078] 제 2 트랜지스터(320)는 절연층(304) 위에 형성된 산화물 반도체층(323)과, 게이트 전극으로서 기능하는 배선(321) 사이에 게이트 절연층(322)을 구비한다. 또한, 배선(321)은 그 측벽에 절연층이 형성되고, 소스 전극 또는 드레인 전극으로서 기능하는 배선(352) 및 배선(353)과 절연된다(도 3c 참조).

[0079] 본 실시형태에서 예시하는 트리밍 회로는 오프 누설 전류가 매우 작은 제 1 트랜지스터(310)와 제 2 트랜지스터(320)를 구비한다. 구체적으로는 채널 형성 영역에 산화물 반도체층을 구비한 트랜지스터이며, 그 오프 누설 전류의 크기는 채널 폭  $1\text{ }\mu\text{m}$ 당  $1 \times 10^{-17}\text{ A}$  이하이다. 오프 누설 전류를 매우 작게(예를 들어 채널 폭  $1\text{ }\mu\text{m}$ 당  $1 \times 10^{-17}\text{ A}$  이하) 함으로써, 기억 노드에 기록된 전하를 오랜 기간 동안 유지할 수 있다.

[0080] 또한, 본 실시형태에서 예시하는 트리밍 회로는 산화물 반도체층이 구비된 트랜지스터를 갖고, 상기 산화물 반도체층이 구비된 트랜지스터가 산화물 반도체 이외의 반도체가 사용된 트랜지스터가 형성된 기판 위에 형성된다. 이러한 구성으로 함으로써, 예를 들어 산화물 반도체 이외의 반도체가 사용되어, 예를 들어 고속으로 동작하는 트랜지스터와, 오프 누설 전류가 저감된 산화물 반도체가 사용된 트랜지스터를 조합하여 이용할 수 있다. 이로써, 산화물 반도체 이외의 반도체와 오프 누설 전류가 저감된 산화물 반도체의 장점을 살린 트리밍

회로, 및 상기 트리밍 회로가 구비된 반도체 장치를 제공할 수 있다.

[0081] 또한, 본 실시형태에서 예시한 트리밍 회로는 적층된 구성을 갖는다. 구체적으로는 산화물 반도체층이 구비된 트랜지스터와 저항 소자가 중첩되어 형성된다. 이로써, 트리밍 회로가 점유하는 면적을 작게 할 수 있다. 또한, 상기 트리밍 회로를 적용함으로써, 반도체 장치를 소형화할 수 있다.

[0082] 또한, 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.

[0083] (실시형태 4)

[0084] 본 실시형태에서는 본 발명의 일 형태인 트리밍 회로에 사용할 수 있는 트랜지스터의 구성에 대해서 설명한다. 구체적으로는 밴드갭이 2.5eV 이상인 반도체 재료가 채널 형성 영역에 구비된 트랜지스터의 구성에 대해서 설명한다. 또한, 본 실시형태에서 예시하는 트랜지스터의 제작 방법은 실시형태 5에서 설명하기로 한다.

[0085] 본 실시형태에서 예시하는 트랜지스터의構成을 도 4d를 사용하여 설명한다. 도 4d는 트랜지스터의 단면을 도시한 것이다.

[0086] 본 실시형태에서 예시하는 트랜지스터(710)는 기판(701) 위에 하지가 되는 절연층(704)과, 산화물 반도체층(713)과, 게이트 절연층(712)과, 게이트 전극(711)과, 소스 전극 또는 드레인 전극으로서 기능하는 전극(751)과 전극(752)과, 트랜지스터를 보호하는 절연층(705)을 갖는다.

[0087] <하지가 되는 절연층의 구성>

[0088] 하지가 되는 절연층(704)은 절연성 표면을 갖고, 채널이 형성되는 산화물 반도체층(713)의 하지가 된다.

[0089] 하지가 되는 절연층(704)은, 예를 들어 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄, 질화알루미늄, 산화질화알루미늄, 질화산화알루미늄, 산화하프늄, 산화갈륨 등 중에서 선택된 하나 또는 복수의 재료를 함유한 층의 단층 구조라도 좋고, 2층 이상을 적층한 구조라도 좋다.

[0090] <산화물 반도체층>

[0091] 채널이 형성된 산화물 반도체층(713)은 게이트 절연층(712)을 개재하여 게이트 전극(711)과 중첩되고, 게이트 전극(711)을 끼워서 형성된 전극(751)과 전극(752)이 전기적으로 접속된다. 또한, 전극(751)과 전극(752)은 소스 전극 또는 드레인 전극으로서 기능한다.

[0092] 채널이 형성되는 산화물 반도체층(713)의 두께는 2nm 이상 200nm 이하, 바람직하게는 5nm 이상 30nm 이하로 한다.

[0093] 또한, 산화물 반도체층(713)은 섬 형상으로 가공되지 않아도 좋다.

[0094] 산화물 반도체층(713)은 단결정, 다결정(폴리크리스탈이라고도 함), 또는 비정질 등의 상태가 된다.

[0095] 바람직하게는, 산화물 반도체층은 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)층으로 한다.

[0096] 결정성을 갖는 산화물 반도체층의 일례로서는 c축으로 배향된 결정(CAAC; c-axis aligned crystals)을 갖는 산화물 반도체층을 들 수 있다. 또한, c축으로 배향된 결정을 갖는 산화물 반도체층의 자세한 내용은 실시형태 7에서 설명한다.

[0097] 산화물 반도체층(713)은 그 화학양론비보다 산소를 과잉으로 함유한 구성이 바람직하다. 산소를 과잉으로 함유함으로써, 금속 산화물층의 산소 결손에 기인한 캐리어의 발생을 억제할 수 있다.

[0098] 산화물 반도체층(713)은 적어도 인듐(In) 또는 아연(Zn)을 함유한 것이 바람직하다. 특히 In과 Zn을 함유한 것이 바람직하다.

[0099] 또한, 상기 산화물 반도체층이 사용된 트랜지스터의 전기 특성의 편차를 감소시키기 위한 스테빌라이저로서, 이들 이외에 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.

[0100] 또한, 다른 스테빌라이저로서, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 텔륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종류 또는 복수 종류를 가져도 좋다.

- [0101] 예를 들어, 산화물 반도체로서, 산화인듐, 산화아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.
- [0102] 여기서, 예를 들어, In-Ga-Zn-O계 재료란 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물을 의미하고, 그 조성비는 특별히 불문한다. 또한, In, Ga, 및 Zn 이외의 금속 원소가 함유되어도 좋다. 예를 들어, SiO<sub>2</sub>가 함유되어도 좋다.
- [0103] 또한, 산화물 반도체로서, InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0, 또한 m은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한, M은 Ga, Fe, Mn 및 Co 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, In<sub>2</sub>SnO<sub>5</sub>(ZnO)<sub>n</sub>(n>0, 또한 n은 정수)으로 표기되는 재료를 사용하여도 좋다.
- [0104] 그러나, 상술한 조성에 한정되지 않고, 필요한 반도체 특성(이동도, 임계값, 편차 등)에 따라 적절한 조성을 갖는 것을 사용하면 좋다. 또한, 필요한 반도체 특성을 얻기 위해서, 캐리어 농도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수 비율, 원자간 결합 거리, 밀도 등을 적절하게 하는 것이 바람직하다.
- [0105] <게이트 절연층>
- [0106] 게이트 절연층(712)은 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화갈륨, 산화알루미늄, 산화질화알루미늄, 산화탄탈 등을 사용할 수 있다.
- [0107] 게이트 절연층(712)은 고유전율(high-k) 재료를 사용할 수도 있다. 고유전율 재료로서는 산화하프늄, 산화이트륨, 산화란탄, 하프늄실리케이트(HfSi<sub>x</sub>O<sub>y</sub>(x>0, y>0)), 하프늄알루미네이트(HfAl<sub>x</sub>O<sub>y</sub>(x>0, y>0)), 질소가 첨가된 하프늄실리케이트(HfSi<sub>x</sub>O<sub>y</sub>N<sub>z</sub>(x>0, y>0, z>0)), 질소가 첨가된 하프늄알루미네이트(HfAl<sub>x</sub>O<sub>y</sub>N<sub>z</sub>(x>0, y>0, z>0)) 등을 일례로서 들 수 있다.
- [0108] 게이트 절연층(712)은 단층 구조이든 적층 구조이든 어느 쪽이라도 좋다. 예를 들어, high-k 재료를 함유한 층과, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄 등 중에서 선택된 재료를 함유한 층의 적층 구조로 하여도 좋다.
- [0109] 게이트 절연층(712)은 그 두께를 얇게 하거나 또는 상술한 high-k 재료를 그 재료에 사용하면, 동작 특성을 유지한 채 트랜지스터를 미세화할 수 있다.
- [0110] 예를 들어, 산화실리콘을 사용하는 경우에는 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.
- [0111] 한편, high-k 재료를 사용하는 경우에는 그 두께를 터널 효과 등에 기인한 게이트 누설이 발생할 정도까지 얇게 하지 않으면서도 트랜지스터를 미세화할 수 있다.
- [0112] 또한, 게이트 절연층(712)에 13족 원소 및 산소를 함유한 절연 재료를 적용할 수 있다. 또한, 13족 원소를 함유한 절연 재료란 절연 재료에 하나 또는 복수의 13족 원소를 함유한 것을 의미한다.
- [0113] 예를 들어 산화갈륨, 산화알루미늄, 산화알루미늄갈륨, 산화갈륨알루미늄 등이 13족 원소 및 산소를 함유한 절연 재료의 일례로서 들 수 있다. 여기서, 산화알루미늄갈륨이란 갈륨의 함유량(atomic%)보다 알루미늄의 함유량(atomic%)이 많은 것을 의미하고, 산화갈륨알루미늄이란 갈륨의 함유량(atomic%)이 알루미늄의 함유량(atomic%) 이상인 것을 의미한다.
- [0114] 산화물 반도체 재료는 13족 원소를 함유한 것이 많고, 13족 원소를 함유한 절연 재료와 산화물 반도체 재료는 성질이 잘 맞다. 따라서, 13족 원소 및 산소를 함유한 절연 재료를 산화물 반도체층에 접촉하는 절연층에 사용함으로써, 산화물 반도체층과 절연층의 계면 상태를 양호하게 유지할 수 있다.
- [0115] 예를 들어, 갈륨을 함유한 산화물 반도체층에 접촉하는 게이트 절연층을 형성하는 경우에, 산화갈륨이 함유된

재료를 게이트 절연층에 사용함으로써 산화물 반도체층과 게이트 절연층의 계면 특성을 양호하게 유지할 수 있다.

[0116] 또한, 산화물 반도체층과 산화갈륨을 함유한 절연층을 접촉하여 형성함으로써, 산화물 반도체층과 절연층의 계면에서의 수소의 파일업(pile up)을 저감할 수 있다.

[0117] 예를 들어, 산화알루미늄을 함유한 재료를 사용하여 절연층을 형성하는 것도 유효하다. 또한, 산화알루미늄은 물을 투과시키기 어렵다는 특성을 갖고 있으므로, 상기 재료를 사용하는 것은 산화물 반도체층으로 물이 침입하는 것을 방지하기 위해서도 바람직하다.

[0118] 이와 같이 절연층에 산화물 반도체의 성분 원소와 같은 측에 속한 원소를 이용하는 경우에는 같은 효과를 얻을 수 있다.

#### <게이트 전극>

[0120] 게이트 전극(711)은 게이트 절연층(712)을 개재하여 산화물 반도체층(713)과 중첩되고, 트랜지스터(710)의 게이트 전극으로서 기능한다.

[0121] 게이트 전극(711)은 도전 재료를 함유한 층의 단층 구조라도 좋고, 2층 이상을 적층한 구조라도 좋다.

[0122] 도전 재료는 열처리 공정에 견딜 수 있는 재료라면 좋고, 예를 들어 몰리브덴, 티타늄, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등 중에서 선택된 하나의 금속, 또는 이들 중에서 선택된 하나의 금속을 함유한 합금을 사용할 수 있다.

[0123] 또한, 인 등의 불순물이 도핑된 다결정 실리콘층으로 대표되는 반도체층, 니켈실리사이드 등의 실리사이드층을 사용하여도 좋다.

#### <게이트 전극 위의 절연층 및 측벽>

[0125] 게이트 전극 위의 절연층(714a)은 게이트 전극(711)과 중첩되고, 절연성을 갖는다.

[0126] 측벽(714b)은 게이트 절연층(712), 게이트 전극(711), 및 게이트 전극 위의 절연층(714a)의 적층체의 측면에 접촉하고, 절연층을 갖는다.

#### <소스 전극 및 드레인 전극>

[0128] 전극(751) 및 전극(752) 양쪽 모두가 산화물 반도체층(713)과 전기적으로 접속되고, 상기 트랜지스터의 소스 전극 및 드레인 전극으로서 기능한다.

[0129] 소스 전극 또는 드레인 전극으로서 기능하는 전극은 도전 재료를 함유한 층의 단층 구조라도 좋고, 2층 이상을 적층한 구조라도 좋다.

[0130] 도전 재료는 열처리 공정에 견딜 수 있는 재료라면 좋고, 예를 들어 알루미늄, 크롬, 구리, 티타늄, 탄탈, 몰리브덴, 및 텉스텐 중에서 선택된 하나의 금속, 또는 이들 중에서 선택된 하나의 금속을 함유한 합금을 사용할 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 및 스칸듐 중에서 선택된 하나의 금속, 또는 이들 중에서 선택된 하나의 금속을 함유한 합금을 사용할 수도 있다.

[0131] 또한, 도전 재료로서 금속 질화물을 사용할 수 있다. 구체적으로는 질화티타늄, 질화몰리브덴, 질화텅스텐 등을 일례로서 들 수 있다.

[0132] 또한, 도전 재료로서 도전성 금속 산화물을 사용할 수 있다. 구체적으로는 산화인듐, 산화주석, 인듐-주석 산화물(ITO라고도 함), 인듐-아연 산화물, 산화아연, 갈륨 또는 알루미늄이 첨가된 산화아연, 또는 이들의 금속 산화물 재료에 산화실리콘이 함유된 것을 사용할 수 있다.

[0133] 또한, 도전 재료로서는 그래핀 등을 사용할 수 있다.

[0134] 예를 들어, 티타늄이나 질화티타늄으로 이루어진 단층 구조, 실리콘을 함유한 알루미늄의 단층 구조, 알루미늄 층 위에 티타늄층이 적층된 2층 구조, 질화티타늄층 위에 티타늄층이 적층된 2층 구조, 티타늄층과 알루미늄층과 티타늄층이 적층된 3층 구조 등을 들 수 있다.

[0135] 또한, 트랜지스터의 채널 길이(L)는 산화물 반도체층에 접촉하는 소스 전극의 단부와 산화물 반도체층에 접촉하는 드레인 전극의 단부 사이의 간격에 의해 결정된다.

[0136] <트랜지스터를 보호하는 절연층>

[0137] 트랜지스터를 보호하는 절연층(705)은 수분 등의 불순물이 외부로부터 침입하는 현상을 방지하여 트랜지스터를 보호하는 층이다.

[0138] 절연층(705)의 두께는 적어도 1nm 이상으로 한다.

[0139] 절연층(705)은 배리어성을 갖는 절연체를 포함한 층의 단층 구조라도 좋고, 2층 이상이 적층된 구조로 하여도 좋다.

[0140] 특히 산화알루미늄을 함유한 구성이 바람직하고, 산화알루미늄층 및 그 외의 무기 절연 재료를 함유한 층의 적층 구조로 하여도 좋다. 산화알루미늄은 수분, 산소, 또한 그 외의 불순물을 투과시키기 어렵기 때문이다.

[0141] 또한, 절연층(705)은 산소 과잉 영역을 갖는 산화물 절연층과, 산화알루미늄층의 적층체이며, 산화물 반도체층 층에 산소 과잉 영역을 갖는 산화물 절연층을 형성하는 구성으로 하여도 좋다.

[0142] 산소 과잉 영역을 갖는 산화물 절연층은, 예를 들어 산화실리콘막, 산화질화실리콘막 등을 사용할 수 있다.

[0143] 본 실시형태는 다른 실시형태에서 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0144] (실시형태 5)

[0145] 본 실시형태에서는 실시형태 4에서 설명한 밴드갭이 2.5eV 이상인 반도체 재료가 채널 형성 영역에 구비된 트랜지스터(710)의 제작 방법에 대해서도 4a 내지 4d를 사용하여 설명한다.

[0146] <하자가 되는 절연층 형성>

[0147] 우선, 채널이 형성되는 산화물 반도체층의 하자가 되는 절연층(704)을 형성한다. 하자가 되는 절연층(704)은 기판(701) 위에 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여 형성한다.

[0148] 기판(701)은 하자가 되는 절연층을 형성하는 공정 이후의 공정에서, 처리에 견딜 수 있을 정도의 내열성을 가지면 좋고, 그 크기에 제한은 없다.

[0149] 기판(701)에는 미리 다른 반도체 소자가 형성되어 있어도 좋다.

[0150] 기판(701)으로서, 예를 들어 바륨보로실리케이트 유리나 알루미노보로실리케이트 유리 등의 유리 기판, 세리믹스 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 실리콘이나 탄화실리콘 등의 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있다.

[0151] 기판(701)으로서 가요성을 갖는 기판을 사용하여도 좋다. 가요성 기판 위에 트랜지스터를 직접 제작하여도 좋고, 다른 제작 기판 위에 트랜지스터를 제작한 후 박리하고 가요성 기판으로 전치(轉置)하여도 좋다. 또한, 제작 기판으로부터 박리하고 가요성 기판으로 전치하는 경우에는 제작 기판과 산화물 반도체층을 포함하는 트랜지스터 사이에 박리층을 형성하면 좋다.

[0152] <산화물 반도체층 형성>

[0153] 다음에, 채널이 형성되는 산화물 반도체층(713)을 하자가 되는 절연층(704) 위에 형성한다.

[0154] 산화물 반도체층은 스퍼터링법, 분자선 에피택시법, 원자층 퇴적법, 또는 펄스 레이저 증착법에 의해 형성할 수 있다.

[0155] 예를 들어 산화물 반도체로서 In-Ga-Zn-O계 재료를 사용하는 경우, 타깃을 사용하여 제작할 수 있다. 타깃의 재료 및 그 조성비는 다양한 것을 사용할 수 있으며, 예를 들어  $In_2O_3$ 과  $Ga_2O_3$ 과  $ZnO$ 를 1:1:1[mol수 비율](=  $In_2O_3$ :  $Ga_2O_3$ :  $ZnO$ )의 비율로 함유한 산화물 타깃을 사용할 수 있다. 또한, 예를 들어  $In_2O_3$ 과  $Ga_2O_3$ 과  $ZnO$ 를 1:1:2[mol수 비율](=  $In_2O_3$ :  $Ga_2O_3$ :  $ZnO$ )의 비율로 함유한 산화물 타깃을 사용할 수도 있다.

[0156] 또한, 산화물 반도체로서 In-Zn-O계 재료를 사용하는 경우, 사용하는 타깃의 금속 원소의 원자수 비율로  $In: Zn = 50: 1$  내지  $1: 2$  [mol수 비율]로 환산하면  $In_2O_3: ZnO = 25: 1$  내지  $1: 4$ , 바람직하게는  $In: Zn = 20: 1$  내지  $1: 1$  [mol수 비율]로 환산하면  $In_2O_3: ZnO = 10: 1$  내지  $1: 2$ , 더 바람직하게는  $In: Zn = 15: 1$  내지  $1.5: 1$  [mol수 비율]로 환산하면  $In_2O_3: ZnO = 15: 2$  내지  $3: 4$ 로 한다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 사용되

는 타깃은 원자수 비율이 In: Zn: O=X: Y: Z인 경우에  $Z > 1.5X+Y$ 로 한다.

[0157] 또한, 예를 들어 산화물 반도체로서 In-Sn-Zn-O계 재료를 사용하는 경우, 타깃을 사용하여 제작할 수 있다. 타깃의 조성비는 다양하게 설정할 수 있으며, 예를 들어, In, Sn, 및 Zn을 1:2:2(=In: Sn: Zn)의 원자수 비율로 함유한 산화물 타깃을 사용할 수 있다. 또한, 예를 들어, In, Sn, 및 Zn을 2:1:3(=In: Sn: Zn)의 원자수 비율로 함유한 산화물 타깃을 사용할 수 있다. 또한, 예를 들어, In, Sn, 및 Zn을 1:1:1(=In: Sn: Zn)의 원자수 비율로 함유한 산화물 타깃을 사용할 수 있다. 또한, 예를 들어, In, Sn, 및 Zn을 20:45:35(=In: Sn: Zn)의 원자수 비율로 함유한 산화물 타깃을 사용할 수 있다.

[0158] 또한, 타깃의 상대밀도는 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 상대밀도가 높은 타깃을 사용함으로써, 형성된 산화물 반도체층을 치밀한 막으로 할 수 있다.

[0159] 또한, 산화물 반도체층은 캐리어 밀도를 저감하여 실질적으로 I형으로 할 수 있다. 이 방법의 자세한 사항은 실시형태 6에서 설명한다.

[0160] 다음에 포토리소그래피 공정으로 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 이용하여 산화물 반도체층을 선택적으로 에칭하여 섬 형상으로 가공한다(도 4a 참조).

[0161] 또한, 상기 레지스트 마스크를 후퇴시키면서 에칭하면, 산화물 반도체층을 테이퍼 형상으로 할 수 있다. 섬 형상의 산화물 반도체층을 테이퍼 형상으로 하면, 본 공정 이후에 형성되는 층의 단절을 방지하여, 피복성을 향상 시킬 수 있다.

[0162] <게이트 절연층, 게이트 전극, 및 게이트 전극 위의 절연층 형성>

[0163] 다음에, 게이트 절연층(712), 게이트 전극(711), 및 게이트 전극 위의 절연층(714a)의 적층체를 산화물 반도체층(713) 위에 형성한다.

[0164] 게이트 절연층이 되는 절연층 및 게이트 전극 위의 절연층이 되는 절연층은 플라즈마 CVD법이나 스퍼터링법 등을 이용하여 형성한다.

[0165] 게이트 전극이 되는 도전층은 스퍼터링법 등을 이용하여 형성한다.

[0166] 다음에, 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 이용하여 게이트 절연층이 되는 절연층, 게이트 전극이 되는 도전층 및 게이트 전극 위의 절연층이 되는 절연층을 에칭함으로써, 게이트 절연층(712), 게이트 전극(711), 및 게이트 전극 위의 절연층(714a)을 포함한 적층체를 형성한다.

[0167] <측벽 형성>

[0168] 다음에 게이트 절연층(712), 게이트 전극(711), 및 게이트 전극 위의 절연층(714a)의 적층체의 측면에 접촉되도록 측벽(714b)을 형성한다.

[0169] 측벽이 되는 절연층은 플라즈마 CVD법이나 스퍼터링법 등을 이용하여 형성할 수 있다.

[0170] 다음에 이방성 에칭을 수행하여, 적층체의 측면에 접촉하는 절연층을 잔존시켜 측벽을 형성한다(도 4b 참조).

[0171] <소스 전극 또는 드레인 전극으로서 기능하는 전극의 형성>

[0172] 다음에 소스 전극 또는 드레인 전극으로서 기능하는 전극(751), 전극(752)을 형성한다.

[0173] 소스 전극 또는 드레인 전극이 되는 도전 재료를 포함한 층은 스퍼터링법 등을 이용하여 형성한다.

[0174] 다음에 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 이용하여 도전 재료를 포함한 층을 선택적으로 에칭함으로써 전극(751), 전극(752)을 형성한다(도 4c 참조). 또한, 같은 도전 재료를 포함한 층으로 이루어진 배선 등(도시하지 않음)도 동일한 공정으로 형성한다.

[0175] 또한, 채널 길이(L)가 10nm 이상 1000nm( $1\mu m$ ) 이하, 특히 25nm 미만인 트랜지스터를 형성하는 경우, 파장이 수nm 내지 수십nm인 짧은 초자외선(Extreme Ultraviolet)을 이용하여 마스크를 형성하면 바람직하다. 왜냐하면 초자외선을 이용한 경우에는 해상도가 높고 초점 심도도 크기 때문이다.

[0176] 또한, 소스 전극 또는 드레인 전극으로서 기능하는 전극을 테이퍼 형상으로 형성하면 좋다. 소스 전극 또는 드레인 전극으로서 기능하는 전극을 테이퍼 형상으로 하면, 본 공정 이후에 형성되는 층(예를 들어 게이트 절연층)의 단절을 방지하여 피복성을 향상시킬 수 있다. 또한 테이퍼 각도는 예를 들어,  $30^\circ$  이상  $60^\circ$  이하

로 하는 것이 바람직하다.

[0177] 또한, 도전 재료를 포함한 층을 티타늄층이나 질화티타늄층의 단층 구조로 하는 경우에는 테이퍼 형상을 갖는 소스 전극 및 드레인 전극으로 가공하기 쉽다.

[0178] <트랜지스터를 보호하는 절연층의 형성>

[0179] 다음에 트랜지스터를 보호하는 절연층(705)을 형성한다.

[0180] 트랜지스터를 보호하는 절연층은 플라즈마 CVD법이나 스퍼터링법 등을 이용하여 형성할 수 있다.

[0181] 상술한 공정에 의해, 채널이 형성되는 영역에 산화물 반도체 재료가 사용된 트랜지스터(710)를 제작할 수 있다.

[0182] 또한, 본 실시형태에서 이용하는 레지스트 마스크는 포토리소그래피 공정에 의해 형성되는 것에 한정되지 않는다. 포토리소그래피법 외에 잉크젯법, 인쇄법 등을 적절히 이용하여 형성할 수 있다. 포토마스크를 이용하지 않고 레지스트 마스크를 형성하면, 반도체 장치의 제조 비용을 저감할 수 있다.

[0183] 본 실시형태는 다른 실시형태에서 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0184] (실시형태 6)

[0185] 본 실시형태에서는 본 발명의 일 형태인 트리밍 회로에 사용할 수 있는, 오프 누설 전류가 매우 작은(예를 들어 채널 폭  $1\text{ }\mu\text{m}$ 당  $1\times 10^{-17}\text{ A}$  이하) 트랜지스터에 적용할 수 있는 산화물 반도체층의 형성 방법에 대해서 설명한다. 구체적으로는 캐리어 밀도가 저감되어 실질적으로 I형인 산화물 반도체층의 제작 방법에 대해서도 5a 내지 도 5d를 사용하여 설명한다.

[0186] <하지가 되는 절연층의 구성 및 그 제작 방법>

[0187] 채널이 형성되는 산화물 반도체층의 하지가 되는 절연층(504)의 적어도 산화물 반도체층에 접촉하는 영역은 열처리에 의해 산소가 이탈되는 절연층을 포함한 구성이 바람직하다. 왜냐하면, 절연층(504)이 산소 과잉 영역을 가지면 산화물 반도체층으로부터 절연층(504)에 산소가 이동하는 현상을 방지할 수 있고, 이후에 설명하는 열처리를 수행함으로써 절연층(504)으로부터 산화물 반도체층으로 산소를 공급할 수 있기 때문이다.

[0188] 하지가 되는 절연층이 적층 구조인 경우에는 산소 과잉 영역을 갖는 산화물 절연층을 산화물 반도체층 층에 구비하는 구성이 더 바람직하다.

[0189] 예를 들어, 하지가 되는 절연층의 구성은 산화물 반도체층 층으로부터 산소 과잉 영역을 갖는 산화실리콘층, 및 산화알루미늄층을 적층한 구조가 바람직하다.

[0190] 또한, 본 명세서 등에서 ‘열처리에 의해 산소가 이탈된다’란 TDS(Thermal Desorption Spectroscopy: 승온 이탈 가스 분광법) 분석에서, 산소 원자로 환산한 산소의 이탈량(또는 방출량)이  $1.0\times 10^{18}\text{ cm}^{-3}$  이상, 바람직하게는  $3.0\times 10^{20}\text{ cm}^{-3}$  이상인 것을 의미한다. 또한, ‘열처리에 의해 산소가 이탈되지 않는다’란 TDS 분석에서 산소 원자로 환산한 산소의 이탈량(또는 방출량)이  $1.0\times 10^{18}\text{ cm}^{-3}$  미만인 것을 의미한다.

[0191] 열처리에 의해 산소가 이탈되는 절연층을 형성하는 방법으로서는 산소 분위기하에서 막을 형성하는 방법, 또는 막을 형성한 후에 산소(적어도 산소 라디칼, 산소 원자 또는 산소 이온 중 어느 것을 포함함)를 주입하는 방법 등을 들 수 있다.

[0192] 산소 주입 방법으로서는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.

[0193] <불순물 농도가 저감된 산화물 반도체층의 형성 방법 1: 막 형성 방법>

[0194] 하지가 되는 절연층(504) 위에 산화물 반도체층(413a)을 형성한다(도 5a 참조). 산화물 반도체층(413a)은 이후에 채널이 형성되는 산화물 반도체층이 되기 때문에, 수소 원자를 함유한 불순물이 가능한 한 배제되도록 형성 한다. 왜냐하면, 수소 원자를 함유한 불순물은 산화물 반도체층에 도너 준위를 형성하기 쉽기 때문이다.

[0195] 수소 원자를 함유한 불순물이 저감된 산화물 반도체층을 제작하는 방법으로서는 스퍼터링법을 이용하여 형성하는 것이 바람직하다. 특히 대기로 노출되지 않는 절연층을 하지로 하고 상기 절연층에 연속하여 산화물 반도체층을 형성하는 방법이 바람직하다.

- [0196] 예를 들어, 기판 표면에 부착된 수소를 함유한 불순물을 열처리 또는 플라즈마 처리로 제거한 후에 대기로 노출시키지 않고 하지가 되는 절연층을 형성하고, 이어서 대기로 노출시키지 않고 산화물 반도체층을 형성하여도 좋다. 이와 같이 함으로써, 하지가 되는 절연층의 표면에 부착된 수소를 함유한 불순물을 저감하고, 기판과 하지가 되는 절연층 사이의 계면, 및 하지가 되는 절연층과 산화물 반도체층 사이의 계면에 대기 성분이 부착되는 현상을 억제할 수 있다.
- [0197] 또한, 스퍼터링법을 이용하여 산화물 반도체층을 형성하기 전에 처리실에 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링(reverse sputtering)을 수행하여, 하지가 되는 절연층의 표면에 부착되는 분말상 물질(파티클, 먼지라고도 함)을 제거하는 것이 바람직하다.
- [0198] 역스퍼터링은 타깃 측에 전압을 인가하지 않고, 아르곤 분위기하에서 기판 측에 RF 전원을 이용하여 전압을 인가함으로써, 기판 근방에 플라즈마를 발생시켜 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 사용하여도 좋다.
- [0199] 또한, 누설률이 작은 처리실을 이용하여 산화물 반도체층을 형성하는 방법이 바람직하다. 구체적으로는 스퍼터링 장치의 처리실의 누설률을  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{초}$  이하로 함으로써, 막을 형성하는 도중에 산화물 반도체층 내로 알칼리 금속, 수소화물 등의 불순물이 혼입되는 것을 저감시킬 수 있다.
- [0200] 또한, 흡착형 진공 펌프(예를 들어 크라이오 펌프 등)를 이용하여 배기된 스퍼터링 장치의 처리실에서 산화물 반도체층을 형성하는 방법이 바람직하다. 배기계로부터 알칼리 금속, 수소 원자, 수소 분자, 물, 수산기 또는 수소화물 등의 불순물이 역류하는 것을 저감시킬 수 있다.
- [0201] 또한, 스퍼터링 장치의 처리실 내에 고순도 분위기 가스를 공급하여 산화물 반도체층을 형성하는 방법이 바람직하다. 구체적으로는 물, 수산기를 포함한 화합물 또는 수소화물 등의 불순물이 제거된 고순도 희ガ스(대표적으로는 아르곤), 산소, 또는 희ガ스와 산소의 혼합 가스를 적절히 사용하는 것으로 한다.
- [0202] 예를 들어 아르곤의 순도를 9N(99.999999%) 이상( $\text{H}_2\text{O}$ 는 0.1ppb,  $\text{H}_2$ 는 0.5ppb)으로 하고 노점  $-121^\circ\text{C}$ 로 한다. 또한, 산소의 순도를 8N(99.99999%) 이상( $\text{H}_2\text{O}$ 는 1ppb,  $\text{H}_2$ 는 1ppb)으로 하고 노점  $-112^\circ\text{C}$ 로 한다.
- [0203] 또한, 희ガ스와 산소의 혼합 가스를 사용하는 경우에는 산소의 유량 비율을 크게 하는 것이 바람직하다.
- [0204] 『산화물 반도체층의 형성 조건의 일례』
- [0205] 산화물 반도체층의 형성 조건의 일례로서는 기판과 타깃 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 0.5kW, 산소(산소 유량 비율 100%) 분위기하라는 조건이 적용된다. 또한, 펠스 직류(DC) 전원을 사용하면, 막을 형성할 때 발생하는 먼지를 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다.
- [0206] <불순물 농도가 저감된 산화물 반도체층의 형성 방법 2: 제 1 열처리>
- [0207] 수소 원자를 함유한 불순물이 가능한 한 배제된 산화물 반도체층(413b)을 형성한다(도 5b 참조).
- [0208] 수소 원자를 함유한 불순물이 저감된 산화물 반도체층을 제작하는 방법으로서는 산화물 반도체층 내의 수분 또는 수소 등의 불순물을 저감(탈수화 또는 탈수소화라고도 함)하기 위해서 산화물 반도체층에 제 1 열처리를 수행하는 방법이 바람직하다.
- [0209] 제 1 열처리를 수행하는 경우에는 산화물 반도체층에 접촉하는 절연층은 열처리에 의해 산소가 이탈되는 절연층을 사용하는 것이 바람직하다. 왜냐하면, 제 1 열처리를 수행하면 수소 원자를 함유한 불순물과 함께, 산소까지 산화물 반도체층으로부터 방출되기 때문이다. 산소가 방출된 산화물 반도체층에 발생하는 산소 결손의 일부가 도너가 되어 산화물 반도체층에 캐리어가 발생하여 트랜지스터의 특성에 영향을 미칠 우려가 있다.
- [0210] 제 1 열처리의 온도는 예를 들어,  $150^\circ\text{C}$  이상 기판의 변형점 미만, 바람직하게는  $250^\circ\text{C}$  이상  $450^\circ\text{C}$  이하, 더 바람직하게는  $300^\circ\text{C}$  이상  $450^\circ\text{C}$  이하로 한다.
- [0211] 제 1 열처리 시간은 3분 내지 24시간으로 한다. 24시간을 초과하는 열처리는 생산성 저하를 초래하기 때문에 바람직하지 않다.
- [0212] 제 1 열처리는 산화성 분위기 또는 불활성 분위기하에서 수행한다. 여기서, 산화성 분위기란 산소, 오존 또는 질화산소 등의 산화성 가스를 10ppm 이상 함유한 분위기를 의미한다. 또한, 불활성 분위기란 상술한 산화성 가스가 10ppm 미만이고, 나머지가 질소 또는 희ガ스로 충전된 분위기를 의미한다.

- [0213] 예를 들어 감압 분위기하, 질소나 희가스 등의 불활성 가스 분위기하, 산소 가스 분위기하, 또는 초건조 공기(CRDS(cavity ring down laser spectroscopy) 방식의 노점계를 이용하여 측정한 경우의 수분량이 20ppm(노점으로 환산하면 -55°C) 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기) 분위기하로 한다.
- [0214] 또한, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는 열처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0215] 제 1 열처리에 이용되는 가열 장치는 특별히 한정되지 않는다. 상기 가열 장치는 저항 발열체 등의 발열체로부터 발생한 열 전도 또는 열 복사에 의해 피처리물을 가열하는 장치를 구비하여도 좋다.
- [0216] 예를 들어, 전기로나, LRTA(Lamp Rapid Thermal Annealing) 장치, GRTA(Gas Rapid Thermal Annealing) 장치 등의 RTA(Rapid Thermal Annealing) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발생하는 빛(전자기파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온 가스를 사용하여 열처리를 수행하는 장치이다.
- [0217] 상술한 제 1 열처리를 수행함으로써, 산화물 반도체층으로부터 수소(물, 수산기를 포함한 화합물)를 방출시킬 수 있다. 또한, 제 1 열처리에 의해 불순물이 저감되어, I형(진성) 또는 실질적으로 I형인 산화물 반도체층을 형성할 수 있다.
- [0218] 제 1 열처리에 의해, 산화물 반도체층으로부터 불안정한 캐리어원인 수소를 이탈시킬 수 있기 때문에, 트랜지스터의 임계값 전압이 음 방향으로 변동하는 현상을 억제할 수 있다. 또한, 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0219] <변형예>
- [0220] 제 1 열처리 후, 산화물 반도체층에 산소(적어도 산소 라디칼, 산소 원자 또는 산소 이온 중 어느 것을 포함함)를 주입하여도 좋다.
- [0221] 산소 주입 방법으로서는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.
- [0222] <게이트 절연층의 구성 및 그 제작 방법>
- [0223] 채널이 형성되는 산화물 반도체층(513)을 덮는 게이트 절연층(512)의 적어도 산화물 반도체층에 접촉하는 영역은 열처리에 의해 산소가 이탈되는 절연층을 포함한 구성이 바람직하다. 왜냐하면, 게이트 절연층(512)이 산소 파잉 영역을 가지면 산화물 반도체층(513)으로부터 게이트 절연층(512)에 산소가 이동하는 현상을 방지할 수 있고, 이후에 설명하는 제 2 열처리를 수행함으로써 게이트 절연층(512)으로부터 산화물 반도체층(513)으로 산소를 공급할 수 있기 때문이다.
- [0224] 채널이 형성되는 산화물 반도체층을 덮는 절연층이 적층 구조인 경우에는 산소 파잉 영역을 갖는 산화물 절연층을 산화물 반도체층 층에 구비하는 구성이 더 바람직하다.
- [0225] 예를 들어, 채널이 형성되는 산화물 반도체층을 덮는 절연층의 구성은 산화물 반도체층 층으로부터 산소 파잉 영역을 갖는 산화실리콘층, 및 산화알루미늄층을 적층한 구조가 바람직하다.
- [0226] 왜냐하면, 산화알루미늄층은 수소, 수분 등의 불순물 및 산소 중 양쪽 모두를 투과시키지 않는 효과, 바꿔 말하면 차단 효과(블록 효과)가 높고, 산화알루미늄층을 형성한 후에 제 2 열처리를 수행하면 산화물 반도체층으로부터 산소가 방출되는 것을 방지할 수 있기 때문이다.
- [0227] <게이트 절연층, 게이트 전극, 및 게이트 전극 위의 절연층 형성>
- [0228] 다음에, 게이트 절연층(512), 게이트 전극(511), 및 게이트 전극 위의 절연층(514a)의 적층체를 산화물 반도체층(513) 위에 형성한다.
- [0229] 게이트 절연층이 되는 절연층 및 게이트 전극 위의 절연층이 되는 절연층은 플라즈마 CVD법이나 스퍼터링법 등을 이용하여 형성한다.
- [0230] 게이트 전극이 되는 도전층은 스퍼터링법 등을 이용하여 형성한다.
- [0231] 다음에, 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 이용하여, 게이트

절연층이 되는 절연층, 게이트 전극이 되는 도전층 및 게이트 전극 위의 절연층이 되는 절연층을 에칭함으로써, 게이트 절연층(512), 게이트 전극(511), 및 게이트 전극 위의 절연층(514a)을 포함한 적층체를 형성한다.

[0232] <측벽 형성>

[0233] 다음에 게이트 절연층(512), 게이트 전극(511), 및 게이트 전극 위의 절연층(514a)을 포함한 적층체의 측벽에 접촉되도록 절연층(514b)을 형성한다.

[0234] 측벽이 되는 절연층은 플라즈마 CVD법이나 스퍼터링법 등을 이용하여 형성할 수 있다.

[0235] 다음에 이방성 에칭을 수행하여, 적층체의 측면에 접촉하는 절연층을 잔존시켜 측벽을 형성한다.

[0236] <산소가 공급된 산화물 반도체층의 제작 방법 1: 제 2 열처리>

[0237] 채널이 형성되는 산화물 반도체층(513)은 산소가 공급된 산화물 반도체층이 바람직하다. 특히 산소 결손이 보전된 산화물 반도체층이 바람직하다. 왜냐하면, 산소 결손의 일부가 도너가 되어 산화물 반도체층에 캐리어가 발생하여, 트랜지스터의 특성에 영향을 미칠 우려가 있기 때문이다.

[0238] 산소가 공급된 산화물 반도체층을 제작하는 방법으로서는 열처리에 의해 산소가 이탈되는 절연층과 채널이 형성되는 산화물 반도체층이 접촉한 상태로 제 2 열처리를 수행하는 방법을 들 수 있다. 구체적으로는 열처리에 의해 산소가 이탈되는 절연층을 이용하여 하자가 되는 절연층 또는/및 채널이 형성되는 영역을 덮는 절연층을 형성하고, 제 2 열처리를 수행하여 산화물 반도체층에 산소를 공급하면 좋다(도 5c 참조).

[0239] 또한 제 2 열처리는 열처리에 의해 산소가 이탈되는 절연층을 포함한 절연층이 산화물 반도체층 내의 채널이 형성되는 영역에 접촉하여 형성된 후라면, 어떤 공정 후에 수행되더라도 효과를 나타낸다.

[0240] 산화물 반도체층 층으로부터 산소 과잉 영역을 갖는 산화실리콘층, 및 차단 효과(블록 효과)가 높은 산화알루미늄층이 적층된 구조로 하고, 산화알루미늄층이 형성된 상태로 제 2 열처리를 수행하는 방법이 특히 바람직하다.

[0241] 제 2 열처리는 질소, 산소, 초건조 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 보다 바람직하게는 10ppb 이하의 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기하에서 수행하면 좋지만, 상기 질소, 산소, 초건조 공기, 또는 희가스 등의 분위기에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한 열처리 장치에 도입하는 질소, 산소, 또는 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0242] <<산소 원자로 환산한 산소의 이탈량 측정 방법>>

[0243] 산소의 방출량을 TDS 분석에서 산소 원자로 환산하여 정량하는 방법에 대해서 이하에서 설명하기로 한다.

[0244] TDS 분석으로 측정하였을 때의 기체의 이탈량은 스펙트럼의 적분값에 비례한다. 그래서, 표준 시료의 기준값에 대한 절연층의 스펙트럼의 적분값의 비율에 의해 기체의 이탈량을 계산할 수 있다. 표준 시료의 기준값이란 소정의 원자를 함유하는 시료의 스펙트럼의 적분값에 대한 원자의 밀도 비율이다.

[0245] 예를 들어, 표준 시료인 소정 밀도의 수소를 함유한 실리콘 웨이퍼의 TDS 분석 결과 및 절연층의 TDS 분석 결과로부터, 절연층의 산소 분자의 이탈량( $N_{\text{O}_2}$ )은 수학식 1로 구할 수 있다. 여기서, TDS 분석으로 얻어지는 질량수가 32로 검출되는 스펙트럼 모두가 산소 분자에서 유래하는 것으로 가정한다. 질량수가 32인 것으로서  $\text{CH}_3\text{OH}$ 가 있지만, 존재할 가능성이 낮은 것으로 하여 여기서는 고려하지 않는다. 또한, 산소 원자의 동위체인 질량수가 17인 산소 원자 또는 질량수가 18인 산소 원자를 함유한 산소 분자에 대해서도 자연계에 존재하는 비율이 매우 미량이기 때문에 고려하지 않는다.

$$N_{\text{O}_2} = N_{\text{H}_2}/S_{\text{H}_2} \times S_{\text{O}_2} \times \alpha \quad (\text{수학식 1})$$

[0246]  $N_{\text{H}_2}$ 는 표준 시료로부터 이탈된 수소 분자를 밀도로 환산한 값이다.  $S_{\text{H}_2}$ 는 표준 시료를 TDS 분석으로 측정하였을 때의 스펙트럼의 적분값이다. 여기서, 표준 시료의 기준값을  $N_{\text{H}_2}/S_{\text{H}_2}$ 로 한다.  $S_{\text{O}_2}$ 는 절연층을 TDS 분석으로 측정하였을 때의 스펙트럼의 적분값이다.  $\alpha$ 는 TDS 분석에서의 스펙트럼 강도에 영향을 미치는 계수이다. 수학식 1의 자세한 설명에 관해서는 일본국 특개평6-275697 공보를 참조할 수 있다. 또한, 상술한 산소 이탈량의 값은 승온 이탈 분석 장치 EMD-WA1000S/W(전자과학 주식회사(ESCO, Ltd.) 제조)를 이용하고, 표준 시료로서  $1 \times 10^{16} \text{ cm}^{-3}$ 의 수소 원자를 함유한 실리콘 웨이퍼를 사용하여 측정한 값이다.

- [0248] 또한, TDS 분석에서, 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상술한 a는 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 이탈량을 평가함으로써 산소 원자의 이탈량도 어림잡을 수 있다.
- [0249] 또한, NO<sub>2</sub>는 산소 분자의 이탈량이다. 절연층에서는 산소 원자로 환산하였을 때의 산소의 이탈량은 산소 분자의 이탈량의 2배가 된다.
- [0250] 열처리에 의해 산소가 이탈되는 층의 일례로서, 산소가 과잉으로 함유된 산화실리콘(SiO<sub>x</sub>(x>2))이 있다. 산소가 과잉으로 함유된 산화실리콘(SiO<sub>x</sub>(x>2))이란 단위 체적당 실리콘 원자수의 2배보다 많은 산소 원자를 함유한 것이다. 단위 체적당 실리콘 원자수 및 산소 원자수는 러더포드 후방산란법(Rutherford backscattering spectrometry)에 의해 측정한 값이다.
- [0251] <소스 전극 또는 드레인 전극으로서 기능하는 전극의 형성>
- [0252] 다음에 소스 전극 또는 드레인 전극으로서 기능하는 전극(551), 전극(552)을 형성한다.
- [0253] 소스 전극 또는 드레인 전극이 되는 도전 재료를 포함한 층은 스퍼터링법 등을 이용하여 형성한다.
- [0254] 다음에 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 이용하여 도전 재료를 포함한 층을 선택적으로 에칭하여 전극(551), 전극(552)을 형성한다. 또한, 같은 도전 재료를 포함한 층으로 이루어진 배선 등(도시하지 않음)도 동일한 공정으로 형성한다.
- [0255] 또한, 채널 길이(L)가 10nm 이상 1000nm(1μm) 이하, 특히 25nm 미만인 트랜지스터를 형성하는 경우, 파장이 수nm 내지 수십nm인 짧은 초자외선(Extreme Ultraviolet)을 이용하여 마스크를 형성하는 것이 바람직하다. 왜냐하면 초자외선을 이용한 경우에는 해상도가 높고 초점 심도도 크기 때문이다.
- [0256] 또한, 소스 전극 또는 드레인 전극으로서 기능하는 전극을 테이퍼 형상으로 가공하면 좋다. 소스 전극 또는 드레인 전극으로서 기능하는 전극을 테이퍼 형상으로 하면, 본 공정 이후에 형성되는 층(예를 들어 게이트 절연층)의 단절을 방지하여 괴복성을 향상시킬 수 있다. 또한 테이퍼 각도는 예를 들어, 30° 이상 60° 이하로 하는 것이 바람직하다.
- [0257] 또한, 도전 재료를 포함한 층을 티타늄층이나 질화티타늄층의 단층 구조로 하는 경우에는 테이퍼 형상을 갖는 소스 전극 및 드레인 전극으로 가공하기 쉽다.
- [0258] <트랜지스터를 보호하는 절연층의 형성>
- [0259] 다음에 트랜지스터를 보호하는 절연층(505)을 형성한다.
- [0260] 트랜지스터를 보호하는 절연층은 플라즈마 CVD법이나 스퍼터링법 등을 이용하여 형성한다(도 5d 참조).
- [0261] 상술한 바와 같이 채널이 형성되는 산화물 반도체층 내에서 캐리어가 발생하는 것을 방지할 수 있기 때문에, 트랜지스터의 특성 변동을 억제할 수 있다.
- [0262] 본 실시형태는 다른 실시형태에서 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0263] (실시형태 7)
- [0264] 본 실시형태에서는 본 발명의 일 형태인 트리밍 회로에 사용할 수 있는, 오프 누설 전류가 매우 작은(예를 들어 채널 폭 1μm당  $1 \times 10^{-17}$  A 이하) 트랜지스터에 적용할 수 있는 산화물 반도체층에 대해서 설명하기로 한다. 구체적으로는 c축으로 배향된 결정을 갖는 산화물 반도체층에 대해서 설명한다.
- [0265] 본 실시형태에서는 c축으로 배향되고, ab면, 표면, 또는 계면의 방향으로부터 보아 삼각형 또는 육각형의 원자 배열을 갖고, c축에서 금속 원자가 층상으로 배열되거나 또는 금속 원자와 산소 원자가 층상으로 배열되고, ab면에서 a축 또는 b축의 방향이 상이한(c축을 중심으로 하여 회전한) 결정(CAAC: C Axis Aligned Crystal이라고도 함)을 포함하는 산화물에 대해서 설명한다.
- [0266] CAAC-OS막은 완전한 단결정이 아니고, 완전한 비정질도 아니다. CAAC-OS막은 비정질상에 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체막이다. 또한, 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의해 CAAC-OS

막에는 입계(그레인 바운더리라고도 함)는 확인할 수 없다. 그러므로, CAAC-OS막은 입계에 기인한 전자 이동도의 저하가 억제된다.

[0267] CAAC-OS막에 포함되는 결정부는 c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또한 ab면에 수직인 방향으로부터 보아 삼각형 또는 육각형의 원자 배열을 갖고, c축에 수직인 방향으로부터 보아 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열된다. 또한, 상이한 결정부 사이에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 본 명세서에서 단순히 '수직이다'라고 기재된 경우에는  $85^\circ$  이상  $95^\circ$  이하의 범위도 포함되는 것으로 한다. 또한, 단순히 '평행하다'라고 기재된 경우에는  $-5^\circ$  이상  $5^\circ$  이하의 범위도 포함되는 것으로 한다.

[0268] 또한, CAAC-OS막에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면 측으로부터 결정 성장시키는 경우에는 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높은 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써 상기 불순물을 첨가 영역에서 결정부가 비정질화하는 경우도 있다.

[0269] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 결정부의 c축 방향은 CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 막을 형성함으로써, 또는 막을 형성한 후에 열처리 등의 결정화 처리를 수행함으로써, 결정부가 형성된다.

[0270] CAAC-OS막이 사용된 트랜ジ스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동을 저감할 수 있다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0271] CAAC를 포함하는 산화물이란 광의적으로는 비단결정이며, 그 ab면에 수직인 방향으로부터 보아 삼각형, 육각형, 정삼각형 또는 정육각형의 원자 배열을 갖고, 또 c축 방향에 수직인 방향으로부터 보아 금속 원자가 층상으로 배열되거나 또는 금속 원자와 산소 원자가 층상으로 배열된 상(phase)을 포함하는 산화물을 말한다.

[0272] CAAC는 단결정이 아니지만, 비정질만으로 형성되는 것도 아니다. 또한, CAAC는 결정화된 부분(결정 부분)을 포함하지만, 하나의 결정 부분과 다른 결정 부분의 경계를 명확히 판별할 수 없는 경우도 있다.

[0273] CAAC에 산소가 포함되는 경우에는 산소의 일부는 질소로 치환되어도 좋다. 또한, CAAC를 구성하는 각각의 결정 부분의 c축은 일정한 방향(예를 들어, CAAC가 형성되는 기판 면, CAAC의 표면 등에 수직인 방향)으로 정렬하여도 좋다. 또는, CAAC를 구성하는 각각의 결정 부분의 ab면의 법선은 일정 방향(예를 들어, CAAC가 형성되는 기판 면, CAAC의 표면 등에 수직인 방향)을 향하여도 좋다.

[0274] CAAC는 그 조성 등에 따라 도체, 반도체, 절연체 상태가 된다. 또한, 그 조성 등에 따라 가시광에 대해서 투명하거나 불투명할 수 있다.

[0275] 이러한 CAAC의 예로서, 막 형상으로 형성되고, 막 표면 또는 지지하는 기판면에 수직인 방향으로부터 관찰하면 삼각형 또는 육각형의 원자 배열이 확인되고, 또한 그 막 단면을 관찰하면 금속 원자 또는 금속 원자 및 산소 원자(또는 질소 원자)의 층상 배열이 확인되는 결정을 들 수도 있다.

[0276] CAAC에 포함되는 결정 구조의 일례에 대하여 도 6a 내지 도 8c를 사용하여 자세히 설명한다. 또한, 특별히 기재하지 않는 한, 도 6a 내지 도 8c는 상방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 또한, 단순히 상반부 및 하반부라고 하는 경우에는, ab면을 경계로 하였을 때의 상반부 및 하반부를 의미한다. 또한, 도 6a 내지 도 6c에서, 동그라미로 둘러싸인 0원자는 4배위 0원자를 나타내고, 이중 동그라미로 둘러싸인 0원자는 3배위 0원자를 나타낸다.

[0277] 하나의 6배위 In원자와, In원자에 근접한 6개의 4배위 산소 원자(이하에서 4배위 0원자라고 함)를 갖는 구조를 도 6a에 도시하였다. 여기서, 하나의 금속 원자에 대해서 근접한 산소 원자만을 도시한 구조를 소(小)그룹이라고 부른다. 도 6a에 도시한 구조는 팔면체 구조를 갖지만, 간편화를 위해서 평면 구조로서 도시하였다. 또한, 도 6a의 상반부 및 하반부에는 각각 3개씩 4배위 0원자가 있다. 도 6a에 도시한 소그룹은 전하가 0이다.

[0278] 하나의 5배위 Ga원자와, Ga원자에 근접한 3개의 3배위 산소 원자(이하에서 3배위 0원자라고 함)와, Ga원자에 근접한 2개의 4배위 0원자를 갖는 구조를 도 6b에 도시하였다. 3배위 0원자는 모두 ab면에 존재한다. 도 6b의 상반부 및 하반부에는 각각 하나씩 4배위 0원자가 있다. 또한, In원자의 경우에도 5배위를 갖기 때문에 도 6b

에 도시한 구조를 가질 수 있다. 도 6b에 도시한 소그룹은 전하가 0이다.

[0279] 하나의 4배위 Zn원자와, Zn원자에 근접한 4개의 4배위 0원자를 갖는 구조를 도 6c에 도시하였다. 도 6c의 상반부에 하나의 4배위 0원자가 있고, 하반부에 3개의 4배위 0원자가 있다. 또는, 도 6c의 상반부에 3개의 4배위 0원자가 있고, 하반부에 하나의 4배위 0원자가 있어도 좋다. 도 6c에 도시한 소그룹은 전하가 0이다.

[0280] 하나의 6배위 Sn원자와, Sn원자에 근접한 6개의 4배위 0원자를 갖는 구조를 도 6d에 도시하였다. 도 6d의 상반부에는 3개의 4배위 0원자가 있고, 하반부에는 3개의 4배위 0원자가 있다. 도 6d에 도시한 소그룹은 전하가 +1이다.

[0281] 2개의 Zn원자를 포함한 소그룹을 도 6e에 도시하였다. 도 6e의 상반부에 하나의 4배위 0원자가 있고, 하반부에 하나의 4배위 0원자가 있다. 도 6e에 도시한 소그룹은 전하가 -1이다.

[0282] 여기서는 복수의 소그룹의 집합체를 중(中)그룹이라고 부르고, 복수의 중그룹의 집합체를 대(大)그룹(유닛셀이라고도 함)이라고 부른다.

[0283] 여기서, 이들 소그룹들이 결합하는 규칙에 대해서 설명한다. 도 6a에 도시한 6배위 In원자보다 상반부에 있는 3개의 0원자는 하방향에 각각 3개의 근접 In원자를 갖고, 하반부에 있는 3개의 0원자는 상방향에 각각 3개의 근접 In원자를 갖는다. 도 6b에 도시한 5배위 Ga원자보다 상반부에 있는 하나의 0원자는 하방향에 하나의 근접 Ga원자를 갖고, 하반부의 하나의 0원자는 상방향에 하나의 근접 Ga원자를 갖는다. 도 6c에 도시한 4배위 Zn원자보다 상반부에 있는 하나의 0원자는 하방향에 하나의 근접 Zn원자를 갖고, 하반부에 있는 3개의 0원자는 상방향에 각각 3개의 근접 Zn원자를 갖는다. 이와 같이, 금속 원자보다 상방향에 있는 4배위 0원자의 수와, 그 0원자보다 하방향에 있는 근접 금속 원자의 수는 동일하며, 마찬가지로 금속 원자보다 하방향에 있는 4배위 0원자의 수와, 그 0원자의 상방향에 있는 근접 금속 원자의 수는 동일하다. 0원자는 4배위이므로 하방향에 있는 근접 금속 원자의 수와, 상방향에 있는 근접 금속 원자의 수의 합은 4가 된다. 따라서, 금속 원자보다 상방향에 있는 4배위 0원자의 수와, 다른 금속 원자보다 하방향에 있는 4배위 0원자의 수의 합이 4개일 때, 금속 원자를 갖는 2종의 소그룹들은 결합할 수 있다. 예를 들어, 하반부에 있는 4배위 0원자를 통하여 6배위 금속 원자(In 또는 Sn)가 결합하는 경우에는, 4배위 0원자가 3개이므로 5배위 금속 원자(Ga 또는 In), 또는 4배위 금속 원자(Zn) 중 어느 것과 결합된다.

[0284] 배위수가 4, 5, 6인 금속 원자는 c축 방향에서 4배위 0원자를 통하여 결합된다. 또한, 그 외, 총 구조의 총 전하가 0이 되도록 복수의 소그룹이 결합하여 중그룹을 구성한다.

[0285] 도 7a에 In-Sn-Zn-0계 총 구조를 구성하는 중그룹의 모델도를 도시하였다. 도 7b에 3개의 중그룹으로 구성되는 대그룹을 도시하였다. 또한, 도 7c는 도 7b의 총 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 도시한 것이다.

[0286] 도 7a에서는 간편화를 위해서 3배위 0원자는 생략하고 4배위 0원자는 개수만을 도시하며, 예를 들어, Sn원자보다 상반부 및 하반부에 각각 4배위 0원자가 3개씩 있는 것을 동그라미 3으로서 나타냈다. 마찬가지로, 도 7a에서 In원자보다 상반부 및 하반부에는 각각 하나씩 4배위 0원자가 있고, 동그라미 1로서 나타냈다. 또한, 도 7a에서, 하반부에 하나의 4배위 0원자가 있고 상반부에 3개의 4배위 0원자가 있는 Zn원자와, 상반부에 하나의 4배위 0원자가 있고 하반부에 3개의 4배위 0원자가 있는 Zn원자를 나타냈다.

[0287] 도 7a에서, In-Sn-Zn-0계 총 구조를 구성하는 중그룹은 위로부터 순차적으로 4배위 0원자가 3개씩 상반부 및 하반부에 있는 Sn원자가, 4배위 0원자가 하나씩 상반부 및 하반부에 있는 In원자와 결합되고, 그 In원자가 상반부에 3개의 4배위 0원자가 있는 Zn원자와 결합되고, 그 Zn원자보다 하반부에 있는 하나의 4배위 0원자를 통하여 4배위 0원자가 3개씩 상반부 및 하반부에 있는 In원자와 결합되고, 그 In원자가 상반부에 하나의 4배위 0원자가 있는 2개의 Zn원자로 이루어진 소그룹과 결합되고, 이 소그룹의 하반부에 있는 하나의 4배위 0원자를 통하여 4배위 0원자가 3개씩 상반부 및 하반부에 있는 Sn원자와 결합된 구조이다. 복수의 상기 중그룹이 결합하여 대그룹을 구성한다.

[0288] 여기서, 3배위 0원자 및 4배위 0원자의 경우에는, 결합 하나당 전하는 각각 -0.667, -0.5라고 생각할 수 있다. 예를 들어, In(6배위 또는 5배위)원자, Zn(4배위) 원자, Sn(5배위 또는 6배위)원자의 전하는 각각 +3, +2, +4이다. 따라서, Sn원자를 포함한 소그룹은 전하가 +1이 된다. 그러므로, Sn원자를 포함한 총 구조를 형성하기 위해서는 전하 +1을 상쇄하는 전하 -1이 필요하다. 전하가 -1이 되는 구조로서, 도 6e에 도시한 바와 같이, 2개의 Zn원자를 포함한 소그룹을 들 수 있다. 예를 들어, Sn원자를 포함한 소그룹 하나에 대해서 2개의 Zn원자를

포함한 소그룹이 하나 있으면, 전하가 상쇄되기 때문에 총 구조의 총 전하를 0으로 할 수 있다.

[0289] 구체적으로는, 도 7b에 도시한 대그룹으로 함으로써 In-Sn-Zn-0계 결정( $In_2SnZn_3O_8$ )이 얻어진다. 또한, 얻어지는 In-Sn-Zn-0계 총 구조는 조성식  $In_2SnZn_2O_7(ZnO)_m$ ( $m$ 은 0 또는 자연수)으로 나타낼 수 있다.

[0290] 또한, 그 외에도 4원계 금속의 산화물인 In-Sn-Ga-Zn-0계 산화물이나, 3원계 금속의 산화물인 In-Ga-Zn-0계 산화물(IGZO라고도 표기함), In-Al-Zn-0계 산화물, Sn-Ga-Zn-0계 산화물, Al-Ga-Zn-0계 산화물, Sn-Al-Zn-0계 산화물, In-Hf-Zn-0계 산화물, In-La-Zn-0계 산화물, In-Ce-Zn-0계 산화물, In-Pr-Zn-0계 산화물, In-Nd-Zn-0계 산화물, In-Sm-Zn-0계 산화물, In-Eu-Zn-0계 산화물, In-Gd-Zn-0계 산화물, In-Tb-Zn-0계 산화물, In-Dy-Zn-0계 산화물, In-Ho-Zn-0계 산화물, In-Er-Zn-0계 산화물, In-Tm-Zn-0계 산화물, In-Yb-Zn-0계 산화물, In-Lu-Zn-0계 산화물이나, 2원계 금속의 산화물인 In-Zn-0계 산화물, Sn-Zn-0계 산화물, Al-Zn-0계 산화물, Zn-Mg-0계 산화물, Sn-Mg-0계 산화물, In-Mg-0계 산화물이나, In-Ga-0계 산화물 등을 사용한 경우도 마찬가지이다.

[0291] 예를 들어, 도 8a에 In-Ga-Zn-0계 총 구조를 구성하는 중그룹의 모델도를 도시하였다.

[0292] 도 8a에서 In-Ga-Zn-0계 총 구조를 구성하는 중그룹은 위로부터 순차적으로 4배위 0원자가 3개씩 상반부 및 하반부에 있는 In원자가, 하나의 4배위 0원자가 상반부에 있는 Zn원자와 결합되고, 그 Zn원자보다 하반부에 있는 3개의 4배위 0원자를 통하여 4배위 0원자가 하나씩 상반부 및 하반부에 있는 Ga원자와 결합되고, 그 Ga원자보다 하반부에 있는 하나의 4배위 0원자를 통하여 4배위 0원자가 3개씩 상반부 및 하반부에 있는 In원자와 결합된 구조이다. 복수의 상기 중그룹이 결합하여 대그룹을 구성한다.

[0293] 도 8b에 3개의 중그룹으로 구성되는 대그룹을 도시하였다. 또한, 도 8c는 도 8b의 총 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 도시한 것이다.

[0294] 여기서, In(6배위 또는 5배위)원자, Zn(4배위)원자, Ga(5배위)원자의 전하는 각각 +3, +2, +3이므로, In원자, Zn원자, 및 Ga원자 중 어느 것을 포함한 소그룹은 전하가 0이다. 따라서, 이들 소그룹을 조합한 것이라면 중그룹의 총 전하는 항상 0이다.

[0295] 또한, In-Ga-Zn-0계 총 구조를 구성하는 중그룹은 도 8a에 도시된 중그룹으로 구성되는 것에 한정되지 않고, In원자, Ga원자, Zn원자의 배열이 도 8a와 상이한 중그룹이 조합된 대그룹을 구성할 수도 있다.

[0296] 구체적으로는, 도 8b에 도시한 대그룹으로 함으로써, In-Ga-Zn-0계 결정이 얻어진다. 또한, 얻어지는 In-Ga-Zn-0계 총 구조는 조성식  $InGaO_3(ZnO)_n$ ( $n$ 은 자연수)으로 나타낼 수 있다.

[0297] n=1( $InGaZnO_4$ )의 경우에는, 예를 들어, 도 9a에 도시한 결정 구조를 취할 수 있다. 또한, 도 9a에 도시한 결정 구조에서, 도 6b를 사용하여 설명한 바와 같이, Ga원자 및 In원자는 5배위가 되기 때문에, Ga원자가 In원자로 치환된 구조도 취할 수 있다.

[0298] 또한, n=2( $InGaZn_2O_5$ )의 경우에는, 예를 들어, 도 9b에 도시한 결정 구조를 취할 수 있다. 또한, 도 9b에 도시한 결정 구조에서, 도 6b를 사용하여 설명한 바와 같이 Ga원자 및 In원자는 5배위가 되기 때문에, Ga원자가 In원자로 치환된 구조도 취할 수 있다.

[0299] 본 발명의 일 형태에 사용하는 트랜지스터를 채널 형성 영역에 CAAC를 포함한 산화물 반도체층이 적용된 구조으로 함으로써, 높은 신뢰성이 기대되므로 바람직하다.

[0300] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.

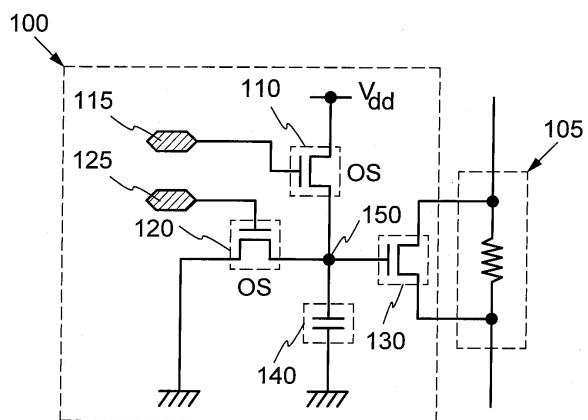
### 부호의 설명

100: 트리밍 회로	105: 저항 소자
110: 트랜지스터	115: 단자
120: 트랜지스터	125: 소거 단자
130: 트랜지스터	140: 용량 소자
150: 기억 노드	300: 트리밍 회로
301: 기판	302: 소자 분리 절연층

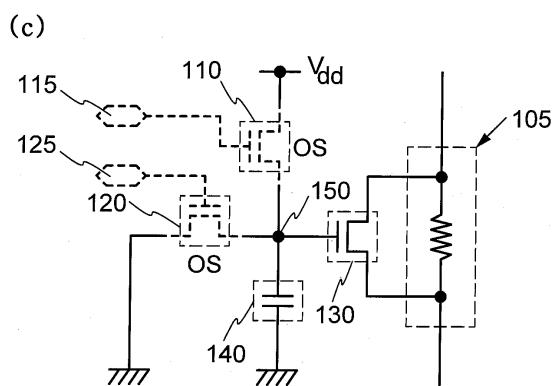
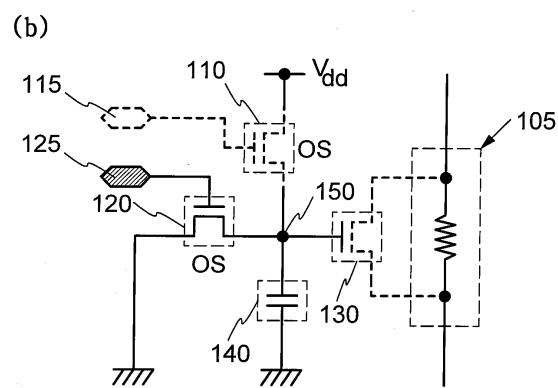
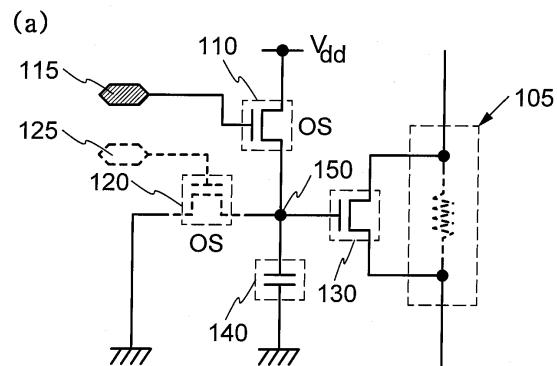
303: 절연층	304: 절연층
305: 저항 소자	310: 트랜지스터
311: 배선	312: 게이트 절연층
313: 산화물 반도체층	320: 트랜지스터
321: 배선	322: 게이트 절연층
323: 산화물 반도체층	330: 트랜지스터
331: 게이트 전극	332: 배선
335: 배선	340: 용량 소자
341: 배선	351: 배선
352: 배선	353: 배선
413a: 산화물 반도체층	413b: 산화물 반도체층
504: 절연층	505: 절연층
511: 게이트 전극	512: 게이트 절연층
513: 산화물 반도체층	514a: 절연층
514b: 절연층	551: 전극
552: 전극	701: 기판
704: 절연층	705: 절연층
710: 트랜지스터	711: 게이트 전극
712: 게이트 절연층	713: 산화물 반도체층
714a: 절연층	714b: 측벽
751: 전극	752: 전극

## 도면

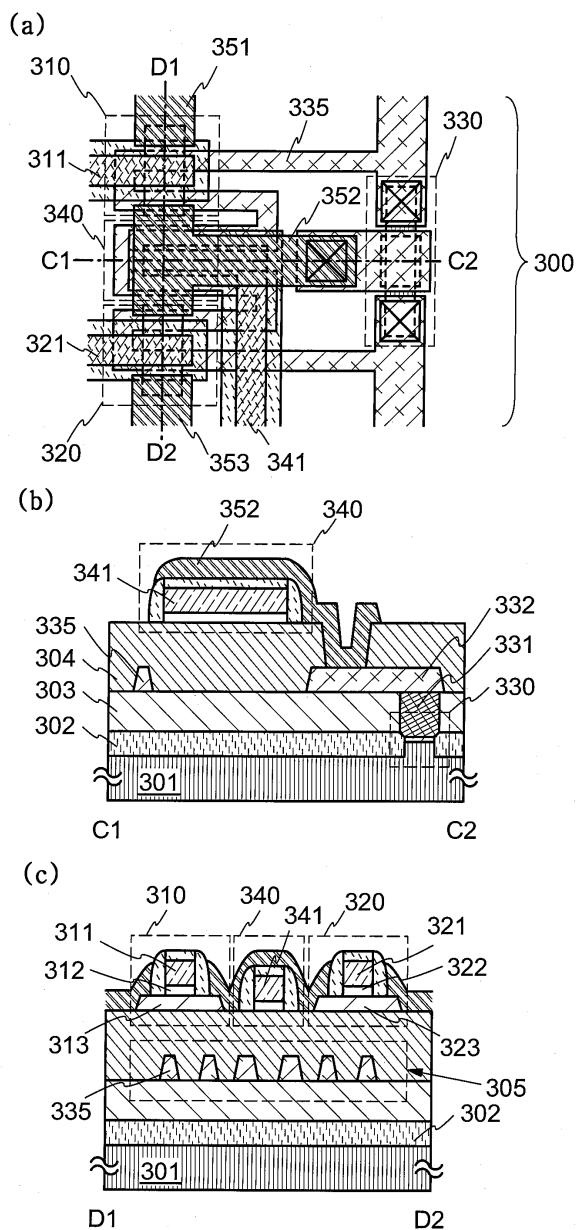
### 도면1



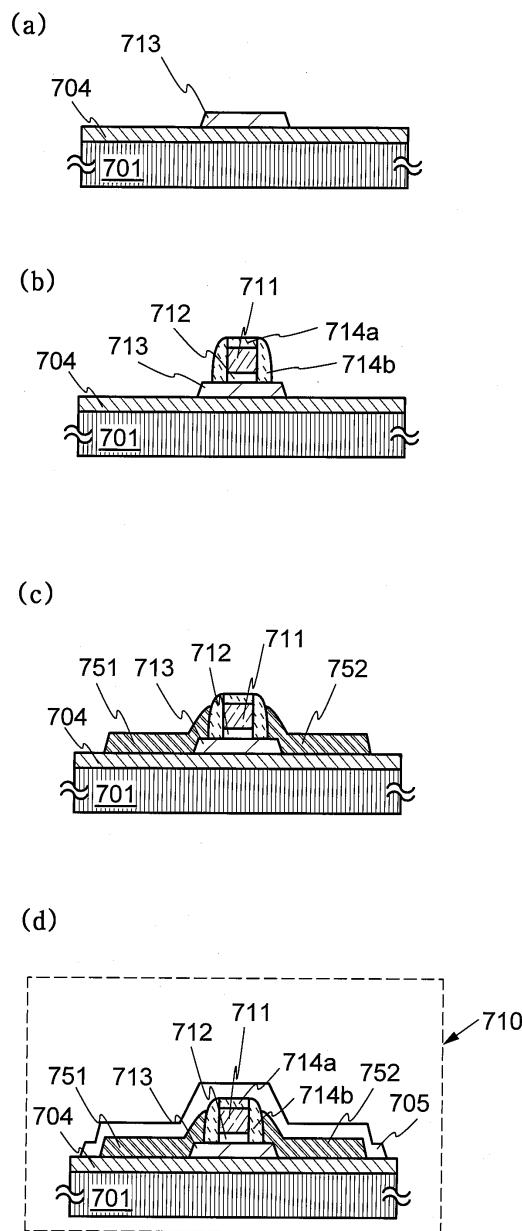
## 도면2



## 도면3

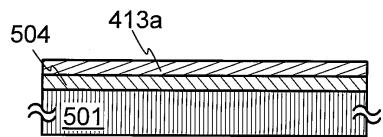


## 도면4

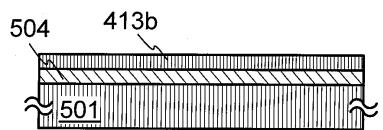


## 도면5

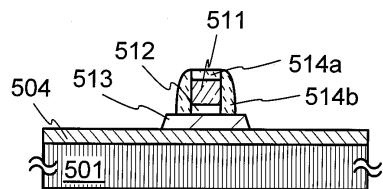
(a)



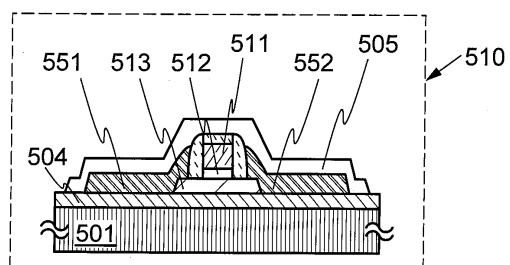
(b)



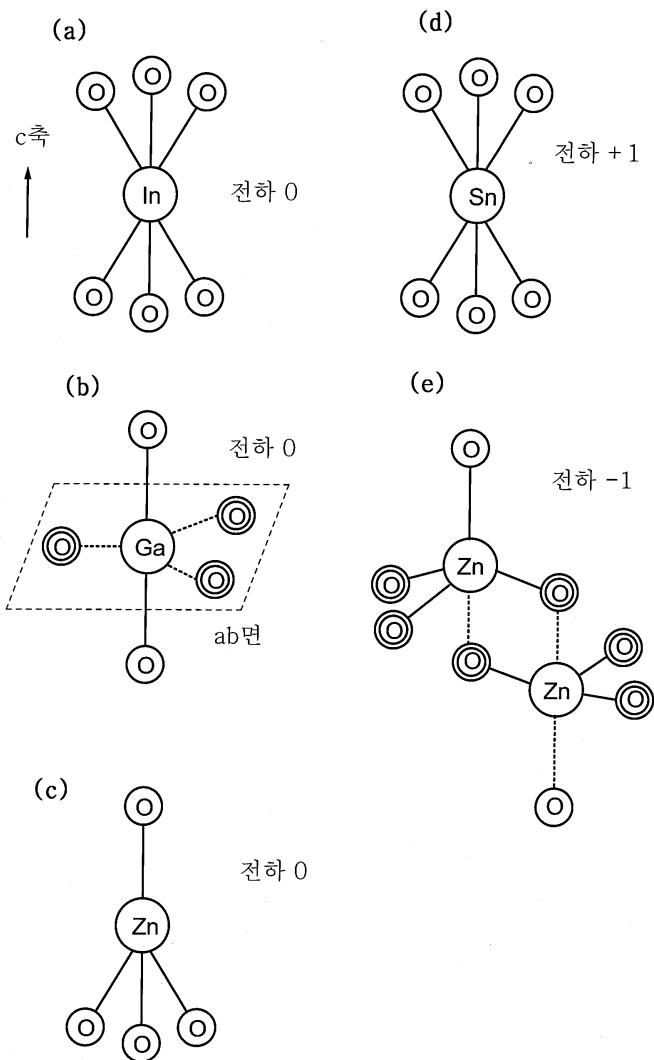
(c)



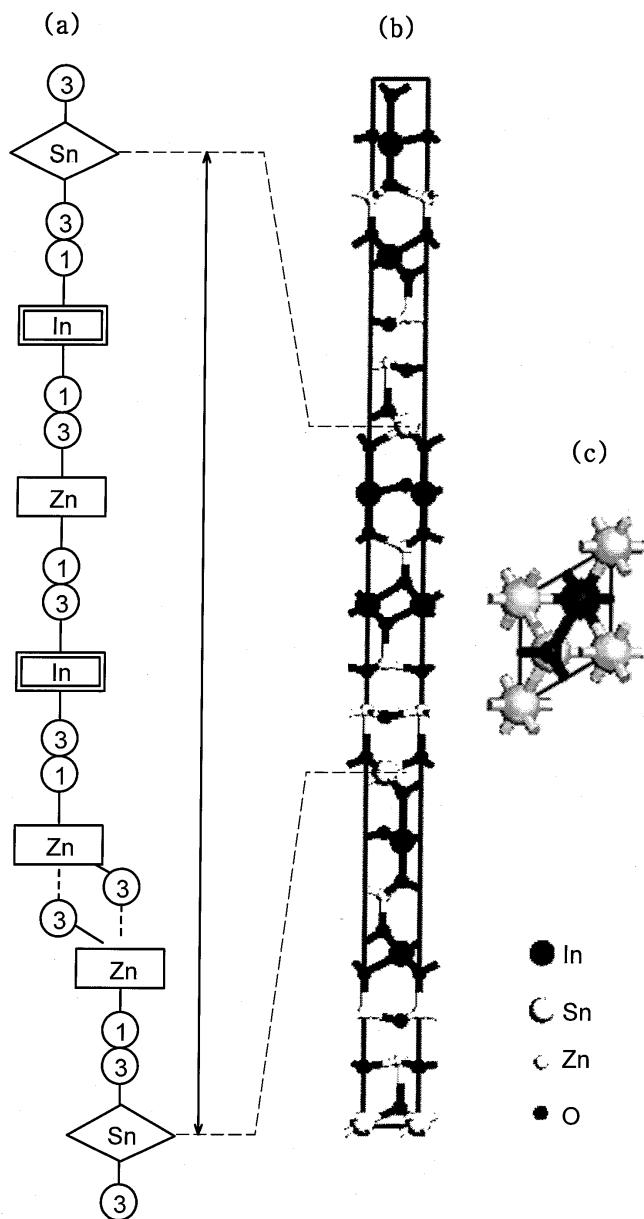
(d)



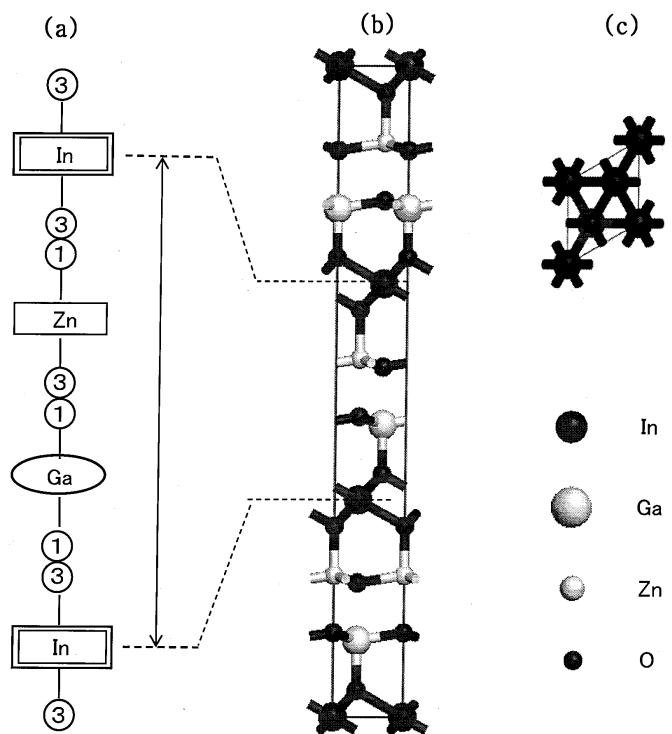
## 도면6



## 도면7



도면8



## 도면9

