



(19) 中華民國智慧財產局

(12) 新型說明書公告本

(11) 證書號數：TW M415396U1

(45) 公告日：中華民國 100 (2011) 年 11 月 01 日

(21) 申請案號：100206741

(22) 申請日：中華民國 100 (2011) 年 04 月 18 日

(51) Int. Cl. : *G11C11/412 (2006.01)*

(71) 申請人：蕭家榕(中華民國) SHIAU, JIA RONG (TW)

臺中市北區興進路 187 號 8 樓之 5

(72) 創作人：蕭家榕 SHIAU, JIA RONG (TW)

申請專利範圍項數：9 項 圖式數：3 共 21 頁

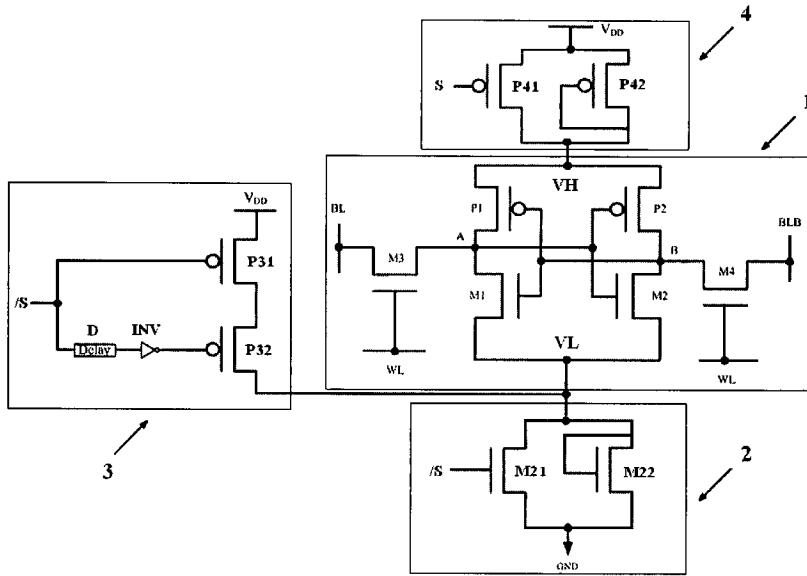
(54) 名稱

具高待機效能之靜態隨機存取記憶體

HIGH STANDBY PERFORMANCE STATIC RANDOM ACCESS MEMORY

(57) 摘要

本創作提出一種具高待機效能之靜態隨機存取記憶體，其主要包括一記憶體陣列、一第一控制電路(2)、一第二控制電路(4)以及一待機啟動電路(3)，該記憶體陣列係連接在一高電壓節點(VH)與一低電壓節點(VL)之間且由複數個記憶體晶胞(1)所組成，每一記憶體晶胞(1)係包括一第一反相器(由一第一 PMOS 電晶體 P1 與一第一 NMOS 電晶體 M1 所組成)、一第二反相器(由一第二 PMOS 電晶體 P2 與一第二 NMOS 電晶體 M2 所組成)及二個存取電晶體(第三 NMOS 電晶體 M3 和第四 NMOS 電晶體 M4)。該第一控制電路(2)係連接在該低電壓節點(VL)與一接地電壓(GND)之間，該第二控制電路(4)係連接在一電源供應電壓(V_{DD})與該高電壓節點(VH)之間，俾於待機模式時，可藉由將該低電壓節點(VL)提高至較該接地電壓為高之一第一預定電壓，及將該高電壓節點(VH)降低至較該電源供應電壓(V_{DD})為低之一第二預定電壓，以有效降低功率消耗。再者，藉由該待機啟動電路(3)的設計，以有效促使靜態隨機存取記憶體快速進入待機模式，並因而有效提高靜態隨機存取記憶體之待機效能。



第 2 圖

- P1 . . . 第一 PMOS 電晶體
- P2 . . . 第二 PMOS 電晶體
- M1 . . . 第一 NMOS 電晶體
- M2 . . . 第二 NMOS 電晶體
- M3 . . . 第三 NMOS 電晶體
- M4 . . . 第四 NMOS 電晶體
- WL . . . 字元線
- BL . . . 位元線
- BLB . . . 互補位元線
- A . . . 儲存節點
- B . . . 反相儲存節點
- /S . . . 反相待機模式控制信號
- S . . . 待機模式控制信號
- VL . . . 低電壓節點
- VH . . . 高電壓節點
- M21 . . . 第五 NMOS 電晶體
- M22 . . . 第六 NMOS 電晶體
- P41 . . . 第三 PMOS 電晶體
- P42 . . . 第四 PMOS 電晶體
- INV . . . 第三反相器
- D . . . 延遲電路
- V_{DD} . . . 電源供應電壓

P31 . . . 第五

PMOS 電晶體

P32 . . . 第六

PMOS 電晶體

1 . . . SRAM 晶胞

2 . . . 第一控制電路

3 . . . 待機啟動電路

4 . . . 第二控制電路

五、新型說明：

【新型所屬之技術領域】

本創作係有關於一種具高待機效能之靜態隨機存取記憶體（Static Random Access Memory，簡稱 SRAM），尤指一種有效提高靜態隨機存取記憶體之待機效能，並能有效降低漏電流（leakage current）之靜態隨機存取記憶體。

【先前技術】

記憶體在電腦工業中扮演著無可或缺的角色。通常，記憶體可依照其能否在電源關閉後仍能保存資料，而區分為非揮發性（non-volatile）記憶體及揮發性（volatile）記憶體，非揮發性記憶體所儲存之資料並不會因電源關閉或中斷而消失，而儲存在揮發性記憶體之資料則會隨著電源關閉或中斷而被消除。常見的揮發性記憶體有動態隨機存取記憶體（Dynamic Random Access Memory，簡稱 DRAM）及靜態隨機存取記憶體（SRAM）兩種。動態隨機存取記憶體（DRAM）具有面積小及價格低等優點，但操作時必須不時地更新（refresh）以防止資料因漏電流而遺失，而導致存在有高速化困難及消耗功率大等缺失。相反地，靜態隨機存取記憶體（SRAM）的操作則較為簡易且毋須更新操作，因此具有高速化及消耗功率低等優點。

目前以行動電話為代表之行動電子設備所採用之半導體記憶裝置，係以 SRAM 為主流。此乃由於 SRAM 待機電流小，適於連續通話時間、連續待機時間盡可能延長之手機。

第 1 圖所示即是習知之 6T 靜態隨機存取記憶體（SRAM）晶胞之電路示意圖，其中，PMOS 電晶體(P1)和 PMOS 電晶體(P2)稱為負載電晶體（load transistor），NMOS 電晶體(M1)和 NMOS 電晶體(M2)稱為驅動電晶體（driving transistor），NMOS 電晶體(M3)和 NMOS 電晶體(M4)稱為存取電晶體（access

transistor)，WL 為字元線 (word line)，而 BL 及 BLB 分別為位元線 (bit line) 及互補位元線 (complementary bit line)，該 SRAM 晶胞需要 6 個電晶體，且驅動電晶體與存取電晶體間的電流驅動能力比 (即單元比率 (cell ratio)) 通常設定在 2.2 至 3.5 之間，以便防止讀取邏輯 Low 時所造成之干擾。

至今，有許多降低待機電流之技術被提出，例如專利文獻 1 (99 年 12 月 1 日第 TW M393773 號) 所提出之「具放電路徑之雙埠靜態隨機存取記憶體」、專利文獻 2 (98 年 3 月 21 日第 TW I307890 號) 所提出之「靜態隨機存取記憶體」、專利文獻 3 (97 年 6 月 3 日第 US7382674 B2 號) 所提出之「Static random access memory (SRAM) with clamped source potential in standby mode」、專利文獻 4 (96 年 8 月 7 日第 US7254085 B2 號) 所提出之「Static random access memory device and method of reducing standby current」、專利文獻 5 (95 年 9 月 19 日第 US7110317 B2 號) 所提出之「SRAM employing virtual rail scheme stable against various process-voltage-temperature variations」、非專利文獻 6 (Tae-Hyoung Kim et al., "A Voltage Scalable 0.26 V, 64 kb 8T SRAM With Vmin Lowering Techniques and Deep Sleep Mode", IEEE Journal of Solid-State Circuits., Vol. 64, pp 1785 - 1795, 2009.) 所提出之 8T SRAM、非專利文獻 7 (Ding-Ming Kwai, "Modeling of SRAM Standby Current by Three-Parameter Lognormal Distribution", Design, and Testing, 2009. MTDT '09. IEEE International Workshop on Memory Technology, pp 77 - 82, Aug. 31 2009-Sept. 2 2009.) 所提出之 SRAM 以及非專利文獻 8 (Dadgour, H.F. et al., "Hybrid NEMS-CMOS integrated circuits: A novel strategy for energy-efficient designs", Computers & Digital Techniques, IET, Volume: 3, Issue: 6, pp 593 - 608 November 2009.) 所提出之 SRAM，該等專利文獻或非專利文獻於待機操作時，均是藉由將 SRAM 中所有記憶體晶胞中之驅動電晶體 (亦即第 1 圖之

NMOS 電晶體 M1 和 M2) 之源極電壓由原本之接地電壓提高至較該接地電壓為高之一第一預定電壓，及/或將 SRAM 中所有記憶體晶胞中之負載電晶體 (亦即第 1 圖之 PMOS 電晶體 P1 和 P2) 之源極電壓由原本之電源供應電壓降低至較該電源供應電壓為低之一第二預定電壓，以謀求降低待機操作之功率消耗，惟由於該第一預定電壓僅係藉由 SRAM 中所有記憶體晶胞中之電晶體的漏電流對寄生電容的充電而達成，而造成靜態隨機存取記憶體進入待機模式之速度極為緩慢，並因而導致降低待機效能之缺失，亦即該等專利文獻或非專利文獻均缺乏待機啟動電路以促使靜態隨機存取記憶體快速進入待機模式。

有鑑於此，本創作之主要目的係提出一種具有高待機效能之靜態隨機存取記憶體，其能有效促使靜態隨機存取記憶體快速進入待機模式，並因而有效提高靜態隨機存取記憶體之待機效能。

本創作之次要目的係提出一種具有高待機效能之靜態隨機存取記憶體，其能藉由第一控制電路及/或第二控制電路之設計，以有效降低靜態隨機存取記憶體於待機模式時之功率消耗。

【新型內容】

本創作提出一種具有高待機效能之靜態隨機存取記憶體，其主要包括一記憶體陣列、一第一控制電路 (2)、一第二控制電路 (4) 以及一待機啟動電路 (3)，該記憶體陣列係連接在一高電壓節點(VH)與一低電壓節點(VL)之間且由複數個記憶體晶胞 (1) 所組成，每一記憶體晶胞 (1) 係包括一第一反相器 (由一第一 PMOS 電晶體 P1 與一第一 NMOS 電晶體 M1 所組成)、一第二反相器 (由一第二 PMOS 電晶體 P2 與一第二 NMOS 電晶體 M2 所組成) 及二個存取電晶體 (第三 NMOS 電晶體 M3 和第四 NMOS 電

晶體 M4)。該第一控制電路 (2) 係連接在該低電壓節點(VL)與一接地電壓 (GND) 之間，該第二控制電路 (4) 係連接在一電源供應電壓 (V_{DD}) 與該高電壓節點(VH) 之間，俾於待機模式時，可藉由將該低電壓節點(VL) 提高至較該接地電壓為高之一第一預定電壓，及將該高電壓節點(VH) 降低至較該電源供應電壓 (V_{DD}) 為低之一第二預定電壓，以有效降低功率消耗。再者，藉由該待機啟動電路 (3) 的設計，以有效促使靜態隨機存取記憶體快速進入待機模式，並因而有效提高靜態隨機存取記憶體之待機效能。

【實施方式】

【第一實施例】

根據上述之主要目的，本創作提出一種具高待機效能之靜態隨機存取記憶體，其主要包括一記憶體陣列、一第一控制電路 (2)、一第二控制電路 (4) 以及一待機啟動電路 (3)。該記憶體陣列係連接在一高電壓節點(VH) 與一低電壓節點(VL) 之間且由複數個記憶體晶胞 (1) 所組成，其中該待機啟動電路 (3) 係促使靜態隨機存取記憶體快速進入待機模式，以有效提高靜態隨機存取記憶體之待機效能，而該第一控制電路 (2) 與第二控制電路 (4)，則供有效降低待機模式之功率消耗。

為了便於說明起見，第 2 圖所示之具高待機效能之靜態隨機存取記憶體僅以一個記憶體晶胞 (1)、一第一控制電路 (2)、一第二控制電路 (4) 以及一待機啟動電路 (3) 做為實施例來說明。該記憶體晶胞 (1) 係連接在該高電壓節點(VH) 與該低電壓節點(VL) 之間，且包括一第一反相器 (由一第一 PMOS 電晶體 P1 與一第一 NMOS 電晶體 M1 所組成)、一第二反相器 (由一第二 PMOS 電晶體 P2 與一第二 NMOS 電晶體 M2 所組成) 及二個存取電晶體 (第三 NMOS 電晶體 M3 和第四 NMOS 電晶體 M4)，其

中，該第一反相器及該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出（即節點 A）係連接該第二反相器之輸入，而該第二反相器之輸出（即節點 B）則連接該第一反相器之輸入，並且該第一反相器之輸出（節點 A）係用於儲存 SRAM 晶胞之資料，而該第二反相器之輸出（節點 B）則用於儲存 SRAM 晶胞之反相資料。

請再參考第 2 圖，該第一控制電路(2)係由一第五 NMOS 電晶體(M21) 及一第六 NMOS 電晶體 (M22) 所組成。該第五 NMOS 電晶體 (M21) 之源極、閘極與汲極係分別連接至一接地電壓 (GND)、一反相待機模式控制信號 (/S) 與該低電壓節點 (VL)；該第六 NMOS 電晶體 (M22) 之源極連接至該接地電壓，而閘極與汲極連接在一起且連接至該低電壓節點 (VL) 以形成一二極體結構；該第一控制電路 (2) 係設計成可因應待機模式與否而控制該低電壓節點 (VL) 之電壓位準，於待機模式時，將該低電壓節點(VL)設定成較接地電壓為高之一第一預定電壓（即該第六 NMOS 電晶體 (M22) 之臨界電壓 V_{TM22} ），以便降低漏電流；而於非待機模式時則將該低電壓節點(VL)設定成接地電壓，以便維持正常操作。在此值得注意的是，該反相待機模式控制信號 (/S) 係由一待機模式控制信號 (S) 經一反相器而獲得。

該第二控制電路 (4) 係由一第三 PMOS 電晶體 (P41)、一第四 PMOS 電晶體 (P42) 所組成。該第三 PMOS 電晶體 (P41) 之源極、閘極與汲極係分別連接至一電源供應電壓 (V_{DD})、該待機模式控制信號 (S) 與該高電壓節點 (VH)；該第四 PMOS 電晶體 (P42) 之源極連接至該電源供應電壓 (V_{DD})，而閘極與汲極連接在一起且連接至該高電壓節點 (VH) 以形成一二極體結構；該第二控制電路 (4) 係設計成可因應待機模式與否而控制該高電壓節點(VH)之電壓位準，於待機模式時，將該高電壓節點(VH)

設定成較該電源供應電壓 (V_{DD}) 為低之一第二預定電壓 (即該電源供應電壓 (V_{DD}) 扣減該第四 PMOS 電晶體 (P42) 之臨界電壓 V_{TP42} 的絕對值之電壓位準), 以便降低漏電流; 而於非待機模式時則將該高電壓節點 (VH) 設定成該電源供應電壓 (V_{DD}), 以便維持正常操作。

該待機啟動電路(3)係由一第五 PMOS 電晶體(P31)、一第六 PMOS 電晶體 (P32)、一第三反相器 (INV) 以及一延遲電路 (D) 所組成。該第五 PMOS 電晶體 (P31) 之源極、閘極與汲極係分別連接至該電源供應電壓 (V_{DD})、該反相待機模式控制信號 (/S) 與該第六 PMOS 電晶體 (P32) 之源極; 該第六 PMOS 電晶體 (P32) 之源極、閘極與汲極係分別連接至該第五 PMOS 電晶體 (P31) 之汲極、該第三反相器 (INV) 之輸出與該低電壓節點 (VL); 該第三反相器 (INV) 之輸入連接至該延遲電路(D)之輸出, 而該第三反相器 (INV) 之輸出則連接至該第六 PMOS 電晶體 (P32) 之閘極; 該延遲電路 (D) 之輸入連接至該反相待機模式控制信號 (/S), 而該延遲電路 (D) 之輸出則連接至該第三反相器 (INV) 之輸入。

接著, 說明第 2 圖中之待機啟動電路(3)如何促使靜態隨機存取記憶體快速進入待機模式, 以有效提高靜態隨機存取記憶體之待機效能: (1) 於進入待機模式之前, 該反相待機模式控制信號 (/S) 為邏輯 High, 該邏輯 High 之反相待機模式控制信號 (/S) 使得該第五 PMOS 電晶體 (P31) 截止 (OFF), 並使得該第六 PMOS 電晶體 (P32) 導通 (ON); (2) 而於進入待機模式後, 該反相待機模式控制信號 (/S) 為邏輯 Low, 該邏輯 Low 之反相待機模式控制信號 (/S) 使得該第五 PMOS 電晶體 (P31) 導通 (ON), 惟於待機模式之一初始期間內 (該初始期間係為該延遲電路 (D))

所提供之一延遲時間以及該第三反相器 (INV) 所提供之上升延遲時間的總和), 該第六 PMOS 電晶體 (P32) 仍導通 (ON), 於是該低電壓節點 (VL) 可快速到達該第六 NMOS 電晶體 (M22) 之臨界電壓 V_{TM22} , 亦即靜態隨機存取記憶體可快速進入待機模式。

在此值得注意的是, 為了有效降低對製程-電壓-溫度 (PVT) 變異性的影響, 可於該第一控制電路 (2) 之呈二極體結構之該第六 NMOS 電晶體 (M22) 的汲極與源極間, 並聯一呈二極體結構之 PMOS 電晶體。另, 亦可於該第二控制電路 (4) 之呈二極體結構之該第四 PMOS 電晶體 (P42) 的汲極與源極間, 並聯一呈二極體結構之 NMOS 電晶體。

【第二實施例】

為了簡化電路結構及便於說明如何於待機模式時降低漏電流, 本創作提出另一種具高待機效能之靜態隨機存取記憶體, 如第 3 圖所示, 其主要包括一記憶體陣列、一第三控制電路 (2') 以及一待機啟動電路 (3)。該記憶體陣列係連接在一電源供應電壓 (V_{DD}) 與一低電壓節點 (VL) 之間且由複數個記憶體晶胞 (1) 所組成, 其中該待機啟動電路 (3) 係促使靜態隨機存取記憶體快速進入待機模式, 以有效提高靜態隨機存取記憶體之待機效能, 而該第三控制電路 (2') 則供有效降低待機模式之功率消耗。由於該待機啟動電路 (3) 與第一實施例者相同, 不再贅述。

請再參考第 3 圖, 該第三控制電路 (2') 係由一第五 NMOS 電晶體 (M21)、一第六 NMOS 電晶體 (M22) 及一第七 NMOS 電晶體 (M23) 所組成。該第五 NMOS 電晶體 (M21) 之源極、閘極與汲極係分別連接至一接地電壓 (GND)、一反相待機模式控制信號 (/S) 與該低電壓節點 (VL);

該第六 NMOS 電晶體 (M22) 之源極連接至該第七 NMOS 電晶體 (M23) 之汲極，而閘極與汲極連接在一起且連接至該低電壓節點 (VL) 以形成一二極體結構，該第七 NMOS 電晶體 (M23) 之源極連接至該接地電壓 (GND)，而閘極與汲極連接在一起且連接至該第六 NMOS 電晶體 (M22) 之源極以形成另一二極體結構；該第三控制電路 (2') 係設計成可因應待機模式與否而控制該低電壓節點 (VL) 之電壓位準，於待機模式時，將該低電壓節點 (VL) 設定成較接地電壓為高之一第三預定電壓 (即該第六 NMOS 電晶體 (M22) 之臨界電壓 V_{TM22} 及該第七 NMOS 電晶體 (M23) 之臨界電壓 (V_{TM23}) 的總和，即 $V_{TM22} + V_{TM23}$ 之電壓位準)，以便降低漏電流；而於非待機模式時則將該低電壓節點 (VL) 設定成接地電壓，以便維持正常操作。

接下來說明第二實施例於待機模式時如何減少漏電流，請參考第 3 圖，第 3 圖描述有第二實施例處於待機模式時所產生之各漏電流 (subthreshold leakage current) I_1 、 I_2 、 I_3 、 I_4 ，其中假設 SRAM 晶胞中之該第一反相器之輸出 (即節點 A) 為邏輯 Low，而該第二反相器之輸出 (即節點 B) 為邏輯 High (電源供應電壓 V_{DD})。在此值得注意的是，待機模式時該低電壓節點 (VL) 之電壓位準係維持在該第六 NMOS 電晶體 (M22) 之臨界電壓 V_{TM22} 及該第七 NMOS 電晶體 (M23) 之臨界電壓 (V_{TM23}) 的總和，即 $V_{TM22} + V_{TM23}$ 之電壓位準。

請參考第 1 圖之先前技藝與第 3 圖之本創作第二實施例，來說明本創作第二實施例所提出之靜態隨機存取記憶體與第 1 圖之 6T SRAM 於漏電流方面之比較，首先關於流經該第三 NMOS 電晶體 (M3) 之漏電流 I_1 ，由於本創作於待機模式時節點 A 之電壓位準係維持在該 $V_{TM22} + V_{TM23}$ 的電壓位準，且假設字元線 (WL) 於待機模式時係設定成接地電壓，因此本創作

第二實施例之第三 NMOS 電晶體 (M3) 的閘源極電壓 V_{GS} 為負值，反觀於待機模式時第 1 圖先前技藝之 NMOS 電晶體 (M3) 的閘源極電壓 V_{GS} 等於 0，根據閘極引發汲極洩漏 (Gate Induced Drain Leakage, 簡稱 GIDL) 效應或 2005 年 3 月 8 日第 US6865119 號專利案第 3 (A) 及 3 (B) 圖之結果可知，對於 NMOS 電晶體而言，閘源極電壓為 -0.1 伏特時之次臨界電流約為閘源極電壓為 0 伏特時之次臨界電流的 1%，因此導因於 GIDL 效應所引發之流經本創作第二實施例之該第三 NMOS 電晶體 (M3) 之漏電流 I_1 遠小於第 1 圖先前技藝之 NMOS 電晶體 (M3) 者；再者，本創作第二實施例中該第三 NMOS 電晶體 (M3) 之汲源極電壓 V_{DS} 為該電源供應電壓 V_{DD} 扣減該 $V_{TM22} + V_{TM23}$ 的電壓位準，反觀於待機模式時傳統第 1 圖 6TSRAM 之 NMOS 電晶體 M3 之汲源極電壓 V_{DS} 係等於該電源供應電壓 V_{DD} ，根據汲極引發能障下跌 (Drain-Induced Barrier Lowering, 簡稱 DIBL) 效應，由於 DIBL 效應所引發之流經本創作第二實施例之該第三 NMOS 電晶體 (M3) 之漏電流 I_1 亦小於第 1 圖先前技藝之 NMOS 電晶體 (M3) 者；結果，流經本創作第二實施例之該第三 NMOS 電晶體 (M3) 之漏電流 I_1 遠小於第 1 圖先前技藝之 NMOS 電晶體 (M3) 者。

接著關於流經該第一 PMOS 電晶體 (P1) 之漏電流 I_2 ，由於待機模式時該第一 PMOS 電晶體 (P1) 之源極係為該電源供應電壓 (V_{DD})，而該第一 PMOS 電晶體 (P1) 之汲極係維持在該 $V_{TM22} + V_{TM23}$ 的電壓位準，因此本創作之該第一 PMOS 電晶體 (P1) 之源汲極電壓 V_{SD} 為該電源供應電壓 (V_{DD}) 扣減該 $V_{TM22} + V_{TM23}$ 的電壓位準，反觀於待機模式時第 1 圖先前技藝之 PMOS 電晶體 (P1) 之源汲極電壓 V_{SD} 係等於該電源供應電壓 (V_{DD})，根據 DIBL 效應，因此流經該第一 PMOS 電晶體 (P1) 之漏電流 I_2 會小於第 1 圖先前技藝之 PMOS 電晶體 (P1) 者。

緊接著，關於流經該第二 NMOS 電晶體 (M2) 之漏電流 I_3 ，由於待機模式時該低電壓節點 (VL) 之電壓位準係維持在該 $V_{TM22} + V_{TM23}$ 的電壓位

準，節點 A 之電壓位準亦維持在該 $V_{TM22} + V_{TM23}$ 的電壓位準，而節點 B 之電壓位準係等於該電源供應電壓 (V_{DD}) 且該第二 NMOS 電晶體 (M2) 之基底為接地電壓，因此本創作之該第二 NMOS 電晶體 (M2) 的基源極電壓 V_{BS} 為負值，且該第二 NMOS 電晶體 (M2) 之汲源極電壓 V_{DS} 為該電源供應電壓 (V_{DD}) 扣減該 $V_{TM22} + V_{TM23}$ 的電壓位準，反觀於待機模式時第 1 圖先前技藝之 NMOS 電晶體 (M2) 的基源極電壓 V_{BS} 等於 0，且 NMOS 電晶體 (M2) 之汲源極電壓 V_{DS} 等於該電源供應電壓 (V_{DD})，根據本體效應 (body effect) 及 DIBL 效應可知，流經本創作之該第二 NMOS 電晶體 (M2) 之漏電流 I_3 遠小於第 1 圖先前技藝之 NMOS 電晶體 (M2) 者。

最後，關於流經該第四 NMOS 電晶體 (M4) 之漏電流 I_4 ，由於此時本創作第二實施例之該第四 NMOS 電晶體 (M4) 與第 1 圖先前技藝之 NMOS 電晶體 (M4) 具有完全相同的電壓狀態 (節點 B 與互補位元線 BLB 均為電源供應電壓 V_{DD} ，而字元線 WL 與基底則均為接地電壓)，因此，具有相同的漏電流 I_4 。綜合以上分析可知，本創作第二實施例於待機模式時確實可有效減少漏電流。

第 3 圖所示之本創作第二實施與傳統第 1 圖 6T SRAM 於待機模式下之漏電流 (即 I_1 、 I_2 、 I_3 及 I_4 之總和) 比較如表 1 所示，其係以 level 49 模型且使用 TSMC 90 奈米 CMOS 製程參數加以模擬，由表 1 可看出於製程 TT、SS 以及 FF，本論文所提出之靜態隨機存取記憶體與傳統 6T SRAM 分別減少 90.7%、31.5% 及 87.3% 的漏電流。

表1 漏電流比較

製程	傳統6T SRAM (pA)	本創作第二實施例之SRAM(pA)	減少百分比(%)
TT	22.2203	2.0576	90.7
SS	1.6191	1.1091	31.5
FF	309.2402	39.3803	87.3

【創作功效】

本創作所提出之具高待機效能之靜態隨機存取記憶體，具有如下功效：

- (1) 快速進入待機模式：由於本創作所提出之具高待機效能之靜態隨機存取記憶體設置有待機啟動電路（3）以促使靜態隨機存取記憶體快速進入待機模式，並藉此以謀求提高靜態隨機存取記憶體之待機效能；以及
- (2) 低待機電流：由於本創作所提出之具高待機效能之靜態隨機存取記憶體於待機模式時，可藉由第一控制電路（2）以將低電壓節點(VL)提高至較接地電壓為高之一第一預定電壓，並可藉由第二控制電路（4）以將高電壓節點(VH)降低至較電源供應電壓 (V_{DD}) 為低之一第二預定電壓，因此本創作所提出之具高待機效能之靜態隨機存取記憶體亦具備低待機電流之功效。

雖然本創作特別揭露並描述了所選之較佳實施例，但舉凡熟悉本技術之人士可明瞭任何形式或是細節上可能的變化均未脫離本創作的精神與範圍。因此，所有相關技術範疇內之改變都包括在本創作之申請專利範圍內。

【圖式簡單說明】

第 1 圖 係顯示習知 6T 靜態隨機存取記憶體晶胞之電路示意圖；

第 2 圖 係顯示本創作第一實施例所提出之電路示意圖；

第 3 圖 係顯示本創作第二實施例所提出之電路示意圖。

【主要元件符號說明】

P1	第一 PMOS 電晶體	P2	第二 PMOS 電晶體
M1	第一 NMOS 電晶體	M2	第二 NMOS 電晶體
M3	第三 NMOS 電晶體	M4	第四 NMOS 電晶體
WL	字元線	BL	位元線
A	儲存節點	B	反相儲存節點
S	待機模式控制信號	/S	反相待機模式控制信號
VL	低電壓節點	VH	高電壓節點
M21	第五 NMOS 電晶體	M22	第六 NMOS 電晶體
M23	第七 NMOS 電晶體	P41	第三 PMOS 電晶體
P42	第四 PMOS 電晶體	INV	第三反相器
D	延遲電路	V _{DD}	電源供應電壓
P31	第五 PMOS 電晶體	P32	第六 PMOS 電晶體
1	SRAM 晶胞	2	第一控制電路
3	待機啟動電路	4	第二控制電路
2'	第三控制電路	BLB	互補位元線

I_1 、 I_2

漏電流

I_3 、 I_4

漏電流

新型專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100206741

※申請日： 100. 4. 18 ※IPC 分類： G11C 11/412 (2006.01)

一、新型名稱：(中文/英文)

具高待機效能之靜態隨機存取記憶體

High Standby Performance Static Random Access Memory

二、中文新型摘要：

本創作提出一種具高待機效能之靜態隨機存取記憶體，其主要包括一記憶體陣列、一第一控制電路(2)、一第二控制電路(4)以及一待機啟動電路(3)，該記憶體陣列係連接在一高電壓節點(VH)與一低電壓節點(VL)之間且由複數個記憶體晶胞(1)所組成，每一記憶體晶胞(1)係包括一第一反相器(由一第一 PMOS 電晶體 P1 與一第一 NMOS 電晶體 M1 所組成)、一第二反相器(由一第二 PMOS 電晶體 P2 與一第二 NMOS 電晶體 M2 所組成)及二個存取電晶體(第三 NMOS 電晶體 M3 和第四 NMOS 電晶體 M4)。該第一控制電路(2)係連接在該低電壓節點(VL)與一接地電壓(GND)之間，該第二控制電路(4)係連接在一電源供應電壓(V_{DD})與該高電壓節點(VH)之間，俾於待機模式時，可藉由將該低電壓節點(VL)提高至較該接地電壓為高之一第一預定電壓，及將該高電壓節點(VH)降低至較該電源供應電壓(V_{DD})為低之一第二預定電壓，以有效降低功率消耗。再者，藉由該待機啟動電路(3)的設計，以有效促使靜態隨機存取記憶體快速進入待機模式，並因而有效提高靜態隨機存取記憶體之待機效能。

三、英文新型摘要：

六、申請專利範圍：

1. 一種具高待機效能之靜態隨機存取記憶體，包括：

- 一記憶體陣列，該記憶體陣列係包含有複數個記憶體晶胞 (1)；
- 一第一控制電路 (2)，該第一控制電路係連接在一低電壓節點(VL)與一接地電壓 (GND) 之間，俾於待機模式時，可將該低電壓節點(VL)提高至較該接地電壓 (GND) 為高之一第一預定電壓；以及
- 一待機啟動電路 (3)，該待機啟動電路 (3) 係促使該靜態隨機存取記憶體快速進入待機模式，並藉此以有效提高靜態隨機存取記憶體之待機效能；

其中，每一記憶體晶胞 (1) 更包含：

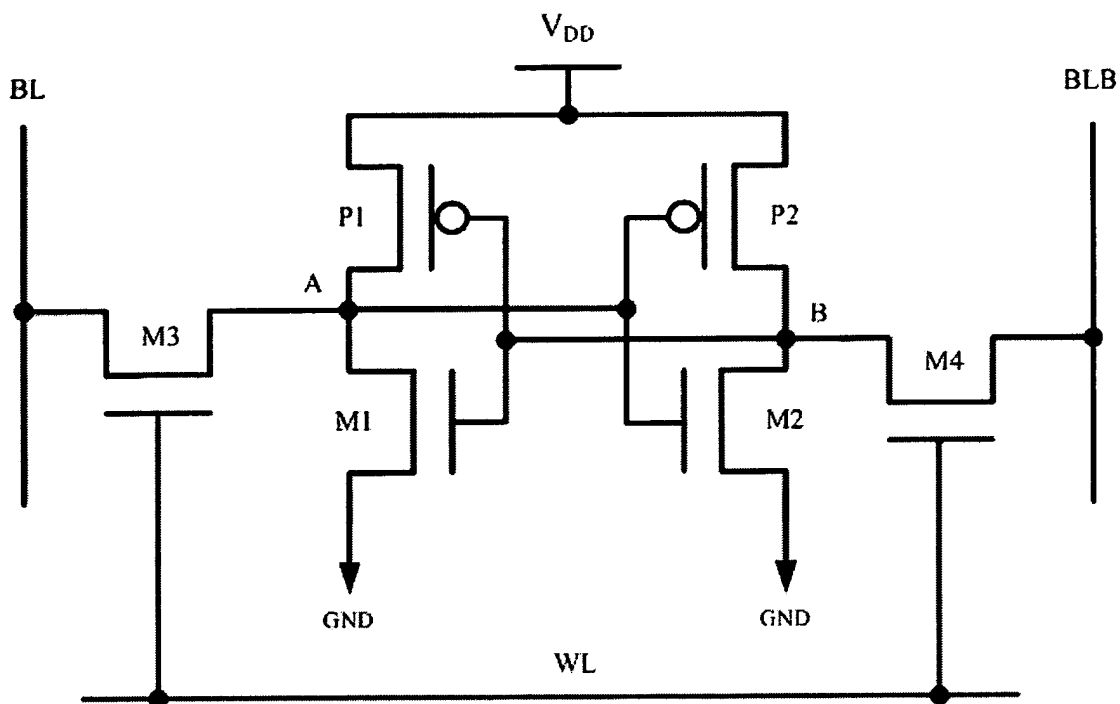
- 一第一反相器，係由一第一PMOS電晶體 (P1) 與一第一NMOS電晶體 (M1) 所組成，該第一反相器係連接在一高電壓節點 (VH) 與該低電壓節點 (VL) 之間；
 - 一第二反相器，係由一第二PMOS電晶體 (P2) 與一第二NMOS電晶體 (M2) 所組成，該第二反相器係連接在該高電壓節點 (VH) 與該低電壓節點 (VL) 之間；
 - 一儲存節點 (A)，係由該第一反相器之輸出端所形成；
 - 一反相儲存節點 (B)，係由該第二反相器之輸出端所形成；
 - 一第三NMOS電晶體 (M3)，係連接在該儲存節點 (A) 與對應之一位元線 (BL) 之間，且閘極連接至對應之一字元線 (WL)；以及
 - 一第四NMOS電晶體 (M4)，係連接在該反相儲存節點 (B) 與對應之一互補位元線 (BLB) 之間，且閘極連接至對應之該字元線 (WL)；
- 其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端 (即儲存節點A) 係連接至該第二反相器之輸入端，而該第二反相器之輸出端 (即反相儲存節點B) 則連接至該第一反相器之輸入端。

2. 如申請專利範圍第 1 項所述之具高待機效能之靜態隨機存取記憶體，其中，該第一控制電路 (2) 係由一第五 NMOS 電晶體 (M21) 及一第六 NMOS 電晶體 (M22) 所組成；該第五 NMOS 電晶體 (M21) 之源極、

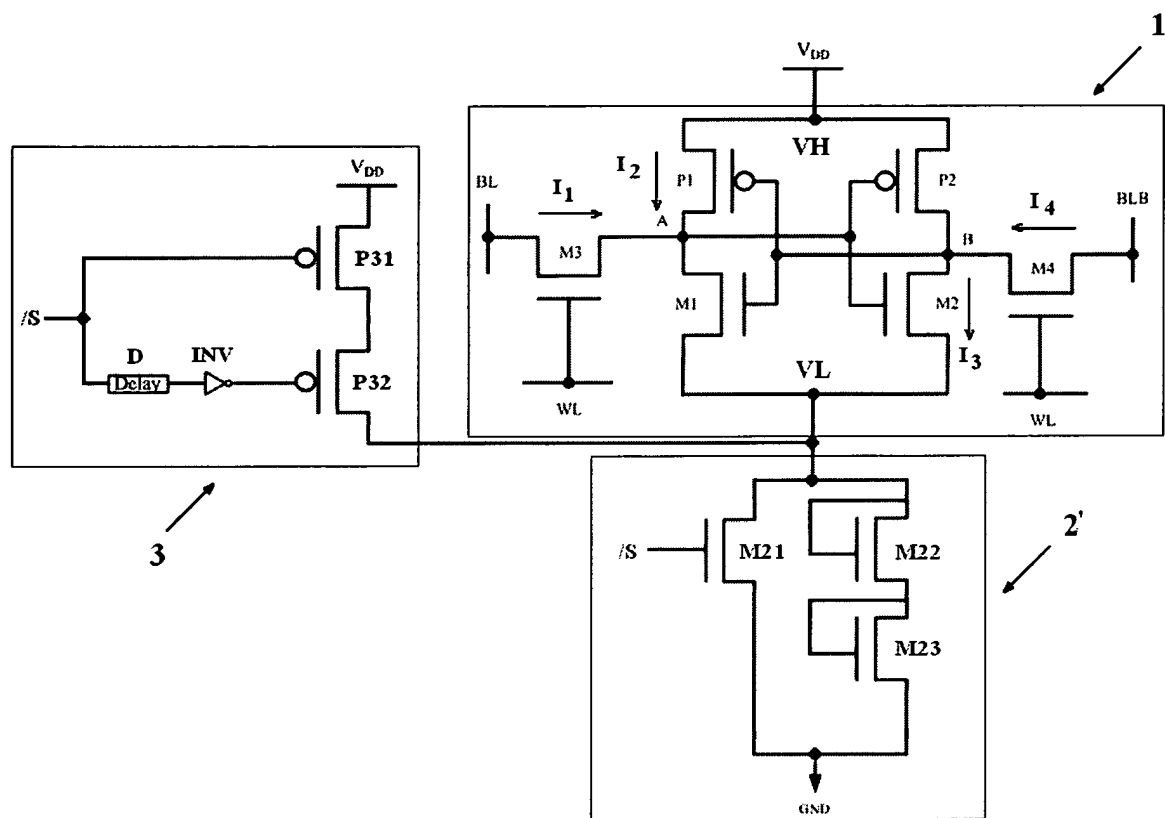
- 閘極與汲極係分別連接至該接地電壓 (GND)、一反相待機模式控制信號 (/S) 與該低電壓節點 (VL)；該第六 NMOS 電晶體 (M22) 之源極連接至該接地電壓 (GND)，而閘極與汲極連接在一起且連接至該低電壓節點 (VL)。
3. 如申請專利範圍第 2 項所述之具高待機效能之靜態隨機存取記憶體，其中，該第一控制電路 (2) 更包括一呈二極體連接之 PMOS 電晶體，該 PMOS 電晶體並聯連接於該第六 NMOS 電晶體 (M22) 的汲極與源極之間，以降低對製程-電壓-溫度 (Process-Voltage-Temperature, 簡稱 PVT) 變異性的影響。
 4. 如申請專利範圍第 1 項所述之具高待機效能之靜態隨機存取記憶體，其中，該第一控制電路 (2) 係由一第五 NMOS 電晶體 (M21)、一第六 NMOS 電晶體 (M22) 及一第七 NMOS 電晶體 (M23) 所組成；該第五 NMOS 電晶體 (M21) 之源極、閘極與汲極係分別連接至該接地電壓 (GND)、一反相待機模式控制信號 (/S) 與該低電壓節點 (VL)；該第六 NMOS 電晶體 (M22) 之源極連接至該第七 NMOS 電晶體 (M23) 之汲極，而閘極與汲極連接在一起且連接至該低電壓節點 (VL) 以形成一二極體結構；該第七 NMOS 電晶體 (M23) 之源極連接至該接地電壓 (GND)，而閘極與汲極連接在一起且連接至該第六 NMOS 電晶體 (M22) 之源極以形成另一二極體結構。
 5. 如申請專利範圍第 1 項所述之具高待機效能之靜態隨機存取記憶體，更進一步包括一第二控制電路 (4)，該第二控制電路 (4) 係連接在一電源供應電壓 (V_{DD}) 與該高電壓節點 (VH) 之間，俾於待機模式時，可藉由將該高電壓節點 (VH) 降低至較該電源供應電壓 (V_{DD}) 為低之一第二預定電壓。
 6. 如申請專利範圍第 5 項所述之具高待機效能之靜態隨機存取記憶體，該第二控制電路 (4) 係由一第三 PMOS 電晶體 (P41)、一第四 PMOS 電晶體 (P42) 所組成；該第三 PMOS 電晶體 (P41) 之源極、閘極與汲極係分別連接至該電源供應電壓 (V_{DD})、一待機模式控制信號 (S) 與該高電壓節點 (VH)；該第四 PMOS 電晶體 (P42) 之源極連接至該電源供應電壓 (V_{DD})，而閘極與汲極連接在一起且連接至該高電壓節點 (VH)。

7. 如申請專利範圍第 6 項所述之具高待機效能之靜態隨機存取記憶體，其中，該第二控制電路 (4) 更包括一呈二極體連接之 NMOS 電晶體，該 NMOS 電晶體並聯連接於該第四 PMOS 電晶體 (P42) 的汲極與源極之間，以降低對製程-電壓-溫度 (PVT) 變異性的影響。
8. 如申請專利範圍第 1 項所述之具高待機效能之靜態隨機存取記憶體，其中該待機啟動電路 (3) 係由一第五 PMOS 電晶體 (P31)、一第六 PMOS 電晶體 (P32)、一第三反相器 (INV) 以及一延遲電路 (D) 所組成；其中，該第五 PMOS 電晶體 (P31) 之源極、閘極與汲極係分別連接至一電源供應電壓 (V_{DD})、一反相待機模式控制信號 (/S) 與該第六 PMOS 電晶體 (P32) 之源極；
該第六 PMOS 電晶體 (P32) 之源極、閘極與汲極係分別連接至該第五 PMOS 電晶體 (P31) 之汲極、該第三反相器 (INV) 之輸出與該低電壓節點 (VL)；
第三反相器 (INV) 之輸入連接至該延遲電路(D)之輸出，而該第三反相器 (INV) 之輸出則連接至該第六 PMOS 電晶體 (P32) 之閘極；
該延遲電路 (D) 之輸入連接至該反相待機模式控制信號 (/S)，而該第三延遲電路 (D) 之輸出則連接至該第三反相器 (INV) 之輸入。
9. 如申請專利範圍第 8 項所述之具高待機效能之靜態隨機存取記憶體，其中，該待機啟動電路 (3) 於待機模式之一初始期間內，促使該靜態隨機存取記憶體快速進入待機模式，其中該初始期間係等於該延遲電路 (D) 所提供之一延遲時間以及該第三反相器 (INV) 所提供之一上升延遲時間的總和。

七、圖式：



第 1 圖



第 3 圖

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

P1	第一 PMOS 電晶體	P2	第二 PMOS 電晶體
M1	第一 NMOS 電晶體	M2	第二 NMOS 電晶體
M3	第三 NMOS 電晶體	M4	第四 NMOS 電晶體
WL	字元線	BL	位元線
BLB	互補位元線	A	儲存節點
B	反相儲存節點	/S	反相待機模式控制信號
S	待機模式控制信號	VL	低電壓節點
VH	高電壓節點	M21	第五 NMOS 電晶體
M22	第六 NMOS 電晶體	P41	第三 PMOS 電晶體
P42	第四 PMOS 電晶體	INV	第三反相器
D	延遲電路	V _{DD}	電源供應電壓
P31	第五 PMOS 電晶體	P32	第六 PMOS 電晶體
1	SRAM 晶胞	2	第一控制電路
3	待機啟動電路	4	第二控制電路