

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4167952号  
(P4167952)

(45) 発行日 平成20年10月22日(2008.10.22)

(24) 登録日 平成20年8月8日(2008.8.8)

(51) Int.Cl.	F I
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 505
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 622B
	G09G 3/20 622G
	G09G 3/20 622N
請求項の数 10 (全 17 頁) 最終頁に続く	

(21) 出願番号 特願2003-279172 (P2003-279172)  
 (22) 出願日 平成15年7月24日 (2003.7.24)  
 (65) 公開番号 特開2005-43758 (P2005-43758A)  
 (43) 公開日 平成17年2月17日 (2005.2.17)  
 審査請求日 平成16年5月11日 (2004.5.11)  
 審判番号 不服2006-1441 (P2006-1441/J1)  
 審判請求日 平成18年1月20日 (2006.1.20)

早期審査対象出願

(73) 特許権者 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100090479  
 弁理士 井上 一  
 (74) 代理人 100104710  
 弁理士 竹腰 昇  
 (74) 代理人 100124626  
 弁理士 榎並 智和  
 (72) 発明者 伊藤 悟  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 表示ドライバ、電気光学装置及び駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と複数のデータ線と複数の画素を有する表示パネルの少なくとも走査線を駆動する表示ドライバであって、

複数の走査駆動セルと、複数の一致検出回路と、走査制御信号で指定される走査線アドレスを前記複数の一致検出回路に供給するための走査線アドレスバスと、を含み、

前記複数の走査駆動セルは、前記複数の走査線を駆動し、

前記複数の一致検出回路の各々は、

前記複数の走査駆動セルのいずれかに接続され、前記複数の走査駆動セルの各々に排他的に割り当てられたアドレスと、前記走査線アドレスとを比較した結果を、前記複数の走査駆動セルの各々へ出力し、

前記走査線アドレスに対して、前記複数の走査駆動セルの各々に排他的に割り当てられたアドレスを所与の順番で設定することで、前記複数の走査線が所与の順番で駆動されると共に、第1の表示パネルの走査線数よりも多い個数の一致検出回路、走査駆動セルが設けられ、

前記第1の表示パネルが表示ドライバに接続された場合には、

所与の順番で駆動される前記第1の表示パネルの複数の走査線のうちの最後に駆動される走査線に対応する走査駆動セルに割り当てられたアドレスが前記走査線アドレスバスに供給された後に、前記第1の表示パネルに接続された複数の走査駆動セルの各々に割り当てられたアドレス以外のアドレスである退避アドレスが前記走査線アドレスバスに供給さ

れ、

前記第 1 の表示パネルよりも走査線数が多い第 2 の表示パネルが表示ドライバに接続された場合には、

所与の順番で駆動される前記第 2 の表示パネルの複数の走査線のうちの最後に駆動される走査線に対応する走査駆動セルに割り当てられたアドレスが前記走査線アドレスバスに供給された後に、前記第 2 の表示パネルに接続された複数の走査駆動セルの各々に割り当てられたアドレス以外のアドレスである退避アドレスが前記走査線アドレスバスに供給されることを特徴とする表示ドライバ。

【請求項 2】

請求項 1 において、

前記走査線アドレスバスは、複数のアドレス信号線を含み、

前記複数の一致検出回路の各々と、前記複数のアドレス信号線の接続の組み合わせは、前記複数の一致検出回路の各々の間で異なることを特徴とする表示ドライバ。

【請求項 3】

請求項 2 において、

前記複数のアドレス信号線のうち少なくとも N 本は、前記複数の一致検出回路の少なくとも一つに接続され、

前記複数の一致検出回路の各々は、少なくとも N 個の入力を備える論理回路を有することを特徴とする表示ドライバ。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記複数の走査駆動セルの各々は、

前記走査制御信号で指定される前記走査線アドレスと前記複数の走査駆動セルの各々に排他的に割り当てられたアドレスとが、前記複数の一致検出回路の各々のいずれかにて一致判定されたとき、その一致判定された走査駆動セルに接続された走査線を選択駆動することを特徴とする表示ドライバ。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記走査制御信号で指定される前記走査線アドレスを順次発生することで、線順次に前記複数の走査線を駆動することを特徴とする表示ドライバ。

【請求項 6】

請求項 1 乃至 4 のいずれかにおいて、

前記走査制御信号で指定される前記走査線アドレスを、表示ドライバを制御するコントローラに発生させることで、前記複数の走査線をインターレス駆動することを特徴とする表示ドライバ。

【請求項 7】

請求項 1 乃至 4 のいずれかにおいて、

前記走査制御信号に含まれる走査線アドレスを、表示ドライバを制御するコントローラに発生させることで、前記複数の走査線を串歯駆動することを特徴とする表示ドライバ。

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、

前記複数の一致検出回路の各々は、出力イネーブル入力及び出力固定入力の少なくとも一方を有し、

前記出力固定入力にアクティブの信号が入力されている期間では、前記複数の一致検出回路の各々は、各一致検出回路に接続される各走査駆動セルをオン駆動し、

前記出力イネーブル入力にノンアクティブの信号が入力されている期間では、前記複数の一致検出回路の各々は、各一致検出回路に接続される各走査駆動セルをオフ駆動することを特徴とする表示ドライバ。

【請求項 9】

請求項 1 乃至 8 のいずれかの表示ドライバと、

10

20

30

40

50

前記表示ドライバにより駆動される表示パネルと、  
前記表示ドライバを制御するコントローラと、  
を含むことを特徴とする電気光学装置。

【請求項10】

複数の走査線と複数のデータ線と複数の画素を有する表示パネルの少なくとも走査線を、  
複数の走査駆動セルにより駆動する駆動方法であって、

走査制御信号を用いて走査線アドレスを指定し、

前記複数の走査駆動セルの各々に排他的に割り当てられたアドレスと、前記走査制御信号で指定される走査線アドレスとを比較し、比較結果を前記複数の走査駆動セルの各々へ出力し、

10

前記複数の走査駆動セルの各々により前記複数の走査線の各々を駆動し、

前記走査線アドレスに対して、前記複数の走査駆動セルの各々に排他的に割り当てられたアドレスを所与の順番で設定することで、前記複数の走査線を所与の順番で駆動すると共に、第1の表示パネルの走査線数よりも多い個数の一致検出回路、走査駆動セルを設け、

前記第1の表示パネルが表示ドライバに接続された場合には、

所与の順番で駆動される前記第1の表示パネルの複数の走査線のうちの最後に駆動される走査線に対応する走査駆動セルに割り当てられたアドレスを前記走査線アドレスとして供給した後に、前記第1の表示パネルに接続された複数の走査駆動セルの各々に割り当てられたアドレス以外のアドレスである退避アドレスを前記走査線アドレスとして供給し、

20

前記第1の表示パネルよりも走査線数が多い第2の表示パネルが表示ドライバに接続された場合には、

所与の順番で駆動される前記第2の表示パネルの複数の走査線のうちの最後に駆動される走査線に対応する走査駆動セルに割り当てられたアドレスを前記走査線アドレスとして供給した後に、前記第2の表示パネルに接続された複数の走査駆動セルの各々に割り当てられたアドレス以外のアドレスである退避アドレスを前記走査線アドレスとして供給することを特徴とする駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、走査ドライバ及び電気光学装置に関する。

30

【背景技術】

【0002】

例えば携帯電話機のような電子機器の表示部には液晶パネルが用いられている。この液晶パネルについては、近年の携帯電話機の普及によって情報性の高い静止画や動画が配信されるようになると、その高画質化が要求されるようになっている。

【0003】

電子機器の表示部の高画質化を実現する液晶パネルとして薄膜トランジスタ（Thin Film Transistor：以下、TFTと略す。）を用いたアクティブマトリクス型液晶パネルが知られている。TFTを用いたアクティブマトリクス型液晶パネルは、ダイナミック駆動によるSTN（Super Twisted Nematic）液晶を用いた単純マトリクス型液晶パネルに比べて、高速応答、高コントラストを実現し、動画等の表示に適している。

40

【特許文献1】特開2002-351412号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、TFTを用いたアクティブマトリクス型液晶パネルは、消費電力が大きいので、携帯電話機のようなバッテリー駆動が行われる携帯型の電子機器の表示部として採用するには低消費電力化が必要である。低消費電力化の一つにインターレス駆動が知られている。また、各表示画素の発色誤差を緩和する串歯駆動が知られている。インターレス駆

50

動は、動画に適用すると画質に乱れが生じるので、静止画に適した駆動方法である。

【0005】

そこで、静止画及び動画を表示させる表示パネル（例えば液晶パネル）には、通常駆動、インターレス駆動、串歯駆動など、様々な駆動方法に対応できる駆動回路が求められる。

【0006】

本発明は、通常駆動、串歯駆動、インターレス駆動等の様々な駆動方法に対応できる表示ドライバを提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明は、複数の走査線と複数のデータ線と複数の画素を有する表示パネルの少なくとも走査線を駆動する表示ドライバであって、複数の走査駆動セルと、複数の一致検出回路とを含み、前記複数の走査駆動セルの各々は、前記複数の走査線の各々を駆動し、前記複数の一致検出回路の各々は、前記複数の走査駆動セルの各々に接続され、前記複数の走査駆動セルの各々に排他的に割り当てられたアドレスと、走査制御信号で指定される走査線アドレスとを比較した結果を、前記複数の走査駆動セルの各々へ出力する表示ドライバに関する。これにより、各走査線を任意の順番に駆動できるので、様々な駆動方法に対応できる。

【0008】

また本発明は、前記走査線アドレスを供給するための走査線アドレスバスを含むようにしてもよい。これにより、各一致検出回路を走査線アドレスバスに接続できるので、任意の走査線アドレスを指定することで、複数の走査線から対応する走査線を選択駆動することができる。

【0009】

また本発明は、前記走査線アドレスバスは、複数のアドレス信号線を含み、前記複数の一致検出回路の各々と、前記複数のアドレス信号線の接続の組み合わせは、前記複数の一致検出回路の各々の間で異なるようにしてもよい。このようにすれば、一致検出回路に対する各アドレス信号線の接続の組み合わせにより、オン駆動対象となる走査線を複数の走査線から選択できるようになる。

【0010】

また本発明は、前記複数のアドレス信号線のうち少なくともN本は、前記複数の一致検出回路の少なくとも一つに接続され、前記複数の一致検出回路の各々は、少なくともN個の入力を備える論理回路を有するようにしてもよい。これにより、複数のアドレス信号線のなかから選んだN本のアドレス信号線で供給されるアドレスを論理回路にて論理演算することができるので、走査線アドレスに対応する走査駆動セルを決定できる。

【0011】

また本発明は、前記複数の走査駆動セルの各々は、前記走査制御信号で指定される前記走査線アドレスと前記複数の走査駆動セルの各々に排他的に割り当てられたアドレスとが、前記複数の一致検出回路の各々のいずれかにて一致判定されたとき、その一致判定された走査駆動セルに接続された走査線を選択駆動するようにしてもよい。これにより、オン駆動対象となる走査線を複数の走査線から選択できる。

【0012】

また本発明は、前記複数の走査線のいずれも選択しない場合は、前記走査制御信号で指定される前記走査線アドレスを、前記複数の走査駆動セルの各々に割り当てられたアドレス以外のアドレスに設定するようにしてもよい。さらに、表示ドライバ内の走査駆動セルの個数よりも、表示パネルの走査線の本数が少ない場合でも、表示ドライバに回路変更等を加えることなく該表示パネルを駆動できる。

【0013】

また本発明は、前記走査制御信号で指定される前記走査線アドレスを順次発生することで、線順次に前記複数の走査線を駆動するようにしてもよい。これにより、回路構成等の

10

20

30

40

50

変更などを加えることなしに、走査線の通常駆動に対応できる。

【0014】

また本発明は、前記走査制御信号で指定される前記走査線アドレスを表示ドライバを制御するコントローラに発生させることで、前記複数の走査線をインターレス駆動するようにしてもよい。これにより、回路構成等の変更などを加えることなしに、走査線のインターレス駆動に対応できる。

【0015】

また本発明は、前記走査制御信号に含まれる走査線アドレスを表示ドライバを制御するコントローラに発生させることで、前記複数の走査線を串歯駆動するようにしてもよい。これにより、回路構成等の変更などを加えることなしに、走査線の串歯駆動に対応できる。

10

【0016】

また本発明は、前記複数の一致検出回路の各々が、出力イネーブル入力及び出力固定入力の少なくとも一方を有するようにしてもよい。さらに前記出力固定入力にアクティブの信号が入力されている期間では、前記複数の一致検出回路の各々は、各一致検出回路に接続される各走査駆動セルをオン駆動し、前記出力イネーブル入力にノンアクティブの信号が入力されている期間では、前記複数の一致検出回路の各々は、各一致検出回路に接続される各走査駆動セルをオフ駆動するようにしてもよい。これにより、前記走査制御信号の内容に依らずに各走査駆動セルをオン駆動又はオフ駆動することができる。

【0017】

20

また本発明では、電気光学装置は、前記表示ドライバと、前記表示ドライバにより駆動される表示パネルと、前記表示ドライバを制御するコントローラと、を含むようにしてもよい。

【0018】

本発明は、複数の走査線と複数のデータ線と複数の画素を有する表示パネルの少なくとも走査線を、複数の走査駆動セルにより駆動する駆動方法であって、走査制御信号を用いて走査線アドレスを指定し、前記複数の走査駆動セルの各々に排他的に割り当てられたアドレスと、前記操作制御信号で指定される走査線アドレスとを比較し、比較結果を前記複数の走査駆動セルの各々へ出力し、前記複数の走査駆動セルの各々により前記複数の走査線の各々を駆動する駆動方法に関する。これにより、各走査線を任意の順番に駆動できる。

30

【0019】

また本発明では、前記複数の走査線のいずれも選択しない場合は、前記走査制御信号で指定される前記走査線アドレスを、前記複数の走査駆動セルの各々に割り当てられたアドレス以外のアドレスに設定するようにしてもよい。これにより、各走査線を選択駆動させないことができる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の一実施形態について、図面を参照して説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

40

【0021】

1. 電気光学装置

図1に本実施形態の表示ドライバを含む電気光学装置の構成の概要を示す。ここでは、電気光学装置として液晶装置を例に示す。液晶装置100は、携帯電話機、携帯型情報機器(PDA等)、ウェアラブル情報機器(腕時計型端末等)、デジタルカメラ、プロジェクタ、携帯型オーディオプレーヤ、マストレージデバイス、ビデオカメラ、車載ディスプレイ、車載用情報端末(カーナビゲーションシステム、車載用パーソナルコンピューター)、電子手帳またはGPS(Global Positioning System)などの種々の電子機器に組み込むことができる。

50

## 【 0 0 2 2 】

液晶装置 1 0 0 は、表示パネル（光学パネル） 2 0 0、走査ドライバ（ゲートドライバ） 4 0 0、データドライバ（ソースドライバ） 5 0 0、ドライバコントローラ 6 0 0、電源回路 7 0 0 を含む。

## 【 0 0 2 3 】

なお、液晶装置 1 0 0 にこれら全ての回路ブロックを含める必要はなく、その一部の回路ブロックを省略する構成にしてもよい。また、本実施形態の表示ドライバは、走査ドライバ 4 0 0 のみを含む構成でもよいし、走査ドライバ 4 0 0 とデータドライバ 5 0 0 を含む構成や、走査ドライバ 4 0 0 とデータドライバ 5 0 0 とドライバコントローラ 6 0 0 などを含む構成でもよい。

10

## 【 0 0 2 4 】

表示パネル 2 0 0 は、複数の走査線（ゲート線） 4 0 と、複数の走査線 4 0 と交差する複数のデータ線（ソース線） 5 0 と、複数の走査線 4 0 のいずれかの走査線及び複数のデータ線 5 0 のいずれかのデータ線により各画素が特定される複数の画素とを含む。1画素が例えばRGBの3つの色成分により構成される場合、RGB各1ドット計3ドットで1画素が構成される。ここで、ドットは各画素を構成する要素点ということができる。1画素に対応するデータ線 5 0 は、1画素を構成する色成分のデータ線 5 0 ということができる。以下では、説明の簡略化のため、適宜1画素が1ドットで構成されているものとして説明する。

## 【 0 0 2 5 】

各画素は、薄膜トランジスタ（Thin Film Transistor：以下TFTと略す）（広義にはスイッチング素子）と画素電極とを含む。各データ線 5 0 にはTFTが接続され、該TFTに画素電極が接続される。

20

## 【 0 0 2 6 】

表示パネル 2 0 0 は例えばガラス基板からなるパネル基板で構成される。パネル基板には、図 1 の行方向Xに沿って形成された複数の走査線 4 0 と、図 1 の列方向Yに沿って形成された複数のデータ線 5 0 とが、マトリクス状に配列された複数の画素を適宜特定できるように配列されている。各走査線 4 0 は、走査ドライバ 4 0 0 に接続されている。また、各データ線 5 0 は、データドライバ 5 0 0 に接続されている。

## 【 0 0 2 7 】

走査ドライバ 4 0 0 は、ドライバコントローラ 6 0 0 からの制御信号（走査制御信号）にしたがって、複数の走査線 4 0 のうち該制御信号に対応する走査線 4 0 を駆動する。これにより、本実施形態では、様々な走査駆動方式に対応することが可能である。走査駆動方式には、例えば、通常駆動（線順次駆動）、串歯駆動、インターレス駆動がある。

30

## 【 0 0 2 8 】

## 2. 走査ドライバ

図 2 に、走査ドライバ 4 0 0 の構成を示す。走査ドライバ 4 0 0 は、複数の一致検出回路 4 1 0 と、複数の走査駆動セル 4 2 0 とを含む。一致検出回路 4 1 0 の各々には、各一致検出回路 4 1 0 で排他的な走査線アドレス（識別数値）が設定されている。また、各一致検出回路 4 1 0 は、少なくとも一本の走査線 4 0 を駆動できる走査駆動セル 4 2 0 と接続され、表示パネル 2 0 0 の各走査線 4 0 は、各走査駆動セル 4 2 0 と接続される。

40

## 【 0 0 2 9 】

次に一致検出回路 4 1 0 について説明する。図 3 は、走査ドライバ 4 0 0 内の各一致検出回路 4 1 0 の構成を示す図である。各一致検出回路 4 1 0 は、論理回路 4 1 1 を含む。論理回路 4 1 1 は入力 I 0 ~ I 7（広義には N 個の入力）を備える。また、走査線アドレスバス 4 3 0 はアドレス信号線 A 0 ~ A 7 及び XA 0 ~ XA 7 を含む。ここで、アドレス信号線 A 0 は、アドレス信号線 A 0 の反転値を示す。各アドレス信号線 XA 1 ~ XA 7 についても同様に、各アドレス信号線 A 1 ~ A 7 のそれぞれの反転値を示す。各一致検出回路 4 1 0 内の論理回路 4 1 1 の入力 I 0 ~ I 7 と、走査線アドレスバス 4 3 0 内の各アドレス信号線 A 0 ~ A 7 及び XA 0 ~ XA 7 との接続の組み合わせは、各一致検出回路 4 1 0 間で排他的である。これ

50

により、走査線アドレスバス430内の各アドレス信号線A0~A7及びXA0~XA7と、各論理回路411の入力I0~I7とを接続する際の、各一致検出回路410間での接続パターンの相違が、各一致検出回路410に排他的に設定された走査線アドレスに対応する。

#### 【0030】

さらに詳しく説明するために、図3の破線で囲まれている領域Cを用いる。領域C内の一致検出回路410には、論理回路411が設けられている。該論理回路411の入力I0~I7は、走査線アドレスバス430内の各アドレス信号線A0~A7及びXA0~XA7から選択された8本(広義にはN本)にそれぞれ接続される。具体的には、該論理回路411の入力I0は、走査線アドレスバス430内のアドレス信号線XA0に接続され、該論理回路411の入力I1は、走査線アドレスバス430内のアドレス信号線XA1に接続され、  
10  
入力I2は、アドレス信号線XA2に接続され、入力I3は、アドレス信号線XA3に接続される。さらに、該論理回路411の入力I4は、走査線アドレスバス430内のアドレス信号線XA4に接続され、入力I5は、アドレス信号線XA5に接続され、入力I6は、アドレス信号線XA6に接続され、入力I7は、アドレス信号線XA7に接続される。これらの接続の組み合わせは排他的であり、その他の一致検出回路410と走査線アドレスバス430との接続には使用されない。

#### 【0031】

つまり、走査線アドレスバス430より一致検出回路410にアドレス信号として例えば“00000000”という8ビットのデータを供給した場合、該一致検出回路410内の論理回路411により、一意的に領域C内の走査駆動セル420にアクティブな信号  
20  
(走査線40をオン駆動する信号)が供給される。ただし、該8ビットのデータにおいて、最上位ビットが1の時は、信号線A0がアクティブ(Hレベルの信号)になり、最下位ビットが1の時には、信号線A7がアクティブになると定義する。すなわち、8ビットデータ“00000000”は、各信号線XA0~XA7をアクティブにさせるデータである。

#### 【0032】

このように本実施形態では、各走査線40の識別を、各走査駆動セル420に接続される各一致検出回路410に排他的な走査線アドレスを設定することで実施している。また、本実施形態によれば、任意の走査線40を駆動させたい場合は、対応する走査線アドレスを走査線アドレスバス430に供給すればよいことになる。なお、本実施形態では、走査線アドレスバス430は、16ビットで構成されているが、走査線40の数に応じて適宜走査線アドレスバス430のビット数を設定することでさまざまな表示パネルに適用できる。  
30

#### 【0033】

次に、走査駆動セル420について説明する。

#### 【0034】

図4は論理回路411及び走査駆動セル420を示すブロック図である。論理回路411(一致検出回路410)は、走査線アドレスバス430からの出力に対応する各入力I0~I7と、リセット入力RESと、走査クロック入力CPIと、出力イネーブル入力OEVと、出力固定入力OHVとを含む。リセット入力RESに“L”レベルの信号が入力されると、該論理回路411内のレジスタ内のデータがリセットされ、該一致検出回路410は走査駆動セル420をオフ駆動(ノンアクティブに駆動)する。ちなみに、本実施形態において、オフ駆動とは対象走査駆動セルを非選択駆動することを言い、オン駆動とは対象走査駆動セルを選択駆動することを言う。走査クロック入力CPIには、走査用の同期パルスが入力される。該一致検出回路410は、該論理回路411の出力イネーブル入力OEVに“L”レベル(ノンアクティブ)の信号が入力されている期間において、該走査駆動セル420を常にオフ駆動(ノンアクティブに駆動)する。また、該一致検出回路410は、該論理回路411の出力固定入力OHVに“L”レベル(アクティブ)の信号が入力されている期間において、該走査駆動セル420を常にオン駆動(アクティブに駆動)する。これら出力イネーブル入力OEV及び出力固定入力OHVの少なくともいずれか一方を用いることで、論理回路411内のレジスタ(フリップフロップ)に保持され  
40  
50

ているデータを破壊せずに、各走査線40の駆動をコントロールすることができる。さらに論理回路411は、走査駆動セル420へ駆動信号を出力する論理回路出力LVO及びXLVOを含む。論理回路出力LVOは、走査駆動セル420をオン駆動(アクティブに駆動)する信号又は、走査駆動セル420をオフ駆動(ノンアクティブに駆動)する信号のいずれかを出力する。論理回路出力XLVOは、論理回路出力LVOから出力される信号を反転した信号を出力する。

【0035】

走査駆動セル420は、第1レベルシフタ421、第2レベルシフタ422及びドライバ423を含む。第1レベルシフタ421は第1レベルシフタ入力IN1及びXI1と、第1レベルシフタ出力O1及びXO1を含む。論理回路出力LVOは第1レベルシフタ入力IN1と接続され、論理回路出力XLVOは入力XI1と接続される。

10

【0036】

第2レベルシフタ422は第2レベルシフタ入力IN2及びXIN2と、第2レベルシフタ出力O2及びXO2を含む。第1レベルシフタ出力O1は第2レベルシフタ入力IN2と接続され、第1レベルシフタ出力XO1は第2レベルシフタ入力XI2と接続される。

【0037】

ドライバ423は、ドライバ入力DAを含む。第2レベルシフタ出力O2はドライバ423のドライバ入力DAと接続される。ドライバ423には、走査線40が接続されている。ドライバ423は、第2レベルシフタ出力O2からの信号に応じて該走査線40を駆動(オン駆動またはオフ駆動)する。

20

【0038】

次に、走査制御信号と、走査制御信号による走査ドライバ400の制御方法を図5のタイミングチャートで説明する。符号STVは走査スタート信号を示す。走査スタート信号STVは、走査開始時に、外部からドライバコントローラ600に供給される信号である。符号CPVは、走査クロック信号を示す。各論理回路411の走査クロック入力CPIは走査クロック信号CPVを受け取る。符号D1~D240はそれぞれ、ドライバ出力を示す。図5は、一例として通常駆動(線順次駆動)時のタイミングチャートを表す。

【0039】

走査クロック信号CPVに同期して、各走査駆動セル420はそれぞれの対応する各一致検出回路410によって駆動される。まず、走査線アドレスバス430内に供給された走査線アドレス(アドレスデータ)に対して、各一致検出回路410が一致検出を行う。その後、該走査線アドレス(アドレスデータ)と一致した一致検出回路410は、走査クロック信号CPVと同期して対応する走査駆動セル420を駆動する。

30

【0040】

例えば、走査線アドレス(アドレスデータ)として、8ビットのアドレス“00000000”が走査線アドレスバス430内に供給されると、対応する走査駆動セル420は、走査クロック信号CPVの立ち上がり同期して、ドライバ出力D1を選択駆動(オン駆動)する。同様に、走査線アドレスバス430内の走査線アドレス(アドレスデータ)に応じて、対応する各ドライバ出力D1~D240を順次、選択駆動(オン駆動)する。

40

【0041】

一通り各走査線40を駆動させたあとの区切りの目印は、退避アドレスを用いる。退避アドレスには、どの一致検出回路410にも割り当てられていないアドレスを用いる。例えば、8ビットのアドレス“11111111”という、どの一致検出回路410にも割り当てられていないアドレスを退避アドレスとして走査線アドレスバス430内に供給することで、いずれの走査駆動セル420も選択駆動させないことが可能である。

【0042】

上述の例は、通常駆動(線順次駆動)を示しているが、本実施形態は、例えばドライバコントローラ600(図1参照)にて、駆動させたい走査線40に対応する走査線アドレスを順次生成することで、インターレス駆動、串歯駆動等の様々な駆動方法に容易に対応

50



できる。

【 0 0 4 3 】

次に、一致検出回路 4 1 0 内の論理回路 4 1 1 について3種類の動作（通常動作モード、常時オン駆動、常時オフ駆動）を説明する。

【 0 0 4 4 】

図 6 は、論理回路 4 1 1 の回路図である。符号 4 1 2 は、8 入力 AND 回路を表す。8 入力 AND 回路 4 1 2 の各入力は論理回路 4 1 1 の各入力 I 0 ~ I 7 である。符号 4 1 3、4 1 4 はそれぞれ NAND 回路を表す。符号 FF はフリップフロップ回路を表す。

【 0 0 4 5 】

通常動作モードの時は、NAND 回路 4 1 3 の出力イネーブル入力 OEV に“H”レベルの信号が入力され、さらに NAND 回路 4 1 4 の出力固定入力 OHV に“H”レベルの信号が入力される。例えば、各入力 I 0 ~ I 7 に“H”レベルの信号が入力され、8 入力 AND 回路 4 1 2 の出力が“H”レベルの時、フリップフロップ FF の D 端子には“H”レベルの信号が入力される。フリップフロップ FF は、フリップフロップ FF の CK 端子に入力された走査クロック信号 CPV の立ち上がり同期して、D 端子に入力されたデータ（“H”レベルの信号）をラッチする。フリップフロップ FF がデータ（“H”レベルの信号）をラッチしている間、Q 端子は“H”レベルである。このとき、NAND 回路 4 1 3 の出力イネーブル入力 OEV には“H”レベルの信号が入力され、さらに NAND 回路 4 1 4 の出力固定入力 OHV には“L”レベルの信号が入力されているので、論理回路 4 1 1 の論理回路出力 LVO からは“H”レベルの信号が出力される。論理回路出力 XLVVO からは、論理回路出力 LVO の信号が反転された“L”レベルの信号が出力される。

【 0 0 4 6 】

また、8 入力 AND 回路 4 1 2 の出力が“L”レベルの時は、フリップフロップ FF に“L”レベルの信号のデータがラッチされ、その結果、出力 LVO からは“L”レベルの信号が出力される。

【 0 0 4 7 】

常時オン駆動の時（出力 LVO を常に“H”レベルの信号にするとき）は、出力固定入力 OHV に“L”レベルの信号が入力される。このとき、NAND 回路 4 1 3 の出力に依存せずに、NAND 回路 4 1 4 の出力は“H”レベルであるので、論理回路出力 LVO は“H”レベルである。

【 0 0 4 8 】

常時オフ駆動の時（出力 LVO を常に“L”レベルの信号にするとき）は、出力固定入力 OHV に“H”レベルの信号が入力され、出力イネーブル入力 OEV に“L”レベルの信号が入力される。このとき、NAND 回路 4 1 3 の出力は、フリップフロップ FF の Q 端子の出力に依存せずに“H”レベルなので、NAND 回路 4 1 4 の出力は“L”レベルとなり、出力 LVO は、“L”レベルとなる。

【 0 0 4 9 】

つまり、出力イネーブル入力 OEV 及び出力固定入力 OHV に供給される信号を制御することで、動作（通常動作モード、常時オン駆動、常時オフ駆動）の切替が可能である。なお、出力固定入力 OHV に“L”レベルの信号が入力されたときは、出力イネーブル入力 OEV に入力される信号に依らず、常時オン駆動（出力 LVO は常に“H”レベルの信号）となる。

【 0 0 5 0 】

次に、走査駆動セル 4 2 0 内の第 1 レベルシフト 4 2 1 について説明する。

【 0 0 5 1 】

図 7 は、第 1 レベルシフト 4 2 1 の回路図である。第 1 レベルシフト 4 2 1 は、N 型トランジスタ（広義にはスイッチ素子）TR - N 1 ~ N 2 及び P 型トランジスタ（広義にはスイッチ素子）TR - P 1 ~ P 4 を含む。第 1 レベルシフト入力 IN 1 及び X IN 1 には、それぞれ“H”レベルまたは“L”レベルのいずれかが互いに排他的に入力されるように設定される。例えば、第 1 レベルシフト入力 IN 1 に“H”レベルの信号が入力される

10

20

30

40

50

と、第1レベルシフト入力XIN1には“L”レベルの信号が入力される。また、第1レベルシフト出力O1及びXO1は、それぞれ互いに排他的に“H”レベルまたは“L”レベルのいずれかを第2レベルシフト422へ出力する。例えば、第1レベルシフト出力O1から“H”レベルの信号が出力された場合、第1レベルシフト出力XO1からは、“L”レベルの信号が出力される。

【0052】

走査線アドレスバス430に供給された走査線アドレス(アドレスデータ)と一致検出回路410に割り当てられたアドレスが一致した場合、一致検出回路410内の論理回路出力LVOの出力は“H”レベルになる。そして、第1レベルシフト421の第1レベルシフト入力IN1には、“H”レベルの信号が入力され、第1レベルシフト入力XIN1には、論理回路出力XLVOの出力(この場合、“L”レベルの信号)が入力される。

10

【0053】

このとき、N型トランジスタTR-N1はONになり、P型トランジスタTR-P1はOFFになる。これにより、第1レベルシフト出力XO1からは電圧VSSが出力される。また、N型トランジスタTR-N2はOFFになり、P型トランジスタTR-P2はONになる。さらに、P型トランジスタTR-P4のゲート入力に電圧VSSが入力されるので、P型トランジスタTR-P4はONになる。これらにより、第1レベルシフト出力O1に電圧VDDHGが出力される。

【0054】

一方、第1レベルシフト入力IN1に“L”レベルの信号が入力され、第1レベルシフト入力XIN1に“H”レベルの信号が入力されると、P型トランジスタTR0-P1、N型トランジスタTR-N2及びP型トランジスタTR-P3はONになる。また、N型トランジスタTR-N1、P型トランジスタTR-P2及びP型トランジスタTR-P4はOFFになる。よって、第1レベルシフト出力XO1からは、電圧VDDHGが出力され、第1レベルシフト出力O1からは電圧VSSが出力される。

20

【0055】

上記により、第1レベルシフト421へ出力された“H”レベルまたは“L”レベルの信号は、それぞれ電圧VDDHGまたは電圧VSSのいずれかの信号レベルへレベルシフトされることになる。

【0056】

次に第2レベルシフト422について説明する。

30

【0057】

図8は、第2レベルシフト422の回路図である。第2レベルシフト422は、N型トランジスタTR-N3~4及びP型トランジスタTR-P5~6を含む。第2レベルシフト入力IN2及びXIN2には、それぞれ“H”レベルまたは“L”レベルのいずれかが互いに排他的に入力されるように設定される。例えば、第2レベルシフト入力IN2に“H”レベルの信号が入力されると、第2レベルシフト入力XIN2には“L”レベルの信号が入力される。また、第2レベルシフト出力O2及びXO2は、それぞれ互いに排他的に“H”レベルまたは“L”レベルのいずれかを出力する。例えば、第2レベルシフト出力O2から“H”レベルの信号が出力された場合、第2レベルシフト出力XO2からは、“L”レベルの信号が出力される。

40

【0058】

第2レベルシフト422の第2レベルシフト入力IN2に電圧VDDHGの信号が入力されると、排他的に第2レベルシフト入力XIN2に電圧VSSの信号が入力される。このとき、P型トランジスタTR-P5はOFFになり、P型トランジスタTR-P6はONになる。これにより、第2レベルシフト出力O2から電圧VDDHGの信号が出力される。

【0059】

また、N型トランジスタTR-N3のゲートに電圧VDDHGの信号が入力され、N型トランジスタTR-N3はONになる。これにより、電圧VEEが第2レベルシフト出力

50

XO2 から出力される。

【0060】

一方、第2レベルシフト入力XIN2に電圧VDDHGの信号が入力され、第2レベルシフト入力IN2に電圧VSSの信号が入力されると、P型トランジスタTR-P5はONになり、P型トランジスタTR-P6はOFFになる。これにより、第2レベルシフト出力XO2から電圧VDDHGの信号が出力される。また、電圧VDDHGの信号がN型トランジスタTR-N4のゲートに入力され、N型トランジスタTR-N4はONになる。これにより、第2レベルシフト出力O2から、電圧VEEの信号が出力される。

【0061】

つまり、第2レベルシフト入力IN2又はXIN2に入力された電圧VSSの信号は、第2レベルシフト出力O2又はXO2のいずれかから、電圧VEEの信号にレベルシフトされて出力される。

10

【0062】

次にドライバ423について説明する。

【0063】

図9はドライバ423の回路図である。ドライバ423は、N型トランジスタTR-N5及びP型トランジスタTR-P7を含む。ドライバ入力DAには、第2レベルシフト出力O2からの信号が入力される。P型トランジスタTR-P7のソース(又はドレイン)には電圧VDDHGが供給され、基板電位は電圧VDDHGに設定されている。一方、N型トランジスタTR-N5のソースには電圧VOFFが供給され、基板電位は電圧VEE

20

【0064】

第2レベルシフト出力O2からドライバ入力DAに電圧VDDHGの信号が入力されると、インバータINV1により該信号は反転され、P型トランジスタTR-P7はONになる。これにより、P型トランジスタTR-P7のソース・ドレイン間を通過して、ドライバ出力QAから電圧VDDHGの信号が出力される。また、N型トランジスタTR-N5はOFFのままである。このとき、ドライバ入力DAに入力された電圧VDDHGの信号は、インバータINV2により信号反転され、N型トランジスタTR-N5のゲートに入力される。ところが、N型トランジスタTR-N5の基板電位をVEEに設定してあることからN型トランジスタTR-N5のゲート閾値が高くなっているため、確実にN型トランジスタTR-N5をOFFにできる。

30

【0065】

一方、第2レベルシフト出力O2からドライバ入力DAに電圧VEEの信号が入力されると、インバータINV2により信号は反転され、N型トランジスタTR-N5はONになる。これにより、N型トランジスタTR-N5のソース・ドレイン間を通過して、ドライバ出力QAから電圧VOFFの信号が出力される。また、P型トランジスタTR-P7はOFFのままである。

【0066】

以上が、走査線アドレスバス430に供給された走査線アドレス(アドレスデータ)に対応する走査線40を駆動する際の走査ドライバ400の動作である。

40

【0067】

3. 効果

本実施形態を用いると様々な表示パネルや走査線駆動方式に容易に対応することが可能である。

【0068】

図10は表示パネル210(以下、パネルAと呼ぶ)を駆動する走査ドライバ400を表す図である。図10の走査ドライバ400は、計255個の一致検出回路410及び走査駆動セル420を含む。各一致検出回路410には、走査線アドレスとして、8ビットのアドレス“00000000”~“11111110”の範囲が割り当てられている。図10によると、走査線アドレス“11111101”が割り当てられている一致検出回

50

路 4 1 0 と接続している走査駆動セル 4 2 0 ( 図 1 0 の B 1 ) と、走査線アドレス “ 1 1 1 1 1 1 0 ” が割り当てられている一致検出回路 4 1 0 と接続している走査駆動セル 4 2 0 ( 図 1 0 の B 2 ) は、パネル A に接続されていない。

【 0 0 6 9 】

つまり、走査ドライバ 4 0 0 に備えられている走査駆動セル 4 2 0 の数よりも、パネル A に備えられている走査線 4 0 の本数が少ないのである。しかしながら、本実施形態は、駆動時に退避アドレス ( 走査駆動セルに割り当てられたアドレス以外のアドレス、何れの走査駆動セルにも割り当てられていないアドレス ) を用いているので、走査ドライバ 4 0 0 の回路構成に変更を加えることなしに、パネル A を駆動できる。パネル A に接続されている最終アドレスである “ 1 1 1 1 1 1 0 0 ” を走査線アドレスバス 4 3 0 へ供給した後

10

に、退避アドレス ( 例えば “ 1 1 1 1 1 1 1 1 ” ) を走査線アドレスバス 4 3 0 へ供給することで、パネル A を駆動できる。

【 0 0 7 0 】

さらに、図 1 1 は表示パネル 2 2 0 ( 以下、パネル B と呼ぶ ) を駆動する走査ドライバ 4 0 0 を表す図である。この場合は、パネル B に接続されている最終アドレスである “ 1 1 1 1 1 1 0 1 ” を走査線アドレスバス 4 3 0 へ供給した後に、退避アドレス ( 例えば “ 1 1 1 1 1 1 1 1 ” ) を走査駆動時に走査線アドレスバス 4 3 0 へ供給することで、パネル B を駆動できる。

【 0 0 7 1 】

上記のように、退避アドレスを走査線アドレスバス 4 3 0 へ供給するタイミングを制御することで、走査ドライバ 4 0 0 は、様々な表示パネルに利用できる。

20

【 0 0 7 2 】

図 1 2 は、インターレス駆動時 ( 1 ラインとばし ) を表す図である。インターレス駆動 ( 1 ラインとばし ) は、1 番目の走査線 4 0 をオン駆動した後、2 番目の走査線 4 0 を駆動せずに 3 番目の走査線 4 0 をオン駆動する。さらに、4 番目の走査線 4 0 を駆動せずに、5 番目の走査線 4 0 をオン駆動する。順番が、最後の走査線 4 0 に達したとき、今度は今までとばした各走査線 4 0 をオン駆動する。

【 0 0 7 3 】

このように、1 本の走査線 4 0 をとばしながら、順次走査線 4 0 をオン駆動し、とばせる走査線 4 0 が無くなったときに、今までとばした各走査線 4 0 を順次オン駆動していく

30

【 0 0 7 4 】

本実施形態においては、インターレス駆動を行う際に、駆動順番を走査線アドレスにて指定すればよい。例えば、図 1 2 のように、まず、走査線アドレスとして、アドレスを “ 0 0 0 0 0 0 0 0 ” 、 “ 0 0 0 0 0 0 1 0 ” 、 “ 0 0 0 0 0 1 0 0 ” 、 “ 0 0 0 0 0 1 1 0 ” ・ ・ ・ ・ ・ というように走査線アドレスバス 4 3 0 へ供給する。次に、アドレスを “ 0 0 0 0 0 0 0 1 ” 、 “ 0 0 0 0 0 0 1 1 ” 、 “ 0 0 0 0 0 1 0 1 ” 、 “ 0 0 0 0 0 1 1 1 ” ・ ・ ・ ・ ・ というように走査線アドレスバス 4 3 0 へ供給する。こうすることで、本実施形態では、走査ドライバ 4 0 0 の回路構成に変更を加えずに、インターレス駆動に対応できる。

40

【 0 0 7 5 】

図 1 2 は、1 ラインとばしの例を示しているが、例えば 3 ラインとばしの場合は、走査駆動時に、一致検出回路 4 1 0 のアドレスの指定を 3 つとばしながら順次駆動すればよい。つまり、とばす数を設定するだけで、様々なインターレス駆動に対応できる。

【 0 0 7 6 】

また、本実施形態は、串歯駆動にも対応できる。図 1 3 は、串歯駆動時を説明する図である。図 1 3 の列方向 Y に沿って、上から順次下方向まで各走査線 4 0 をオン駆動するのが通常駆動である。これに対して、串歯駆動は、両端から同時に順次中心に向かって、各走査線 4 0 をオン駆動する。つまり、列方向 Y で最上位の走査線 4 0 をオン駆動し、さらに列方向 Y で最下位の走査線 4 0 をオン駆動する。その後、中心に向かって順次両側から

50

各走査線40をオン駆動するのである。または、列方向Yに沿って、中心から両端に向かって各走査線40をオン駆動する場合も串歯駆動方法である。

【0077】

本実施形態では、各走査線40に走査線アドレスが割り振られているので、駆動したい順番にアドレスを走査線アドレスバス430へ供給すればよい。例えば、列方向Yに沿って、両端から中心に向かって各走査線40をオン駆動する串歯駆動の場合、まず、列方向Yで最上位の走査線アドレスと、列方向Yで最下位の走査線アドレスを走査線アドレスバス430へ供給する。その後、中心に向かって順次両側から各走査線アドレスを走査線アドレスバス430へ供給する。こうすることで、串歯駆動にも対応できる。

【0078】

従来では、インターレス駆動や串歯駆動のためのロジック回路を走査ドライバ400に別途用意する必要があった。さらに、通常駆動、インターレス駆動串歯駆動のすべてに対応するには、複雑なロジック回路を形成する必要があった。

【0079】

本実施形態では、そういった複雑な回路を用いずに様々な駆動方法に対応できるので、製造コスト削減、汎用性の拡大が可能である。

【0080】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。例えば一致検出回路の構成は、図6の構成に限定されず、図6と論理的に等価な回路構成を採用できる。また走査駆動セルの構成も図4、図7～図9で説明した構成に限定されず、例えばレベルシフタの数を一つにしてもよい。

【0081】

また本実施形態では、アクティブマトリクス型液晶装置への本発明の適用例を説明したが、本発明は、単純マトリクス型液晶装置などにも適用できる。また液晶装置以外の電気光学装置（例えば有機EL装置）にも適用できる。

【0082】

また、明細書や図面中の記載において広義又は同義な用語（電気光学装置、スイッチング素子、N個の入力、N本等）として引用された用語（液晶装置、TF T、入力I0～I7、8本等）は、明細書や図円柱の他の記載においても広義又は同義な用語に置き換えることができる。

【図面の簡単な説明】

【0083】

【図1】本発明の一実施形態に係る全体図。

【図2】走査ドライバの構成を表す図。

【図3】一致検出回路と走査線アドレスバスの接続を表す図。

【図4】一致検出回路と走査駆動セルの構成を表す図。

【図5】走査線駆動時のタイミングチャート。

【図6】論理回路の回路図。

【図7】走査駆動セル内の第1レベルシフタの回路図。

【図8】走査駆動セル内の第2レベルシフタの回路図

【図9】走査駆動セル内のドライバーの回路図。

【図10】一致検出回路と走査駆動セルとパネルAとの接続関係図。

【図11】一致検出回路と走査駆動セルとパネルBとの接続関係図。

【図12】インターレス駆動を表す図。

【図13】串歯駆動を表す図。

【符号の説明】

【0084】

40 走査線、100 液晶表示装置、200 表示パネル（電気光学装置）、210 パネルA、220 パネルB、400 走査ドライバ、

410 一致検出回路、411 論理回路、420 走査駆動セル、

10

20

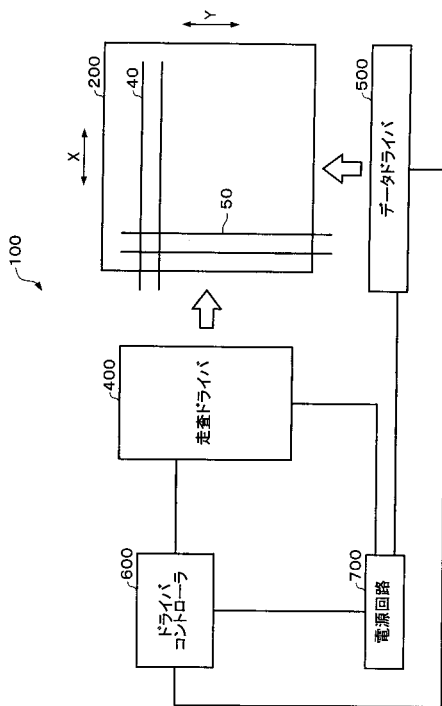
30

40

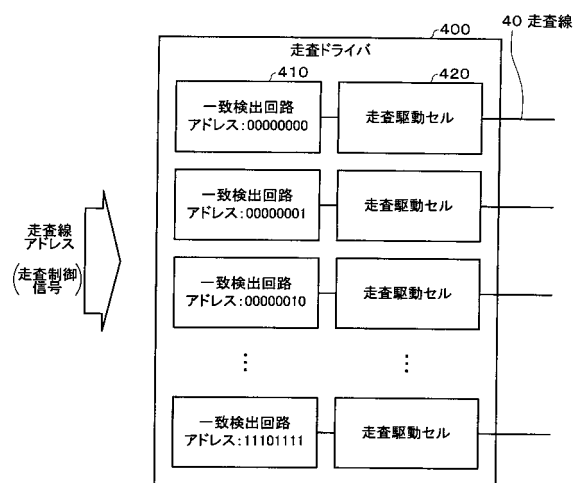
50

- 4 2 1 第1レベルシフト、4 2 2 第2レベルシフト、4 2 3 ドライバ、
- 4 3 0 走査線アドレスバス、5 0 0 データドライバ、
- 6 0 0 ドライバコントローラ、7 0 0 電源回路、4 0 0 0 走査ドライバ

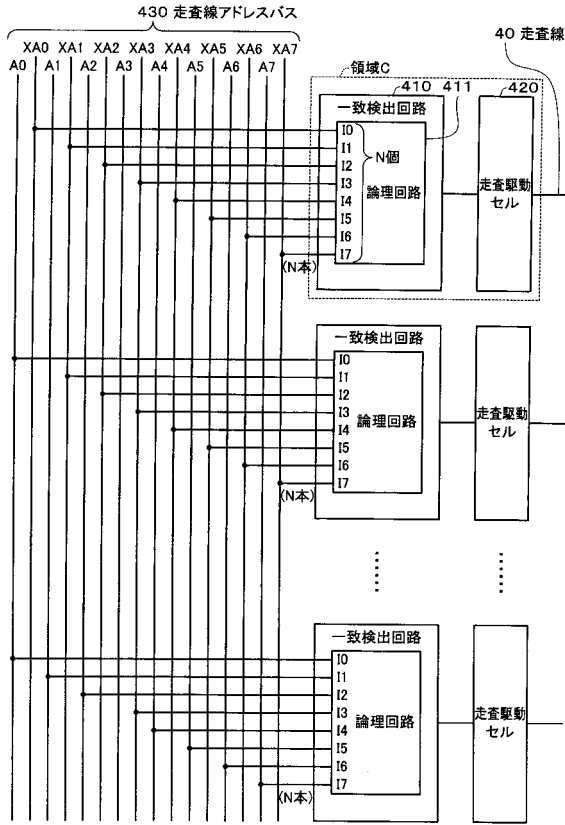
【図1】



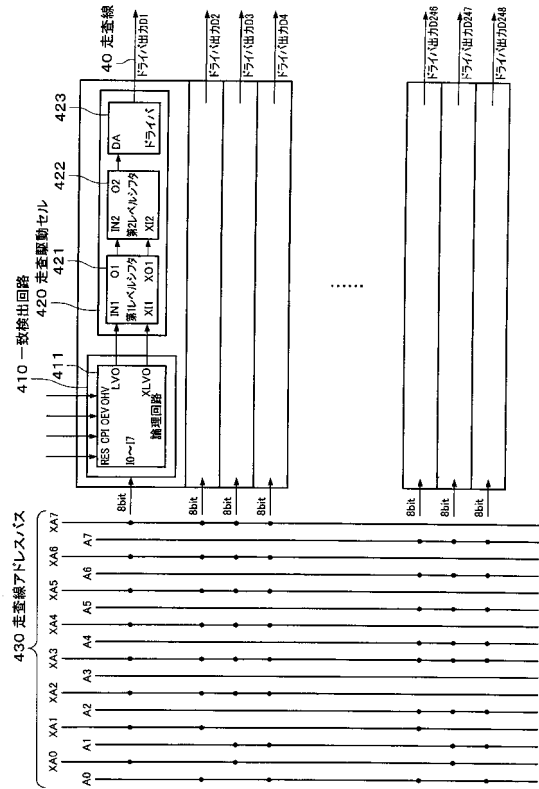
【図2】



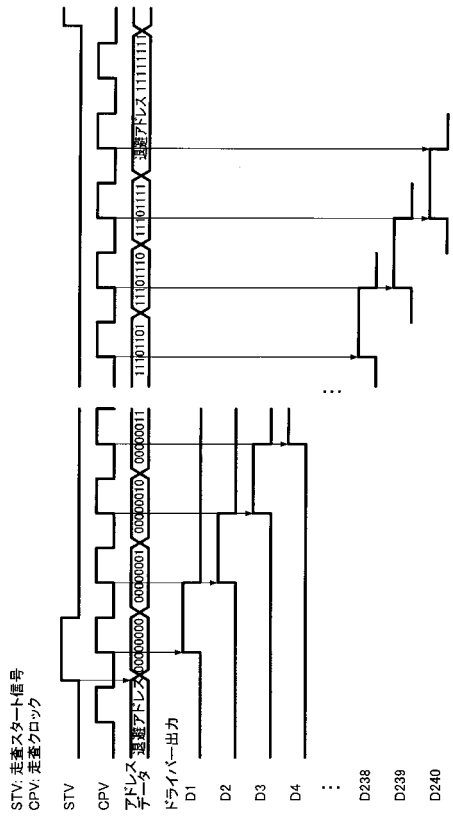
【図3】



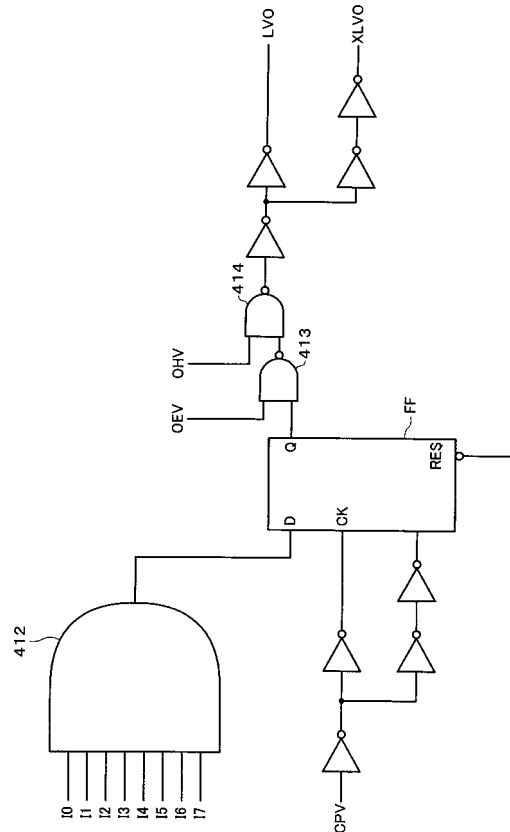
【図4】



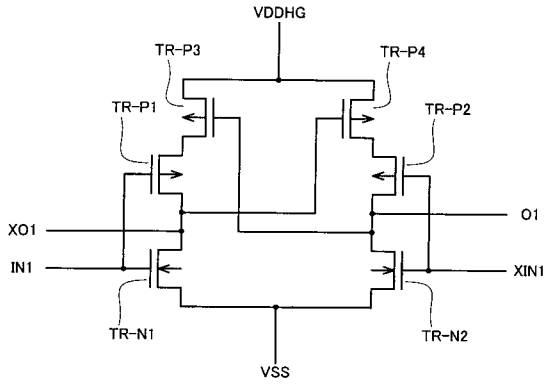
【図5】



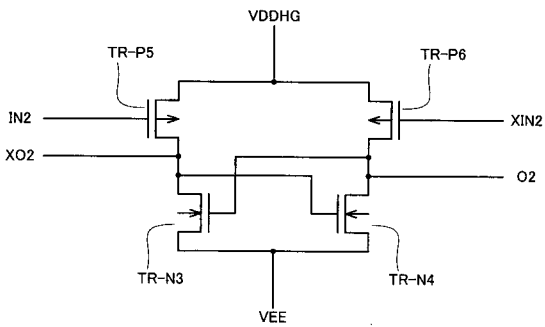
【図6】



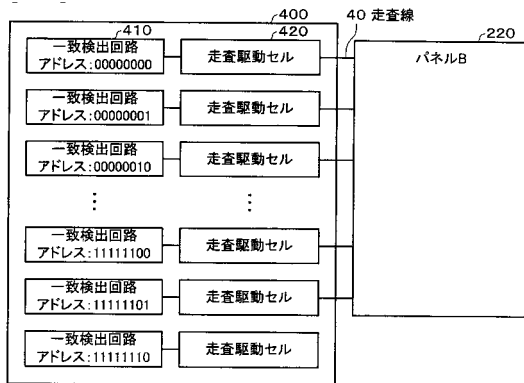
【図7】



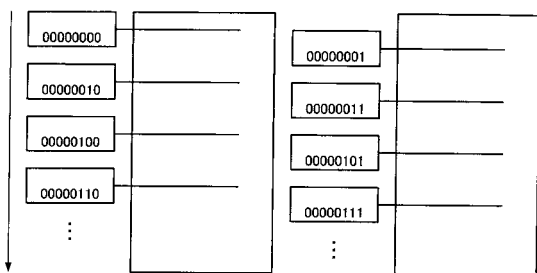
【図8】



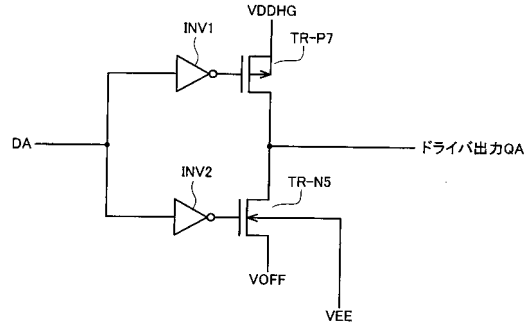
【図11】



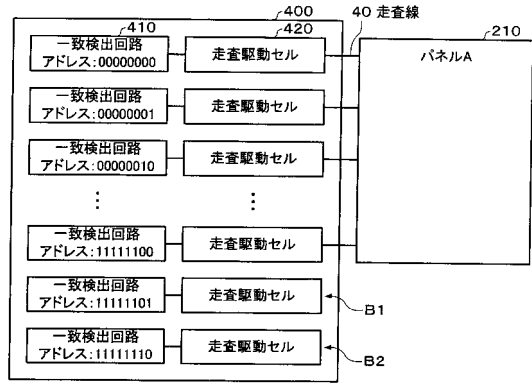
【図12】



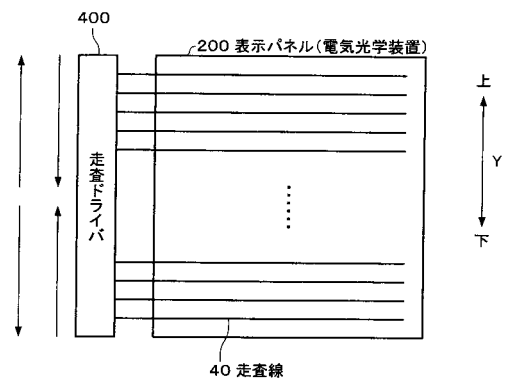
【図9】



【図10】



【図13】





## フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 2 2 Q  
G 0 9 G 3/20 6 2 2 R

## 合議体

審判長 江塚 政弘  
審判官 西島 篤宏  
審判官 杉野 裕幸

(56)参考文献 特開平9 - 0 0 6 2 7 8 ( J P , A )  
特開2 0 0 1 - 3 0 5 5 1 0 ( J P , A )  
特開平0 7 - 3 0 6 6 6 1 ( J P , A )  
特開昭6 2 - 2 7 1 5 7 2 ( J P , A )  
特開昭6 4 - 0 4 4 4 8 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00- 3/38

G02F 1/133 505-580