[19]中华人民共和国国家知识产权局

[51]Int.Cl[6]
H01L 29/78
H01L 21/336 H01L 21/82

[12]发明专利申请公开说明书

[21]申请号 99105631.0

[43]公开日 1999年12月15日

[11]公开号 CN 1238564A

[22]申请日 99.3.30 [21]申请号 99105631.0

[30]优先权

[32]98.3.30 [33]JP [31]83204/98

[71]申请人 株式会社日立制作所

地址 日本东京都

[72]发明人 大柳孝纯 网代优次 渡边笃雄

[74]专利代理机构 中国专利代理(香港)有限公司

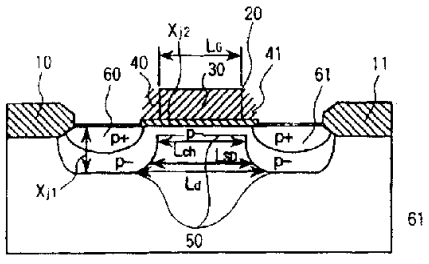
代理人 姜郛厚 张志醒

权利要求书2页 说明书11页 附图页数9页

[54]发明名称 绝缘栅晶体管、其制造方法和半导体集成电路器件

[57]摘要

当在同一芯片上同时配置具有高耐压的元件和具有低耐压的MOS晶体管时，可通过控制低耐压场效应晶体管的阈值电压来防止穿通。在低耐压P－沟道MOS晶体管的源/漏区，在半导体层中，在与源区接触部分的最深点和与漏区 接触部分的最深点之间的间距为等于或长于其栅电极的栅极长度。可以防止伴 随穿通而来的特性恶化。



ISSN1008-4274

权　利　要　求　书

1. 一种绝缘栅晶体管包括:

在一第一导电型半导体的衬底上设置的第二导电型源区和漏区;

在所述半导体衬底的表面上，所述源区和所述漏区之间的位置，经由一绝缘膜设置的栅电极；以及

在所述栅电极下的位置和在与所述源区和所述漏区接触的半导体衬底的区域的所述半导体衬底表面上形成的第二导电型半导体层，且深度深于所述源区和所述漏区的深度，其中

所述半导体层中在与所述源区接触部分的最深点和与漏区接触部分的最深点之间的间距，等于或大于所述栅电极的栅极长度。

2. 按照权利要求 1 所述的绝缘栅晶体管，其中，

在位于所述半导体层的所述栅电极下区域中的结深与在所述半导体层最深点的结深之比，和在位于所述半导体层的所述栅电极下区域的栅极长度方向的宽度之间的关系是本申请图 4 所示的关系。

3. 按照权利要求 2 所述的绝缘栅晶体管，其中

所述比是在 0.05 到 0.25 的范围内。

4. 按照权利要求 1 所述的绝缘栅晶体管，其中

在所述栅电极的侧壁上设有一绝缘膜。

5. 一种半导体集成器件包括:

已具备的半导体芯片;

按照权利要求 1 所述的绝缘栅晶体管；以及

具有一高于所述绝缘栅晶体管耐压的半导体元件。

6. 一种制造绝缘栅晶体管的方法包括下列各步骤:

第一步骤，在第一导电型的半导体衬底表面上形成栅氧化膜和栅电极;

第二步骤，在所述栅电极的侧壁上施加光刻胶;

第三步骤，利用所述栅氧化膜、所述栅电极和所述光刻胶作为掩模，将离子注入到所述半导体衬底中，以便把第二导电型杂质引入到在所述栅电极下边位置的所述半导体衬底的表面上；以及

第四步骤，在所说第三步骤之后，形成第二导电型源区和漏区。

7. 一种制造绝缘栅晶体管的方法包括下列各步骤:

第一步骤，在第一导电型半导体衬底表面上形成栅氧化膜和栅电

极；

第二步骤，在所述栅电极的侧壁上设置绝缘件；

第三步骤，利用所述栅氧化膜、所述栅电极和所述绝缘件作为掩模，将离子注入到所述半导体衬底中，以便把第二导电型杂质引入到在所述栅电极下边位置的所述半导体衬底的表面上；以及

第四步骤，在所述第三步骤之后，形成第二导电型源区和漏区。

8. 一种制造半导体集成电路器件的方法包括下列各步骤：

第一步骤，通过热处理在第一导电型半导体衬底表面上形成第二导电型阱区；

第二步骤，在所述半导体衬底的第一导电型表面上形成栅氧化膜和栅电极；

第三步骤，在所述栅电极的侧壁上设置绝缘件；

第四步骤，利用所述栅氧化膜、所述栅电极和所述绝缘件作为掩模，将离子注入到所述半导体衬底中，以便把第二导电型杂质引入到在所述栅电极下边位置的所述半导体衬底的表面上；以及

第五步骤，在第三步骤之后，形成第二导电型源区和漏区。

9. 一种制造具备绝缘栅晶体管和耐压高于所述绝缘栅晶体管的半导体元件的半导体集成电路器件的方法包括下列各步骤：

第一步骤，通过热处理在第一导电型半导体衬底表面上形成所述半导体元件的第二导电型深半导体区域；

第二步骤，在所述半导体衬底的第一导电型表面上形成在所述绝缘栅晶体管中的栅氧化膜和栅电极；

第三步骤，在所述栅电极的侧壁上设置绝缘件；

第四步骤，利用所述栅氧化膜、所述栅电极和所述绝缘件作为掩模，将离子注入到所述半导体衬底中，以便把第二导电型杂质引入到在所述栅电极下边位置的所述半导体衬底的表面上所述晶体管衬底的所述绝缘栅晶体管的区域中；以及

第五步骤，在所述第三步骤之后，形成所述绝缘栅晶体管的第二导电型源区和漏区。

说　明　书

绝缘栅晶体管、其制造方法和半导体集成电路器件

本发明涉及一种诸如 MOS 晶体管之类的绝缘栅晶体管、其制造方法和半导体集成电路器件。

按照常规的 p-沟 MOS 晶体管，用离子注入法，将 p-型杂质注入到半导体衬底的表面附近，使之变成为沟道区。注入 p-型杂质主要目的在于将元件的阈值电压调整到所要求的值。通常，为了直接在栅氧化膜下形成浅 p-型杂质层，就要在整个 p-沟道 MOS 晶体管形成区域的表面上进行 p-型杂质的离子注入，接着，形成栅氧化膜和栅电极。

作为常规工艺的例子，在图 2 中示出了一种使用 n-型硅衬底的 p-沟道 MOS 晶体管的制造方法。首先，按照众所周知的 MOS 晶体管制造工艺，如图 2（a）所示，在 n-型硅衬底上形成 LOCOS 氧化膜 10 和 11。其次，如图 2（b）所示，薄薄地形成热氧化膜 80，再通过把 p-型杂质离子（B+，或 BF2+之类）70，以大约 10^{12}～$10^{14}cm^{-2}$ 剂量和 10-几十 keV 加速能量，注入到整个硅衬底表面，形成 p-型杂质层 90。其次，如图 2（c）所示，在除去了图 2（b）中形成的所有热氧化膜 80 后，用众所周知的 MOS 晶体管制造工艺形成栅氧化膜 20 和栅电极 30，以及可以用离子注入法形成源区/漏区而获得图 2(d)所示的 p-沟道 MOS 晶体管。图 2（e）是表示以 $1\times10^{12}cm^{-2}$ 的剂量用 60keV 的加速能量注入硼离子时，在栅氧化膜 80 下沿深度方向的硼离子浓度分布的曲线。

另一方面，当同时在一个芯片上配置具有耐压约 80V 或以上的高耐压元件和具有耐压例如 5V、3.3V、2.5V 的低耐压 MOS 晶体管时，为形成高耐压元件的沟道，作为杂质层就要求深结，而且作为扩散区也要求精确位置。因此，在形成该栅氧化膜和栅电极之后，要以自对准的方法，相对于栅电极，确定该杂质层的位置，且长时间进行热处理。这时，若按常规方法在形成栅氧化膜和栅电极之前，形成用以控制低耐压 MOS 晶体管的阈值电压的浅 p-型杂质层，则因高耐压元件用高温处理而使浅 p-型杂质层扩散。图 2（f）是表示，作为一个例子，当形成栅氧化膜和栅电极之前以 $1\times10^{12}cm^{-2}$ 的剂量用 60keV 加速能量注入硼离子，接着，为形成高耐压元件的沟道层而在 1100°C 下热处理 360 分钟之时，在栅氧化膜 20 下深度方向上的硼离子浓度分布的曲线。与

图 2（e）相比较，就显示出决定 MOS 晶体管阈值电压的表面浓度被降低了。结果，该 MOS 晶体管的阈值电压不能得到控制。然而，要是为了增加表面浓度而增大注入剂量，p-型扩散层的结深会变深，使源区和漏区的 p-型扩散层连起来，而 MOS 晶体管就变成不能工作。因此，利用现有技术，例如公开于 JP-A-2-10841（1990）的制造方法，在该方法中在形成栅电极后导入 p-型杂质使之穿透栅电极和栅氧化膜，就成为可在一个芯片上同时有高耐压元件和低耐压 P 沟道 MOS 晶体管。

按照上述的现有技术，将低耐压 p-沟 MOS 晶体管元件的尺寸做得小些，以便实现高度集成；也就是，要使栅极长度缩短，就会使源区结与漏区结的耗尽层相接触；所谓穿通的现象，意味着电流成为用栅极不可能控制；以及发生 P-沟 MOS 晶体管变成为不能工作的问题。

本发明考虑到上述现有技术的上述问题，其目的在于提供一种绝缘栅晶体管的结构和制造方法，适用于在一芯片上同时集成高耐压元件和低耐压绝缘栅晶体管。

按照本发明的绝缘栅晶体管包括：在第一导电型半导体的衬底表面上设置的第二导电型源区和漏区；以及在半导体衬底的表面在位于该源区和该漏区之间的区域上，经由绝缘膜设置的各个栅电极。而且，该第二导电型半导体层具有小于在栅电极下位置和在与该源区和漏区连接的区域的半导体衬底表面上形成的源区和漏区的杂质浓度，且深度比半导体衬底中的该源区和漏区要深。在与源区连接部分的最深点和与漏区连接部分的最深点之间的间距是这样设定的，使之大于栅电极的栅极长度。这里，第一导电型和第二导电型是任何彼此相反的 p-型和 n-型。

按照本发明，在形成比在第二半导体层中的源区和漏区要深的区域中，使半导体衬底中的耗尽层彼此几乎不接触，因为在与源区连接部分的最深点和与漏区连接部分的最深点之间的间距是这样设定的，使之大于栅电极的栅极长度。因此，能够防止伴随耗尽层接触而来的特性恶化和半导体不能工作。当因栅极长度减小而缩短沟道时，本发明的优点是显著的，可以防止随缩短沟道而来的特性恶化。

上述的绝缘栅晶体管是用下述方法制成的。按照本发明的方法包括下列各步骤：第一工艺，用于在半导体衬底的表面上形成栅氧化膜和栅电极；第二工艺，用于在栅电极的侧壁上施加光刻胶或提供绝缘

件；以及第三工艺，用于利用栅氧化膜、栅电极及光刻胶或绝缘件作为掩模，在半导体衬底中注入第二导电型杂质离子，以便把该杂质引入到位于栅电极下边的半导体衬底表面上。把第二导电型杂质，分别最深地引入到栅电极两侧没有被栅电极掩蔽的半导体衬底的区域，但是在栅电极侧壁覆盖有光刻胶或绝缘件的半导体衬底区域中，第二导电型杂质的引入深度受到抑制。所以，在第三工艺之后，用于形成第二导电型源区和漏区，及在第二工艺中在与源区接触的区域上形成的第二导电型半导体层的最深点和与漏区接触的区域的最深点之间的间距变成大于源极的栅极长度。

本发明涉及一种半导体集成电路器件包括：具有小栅极长度的微小绝缘栅晶体管，而其制造方法适用于半导体集成电路器件，包括高温热处理，例如同时有高耐压半导体器件元件时的情况。也就是，在热处理后通过在栅电极的侧壁上提供绝缘件，用栅电极作为掩模，注入高能离子以调整阈值电压时的情况下，可以防止该绝缘栅晶体管特性上的恶化；可以防止伴随位于该栅电极两侧没有被栅电极掩蔽的半导体衬底区域中，深深地形成的半导体层之间耗尽层的接触。对于包括具有短栅极长度的绝缘栅晶体管和具有高耐压的半导体元件的半导体集成电路器件而言，本发明的优点是显著的，并能防止微小绝缘栅晶体管的特性恶化。

图 1 是本发明实施例的 p-沟道 MOS 晶体管的示意剖面图；

图 2 是一组表示低耐压 p-沟道场效应晶体管的常规制造方法的图，和表示沟道区中 p-型杂质浓度分布的曲线图；

图 3 是一组表示在源/漏区中硼离子浓度分布的曲线图；

图 4 是一组表示 MOS 晶体管的有效沟道长度与结深比之间关系，和有效沟道长度与结深比之间关系的曲线图；

图 5 是一组表示本发明第 2 实施例的 P-沟道 MOS 晶体管制造方法的图；

图 6 是一组表示本发明第 3 实施例的 P-沟道 MOS 晶体管制造方法的图；

图 7 是一组表示本发明第 4 实施例的 P-沟道 MOS 晶体管制造方法的图；

图 8 是一组表示本发明第 5 实施例的 P-沟道 MOS 晶体管制造方法

的图；

图 9 是一组表示本发明第 6 实施例的 P-沟道 MOS 晶体管制造方法的图。

（实施例 1）

图 1 是本发明实施例的 p-沟 MOS 晶体管的示意剖面图。在 n-型半导体衬底的表面上形成用于隔离元件的 LOCOS 氧化膜 10、11，并在这些 LOCOS 氧化膜之间的半导体衬底表面上形成高杂质浓度的 p-型源区 60 和漏区 61。每个源极和漏极（图中未示出）分别通过欧姆结，连接到源区 60 和漏区 61 上。通过将薄栅氧化硅膜 20 和层叠于其上的多晶硅栅电极 30 制作到该源区 60 和漏区 61 之间沟道区的半导体衬底表面上，来形成 MOS 晶体管栅极。在从栅电极 30 正下方的半导体衬底表面到与半导体衬底中源区 60 和漏区 61 接触的区域，形成用于调整 MOS 晶体管栅极阈值电压的 p-型半导体层，其杂质浓度比源区和漏区要低，而深度比这些半导体区域要深。实际上处于 p-型半导体层 50 的栅电极 30 正下方的半导体衬底表面上的部分才有调整阈值电压的作用。但是，按照定位把 p-型半导体层 50 形成到源区 60 和漏区 61 的区域，就变成可以利用栅电极作为掩模，用离子注入法调整阈值电压，如下面所述。在本实施例中，p-型半导体层 50 中与源区 60 接触的区域和与漏区接触的区域之间的间距，即，图中以 L_{SD} 表示的源区与漏区之间的距离被扩展了，因为它自半导体衬底表面起进入深度较深，使最深点的间距 L_d 变成大于栅电极 30 的宽度，即，栅极长度 L_G。因此，源区和漏区之间发生耗尽层穿通就变得困难起来，而且 p-沟道 MOS 晶体管的工作变得相当满意了，即使把栅极长度缩短到等于或小于 2μm 也行。

为了扩展 L_{SD}，好象自半导体衬底表面起进入较深一样，就在栅电极 30 的侧壁上设置由氧化硅制成的绝缘膜 40、41。粘附于栅电极 30 的侧壁，沿着侧壁延伸到栅氧化膜 20 的栅电极边缘，形成氧化硅。按照具有绝缘膜 40、41 的元件结构，可以利用栅电极 30 作为掩模，通过离子注入，形成例如本实施例的 p-型半导体层 50，如下所述。

按照本实施例，变成为可以利用栅电极作为掩模，通过离子注入来调整阈值电压，即使 p-型半导体层 50 具有比源区 60 和漏区 61 还深的部分，也成为可以缩短沟道。所以，按照本实施例，可以把具有

短沟道的 P-沟道 MOS 晶体管和具有高耐压的半导体元件（例如，IGBT），集成到同一个半导体芯片上，如本实施例后面所述。

下面，说明有关象本发明的发明人已研究过的P-沟道MOS晶体管之类的本实施例结构的工作条件。

将根据阈值电压的变化进行模拟研究的结果表示于图 4（a）中：这时利用P-沟道MOS晶体管具有在约3000-6000埃范围内与该源区和漏区接触的p-型半导体层50结深 X_{j1}，与在栅氧化膜下的p-型半导体层50的结深 X_{j2} 之比作为参数，改变有效沟道长度（在栅氧化膜下的该源区与漏区之间的距离，即，在该栅氧化膜下沿栅极长度方向的p-型半导体层50的宽度）。当p-型半导体层50的结深比（X_{j2}/X_{j1}），变成大于0.25时，则该结构不能作为MOS晶体管进行工作，也不能确定其阈值电压。当该比小于0.05时，则不能控制其阈值电压。一般，MOS晶体管是这样设计的，使得其阈值电压在±0.15V范围内变化，以便抑制与温度改变有关的阈值电压变化并且随着阈值电压的提高，漏极电流发生变化。因此，按照图4（a），确定临界有效沟道长度相差范围为±0.15V，并确定p-型半导体层50的结深比与临界有效沟道长度相差范围±0.15V之间的关系。图4（b）示出了这个结果。假如晶体管的结深比与有效沟道长度处于图 4（b）的影线面积区域内，则 P-沟道MOS晶体管当然能工作。

（实施例 2）

图5是一组表示本发明第2实施例的P-沟道MOS晶体管制造方法的各个步骤的示意剖面图。

如图5（a）所示，用常规MOS晶体管的制造方法，在n-型硅衬底上边，形成LOCOS氧化膜10、11，并将其中形成该MOS晶体管的区域，制成一有源区。其次，如图5（b）所示，用热生长法，形成高度几十到几百埃的栅氧化硅膜20，再用CVD法，淀积高度几百到几千埃的n-型多晶硅膜30。接着，在栅氧化硅膜20和多晶硅膜30上进行光刻，以便留下栅极长度 0.5μm -2μm 的栅极区，再用干式刻蚀法除去不需要的区域。其次，如图5（c）所示，把光刻胶100施加到除多晶硅以外的区域上，厚度至少为 2μm，以便粘附于栅极区硅膜的侧壁上，并且用p-型杂质离子（B+或BF2+之类）70，以几十到几百 keV 加速能量，在整个硅衬底表面上进行离子注入。在除去了图5（c）工艺加上的光

刻胶后，把几千埃厚的光刻胶施加到多晶硅的上面和自多晶硅侧面起的几百 nm 到几微米的宽度，如图 5（d）所示。在这里，用 p-型杂质离子（B+或 BF2+之类）70，以几十到几百 keV 加速能量，在整个硅衬底表面上进行离子注入。接着，用常规的 MOS 晶体管制造工艺，形成 P-沟道 MOS 晶体管的源区 60 和漏区 61，如图 5（e）所示。

按照图 5（d）所示的工艺进行离子注入，由于源区/漏区的端部不会达到该栅电极侧壁的部分下边，故可遏制穿通。通过图 5（c）所示的工艺，精确地在栅电极下面形成浅 p-型杂质层 51，就可以把制成的 P-沟道 MOS 晶体管的阈值电压，控制到所要求的值。

用于调整阈值电压的 p-型杂质层 50、51、52，不能与源和漏电极（图中未示出）形成欧姆接触，因为杂质浓度低。因此，还要注入浓度能形成欧姆接触的 p-型杂质（一般，至少 $1\times10^{15}/cm^2$），形成源区 60 和漏区 61。通常，在制造微小 P-沟道 MOS 晶体管时，为了阻止耗尽层之间相接触，随着栅极长度变短，P 型源区和漏区的深度必须很浅。其次，通常，例如在栅极长度 1.3μm 的工艺中，通过使用具有 30keV 的 B+，和具有 60keV 的 BF2+进行离子注入形成源区和漏区。如果将栅极长度缩短，则使用如上述加速能量相同或较低的加速能量。图 3（a）示出，在用加速能量为 30keV 的 B+，或用加速能量 60keV 的 BF2+，进行离子注入时的情况下，在深度方向上的硼离子浓度分布，并为恢复缺陷和形成多层绝缘膜，继续进行常规工艺。在制造栅极长度 1.3μm 的 MOS 晶体管时，高浓度源区/漏区的结深，变成大约 450～500nm。

另一方面，为了形成在栅氧化膜正下方的 p-型杂质层 51，必须用能够穿透该栅电极和栅氧化膜的加速能量和足够超过 $1\times10^{16}/cm^3$ 的表面浓度进行注入离子，以便调整 P-沟道 MOS 晶体管的阈值电压。在常规栅极长度约 1μm 的工艺中，用 n-型多晶硅时，栅电极的厚度约为 3000-4000 埃，在栅极长度约 0.8μm 的工艺中，使用 n-型多晶硅约为 1000 埃，而用多硅化物（polycide）或硅化物之类约为 1500 埃。由于就栅电极来说必不可少的条件是低电阻，即使栅极长度缩短了，厚度上也不需要明显改变。该栅氧化膜的厚度约为 100-300 埃。一种情况是，当通常用于栅极长度约 1.3μm 的工艺中，采用栅氧化膜为 250 埃和多晶硅膜为 3500 埃时，为了穿透栅氧化膜注入 B+，要求加速能量等于或大于 100keV 和足以超过 $1\times10^{16}/cm^3$ 的表面浓度。另一情况

是，当通常用于栅极长度约 0.8μm 的工艺中，将栅氧化膜为 180 埃，多晶硅膜 1000 埃和硅化物 1500 埃用作栅电极时，为了注入 B+，需要加速能量等于或大于 80keV. 即使缩短了栅极长度，该厚度也不显著改变，因为低阻是不可少的. 因此，为了保持充分地超过 $1\times10^{16}/cm^3$ 的表面浓度，为了注入 B+，需要加速能量等于或大于 90keV。

图 3（b）是表示在 p-型半导体层 50、52 的深度方向上的 B+浓度分布的曲线图，它是与形成 p-型半导体层 51 同时，用加速能量 90keV，注入 B+而形成的。该图画出，其结深约为 550nm。如该图所示，在结深深于高浓度源区 60 和漏区 61 的位置，存在相对低浓度的 p-型半导体层 50、52。就具有栅极长度等于或小于 1.3μm 的 P-沟道 MOS 晶体管来说，为了防止各耗尽层相接触，在低浓度的结深位置处，需要保证源区和漏区之间的距离等于或大于栅极长度。

按照本实施例，进行离子注入时，在栅电极 30 侧壁上涂敷光刻胶 100。所以，p-型半导体层 50、52 之间的间距，即在图 1 所示的最深点的源区与漏区间的间距 L_d 能做成比栅极长度长。

按照本实施例，只示出 n-型硅衬底的例子。但是，本发明也可以应用于任何 P 型硅衬底、SOI 衬底、DI 隔离衬底以及其它衬底。

（实施例 3）

图 6 是一组表示本发明第 3 实施例的 P-沟道 MOS 晶体管制造方法的各个步骤的示意剖面图。

如图 6（a）所示，用常规 MOS 晶体管的制造方法，在 n-型硅衬底上边，淀积 LOCOS 氧化膜 10、11，并将其中形成该 MOS 晶体管的区域，制成有源区。其次，如图 6（b）所示，用热生长法，形成高度几十到几百埃的栅氧化硅膜 20，再用 CVD 法，淀积高度几百到几千埃的 n-型多晶硅膜 30。接着，在栅氧化硅膜 20 和多晶硅膜 30 上进行光刻，以便留下栅极长度 0.5μm -2μm 的栅极区，如图 6（c）所示，且用干式刻蚀法除去不需要的区域。其次，用 CVD 法，在整个硅衬底的表面上，淀积高度几千埃的氧化硅膜 42。通过用干式刻蚀法，对淀积的氧化硅膜进行各向异性蚀刻，留下氧化硅膜的侧壁 40、41 和绝缘材料；该氧化硅膜，沿着栅极区中的多晶硅膜粘附于侧面上直到栅氧化膜，如图 6（e）所示。这里，用 p-型杂质离子（B+或 BF2+之类）70，以几十到几百 keV 加速能量，在整个硅衬底表面上进行离子注入。接着，

用常规的MOS晶体管制造工艺，形成P-沟道MOS晶体管的源/漏区60、61，而获得P-沟道MOS晶体管，如图6（f）所示。

按照透过栅电极和栅氧化膜进行p-型杂质离子的离子注入，就可以精确地在栅电极下面形成浅p-型杂质层51，也可以把制成的P-沟道MOS晶体管的阈值电压，控制到所要求的值。

按照本实施例，只示出n-型硅衬底的例子。但是，本发明也可以应用于任何P-型硅衬底、SOI衬底、DI隔离衬底以及其它衬底。

（实施例4）

图7是一组半导体集成电路器件的示意剖面图，其中在一个芯片上形成增强型n-沟道MOS晶体管和P-沟道MOS晶体管，示出了本发明第4实施例的制造方法的各个步骤。

如图7（a）所示，用常规MOS晶体管的制造方法，在n-型硅衬底上边，形成LOCOS氧化膜10、11，并将其中形成该P-沟道和n-沟道MOS晶体管的区域，制成有源区。在该区域中，在其上形成n-沟道MOS晶体管，再用p-型杂质，诸如硼离子之类的离子注入，形成p-阱200并在高温下热处理。其次，如图7（b）所示，用热生长法，淀积高度几十到几百埃的栅氧化硅膜20，再用CVD法，淀积高度几百到几千埃的n-型多晶硅膜30。接着，在栅氧化硅膜20和多晶硅膜30上进行光刻，以便在每个区域留下栅极长度0.5μm -2μm的栅极区，分别形成n-沟道MOS晶体管和P-沟道MOS晶体管，如图7（c）所示，且用干式刻蚀法除去不需要的区域。其次，用CVD法，在整个硅衬底的表面上，淀积高度几千埃的氧化硅膜44。通过用干式刻蚀法，对淀积的氧化硅膜进行各向异性蚀刻，在栅氧化硅膜和多晶硅膜的侧面留下氧化硅膜的侧壁40、41、42和43。这里，用p-型杂质离子（B+或BF2+之类）70，以几十到几百keV加速能量，在整个硅衬底表面上进行离子注入。接着，用常规的MOS晶体管制造工艺，在形成P-沟道MOS晶体管的区域，形成p-型源/漏区62、63和在形成n-沟道MOS晶体管的区域，形成n-型源/漏区60、61。

按照透过栅电极进行p-型杂质离子的离子注入，就可以精确地在栅电极下面形成浅p-型杂质层50、51，也可以把制成的P-沟道MOS晶体管和n-沟道MOS晶体管两者的阈值电压，控制到所要求的值。

按照本实施例，只示出n-型硅衬底的例子。但是，本发明也可以

应用于任何P-型硅衬底、SOI衬底、DI隔离衬底以及其它衬底。

（实施例5）

图8是一组半导体集成电路器件的示意剖面图，其中在一个芯片上形成高耐压的n-沟道MOS晶体管和低耐压的P-沟道MOS晶体管，示出了本发明第5实施例的制造方法的各个步骤。

如图8（a）所示，用常规MOS晶体管的制造方法，在n-型硅衬底上边，形成LOCOS氧化膜10、11、12、13，并将其中形成该高耐压n-沟道MOS晶体管和低耐压P-沟道MOS晶体管的区域，制成为有源区。通过n-型杂质90，诸如磷之类离子注入，形成n-阱并在高温下热处理。其次，如图8（b）所示，用热生长法，淀积高度几十到几百埃的栅氧化硅膜20，再用CVD法，淀积高度几百到几千埃的n-型多晶硅膜30。接着，在栅氧化硅膜20和多晶硅膜30上进行光刻，以便分别留下，高耐压n-沟场效应晶体管的几个微米栅极长度L_2、L_3的栅极区和低耐压p-沟场效应晶体管的0.5μm -2μm栅极长度L_1的栅极区，如图8（c）所示，且用干式刻蚀法除去不需要的区域。其次，用离子注入法，把p-型杂质离子（B+或BF2+及其它）70，只引入到高耐压n-沟MOS晶体管的区域，如图8（d）所示，通过热扩散工艺，在几百到一千几百度下经几十到几百分钟，形成深p-型杂质层65。然后，用CVD法，在整个硅衬底的表面上，淀积高度几千埃的氧化硅膜44。通过用干式刻蚀法，对淀积的氧化硅膜进行蚀刻，在栅氧化硅膜和多晶硅膜的侧面上留下氧化硅膜的侧壁40、41，如图8（e）所示。这里，用p-型杂质离子（B+或BF2+之类）70，以几十到几百keV加速能量，只在低耐压P-沟道场效应晶体管区域上进行离子注入以形成P型杂质层50。接着，用常规的MOS晶体管制造工艺，在形成高耐压n-沟道MOS晶体管的区域中，形成n-型源/漏区62、63和在形成低耐压p-沟道MOS晶体管的区域中，形成p-型源/漏区60、61。

按照上述工艺制成低耐压P-沟道MOS晶体管，为调整阈值电压，在栅电极完成后，要进行p-型杂质离子的离子注入。因此，低耐压P-沟道MOS晶体管，不受为形成高耐压n-沟道MOS晶体管沟道截止区而在高温下进行热处理的影响，就可以把P-沟道MOS晶体管的阈值电压，控制到所要求的值。

按照本实施例，只示出n-型硅衬底的例子。但是，本发明也可以

应用于任何P-型硅衬底、SOI衬底、DI隔离衬底以及其它衬底。而且，虽然只示出了在一个芯片上形成高耐压n-沟道MOS晶体管和低耐压P-沟道MOS晶体管的实施例，但是在一个芯片上，同样也可以形成高耐压P-沟道MOS晶体管和低耐压n-沟道MOS晶体管。

（实施例6）

图9是一组半导体集成电路器件的示意剖面图，其中在一个芯片上形成IGPT和p-沟道MOS晶体管，示出了本发明第6实施例的制造方法的各个步骤。

如图9（a）所示，用常规MOS晶体管的制造方法，在n-型硅衬底上边，形成LOCOS氧化膜10、11、12、13，并将其中形成该场效应晶体管和该IGPT的区域，制成为有源区。其次，如图9（b）所示，用热生长法，淀积高度几十到几百埃的栅氧化硅膜20，再用CVD法，淀积高度几百到几千埃的n-型多晶硅膜30。接着，在栅氧化硅膜20和多晶硅膜30上进行光刻，以便分别留下IGPT的几个微米栅极长度L的栅极区和低耐压p-沟道MOS晶体管的0.5μm -2μm栅极长度L的栅极区，如图8（c）所示，且用干式刻蚀法除去不需要的区域。其次，用离子注入法，把p-型杂质离子90，只引入到IGPT的区域中，通过在几百到一千几百度下经几十到几百分钟的热扩散工艺，形成深p-型杂质层61，如图9（d）所示。接着，同样用离子注入法，在几百到一千几百度下经几十到几百分钟的热扩散工艺引入p-型杂质离子，以形成p-型杂质层60。还有，进行离子注入，形成IGPT的n-型阳极。然后，用CVD法，在整个硅衬底的表面上，淀积高度几千埃的氧化硅膜44，如图9（e）所示。通过用干式刻蚀法，对淀积的氧化硅膜进行蚀刻，在栅氧化硅膜和多晶硅膜的侧面上留下氧化硅膜的侧壁40、41、42、43，如图9（f）所示。这里，用p-型杂质离子（B+或BF2+之类）70，以几十到几百keV加速能量，只在低耐压P-沟道场效应晶体管区域上进行离子注入，形成p-型杂质层50。接着，用常规的IGPT和MOS晶体管制造工艺，为IGPT形成P-型集电极65，为低耐压p-沟道MOS晶体管形成p-型源/漏区63、64。

按照上述工艺制成的低耐压p-沟道MOS晶体管，为调整阈值电压，在栅电极完成后，要进行p-型杂质离子的离子注入。因此，低耐压P-沟道MOS晶体管，不受为形成IGPT的沟道截止区而在高温下进

行热处理的影响，就可以把 P-沟道 MOS 晶体管的阈值电压，控制到所要求的值。

如上所述的那样，也可以在同一芯片上配置该 IGPT 和低耐压 P 沟道 MOS 晶体管。

按照本实施例，只示出 n-型硅衬底的例子。但是，本发明也可以应用于任何 P-型硅衬底、SOI 衬底、DI 隔离衬底以及其它衬底。

如上所述的那样，按照本发明，可以同时有高耐压元件和短沟道微小低耐压 MOS 晶体管。

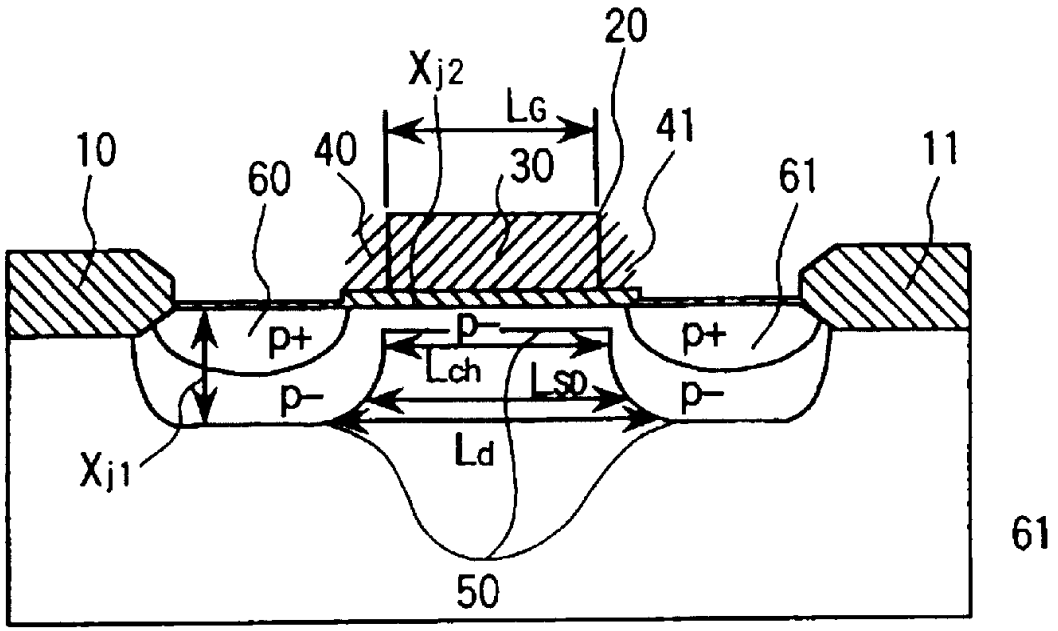


图 1

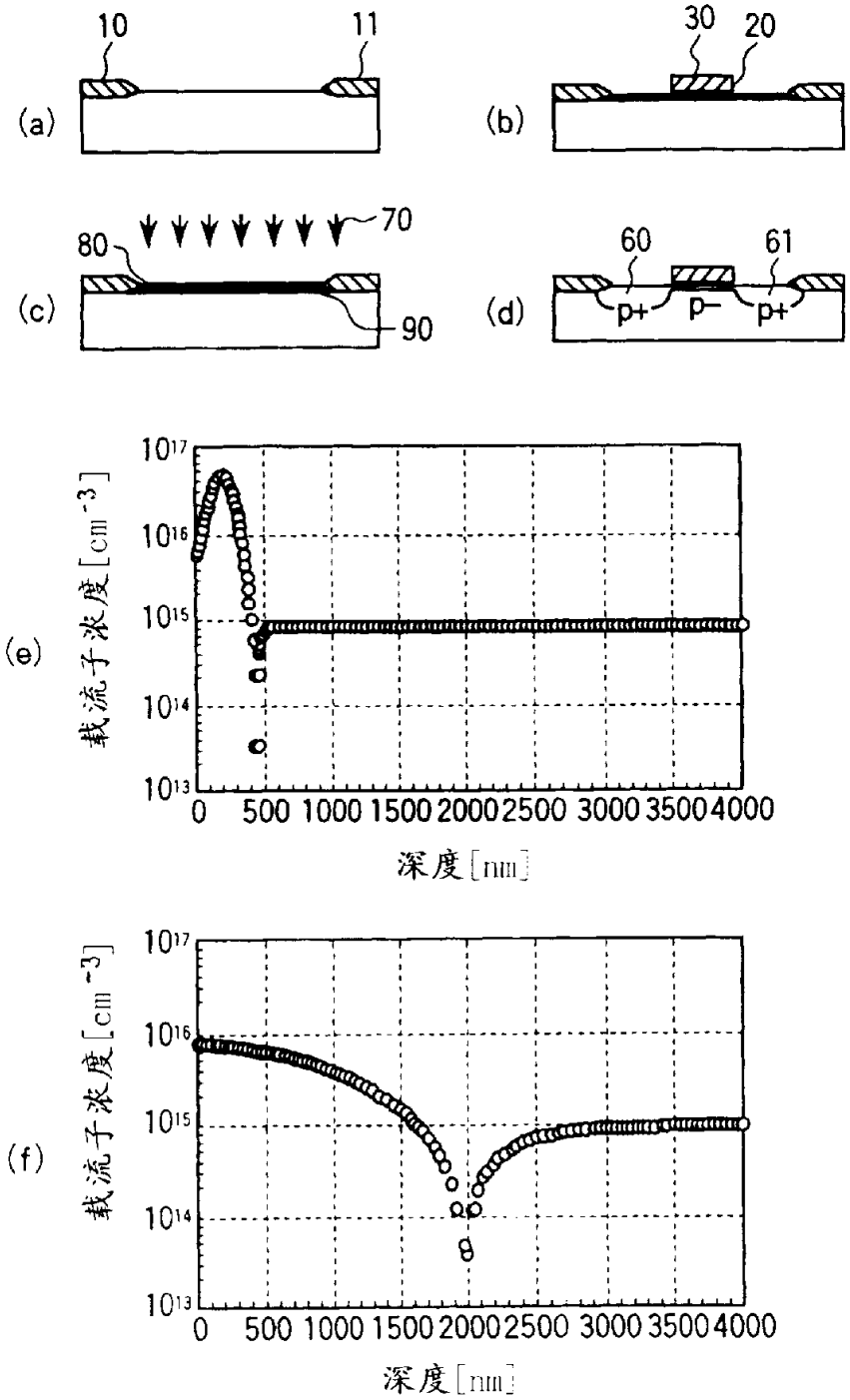

(a)
10
11
(b)
30
20
(c)
80
70
90
(d)
60
61
p+
p−
p+
(e)
载流子浓度[cm-3]
10^17
10^16
10^15
10^14
10^13
0 500 1000 1500 2000 2500 3000 3500 4000
深度[nm]
(f)
载流子浓度[cm-3]
10^17
10^16
10^15
10^14
10^13
0 500 1000 1500 2000 2500 3000 3500 4000
深度[nm]

图 2

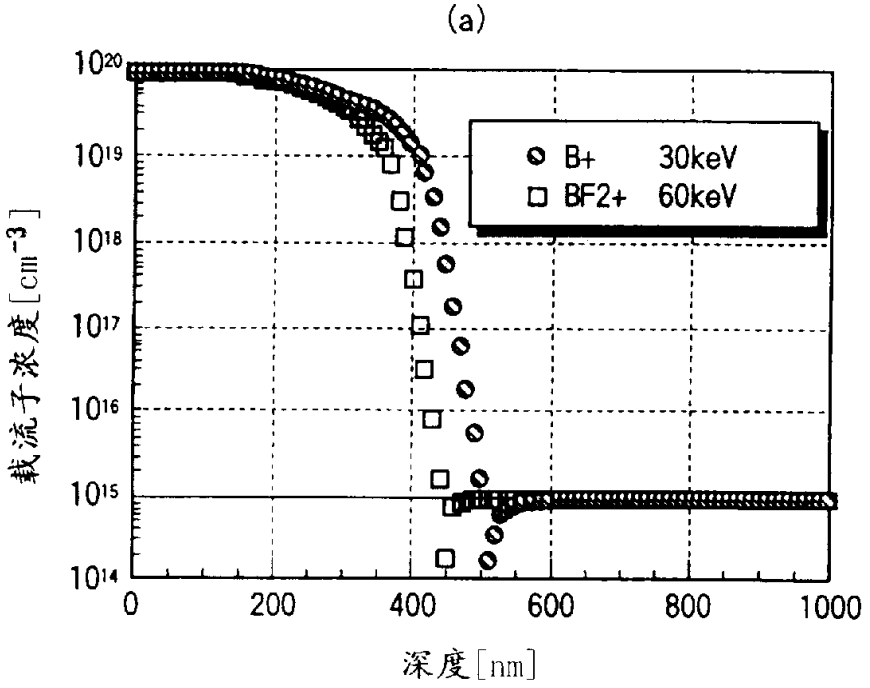
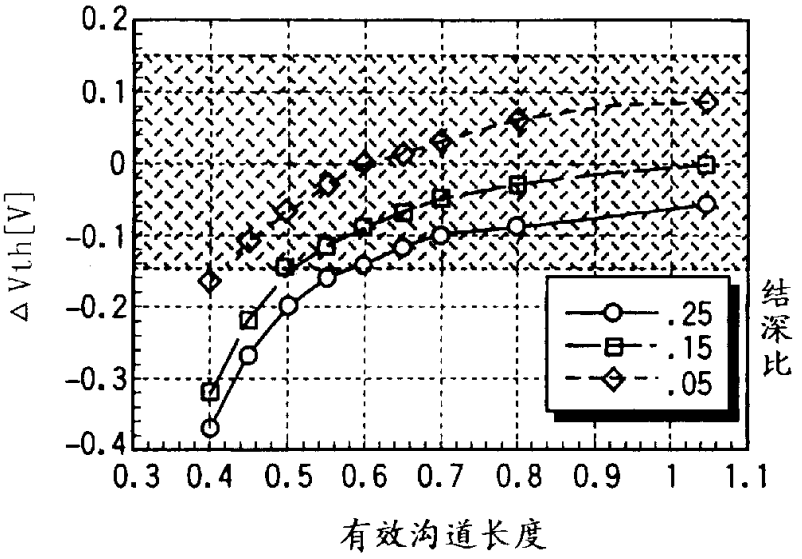


图 3

(a)


0.2
0.1
0
-0.1
-0.2
-0.3
-0.4
ΔVth[V]
0.3 0.4 0.5 0.6 0.7 0.8 0.9 1 1.1
有效沟道长度
.25
.15
.05
结深比

(b)

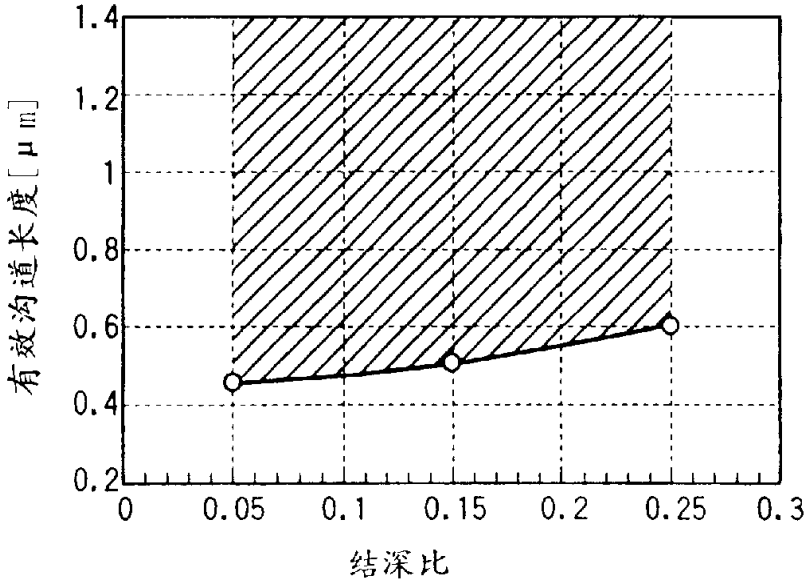

1.4
1.2
1
0.8
0.6
0.4
0.2
有效沟道长度[μm]
0 0.05 0.1 0.15 0.2 0.25 0.3
结深比

图 4

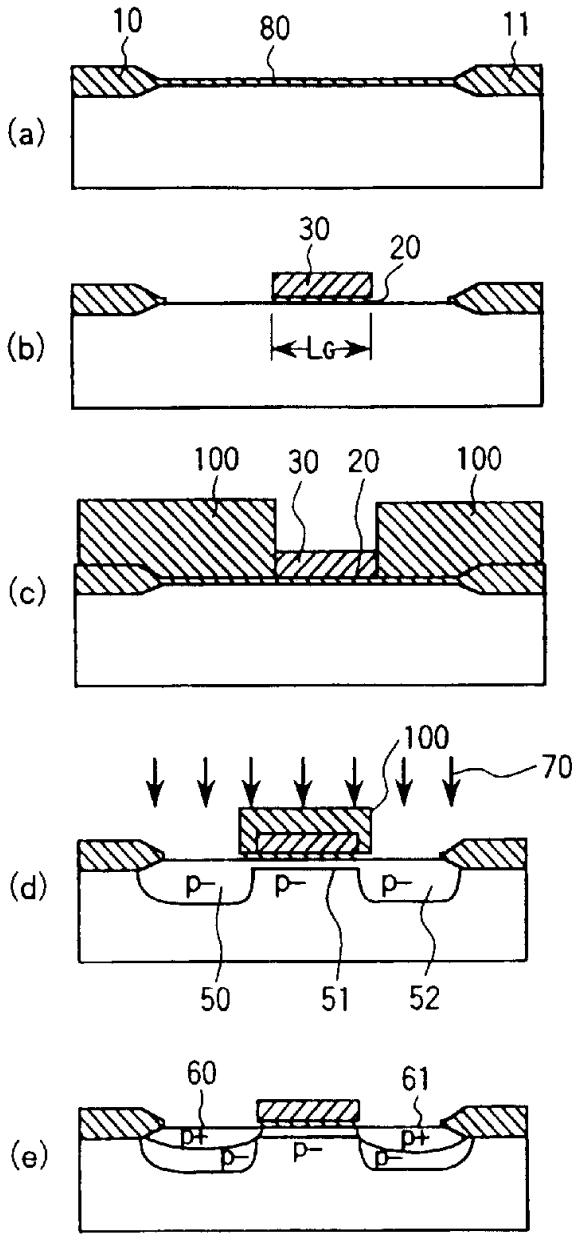

10
80
11
(a)
30
20
(b)
LG
100
30
20
100
(c)
100
70
(d)
p-
p-
p-
50
51
52
60
61
(e)
p+
p+
p-
p-
p-

图 5

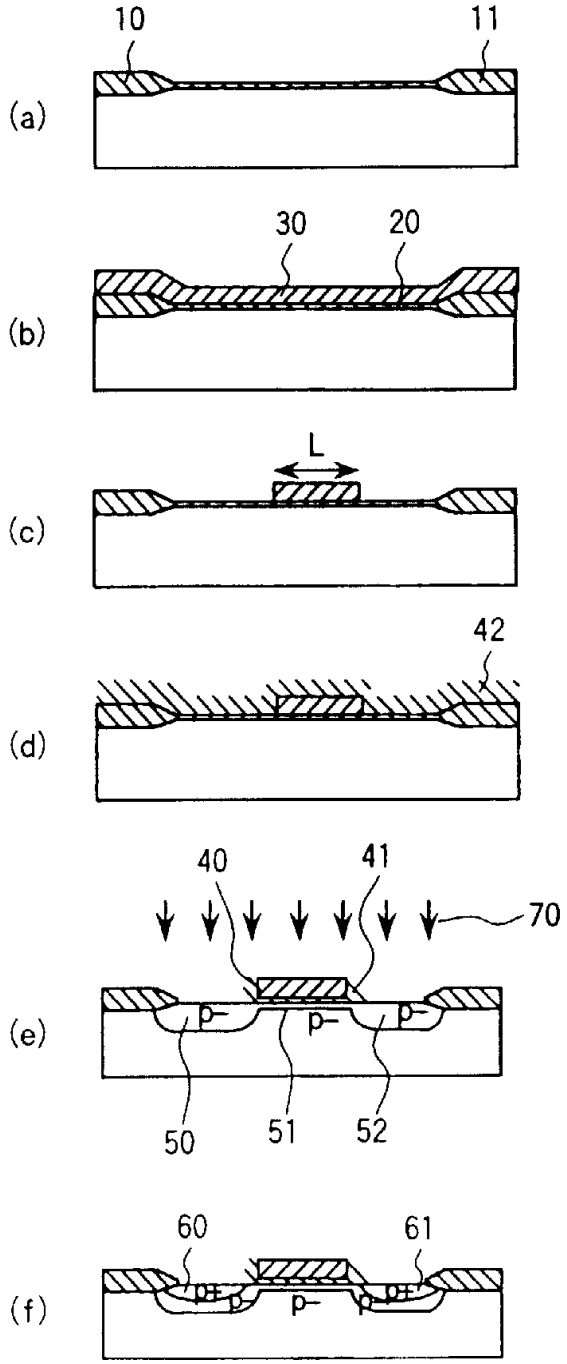


图 6

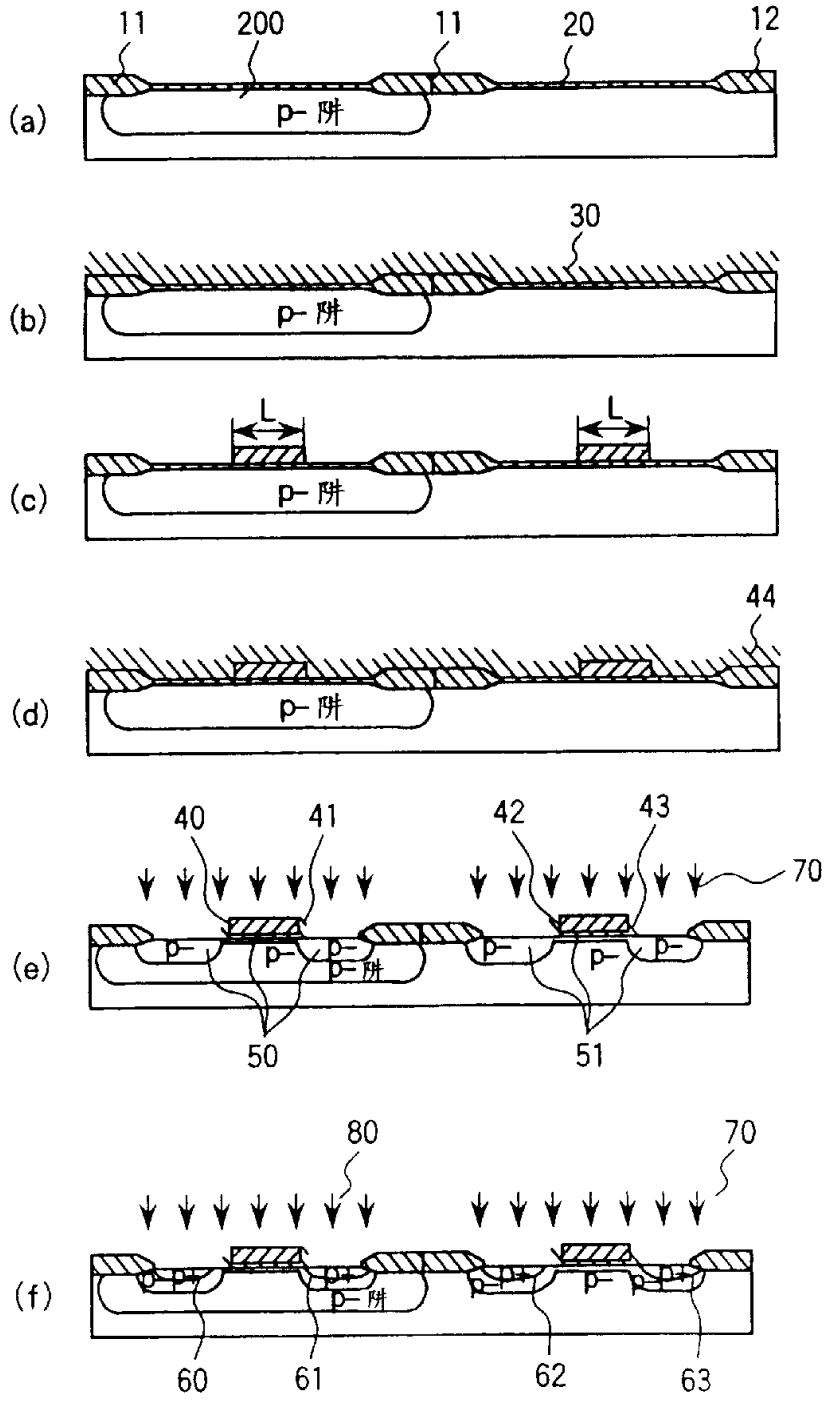

11
200
11
20
12
(a)
p- 阱
30
(b)
p- 阱
L
L
(c)
p- 阱
44
(d)
p- 阱
40
41
42
43
70
(e)
p-
p-
p-
p-
p-
p-
p- 阱
50
51
80
70
(f)
p-
p-
p-
p-
p- 阱
60
61
62
63

图 7

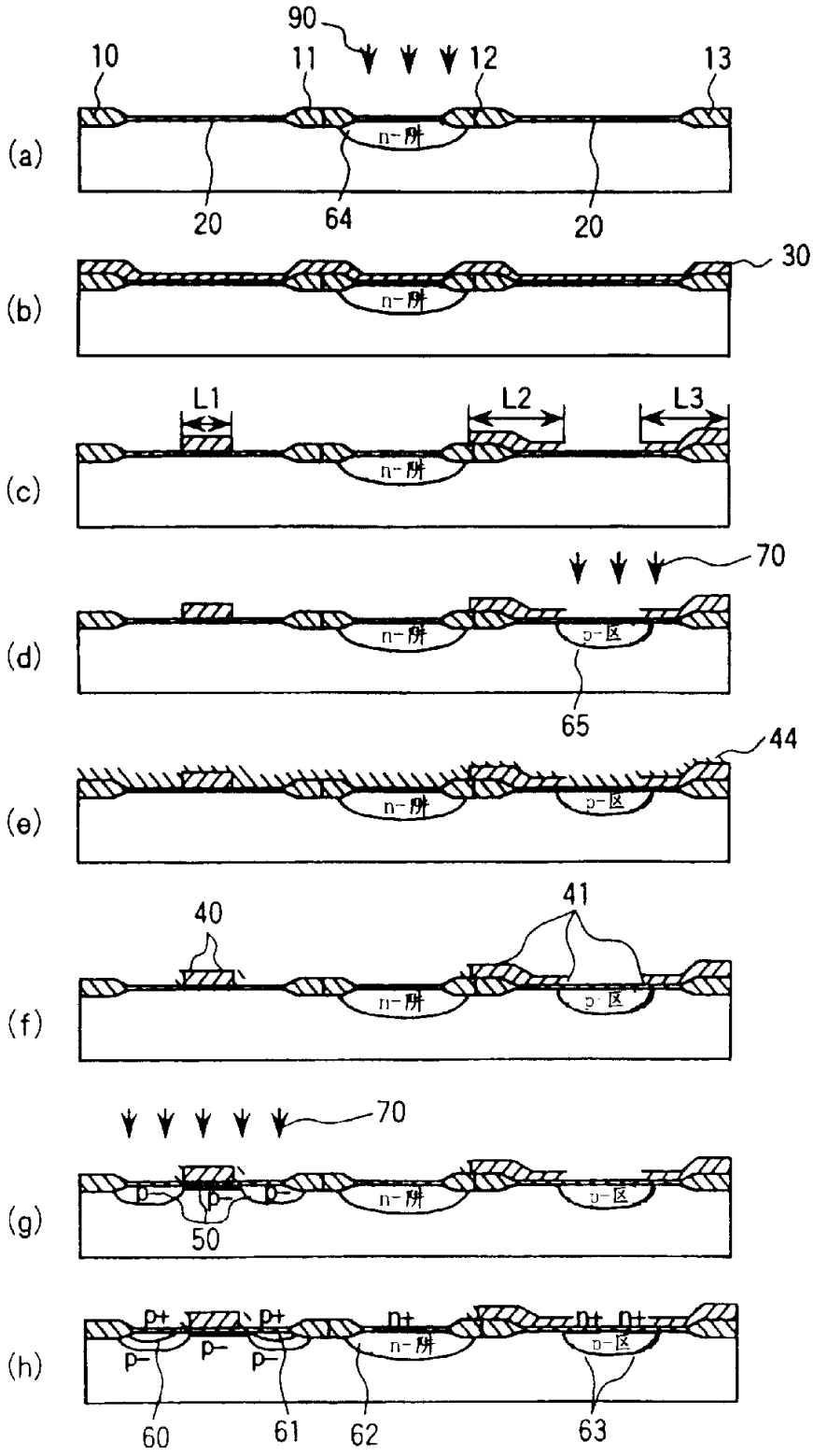

90
10
11
12
13
(a)
n-阱
20
64
20
30
(b)
L1
L2
L3
(c)
70
(d)
p-区
65
44
(e)
40
41
(f)
70
(g)
p+
p-
50
(h)
60
61
62
63

图 8

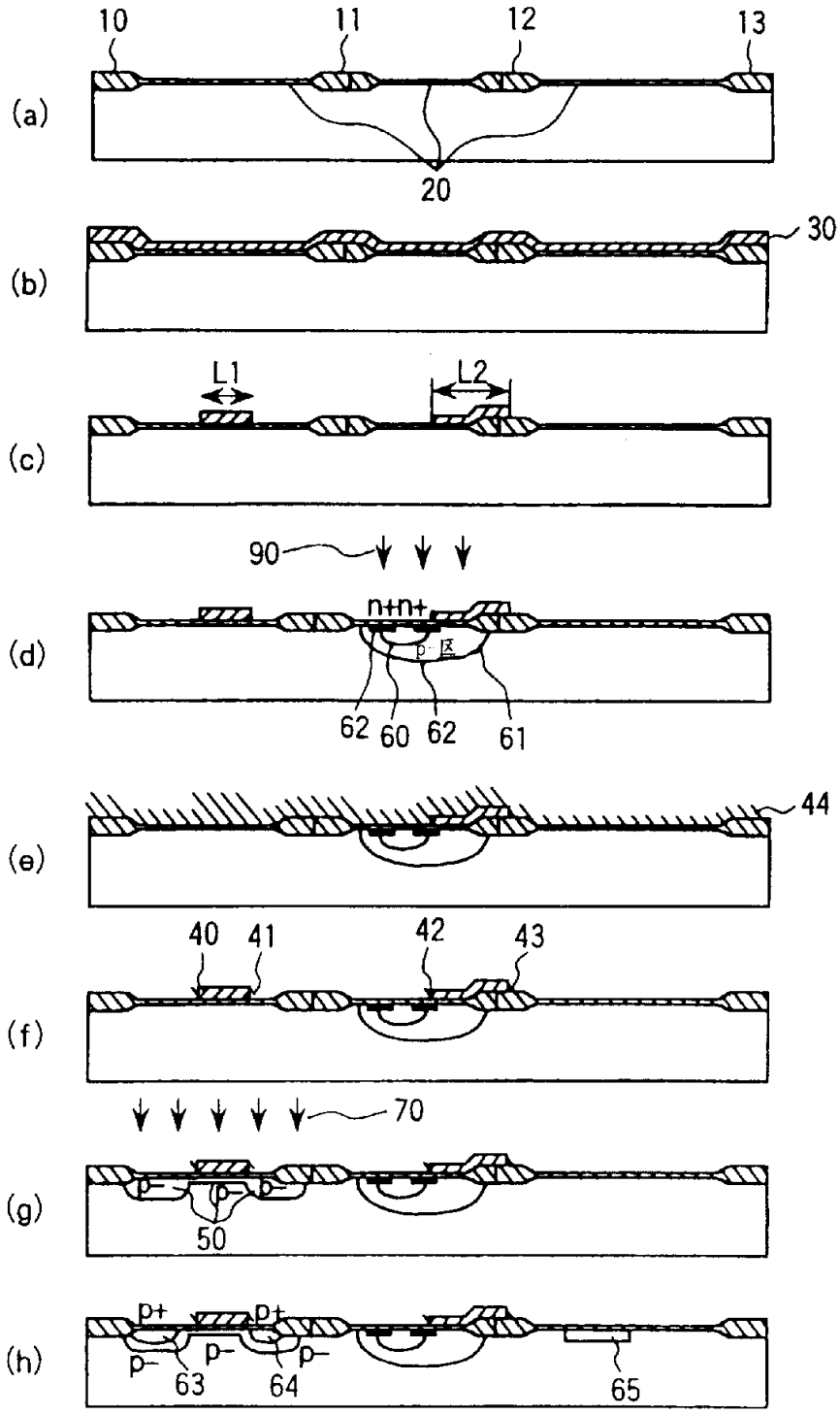

10
11
12
13
(a)
20
30
(b)
L1
L2
(c)
90
n+n+
(d)
62
60
62
61
44
(e)
40
41
42
43
(f)
70
(g)
50
p+
p+
(h)
63
64
65

图 9