

發明專利說明書

200529374

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93/24575

※申請日期：93.8.16

※IPC 分類：H01L 21/8238

一、發明名稱：(中文/英文)

CMOS 結構及相關方法

CMOS Structure and Related Method

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.

代表人：(中文/英文) 張 忠 謀 / CHANG, CHUNGMOU

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

NO.8, LI HSIN RD. 6, SCIENCE-BASED

INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.

國 籍：(中文/英文) 中華民國 / R.O.C.

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 程冠倫 CHENG, KUANLUN

2. 黃煥宗 HUANG, HUANTSUNG

3. 鄭水明 CHENG, SHUIMING

4. 王盈斌 WANG, YINPIN

5. 馮家馨 FUNG, KAHING

國 籍：(中文/英文)

1. 中華民國 / R.O.C.

2. 中華民國 / R.O.C.

3. 中華民國 / R.O.C.
4. 中華民國 / R.O.C.
5. 香港 / HONG KONG

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國、 2004/2/25、 10/786,643

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

玖、發明說明

【發明所屬之技術領域】

本發明是有關於一種含有氮化矽層之 CMOS 結構，且更一般地關於一種製造此一結構及其所含的氮化矽層之方法。更特別地，本發明關於一種含有 p-MOS(或 p-FET)及 n-MOS(或 n-FET)區之 CMOS 結構，於其上方形成一受應力的接觸蝕刻終止層，其中於層中之應力被限制於載流子遷移率和驅動電流依此增強之區域中，且於載流子遷移率和驅動電流依此降低之區域中被避免或消除。

【先前技術】

已知 CMOS 或 MOSFET 裝置之閘極下方通道區域中之機械應力控制對於縮小元件而言是具決定性的。機械應力—拉伸及壓縮—可提高電子及電洞於通道中之遷移率。一般而言，拉伸應力改良電子遷移及降低電洞遷移，且壓縮應力降低電子遷移及改良電洞遷移。請參照由 Shimizu 等人所著，於 2001 IEDM technical Digest, 第 433 頁以下 (“Shimizu”), ”Local Mechanical Stress Control (LMC): A New Technology for CMOS Performance Enhancement (局部機械應力控制(LMC): CMOS 效能增強之新技術)”。

一種於通道中產生應力之方法為在應變矽上製造 MOSFET。此可藉磊晶成長矽於緩和的 SiGe 層上而達成。請參照由 Yee-Chia Yeo 等人所著，於 2000 IEDM technical

Digest, 第 753 頁以下 (“Yeo”), ”Enhanced Performance in Sub-100nm CMOSFETs Using Strained Epitaxial Silicon-Germanium (於次 100 奈米 CMOSFETs 中使用應變磊晶矽-鍺之增強效能)”。依此方式施應於矽稍微複雜。再者, 已發現就 n-FET 區(為了增強電子遷移)而言不易製造拉伸應力矽, 且就 p-FET 區而言不易製造壓縮應力矽, 其中二者係如上述存在於單一結構中。

亦已發現通道應力係由淺溝絕緣所產生。請參照例如由 Ootsuka 等人所著, 於 2000 IEDM technical Digest, 第 575 頁以下 (“Ootsuka”), ”A Highly Dense, High Performance 130nm Node CMOS Technology for Large Scale System-On-Chip Application (用於大尺寸系統晶片應用之高密度、高效能 130 奈米 Node CMOS 技術)”, 係引用由 Scott 等人所著, 於 1999 IEDM technical Digest, 第 827 頁以下, ”NMOS Drive Current Reduction Caused by Transistor Layout and Trench Isolation Induced Stress (由電晶體佈局及溝渠絕緣引起之應力所造成的 NMOS 驅動電流減少)”。請亦參照由 Min-Hwa Chi 及 Wai-Yi Lien 於 2003 年 11 月 21 日申請之共同讓渡的美國專利申請案序號 10/718,928, 標題為 ”Modification of Carrier Mobility in a Semiconductor Device (於半導體裝置中之載體遷移之修飾)”。

最近的研究已顯示, 當氮化矽(通稱 ”SiN”)之接觸蝕刻終止層存在時, 亦產生機械應力。請參照 Shimizu、

Ootsuka 以及由 Ito 等人所著，於 2000 IEDM technical Digest, 第 247 頁以下 (“Ito”), ”Mechanical Stress Effect of Etch-Stop Nitride and its Impact on Submicro Transistor Design (蝕刻終止氮化物之機械應力效應及其對於次微米電晶體設計之影響)”。

沉積的氮化矽或 SiN 接觸蝕刻終止層可具有固有的拉伸應力或壓縮應力。舉例來說，經由熱化學蒸氣沉積 (“TCVD”) 而形成於矽上之 SiN 層具有拉伸應力，而經由電漿增強化學蒸氣沉積 (“PECVD”) 而形成於矽上之 SiN 層係受壓縮應力 (請參照 Ootsuka)。

Ootsuka 揭示藉由佈植銻離子於其中而緩和 SiN 蝕刻終止層中之應力。銻離子於 PECVD SiN 層中之佈植緩和了其中之壓縮應力。銻離子於 TCVD SiN 層中之佈植緩和了其中之拉伸應力。

【發明內容】

本發明之較佳實施力包含一種應力緩和的氮化矽或 SiN 層之 CMOS 結構，其中應力係受到含氧或含碳離子佈植於其中而緩和。應力可於 SiN 層之選擇區中藉由阻止離子佈植於除該選擇區外之全部 (例如藉由適當的遮蔽作用) 而緩和，其中銻離子佈植會破壞鍵結，而含氧或含碳離子佈植可改變化學組成成分。當 SiN 層係經由 TCVD 形成時，應力可為拉伸的，或當 SiN 層係經由 PECVD 形成時，應力可為壓縮的。一般而言，PMOS 及 NMOS 裝置將形成

於基板中或基板上，之後，此等元件及基板將覆蓋 SiN 層。倘若 SiN 層中之應力是拉伸的，則氧或碳離子之佈植係於 NMOS 裝置上方之層區中受到阻止。倘若 SiN 層中之應力是壓縮的，則佈植係於 PMOS 裝置上方之層區中受到阻止。

本發明之其他實施例包含製造上述實體例結構之方法。藉遮蔽該層，例如藉施用及顯影一光阻塗層於 SiN 層，可於 SiN 層之選擇區中阻止離子佈植。

【實施方式】

先前之較佳實施例將更詳細地討論如下。然而，應可理解，本發明提供許多可於廣泛類型特殊範圍中具體實施的發明概念。所討論之特殊實施例僅為製造及使用本發明之特殊方法之例示，並且不會限制本發明之範圍。

第 1 圖顯示一先前技藝 CMOS 結構 10，其包含一或多個電晶體或其他裝置(通常標為 11)。結構 10，通常為擴充積體電路或 IC(未顯示)之一部分，係包含一基板 12。倘若裝置 11 為 CMOS/MOSFET 電晶體，則每一者可包含延伸源極 14 及延伸汲極 16。閘極 18 係位於源極 14 與汲極 16 間。

就傳統而言，閘極 18 包含一閘極氧化物或其他電介質 20，例如使閘極電極 22 與通道 24(位於源極 14/汲極 16 與其延伸部分之間)電絕緣之高 K 電介質。於源極 14/汲極 16 形成期間(藉磊晶形成及/或離子佈植)遮蔽閘極 18

側之絕緣間隔件 26，通常於此形成後保留於適當位置。淺溝渠絕緣(“SIT”)區 28(包含填充形成於基板 12 中之溝渠 32 之絕緣材料 30)係與相連的電晶體或其他裝置或元件 11 彼此電絕緣。

為了本發明之目的，左側裝置 11 為 PMOS 電晶體 34，且右側裝置 11 為 NMOS 電晶體 36。

接觸蝕刻終止層 50 係形成於基板 12、源極 14/汲極 16、閘極 18 及 SITs 28 上方。於較後時間點，個別的開孔(未顯示)係形成於層 50 中，且填充與相關源極 14、汲極 16 及閘極電極 22 電連續之金屬或其他導電材料(未顯示)。於開孔中之金屬或其他導電材料適用為使其他元件及裝置(未顯示)電連接於源極 14/汲極 16/閘極電極 22 之電接點。此等元件及裝置可存在於具有結構 10 之較高階 IC。

如早先所注意，倘若基板 12 為矽且層 50 為藉熱化學蒸氣沉積(“CVD”)而形成之氮化矽，則於層 50 中將有殘餘的拉伸應力(亦將於通道 24 中產生拉伸應力)。於通道 24 中之拉伸應力提高其中之電子遷移率(如同於 NMOS 電晶體 36 之通道 24 中)，但降低其中之電洞遷移率(如同於 PMOS 電晶體 34 之通道 24 中)。

因此，倘若裝置 34 為所描述之 PMOS 電晶體且裝置 36 為所描述之 NMOS 電晶體，則藉熱 CVD 而形成之 SiN 層 50 將增進裝置 36 之操作，但將降低裝置 34 之操作。倘若層 50 係藉電漿增強化學蒸氣沉積(“PECVD”)而形

成，則層 50 及通道 24 受到壓縮應力，因而造成裝置 34 中之電洞遷移率增加，但造成裝置 36 中之電子遷移率降低。

於第 1 圖中，先前技藝結構 10 受到本發明之方法，以製得本發明之產物(後者係顯示於第 2 圖中)。

特別地，倘若 SiN 層 50 具有拉伸應力，則 NMOS 裝置 36 上方之層 50 區域受到適當地施用及顯影的光阻塗層 60 或其他不透氧及/或碳離子佈植之材料而遮蔽。光阻 60 未遮蔽 PMOS 裝置 34 上方之層 50 區域。之後，如箭號 70 之示意顯示，進行氧或碳離子佈植。光阻 60 阻止離子達到覆蓋於 NMOS 裝置 36 上方之層 50 區域。

佈植於覆蓋於 PMOS 裝置 34 上方之層 50 區域之氧或碳離子緩和了其中的拉伸應力。此拉伸應力之緩和，造成 PMOS 裝置 34 之通道中少許或無電洞遷移率降低之拉伸應力。第 2 圖係藉由顯示改良的結構 100 闡明，其中 PMOS 裝置 34 上方之層 50 之未施應力區被遮蔽，而 NMOS 裝置 36 上方之層 50 區域未被遮蔽，亦即，其保留其拉伸應力以增進其通道 24 中之電子遷移率。

倘若 SiN 層 50 經施加壓縮應力，則當藉由 PECVD 而形成時，則施用及顯影光阻 60，以遮蔽 PMOS 裝置 34，及容許氧或碳離子佈植於 NMOS 裝置 36 上方之 SiN 層 50 區域。

就一實施例而言，可採用之蝕刻終止層 50 係藉 CVD 而形成至厚度為介於 100 埃至 1000 埃間，較佳至厚度為

約 150-300 埃。為了緩和裝置 34 上方之層中的拉伸應力，則將氧佈植至濃度範圍為 2×10^{14} 至 5×10^{16} 原子/平方公分，更佳為至約 1×10^{15} 至 6×10^{15} 原子/平方公分。氧較佳佈植至深度為蝕刻終止層厚度之約 50-80%。

可使用本發明之方法取代或結合其他應力產生技術，以便定做及調整 CMOS 裝置 34、36 之通道 24 中之應力類型及數量。再者，明顯地，可使用本發明以選擇性地影響含於積體電路中之複合 CMOS 裝置 34、36 之應力。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第 1 圖說明一種藉由根據本發明方法所修飾之先前技藝產品的斷面側視圖。

第 2 圖說明一種因實施第 1 圖中示意表示之方法而根據本發明所修飾之第 1 圖產品的斷面側視圖。

【元件代表符號簡單說明】

10：先前技藝 CMOS 結構	11：電晶體或其他裝置
12：基板	14：源極
16：汲極	18：閘極
20：電介質	22：閘極電極
24：通道	26：絕緣間隔件
28：淺溝渠絕緣區	34：PMOS 電晶體
36：NMOS 電晶體	50：接觸蝕刻終止層
60：光阻塗層	70：氧或碳離子佈植
100：改良的結構	

伍、中文發明摘要

CMOS 結構及相關方法

於一具有 NMOS 及 PMOS 裝置之 CMOS 結構上之氮化矽接觸蝕刻終止層中之應力係選擇性地受到選擇性佈植含氧或含碳離子而緩和，因而造成在 PMOS 裝置上方之層區中沒有拉伸應力，以及在 NMOS 裝置上方之層區中沒有壓縮應力。

陸、英文發明摘要

CMOS Structure and Related Method

Stress in a silicon nitride contact etch stop layer on a CMOS structure having NMOS and PMOS devices is selectively relieved by selective implantation of oxygen-containing or carbon-containing ions resulting in there no tensile stress in areas of the layer above the PMOS devices and no compressive stress in areas of the layer above the NMOS devices.

拾、申請專利範圍

1. 一種具有氮化矽層之 CMOS 結構，其中應力係受到含氧或含碳離子佈植於其中而緩和。

2. 如申請專利範圍第 1 項所述之結構，其中應力係於一選擇區中藉由阻止離子佈植於除該選擇區外之全部而緩和。

3. 如申請專利範圍第 2 項所述之結構，其中該阻止步驟係經由遮蔽除該選擇區外之全部而進行。

4. 如申請專利範圍第 1 項所述之結構，其中於該層中之該應力為拉伸的。

5. 如申請專利範圍第 4 項所述之結構，進一步包含一 PMOS 裝置及一 NMOS 裝置，二者皆受該層覆蓋，且其中含氧或含碳離子之佈植係於該 NMOS 裝置上方之層區中受到阻止。

6. 如申請專利範圍第 1 項所述之結構，其中於該層中之該應力為壓縮的。

7. 如申請專利範圍第 6 項所述之結構，進一步包含

一 PMOS 裝置及一 NMOS 裝置，二者皆受該氮化矽層覆蓋，且其中含氧或含碳離子之佈植係於該 PMOS 裝置上方之層區中受到阻止。

8. 一種 CMOS 結構，其係於一或多個 NMOS 裝置及一或多個 PMOS 裝置上方具有氮化矽接觸蝕刻終止層，其包含：

第一層區，係位於一類型裝置上方，且具有含氧或含氮離子佈植其中；以及

第二層區，係位於另一類型裝置上方，且不具有含氧或含氮離子佈植其中。

9. 如申請專利範圍第 8 項所述之結構，其中該層係藉化學蒸氣沉積作用而形成。

10. 如申請專利範圍第 8 項所述之結構，其中該層係藉熱化學蒸氣沉積作用而形成。

11. 如申請專利範圍第 10 項所述之結構，其中：

該第一區係位於該 PMOS 裝置上方；以及

該第二區係位於該 NMOS 裝置上方。

12. 如申請專利範圍第 8 項所述之結構，其中該層係藉電漿增強化學蒸氣沉積作用而形成。

13. 如申請專利範圍第 12 項所述之結構，其中：

該第一區係位於該 NMOS 裝置上方；以及

該第二區係位於該 PMOS 裝置上方。

14. 一種緩和 CMOS 結構之氮化矽層中應力之方法，其包含佈植含氧或含碳離子於該層中。

15. 如申請專利範圍第 14 項所述之方法，進一步包含阻止含氧或含碳離子佈植於除該層之選擇區外之全部中。

16. 如申請專利範圍第 15 項所述之方法，其中該阻止步驟係經由遮蔽除該選擇區外之全部而進行。

17. 如申請專利範圍第 14 項所述之方法，其中於該層中之該應力為拉伸的。

18. 如申請專利範圍第 17 項所述之方法，其中該層係覆蓋於一 PMOS 裝置及一 NMOS 裝置上方，且進一步包含阻止含氧或含碳離子佈植於該 NMOS 裝置上方之層區中。

19. 如申請專利範圍第 18 項所述之方法，其中該阻

止步驟係經由遮蔽除該 PMOS 上方層區外之全部而進行。

20. 如申請專利範圍第 19 項所述之方法，其中該遮蔽步驟係選擇性地施用及顯影一光阻塗層於該層上而進行。

21. 如申請專利範圍第 14 項所述之方法，其中於該層中之該應力為壓縮的。

22. 如申請專利範圍第 21 項所述之方法，其中該層係覆蓋於一 PMOS 裝置及一 NMOS 裝置上方，且進一步包含阻止含氧或含碳離子佈植於該 PMOS 裝置上方之層區中。

23. 如申請專利範圍第 22 項所述之方法，其中該阻止步驟係經由遮蔽除該 NMOS 上方層區外之全部而進行。

24. 如申請專利範圍第 23 項所述之方法，其中該遮蔽步驟係選擇性地施用及顯影一光阻塗層於該層上而進行。

25. 一種緩和一或多個 NMOS 裝置及一或多個 PMOS 裝置上方氮化矽接觸蝕刻終止層中應力之方法，其包含：
選擇性地佈植含氧或含氮離子於一類型裝置上方之

層區中；以及

同時阻止佈植離子於另一類型裝置上方之層區中。

26. 如申請專利範圍第 25 項所述之方法，其中該阻止步驟係經由遮蔽除該另一類型裝置上方之層區而進行。

27. 如申請專利範圍第 26 項所述之方法，其中該遮蔽步驟係選擇性地施用及顯影一光阻塗層於該層上而進行。

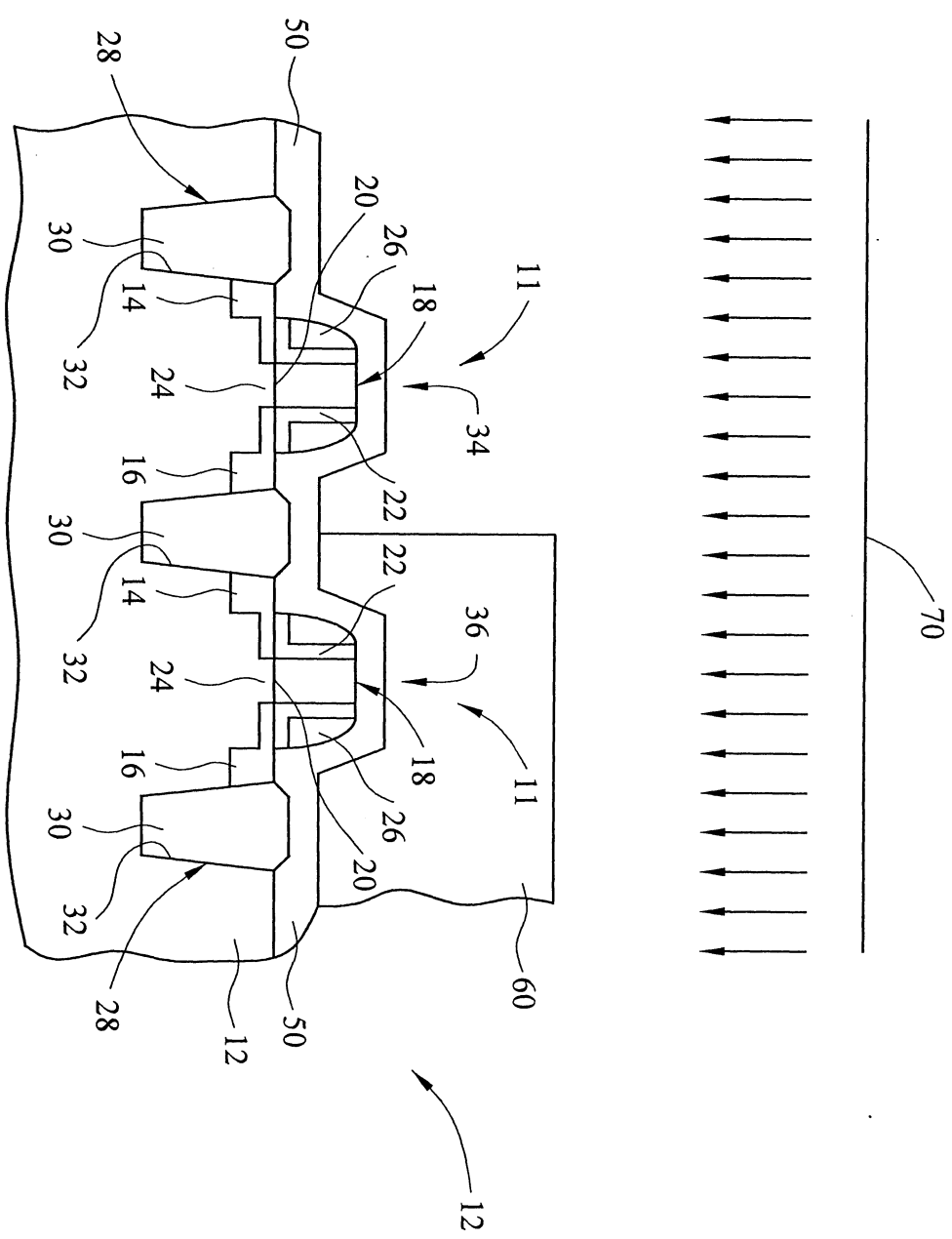
28. 如申請專利範圍第 25 項所述之方法，其中該層係藉化學蒸氣沉積作用而形成。

29. 如申請專利範圍第 25 項所述之方法，其中該層係藉熱化學蒸氣沉積作用而形成。

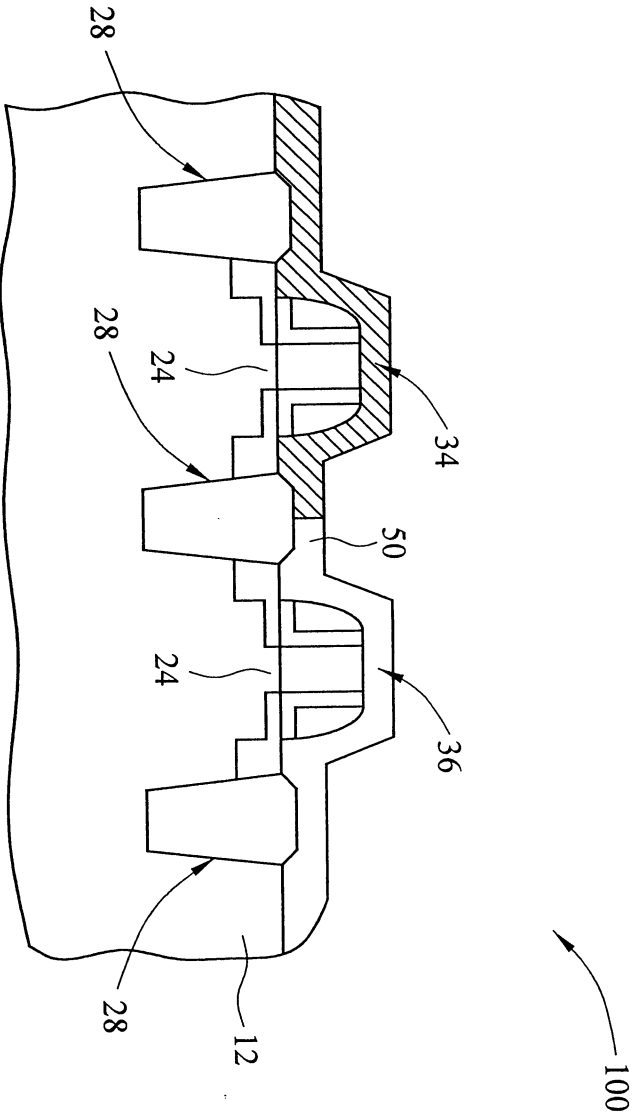
30. 如申請專利範圍第 29 項所述之方法，其中經顯影之光阻塗層遮蔽該 NMOS 裝置。

31. 如申請專利範圍第 25 項所述之方法，其中該層係藉電漿增強化學蒸氣沉積作用而形成。

32. 如申請專利範圍第 31 項所述之方法，其中經顯影之光阻塗層遮蔽該 PMOS 裝置。



第 1 圖



第 2 圖

柒、(一)、本案指定代表圖為：第 2 圖

(二)、本代表圖之元件代表符號簡單說明：

12：基板

24：通道

28：淺溝渠絕緣區

34：PMOS 電晶體

36：NMOS 電晶體

50：接觸蝕刻終止層

100：改良的結構

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：