

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

B41F 33/00 (2006.01)

H03L 7/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410088371.6

[45] 授权公告日 2009 年 7 月 1 日

[11] 授权公告号 CN 100506535C

[22] 申请日 2004.11.3

[21] 申请号 200410088371.6

[30] 优先权

[32] 2003.11.3 [33] DE [31] 10351218.7

[73] 专利权人 海德堡印刷机械股份公司

地址 德国海德堡

[72] 发明人 鲍里斯·亚斯尼埃维恰

哈特穆特·凯尔

[56] 参考文献

AT004985U1 2002.1.25

CN1308802A 2001.8.15

US6480045B2 2002.11.12

JP6-141150A 1994.5.20

CN1257349A 2000.6.21

US6118313A 2000.9.12

DE19743943A1 1999.4.29

审查员 王昉杰

[74] 专利代理机构 永新专利商标代理有限公司

代理人 曾立

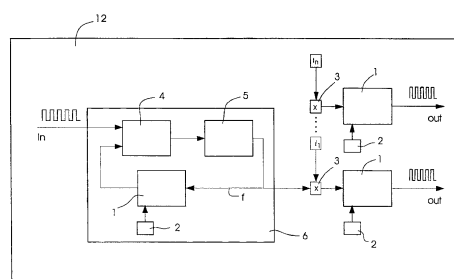
权利要求书 2 页 说明书 9 页 附图 3 页

[54] 发明名称

处理输入信号并且输出信号的电路、方法及
承印材料处理机

[57] 摘要

本发明涉及用于处理具有第一频率的一个输入信号(In)及输出至少一个其频率为输入信号(In)的第一频率的多倍的输出信号(Out)的电路(7)及方法。本发明的特征在于：一个 PLL - 频率测量电路(6)中的输入信号(In)可在频率及相位上被测量；及被测量的输入信号(In)可借助至少一个倍频器(3)及一个与其连接的振荡器(1)被倍增。



1.用于处理具有一个第一频率的一个输入信号(In)及输出至少一个其频率为该输入信号(In)的该第一频率的多倍的输出信号(Out)的电路(7),其特征在于:一个PLL-频率测量电路(6)中的该输入信号(In)可在频率及相位上被测量;及该被测量的输入信号(In)可借助至少一个倍频器(3)及一个与其连接的振荡器(1)被倍增。

2.根据权利要求1的电路(7),其特征在于:该电路(7)被构成数字式的。

3.根据权利要求2的电路(7),其特征在于:该被倍增的输入信号(In)可作为相位相等的输出信号(out)输出。

4.根据以上权利要求中一项的电路(7),其特征在于:该电路(7)处理作为输入信号(In)的一个来自旋转发送器的转角输入信号(In)并且输出一个输出信号(Out),该输出信号具有该转角输入信号(In)的多倍的分辨率。

5.根据权利要求2的电路(7),其特征在于:该PLL-频率测量电路(6)通过一个倍频器(3)连接到一个数字式振荡器(1)的输入端及该振荡器的输出时钟脉冲信号(CLK OUT)为该数字电路(7)的输出信号(Out)。

6.根据权利要求2的电路(7),其特征在于:一个设在该PLL-频率测量电路(6)中的数字式振荡器(1)及所述通过一个倍频器(3)连接在该PLL-频率测量电路(6)上的数字式振荡器(1)可用相同的系统时钟脉冲信号(2)控制。

7.根据权利要求2的电路(7),其特征在于:该PLL-频率测量电路(6)通过两个或多个倍频器(3)连接到两个或多个所属的数字式振荡器(1)的这些输入端,及这些振荡器的输出时钟脉冲信号(CLK

OUT) 为该电路 (7) 的输出信号 (Out)。

8.根据权利要求 2 的电路 (7), 其特征在于: 一个两通道旋转发送器的数字输出信号 (A, B) 被用作该电路 (7) 的转角输入信号 (In)。

9.根据权利要求 2 的电路 (7), 其特征在于: 该电路 (7) 的借助一个可编程的逻辑组件来实施。

10.根据权利要求 2 的电路 (7), 其特征在于: 该电路 (7) 借助一个信号处理器来实施。

11.根据权利要求 2 的电路 (7), 其特征在于: 该电路 (7) 借助一个 ASIC 来实施。

12.根据权利要求 2 的电路 (7), 其特征在于: 该电路 (7) 的一部分以一个可编程的逻辑组件、以一个 ASIC 或一个信号处理器来实施, 及该数字电路 (7) 的另一部分以所述组中的另两个数字式组件中的一个来实施。

13.根据权利要求 2 的电路 (7), 其特征在于: 该倍频器 (3) 具有一个有理 (rationalen) 内插系数 (i)。

14.具有根据权利要求 1 至 13 中一项的电路 (7) 的承印材料处理机 (12)。

15.用于处理具有一个第一频率的一个输入信号 (In) 及输出至少一个其频率为该输入信号 (In) 的该第一频率的多倍的输出信号 (Out) 的方法, 其特征在于: 一个 PLL-频率测量电路 (6) 中的该输入信号 (In) 在频率及相位上被测量; 及该被测量的输入信号 (In) 借助至少一个倍频器 (3) 及一个与其连接的振荡器 (1) 被倍增。

16.根据权利要求 15 的方法, 其特征在于: 借助数字式信号处理将该被倍增的输入信号 (In) 相位相等地作为输出信号 (out) 输出。

17.根据权利要求 16 的方法, 其特征在于: 处理作为输入信号 (In) 的一个来自旋转发送器的转角输入信号 (In)。

处理输入信号并且输出信号的电路、方法及承印材料处理机

技术领域

本发明涉及一种用于处理具有第一频率的一个输入信号及输出至少一个其频率为该输入信号的第一频率的多倍的输出信号的电路及方法。

背景技术

现代印刷机的控制由于高精确度的要求不使用该机器的旋转部件上的旋转发送器（Drehgeber）是不可想象的。尤其当印刷机中在独立驱动结构方式的各个印刷机构之间无连续的机械驱动连接的情况下，需要所有单独驱动的压印滚筒设有转角发送器（Drehwinkelgeber），以便使机械上无相互耦合的印刷装置可精确对版地被驱动。在此情况下转角发送器获得在一个旋转组件如压印滚筒的转动时间上扫过的转角，以便使转角转换为电信号，该电信号可输送到印刷机的机器控制装置。同时，该旋转发送器不仅对于压印滚筒的同步是需要的，而且对于在印版曝光时及所谓 DI 印刷机、即胶版印刷机上的成像过程的控制也是需要的，在该胶版印刷机中的印版滚筒例如借助激光扫描及由此成像。为了使成像足够精确地进行，在旋转印版滚筒上安装的转角发送器必需具有高的分辨率。

对于转角发送器基本上可区分物理的分辨率及内插的分辨率。当一个旋转发送器在一个圆周上具有例如 360 步的细分度，则这相应其物理分辨率。该信号可在一个电子电路中借助内插法转换成高分辨率的格式，在此情况下通常将出现误差。对于角度内插已由现有技术公知了多种可能性。在传动技术中用于产生高分辨率的转角信息的一个

公知方案是其中使用具有正弦/余弦输出信号的旋转发送器，由该输出信号并借助反正切方法计算瞬时角度。为了用正弦/余弦旋转发送器达到所需高分辨率，该旋转发送器必需以很高的物理分度数工作，因为使用这种方法很难实现大于 100 的内插系数。这在结构上很费事及因此相应地昂贵。在这种旋转发送器上为了提高分辨率通常使用的内插方法不允许或仅允许所使用的内插系数的很粗的变化，其中该内插系数通常仅为整数。但在印刷机中印版滚筒成像的情况下必需在确定的角度位置产生时钟脉冲(Takte)，这需要可随此变化的、有理(rationale)内插系数。

由现有技术公知的、产生高分辨率的角度同步的时钟信号的另一可能性是使用具有二进制输出信号的数字式增量发送器，也称为 TTL 旋转发送器，其中 TTL 代表“晶体管-晶体管逻辑”，它与所谓的相位调节电路(PLL)相连接，后者例如用于二进制时钟信号的倍频。PLL 一词代表“锁相环”，即其输出信号相位相同地跟随输入信号的调节电路。在此情况下产生一个时钟脉冲输出信号，它的频率为旋转发送器二进制输出信号频率的任意倍，而不会丢失相位信息。当要求旋转发送器二进制输出信号的频率的有理倍数时，这时使用一种技术，它以名称“分数-N (Fractional-N)”被公知。在此，在相位调节电路的反馈支路中具有一个可编程的分频器，它允许分频比随时间变化。通过分频比随时间变化，相位调节电路的输入频率在一个时间平均值的周围以有理系数倍增，尽管相位调节电路基本上仅可通过整数分频。例如，如果输出信号需增高 10.5 倍，则分频器的分频比交替地在 10 与 11 之间变化，于是在该时间上平均得到一个 10.5 的倍数。在“分数-N”技术中，由于原理形成的系统误差尤为不利，因为相位检测器输出端上的可编程分频器的分频比在相位调节电路中产生干扰。

一种倍频的方法遵循类似的考虑，在该方法中在一个周期时间上

来测量一个旋转发送器的输出时钟脉冲及接着计算输出时钟脉冲的倍增频率。为了使输出时钟脉冲相位正确地与输入时钟脉冲相耦合，这里也使用了一个相位调节电路，其中该相位调节电路被构成来直接控制输入信号的频率，以便对输出信号中的相位误差进行持续校正。该方法被详细地描述在实用新型文献 AT 004 985 U1 中。

在印刷机制造领域中，由 DE 197 43 943 A1 公知了一种 TTL 旋转发送器二进制时钟信号的倍频可能性，其中借助一个常规的 PLL 倍频电路来通过输入信号的倍频产生输出时钟脉冲信号。该倍频电路的输出信号是所谓 DDS 频率发生器的时钟脉冲源信号，其中 DDS 代表“直接数字合成”。但该结构形式具有其缺点，即在这种常规的相位调节电路中 DDS 频率发生器的时钟脉冲源的产生仅在非常有限的频率范围中起作用。

发明内容

本发明的任务在于，产生由一个振荡信号内插的、高分辨率的输出信号，及由此避免现有技术中的所述缺点。

根据本发明，提出了一种用于处理具有一个第一频率的一个输入信号及输出至少一个其频率为该输入信号的该第一频率的多倍的输出信号的电路，其中，一个 PLL-频率测量电路中的输入信号可在频率及相位上被测量；及被测量的输入信号可借助至少一个倍频器及一个与其连接的振荡器被倍增。

根据本发明，还提出了用于处理具有一个第一频率的一个输入信号及输出至少一个其频率为该输入信号的该第一频率的多倍的输出信号的方法，其中，一个 PLL-频率测量电路中的该输入信号在频率及相位上被测量；及该被测量的输入信号借助至少一个倍频器及一个与其连接的振荡器被倍增。

借助根据本发明的电路及根据本发明的方法可简单地使具有确

定频率的振荡信号倍增。其中该电路既可用模拟技术也可用数字技术来构成。

在本发明的第一构型中该电路数字地构成。该数字式结构适于利用相位调节电路(PLL)的特性,即它可测量输入信号的频率。只要该相位调节电路工作在锁定状态中,将不会丢失相位信息,由此使相位调节电路的输出信号相位相同地正比于输入信号的频率。此外相位调节电路的输出信号借助倍频器倍增及继续传送到一个振荡器的输入端,它的输出信号具有所需输出时钟脉冲的频率。在这样一个系统中输出时钟脉冲相位不再被调节而仅是被控制,因此该方法必需在一个完全的数字系统中实现。本发明的一大优点在于,在该方法中不需要附加的实施成本来用于校正系统误差、如在“分数-N”技术中那样;及在另一方面可实现转角发送器所需的高分辨率。此外在压印滚筒成像时可输出与确定的(dezidierten)角度位置相应的时钟信号。再者数字电路体现出优点,即它可覆盖大的频率范围及该电路可非常灵活地设计,其方式是对相应简单的数字式组件编程。

在本发明的另一构型中提出:PLL-频率测量电路通过一个倍频器连接到一个数字式振荡器的输入端及该振荡器的输出信号为数字电路的输出信号。如上所述根据本发明的电路仅完全以数字电路技术来实现,因为相位调节电路的振荡器与一个连接在倍频器上的另一仅受控制的振荡器必需被同步。出于该原因就需要在倍频器输出端的振荡器也是一个数字式振荡器。

此外有利的是,一个设在PLL-频率测量电路中的数字式振荡器及一个通过倍频器连接在PLL-频率测量电路上的数字式振荡器可用相同的系统时钟脉冲信号控制。这两个数字式振荡器仅当它们被供给相同的系统时钟脉冲时才可同步工作。仅有通过系统的完全数字式的结构才可能在两个振荡器上使用该相同的系统时钟脉冲。

在本发明的另一有利构型中提出：该数字电路的输入信号是一个两通道旋转发送器的数字输出信号。在两通道旋转发送器中两个输出通道彼此在相位上错开 90 度。（数字式增量发送器不可单值地分辨一转，仅绝对值发送器才可以）。两通道旋转发送器的数字输出信号可用于数字电路中的处理。在此情况下则可使用分辨率不特别高的、市场上通行的常规数字式增量发送器，这使成本显著下降。

此外以有利的方式提出：PLL-频率测量电路通过两个或多个倍频器连接到两个或多个所属的数字式振荡器的输入端，及这些振荡器的输出时钟脉冲信号为该电路的输出信号。因此，可并列地提供不同频率的输出信号，它们在相位上耦合到一个共同的输入信号。在此情况下所有连接的数字式振荡器被连接到系统时钟脉冲上。

此外还提出：该数字电路借助一个可编程的逻辑组件来实施。这种系统是一个可编程的逻辑组件，例如一个 CPLD（复杂可编程逻辑器件）或一个 FPGA（现场可编程门阵列）。

此外变换地提出：该数字电路借助一个信号处理器来实施。在数字信号处理领域中信号处理器与一个专门任务的逻辑组件不同地被设计。对 DSP 或逻辑组件变换地或补充地，还可使用 ASIC。ASIC（专用集成电路）的制造用于一个确定的使用目的，它是非常专门化的组件。但也可以，该数字电路的一部分用可编程逻辑组件来实施，及该数字电路的另一部分以信号处理器或 ASIC 来实施。以此方式方法可使各个数字式组件的优点彼此相结合。

有利的方式还在于：倍频器用一个有理内插系数倍频。通过使用有理内插系数可使旋转发送器的角度信号的分辨率尽可能无级地确定，因为仅二进制量化限制了分辨率。仅通过该分辨率的、无级改变的构型才可实现在确定的角度位置上产生时钟信号，它不相应于物理分辨率的整数倍数。因为例如在印刷机中印版滚筒的成像需要这样，

本发明特别适用于印刷机或其它承印材料处理机中旋转发送器的角度信号的处理。

附图说明

以下将借助多个附图来详细描述及解释本发明。附图为：

图 1：根据本发明的、具有后置倍频器及受控制的数字式振荡器的相位调节电路的概图，

图 2：一个数字式振荡器的电路框图，及

图 3：在一个可编程的逻辑组件上实现的根据本发明的数字电路。

具体实施方式

图 1 表示根据本发明的、使用在一个印刷机 12 中的数字电路的原理结构。该数字电路一方面由一个 PLL-频率测量电路 6 组成，它接收一个旋转发送器的输出信号作为其输入信号 In 及输出一个与输入信号 In 相位耦合的信号 f 。该 PLL-频率测量电路 6 由一个用于确定输入信号 In 与信号 f 之间的相位差的相位检测器及一个与它相连接的调节器 5 组成。被调节过的信号 f 被输送到一个反馈支路，该反馈支路具有一个数字式振荡器 1。信号 f 的、由 PLL-频率测量电路 6 非频率倍增地检测及接着在一个倍频器 3 中与一个任意内插系数 i_1 相乘的值被输入到一个第二数字式振荡器 1 的输入端，该振荡器产生输出信号 Out 。因为在该方案中输出时钟脉冲 Out 的相位不再被调节而仅被控制，它们仅可作为全部数字式系统来实现。这些受控制的数字式振荡器 1 的两个时钟脉冲的相位是彼此同步的，其方式是它们被供给相同的系统时钟脉冲 2，它在图 1 的电路框图中以小框 2 表示。其中在 PLL-频率测量电路 6 上可连接多个倍频器 3 及数字式振荡器 1，由此可在不同内插系数 i_1 至 i_n 的情况下输出具有不同频率的输出信号 Out 。这些输出信号 Out 可并列地提供使用及全都与输入信号 In 相位耦合。

有人会提出一个问题，为什么输入信号 In 的频率测量不直接地例

如借助一个微控制器来实现。对此的原因是频率相位调节的测量要通过 PLL-频率测量电路 6 来进行。由于频率及相位的积分关系,在简单频率测量时的误差、如数字乘法的量化噪声或输入信号的随时间的量化不可控制地相加,即有关印刷机 12 中的一个旋转部件的转角的信息将会消失。与此相反地,PLL-频率测量电路 6 测量输入信号 In 的频率而不失去相位信息,因为一旦 PLL-频率测量电路 6 工作在锁定状态时相位总可被俘获。该事实情况也可用数学来表达。被测量频率由一个实际分量 $f_{in}(t)$ 及一个误差分量 $f_e(t)$ 组成,由此对于输出信号的频率 $f_{out}(t)$ 有:

$$\begin{aligned} f_{out}(t) &= i \cdot f_m(t) \\ &= i \cdot (f_{in}(t) + f_e(t)) \end{aligned}$$

或积分之后对于其相位有:

$$\begin{aligned} \varphi_{out}(t) &= i \cdot \int_0^t 2\pi f_{in}(\tau) d\tau + i \cdot \int_0^t 2\pi f_e(\tau) d\tau \\ &= i \cdot \varphi_{in}(t) + i \cdot \varphi_e(t) \end{aligned}$$

现在 PLL-频率测量电路 6 所关注的是使 $f_e(t)$ 中无直流分量及使 $\varphi_e(t)$ 在可估计的极限内。在简单频率测量的情况下没有相位调节并且误差不能被限制。因此一个 PLL-频率测量电路 6 的频率测量特性可直接用来产生时钟脉冲信号 Out, 该时钟脉冲信号的频率为第一时钟信号 In 的频率的一个有理倍数 i 及它的相位被耦合到第一时钟信号 In 的相位上。

根据图 3, 图 1 中的全数字系统用可编程序的逻辑组件 7 来实施。也可以是, 该系统被实施在一个信号处理器内或这两种方案相混合及不同的组成部分被分配在可编程序的逻辑组件 7 及信号处理器上。在图 3 中其左边有一个这里未示出的旋转发送器的两个通道 A, B。这两个信号具有 90° 电角度的相位移。一个倍增器电路 8 对两个通道 A

及 B 的下降及上升脉冲沿求值。由此产生的信号构成 PLL-频率测量电路 6 的输入信号 In, 该 PLL-频率测量电路测量输入信号 In 的频率。在 PLL-频率测量电路 6 上连接有一个本身的时钟脉冲发生电路 10, 在该时钟脉冲发生电路中由 PLL-频率测量电路 6 输出的测量值 f 借助一个倍频器 3 用一个相应的内插系数 i 定比例地并输送给一个数字式振荡器 1 的输入端, 该数字式振荡器产生出作为有效时钟脉冲信号 CLK out 的输出信号 Out。在逻辑组件 7 的寄存器组 11 中具有整个电路的可读及可写的参数, 使得它可通用地被使用。

在图 2 中可看到一个数字式振荡器的电路框图, 其中 PLL-频率测量电路 6 的后随振荡器 1 及时钟脉冲发生电路 10 中的振荡器 1 两者被构成一个简单的相位累加器。在这些累加器中, 例如一个代表振荡器 1 的频率 f 的二进制字 f_w 被与系统时钟脉冲 2、这里为 f_{clk} 进行累加。该电路使用累加器的溢出位作为时钟脉冲输出 CLKout。输出信号 CLK out 的频率 f_{osc} 为:

$$f_{osc} = \frac{f_w}{2^n} \cdot f_{clk}.$$

此外还具有一个输出端 P, 在其上出现相位累加器的当前值。这可实现以下所述的相位检测功能的简单电路技术的实施。测量 PLL-频率测量电路 6 的输入时钟脉冲 In 与后随的、受控的振荡器 1 的输出时钟脉冲 CLK out 之间的相位移的相位检测器 4, 通过 PLL-频率测量电路 6 的输入信号来表示后随的振荡器 1 的相位信号 P 的采样: 输入脉冲将相位累加器的内容写入逻辑组件 7 的寄存器中。该寄存器的内容以两个分量代表输入信号 In 与后随的振荡器 1 的输出信号 CLK out 之间的相位移。

在此情况下调节器 9 作为数字计算电路、例如作为数字式 PI 调节器 9 来实施。使 PLL-频率测量电路 6 的后随的振荡器 1 的频率字用内

插系数 i 来定比例的倍频器 3 表示本身的角度内插。这里使输入信号 In 的频率 f 倍增。定比例运算的实施作为 $n \times n$ 位的乘法来进行。

参 考 标 号 表

1	数字振荡器
2	系统时钟脉冲信号
3	倍频器
4	相位检测器
5	调节器
6	PLL-频率测量电路
7	可编程逻辑组件
8	倍增器电路
9	数字 PI-调节器
10	时钟脉冲发生电路
11	寄存器组
12	印刷机
In	输入信号
Out	输出信号
P	相位信号
f	频率信号
CLK out	输出时钟脉冲信号
i	内插系数
A	旋转发送器的通道 1
B	旋转发送器的通道 2

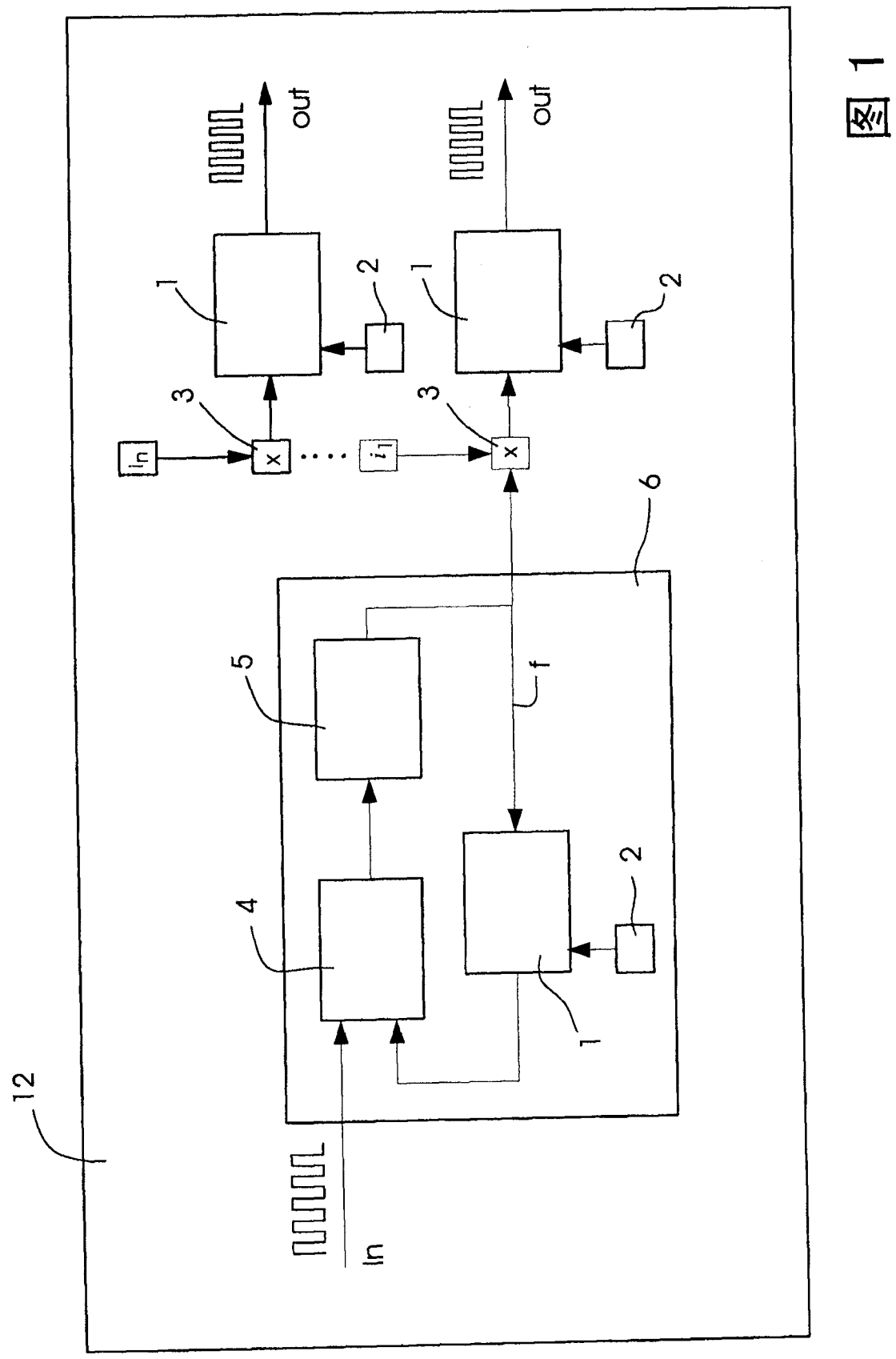


图 1

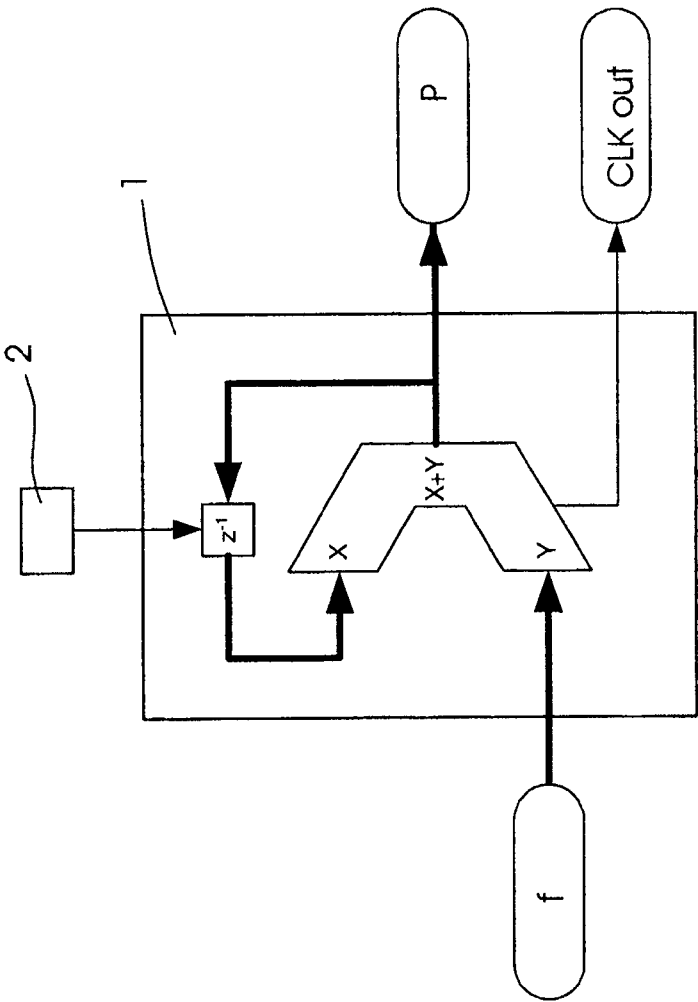


图 2

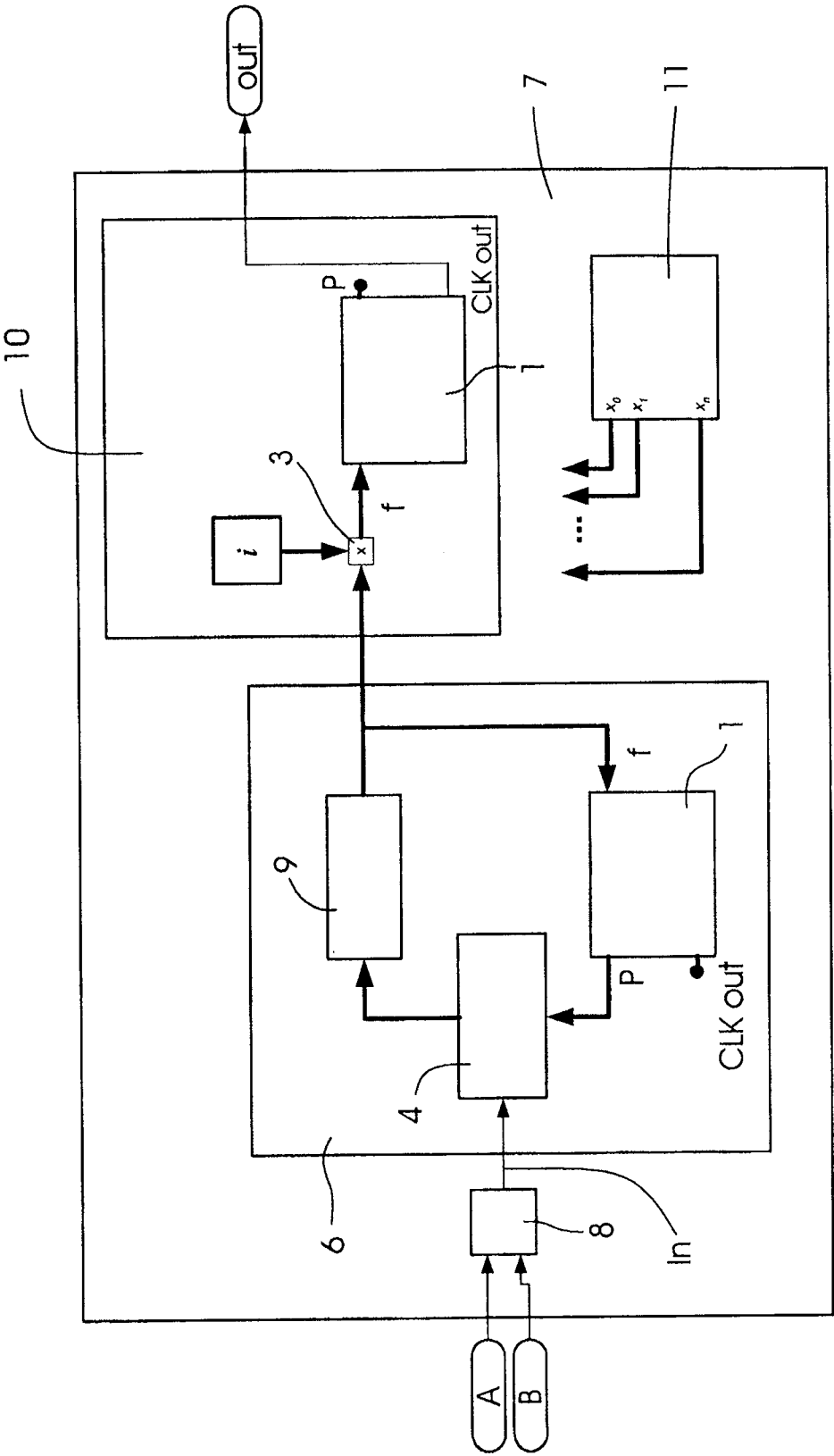


图 3