(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/205

(45) 공고일자 2002년07월03일
(11) 등록번호 10-0328379
(24) 등록일자 2002년02월28일

(21) 출원번호 10-1996-0053580
(22) 출원일자 1996년11월09일

(65) 공개번호 특1997-0030286
(43) 공개일자 1997년06월26일

(30) 우선권주장 95-317524 1995년11월10일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
야마자끼 순페이
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자끼 순베이
일본국 도쿄 세타가야쿠 세이조 4-10-20
사카마 미츠노리
일본국 카나가와켄, 히라츠카시, 카미키사와 1173
히로키 마사아키
일본국 카나가와켄 이세하라시 카사쿠보 7-4

(74) 대리인 이병호

심사관 : 김종찬

(54) 반도체장치의제조방법

요약

플라스마 화학 증착 방법(CVD: Chemical Vapour Deposition)을 통해 TEOS를 원료로 하여 층간 절연막을 구성하는 실리콘 산화막(116)을 형성하는 공정에서, RF 출력이 50 W로 발진되고, 상기 RF 출력은 방전 후(O_2 플라스마의 발생 후) 50 W에서 250 W까지(박막 형성시의 출력값) 점진적으로 증가된다. 상기 RF 출력이 250 W가 됨과 동시에 또는 타이밍이 시프트될 때 박막 형성을 시작하기 위해 TEOS 가스가 공급된다. 결과적으로, 방전을 시작할 때 RF 전원이 저출력으로 발진하기 때문에,상기 RF 전극들 사이의 전압의 과도적이고 큰 변화가 방지된다.

대표도

도 1A 내지 도 1F

명세서

도면의 간단한 설명

도 1A 내지 도 1F는 본 발명의 제 1 실시예에 따라 TFT를 제조하는 공정을 나타낸 단면도.

도 2는 실리콘 산화막을 형성할 때 RF 전극들 사이에 인가되는 전압의 파형을 나타낸 도면.

도 3A 내지 도 3C는 O_2 플라스마를 발생할 때 RF 전극들 사이에 인가되는 전압의 파형을 나타낸 도면.

도 4A 및 도 4B는 제 2 실시예에 따라 O_2 플라스마를 발생할 때 RF 전극들 사이에 인가되는 전압의 파형을 나타낸 도면.

도 5는 일반적인 예에 따라 실리콘 산화막을 형성할 때 RF 전극들 사이에 인가되는 전압의 파형을 나타낸 도면.

도 6A 내지 도 6C는 O_2 플라스마를 발생하는 공정 동안에 RF 전극들 사이에 인가되는 전압의 파형을 나타낸 도면.

* 도면의 주요 부분에 대한 부호의 설명

101: 유리 기판 102: 실리콘 산화막

103 : 활성층 105: 게이트 전극

108, 109 : 양극 산화물 110: 게이트 절연막

116: 층간 절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터와 같은 반도체 집적 회로를 제조하는데 사용되는 플라즈마 CVD 방법에 관한 것이다.

현재, 반도체 집적 회로가 고집적화 및 고밀도화됨에 따라 반도체 소자의 구조의 미세화가 진전되고 있다. 이 상황에서, 층간 절연막(interlayer insulating film)은 절연 특성을 가질 뿐만 아니라 복잡하고 높은 에스펙트(aspect)를 가진 와이어들 사이에서 빈틈없이 충전(fill)될 필요가 있다. 지금까지, TEOS를 원료로 하여 제조되고 화학 증착(CVD) 방법을 통해 형성된 실리콘 산화막이 피막(coating)형상 면에서 우수하기 때문에, 층간 절연막으로서 널리 사용되고 있다. 특히, 유리기판 상에 형성되는 TFT를 제조하는 공정에서, 실리콘 산화막이 400℃ 이하의 저온에서 제조될 수 있게 하고 또한 넓은 면적이 처리될 수 있게 하므로, 플라스마 CVD법이 채용된다.

하지만, 반도체 집적 회로가 고집적화와 고밀도화됨에 따라, 플라스마 공정동안에 생기는 전자들의 충전의 영향이 현저해진다. 예컨대, U 형 디스플레이의 불량 및 포인트들의 결함은 상기 공정 동안의 전기적 손상에 의한 것으로 추정된다. 액티브 매트릭스형 액정 표시 장치에서, 하나의 TFT의 불량은 전체 패널의 불량을 의미하며, 따라서 수율이 저하된다.

발명이 이루고자 하는 기술적 과제

상기 문제를 해결하기 위해, 본 발명의 목적은 전하 입자들에 의해 야기되는 장치의 열화를 억제할 수 있는 플라스마 CVD 방법을 제공하는데 있다.

본 발명을 달성한 공정에 대하여 설명한다.

플라스마 CVD 장치에서는, 플라스마가 발생되기 전의 상태에서, RF 전극으로 부터 인가된 전압이 기판에 대해 전계로서 작용한다. 전극과 와이어간의 간격, 기판의 두께 등을 고려하면, 이 상태에서 전계의 세기는 상기 기판 상에 형성된 장치가 파손되는 정도는 아닌 것으로 생각된다.

한편, 플라즈마 발생 공정에서 발생된 전하 입자들(전자들 및 양이온들)로 인해, RF 전극들 사이의 공간이 전도성을 갖게 된다. 전자와 양이온간의 이동도의 차이로 인해, 기판의 표면은 플라스마에 대해 음으로 충전되기 시작한다(이온 보호막이 발생됨). 그 후, 전하 입자들의 발생량이 전하 입자의 소멸량과 균형을 이루고, 즉 전하 입자들의 충전량은 포화되며, 이에 의해 정상(stationary) 플라스마 상태로 된다.

따라서, 기판 표면 상에 발생된 이온 보호막이 과대한 값을 가진다고 생각되지 않기 때문에, 전계의 세기와 이온 조사 에너지는 상기 장치를 파괴할 정도는 아닌 것으로 추정된다.

그러나, 충전량이 포화될 때까지 정상 상태에서 전류가 거의 흐르지 않는 부분에서 플라스마가 발생되는 순식간에 전류가 흐를 가능성이 존재하며, 그 부분에 큰 전류가 과도적으로 흐르면, 상기 장치는 순간적으로 파손된다.

지금까지, 플라스마 CVD 방법을 통해 TEOS를 원료로 제조된 실리콘 산화막을 형성하기 위하여, 플라스마를 발생하는 전처리 공정과 박막의 형성을 위해 TEOS를 공급하는 공정으로 이루어진 두 공정이 연속적으로 수행된다(O_2 플라스마가 발생되는 상태에서).

본원의 발명자 등은, 플라스마 CVD 방법에서 과도 현상을 밝히기 위해, RF 전원에 오실로스코프를 연결하여 RF 전극들 사이에 인가되는 전압의 파형을 관측하였다. 도 5에는, 종래의 박막 형성 공정에서 RF 전극들 사이에 인가되는 전압의 파형이 도시되어 있으며, 수직축의 단위는 200 V/div이고 수평축의 단위는 500 msec/div이다. 플라스마 발생 공정과 박막 형성 공정에서, RF 출력은 250 W이다. 도 6A 내지 도 6C에는 RF 출력이 250 W인 O_2 플라스마 발생 공정에서 상기 RF 전극들 사이에 인가되는 전압의 파형이 도시되어 있다. 도 6A에는 발진이 시작되는 시점에서의 파형이 도시되어 있고, 도 6B 및 도 6C에는 방전이 시작되는 시점에서의 파형이 도시되어 있다. 방전이 시작되는 순간은 파형의 천이로서 확인될 수 있다. 도 6A 내지 도 6C의 수직축의 단위는 각각 200 V/div이고, 반면에 수평축의 단위는 도 6A에서 100 msec/div, 도 6B에서 20 msec/div, 도 6C에서 2 msec/div임을 주의해야 한다.

발진이 시작된 직후에 RF 전원이 소정의 전압으로 발진하지만, 발진 시작으로부터 방전 시작까지는 수십 msec의 기간이 필요하다. 그러나, 도 5, 도 6A 및 도 6B에서는 확인될 수 없지만, 도 6C에 도시된 바와 같이 방전이 시작되는 순간에 큰 전압 파형(이하, " 비어드 펄스(beard pulse)" 라 함)이 과도적으로 관측되었다.

예컨대, 액티브 매트릭스형 디스플레이 장치의 픽셀 패널에 설치되는 TFT의 플라스마 CVD 공정에 대하여 고려한다. 이미지 데이터를 확실하게 유지하기 위해, 화소 패널의 TFT가 오프 상태 전류 특성면에서 우수하다는 요건이 필요하다. 이 이유 때문에, 도 1E에 도시된 바와 같이, 상기 TFT는 예컨대 LDD 구조를 구비하고 있다. 상기 LDD 영역은 고저항 영역으로 기능하기 때문에, 오프 상태 전류는 감소될 수 있다. 도 1A 내지 도 1E는 제 1 실시예 참조하여 상세히 설명됨에 주의한다.

상기 LDD 구조를 가진 TFT를 제조하는 공정에서, 실리콘으로 제조된 활성층(103)의 소스/드레인 영역(112, 113)은 도 1E에 도시된 바와 같이 제 1 층간 절연막(116)(도 1F 참조) 형성 전에 노출된다. 또한, 게이트 전극(105)이 각각의 장치내부로 절단되어 들어가지 않기 때문에, 그 길이는 기판의 폭과 실질적으로 동일하며, 위의 구조를 가진 수백 개의 게이트 전극(105)들은 평행하게 설치된다.

상기 상태에서, 제 1 층간 절연막(116)이 플라스마 CVD 방법을 통해 형성되는 경우에는, 정상 플라스마 상태에서도 플라스마 밀도와 플라스마 포텐셜(potential)이 균일하지 않으면, 게이트 전극(105)에 전류가 흐를 수 있도록 게이트

포텐셜이 분포되며, 결과적으로, 상기 장치는 열화되게 된다. 그러나, 플라스마가 발생되는 순간에 도 6C에 도시한 바와 같이 과도 비어드 펄스가 발생한다. 또한, 플라스마가 불균일하게 발생되면, 정상 상태에서의 전류보다 현저하게 큰 전류가 상기 게이트 전극에 흐르게 된다.

더욱이, 상기 제 1 층간 절연막(116)을 형성하는 초기 단계에는, 전자들이 실리콘(소스/드레인 영역(112, 113))에 직접 조사되기 때문에, 실리콘이 음으로 충전된다. 결과적으로, 전계가 게이트 절연막(110)에 형성되므로, 상기 게이트 절연막(110)이 열화된다. 그러나, 실리콘(소스/드레인 영역(112, 113))이 제 1 층간 절연막(116)으로 커버되는 경우에는, 실리콘이 직접 충전되는 것이 방지된다.

그러므로, 플라스마 CVD 방법을 통해 제 1 층간 절연막을 형성하기 위해, 실리콘 충전이 종료될 때까지 RF 전극들 사이에서 비어드 펄스와 같은 전압의 과도적 변화가 제거 또는 억제되어야 하는 문제가 발생된다.

상기 문제를 해결하기 위하여, 본 발명의 제 1 형태에 따라, RF 전원의 출력을 박막이 형성되는 값까지 점진적으로 또는 연속적으로 증가시키는 플라스마 CVD 방법이 제공된다.

본 발명의 제 2 형태에 따라, 원료 가스 이외의 가스로부터 플라스마를 발생하는 단계와, 박막을 형성하기 위해 상기 원료 가스를 공급하는 단계를 연속적으로 구현하며, 상기 플라스마 발생 단계에서 RF 전원의 출력이 상기 박막 형성 단계의 값까지 점진적으로 또는 연속적으로 증가되는 플라스마 CVD 방법이 제공된다.

일반적인 예에서는, TEOS를 원료로 하여 실리콘 산화막을 형성하기 위해, RF 전원이 박막 형성 동안의 출력값과 동일한 출력값으로 O_2 플라스마 발생 동안에 발진된다. 도 6A에 도시된 바와 같이, 발진이 시작된 직후에 상기 RF 전극들 사이에 소정의 전압이 인가된다. 바꾸어 말하면, RF 전극들간의 전압이 급격히 변한다.

이 이유 때문에, 본 발명의 제 1 형태에 따라 상기 단계들을 가진 플라스마 CVD 방법에서, RF 전원의 출력은 박막을 형성할 때 필요한 값까지 점진적으로 또는 연속적으로 증가되며, 이에 의해 상기 RF 전극들간의 전압의 급격하고 과도적인 변화가 억제될 수 있다.

예컨대, 플라스마 CVD를 통해 TEOS를 원료로 하여 실리콘 산화막을 형성하기 위하여, O_2 의 플라스마를 발생하는 단계와, 박막을 형성하기 위해 TEOS를 공급하고 TEOS/O_2 의 플라스마를 발생하는 단계가 연속적으로 행해진다. 그러므로, 본 발명의 제 2 형태에 따라, 원료 가스 이외의 가스(O_2)의 플라스마를 발생하는 단계와, 박막을 형성하기 위해 원료 가스(TEOS)를 공급하는 단계를 연속적으로 구현하는 플라스마 CVD 방법에서, 발진이 시작될 때 플라스마 발생 단계에서의 RF 전원의 출력은 박막 형성 단계에서의 값까지 점진적으로 또는 연속적으로 증가되며, 이에 의해 RF 전극들 사이의 전압의 급격하고 과도적인 변화가 억제된다.

플라스마 발생 단계에서, RF 전원의 출력이 박막을 형성할 때의 값과 동일해 짐과 동시에 원료 가스가 공급될 수 있음을 주의한다. 또한, RF 전원의 출력이 박막을 형성할 때의 값과 동일해지는 타이밍의 시프트 동안에 원료 가스가 공급될 있다. 또한, 발진이 시작될 때의 RF 출력의 하한값은 방전 가능 값에 의해 정의될 수 있다.

한편, 발진이 시작된 때의 RF 출력의 상한값은 각각의 장치 또는 각각의 반응 챔버에 대해 적절하게 설정될 수 있다. 이는 본 발명자들의 연구에 따라 RF 전극들 사이의 전압의 과도적 변화가 관측되지 않는 경우가 있고, 또한 과도 현상의 발생 가능성은 각각의 장치 또는 각각의 반응 챔버에 의존하기 때문이다.

그러나, 발진이 시작될 때의 RF 전원의 전압은 물질 가스가 공급될 때의 RF 전원의 전압의 절반 또는 그 이하이다.

도 3A 내지 도 3C에는, 본 발명의 발명자들이 오실로스코프를 통해 관측한 RF 전원의 출력이 50 W일 때 O_2 플라스마 발생 단계 동안에 RF 전극들 사이에 인가된 전압의 파형이 도시되어 있다. 도 3A에는 발진 시작 시점에서 방전 시작 시점까지의 전압 파형이 도시되어 있다. 도 3B 및 도 3C에는 방전 시작 시점에서의 전압 파형이 도시되어 있다. 방전이 시작되는 순간은 파형의 시프트로서 확인될 수 있다. 도 3A 내지 도 3C의 수직축의 단위는 각각 200 V/div이며, 반면에 수평축의 단위는 도 3A에서 100 msec/div이고 도 3B에서 20 msec/div이며 도 3C에서 2msec/div임을 주의한다.

도 3A - 도 3C와 도 6A - 도 6C의 비교로부터 명백한 바와 같이, 방전이 시작된 때 RF 출력은 250 W(박막 형성시의 전압)보다 낮은 50 W로 설정되며, 이에 의해 방전 시작시(O_2의 플라스마 발생시) 비어드 펄스와 같은 전압의 급격하고 과도적인 변화가 억제된다.

도 4A 및 도 4B에는 오실로스코프를 통해 관측된 O_2 플라스마 발생 단계 동안에 RF 전극들 사이에 인가된 전압의 파형들이 도시되어 있으며, 여기서 발진이 시작된 때 RF 출력은 50 W로 설정되고, 방전 후 250 W까지 증가된다. 도 4A에는 발진의 시작부터 방전의 시작까지의 전압 파형이 도시되어 있고, 도 4B에는 RF 출력이 증가할 때의 전압. 파형이 도시되어 있다. 방전이 시작되는 순간은 상기 파형의 시프트로서 확인될 수 있다. 도 4A 및 도 4B의 수직축의 단위는 각각 200 V/div이고, 반면에 수평축의 단위는 도 4A에서 1 msec/div이고, 도 4B에서 2 msec/div임을 주의한다. 도 4B에 도사된 바와 같이, 상기 RF 출력은 방전 후(O_2 플라스마의 발생 후) 50 W에서 250 W까지 점진적으로 증가되고, 이에 의해 상기 RF 전극들 사이의 전압이 스무스하게 증가되며, 따라서 전압의 과도적 변화가 억제될 수 있다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예들에 대해 보다 상세히 설명한다.

< 제 1 실시예>

제 1 실시예는 TFT의 제조 공정에 적용되는 본 발명에 관한 것이며, 도 1A 내지 도 1F에는 이 실시예에 따라 TFT를 제조하는 각각의 공정에서의 TFT의 단면도가 도시되어 있다. 도 1A에 도시된 바와 같이, 두께 3000 Å의 실리콘 산화막(102)이 플라스마 CVD 또는 스퍼터링을 통해 하부 박막인 유리 기판(101)(Corning 1737) 상에 증착된다. 다음에, 200 Å 내지 1500 Å의 두께, 예컨대, 500 Å의 두께를 가진 비정질 실리콘 막이 플라스마 CVD 방법 또는 감압 CVD 방법(reduced pressure CVD)을 통해 상기 실리콘 산화막(102) 상에 형성된다.

그 후, 상기 비정질 실리콘 막은 결정화되도록 열적으로 어닐링(annealing)된다. 결정화된 비정질 실리콘 막은 TFT의 활성층(103)을 형성하기 위하여 에칭된다. 상기 비정질 실리콘 막을 결정화하는 방법으로서, 레이저 어닐링 방법, 또는 열 어닐링과 레이저 어닐링을 함께 행하는 방법이 채택될 수 있다. 실리콘의 결정화를 촉진하는 Ni 또는 Pt와 같은 금속 원소를 사용하면, 보다 낮은 온도와 보다 짧은 시간 기간에 결정화 공정이 행해질 수 있다.

다음에, 게이트 전극(105)을 구성하는 두께 6000 Å의 알루미늄 박막이 스퍼터링을 통해 증착된다. 상기 알루미늄 박막은 0.1 내지 0.3 중량 %의 스칸듐(scandium)을 포함한다. 양극산화물(산화 알루미늄) 층(106)이 양극산화법(anodization)을 통해 상기 알루미늄 박막의 표면 상에 형성된다. 이 상태에서, 3%의 주석산(tartaric acid)을 함유하는 에틸렌 글리콜 용액 내에서 상기 알루미늄 박막에 10 V 내지 30 V의 전압이 인가된다. 이와 같이 하여 형성된 양극산화물 층(106)은 미세 (배리어형; barrier-type) 구조를 가지고 있다. 다음에, 레지스트 마스크(107)가 상기 양극산화물 층(106)의 표면 상에 형성되고, 상기 알루미늄 박막이 게이트 전극(105)을 형성하기 위하여 패터닝된다(도 1A).

도 1B에 도시된 바와 같이, 전해액 내에서 게이트 전극(105)에 10 내지 30 V의 정전압이 인가되고, 상기 레지스트 마스크(107)가 양극 산화를 행하기 위하여 상기 양극산화물 층에 부착된다. 구연산(citric acid), 옥살산(oxalic acid) 또는 황산(sulfuric acid)이 3 % 내지 20 %로 희석된 산용액이 전해액으로서 사용될 수 있다. 이 실시예에서, 옥살산 용액(30 ℃) 내에서 게이트 전극(107)에 20분 내지 40분 동안 10 V의 전압이 인가된다. 결과적으로, 두께 5000 Å의 다공성 형태(porous type) 양극 산화물(108)이 게이트 전극(105)의 측면들에만 형성된다. 상기 산화물(108)의 두께는 산화 시간에 의해 제어될 수 있음을 주의한다(도 1B).

도 1C에 도시된 바와 같이, 레지스트 마스크(107)는 전해액 내에서 게이트 전극(105)을 재차 양극 산화하기 위해 제거된다. 이 경우에, 주석산, 붕산 또는 황산을 3 내지 10 % 함유하는 에틸렌 글리콜 용액이 사용된다. 결과적으로, 배리어형 양극 산화물(109)이 게이트 전극(105)의 주변에 형성된다. 상기 배리어형 양극 산화물(109)의 두께는 1500 Å 내지 2000 Å으로 설정된다. 상기 양극 산화물(109)의 두께는 오프셋 및 오버랩의 길이에 의해 적절히 결정될 수도 있다. 상기 배리어형 양극 산화물(109)의 두께는 공급 전압에 거의 비례하며, 상기 공급 전압이 200 V일 때, 상기 양극 산화물(109)의 두께는 2500 Å이다.

다음에, 상기 양극 산화물(108, 109)을 마스크로 하여, 게이트 절연막(110)을 형성하기 위해 실리콘 산화막(104)이 에칭된다. 예컨대, 에칭 가스로 CF_4가 사용되면, 상기 실리콘 산화막(104)만이 에칭되고, 상기 다공성 양극 산화물(108)은 에칭되지 않는다(도 1D).

도 1E에 도시한 바와 같이, 전도성을 제공하는 불순물 이온들이 활성층(103)에 주입된다. p형 TFT를 형성하는 경우에, P(인) 이온들이 상기 활성층(103)에 주입되며, 하지만 n형 TFT를 형성하는 경우에는, B(붕소) 이온들이 주입된다. 또한, 상기 게이트 절연막(110)이 반투과 마스크로서 기능하도록 하기 위하여, 도우즈 량 또는 가속 전압과 같은 조건들이 적절히 설정된다.

결과적으로, 상기 활성층(103)에서, 상기 게이트 전극(105)이 완전한 마스크로서 기능하며, 상기 게이트 전극(105)의 바로 아래의 영역이 채널 형성 영역(111)을 형성하며, 이 영역에는 불순물 이온들이 주입되지 않는다. 또한, 고농도의 불순물 이온들이 활성층(103)의 노출 영역에 주입되기 때문에, 상기 활성층(103)의 노출 영역은 소스 영역(112)과 드레인 영역(113)을 형성하게 된다. 상기 게이트 절연막(110)으로만 덮인 영역들이, 상기 게이트 절연막(110)이 이온 주입시 반투과 마스크로서 기능하기 때문에 상기 소스 영역(112) 및 드레인 영역(113)보다 불순물 이온들의 농도가 낮은 저농도 불순물 영역(114, 115)들을 형성하게 된다. 특히, 상기 채널 형성 영역(111)과 드레인 영역(113) 사이의 저농도 불순물 영역(115)은 " LDD 영역" 이라고 한다. 상기 저농도 불순물 영역(114, 115)의 불순물 농도는 소스/드레인 영역(112, 113)의 불순물 농도보다 대략 2 자리 정도 낮게 설정될 수 있다(도 1E).

다음에, 플라스마 CVD 방법을 통해 TEOS를 원료로 하여 층간 절연체로서 두께 5000 Å의 실리콘 산화막(116)이 증착된다. 이 실시예에서, 박막을 형성하는 초기 단계에서 RF 전극들 사이에서 도 6C에 도시된 수염형 펄스가 제거되거나 억제되도록, 플라스마 CVD 장치의 RF 전원의 출력이 점진적으로 증가된다. 이 이유 때문에, O_2 플라스마를 발생하기 위하여 상기 RF 출력이 먼저 50 W로 설정된다. 그후, 상기 RF 출력이 250 W까지 증가됨과 동시에, TEOS/O_2 플라스마를 발생하기 위하여 TEOS 가스가 공급되며, 이에 의해 실리콘 산화막(116)이 형성된다.

도 2는 오실로스코프를 통해 관측된, 실리콘 산화막(116)을 형성할 때 RF 전극들 사이에 인가되는 전압의 파형을 나타내며, 도 3A 내재 도 3C는 O_2 플라스마 발생 공정 동안의 RF 전극들 사이에 인가된 전압의 파형이다. 도 3A 는 발진의 시작시점과 이후의 방전 시작 시점의 전압 파형이고, 도 3B 및 도 3C는 방전 시작 시점에서의 전압의 파형이다. 방전 시작 순간은 파형의 시프트로서 확인될 수 있다. 도 3A 내지 도 3C에서 수직축의 단위는 각각 200 V/div이고, 수평축의 단위는 도 3A에서 100 msec/div이고 도 3B에서 20 msec/div이고 도 3C에서 2 msec/div이다.

종래에는 O_2 플라스마의 발생시, 박막을 형성할 때와 같이 RF 전원이 고출력으로 발진하기 때문에 도 6C에 도시된 바와 같이 비어드 펄스가 관측된다. 이 실시예에서, RF 전원은 50 W와 같은 저출력으로 발진하기 때문에 도 3C에서 도시한 바와 같이 방전을 시작할 때 비어드 펄스의 발생이 억제될 수 있다. 그러므로, RF 전극들에 큰 전압이 과도적으로 인가되지 않으므로, 상기 기판(101) 상의 장치, 특히 게이트 절연막(110)의 열화가 억제될 수 있다.

본 발명에서, RF 출력은 50 W에서 250 W까지 점진적으로 증가되고 TEOS의 공급이 시작됨에 주의한다. 또한, 방전 후(O_2 플라스마가 발생된 후) 50 W에서 250 W까지 RF 출력이 연속적으로 증가될 수 있다. 이 경우에 RF 출력이 점진적으로 증가하는 경우에 비해, RF 전극들 사이의 전압의 급격한 변화가 더욱 억제될 수 있다. 또한, 플라스마 CVD 장치의 RF 전원이 램프 업(lamp-up: 느린 시작)되면 RF 전극들 사이에서 전압의 과도적 요동이 더욱 억제될 수 있다.

도 1F에 도시된 바와 같이, 접촉 홀(contact hole)들이 실리콘 산화막(116) 형성 후에 형성되고, 티타늄막과 알루미늄막이 연속적으로 형성되고 패터닝되어, 소스/드레인 전극/와이어(117, 118)가 형성된다. 상기 공정들을 통해 LDD 구조를 가진 TFT가 제조된다.

이 실시예에서, 층간 절연막을 구성하는 실리콘 산화막(116)을 형성하는 공정이 설명되었다. 마찬가지로, 다른 플라스마 CVD 공정에서, 예컨대 게이트 절연막(110)을 구성하는 실리콘 산화막(102)을 형성하는 공정에서, 상술한 바와 같이 RF 출력이 제어되면서 박막이 형성될 수도 있다.

< 제 2 실시예>

제 1 실시예에서, 실리콘 산화막(116)을 형성할 때, RF 출력이 O_2 플라스마 발생 공정 동안에 감소되고, RF 출력은 TOES가 공급됨과 동시에 소정의 값으로 증가된다. 이 실시예에서 RF 출력은 박막을 형성하는 값과 동일한 값까지 증가된다. 바꾸어 말하면, 이 실시예에서, RF 전원은 O_2 플라스마를 발생하기 위해 50 W의 출력으로 발진된다. 소정의 시간 기간이 경과한 후, RF 출력은 250 W까지 증가되고, 박막 형성을 시작하기 위해 TEOS가 공급된다.

도 4A 및 도 4B는 오실로스코프를 통해 관측된, O_2 플라스마를 발생하는 동안의 전압 파형인, 이 실시예에 따른 실리콘 산화막을 형성할 때 RF 전극들 사이에 인가된 전압의 파형을 나타낸 도면이다. 도 4A는 발진 시작에서 방전 시작까지의 전압 파형을 나타내고, 도 4B는 RF 출력이 50 W에서 250 W까지 증가할 때의 전압파형을 나타낸다. 방전 시작 순간은 파형의 시프트로서 확인될 수 있다. 이 실시예에서, 제 1 실시예에서와 마찬가지로, RF 출력이 50 W일 때 O_2 플라스마가 발생되므로, 도 4A에서 확인될 수 없지만, 방전 시작의 전후에 비어드 펄스가 관측되지 않는다. 또한, RF 출력이 방전 후에 50 W에서 250 W까지 증가되지만, RF 전극들 사이의 도 4B에 도시된 바와 같이 과도적인 전압의 변화를 일으키지 않기 위해 스무스하게 증가된다.

그러므로, 이 실시예에 따라 플라스마 CVD 방법을 통해 박막을 형성하는 공정을 적용하면, 기판 상의 장치에 전기적 스트레스가 가해지는 것이 방지될 수 있다.

본 발명에서, O_2 플라스마의 발생 공정 동안에 방전 후(O_2 플라스마 발생 후)RF 출력이 50 W에서 250 W로 점진적으로 증가됨에 주목한다. 또한, 방전 후(O_2 플라스마 발생 후) RF 출력이 50 W에서 250 W까지 연속적으로 증가될 수 있다. 이 경우에, RF 출력이 점진적으로 증가되는 경우에 비해, RF 전극들 사이의 전압의 변화가 더욱 억제될 수도 있다. 또한, 플라스마 CVD 장치의 RF 전원이 램프 업(느린 시작)될 때, RF 전극들 사이에서 전압의 과도적 요동이 또한 억제될 수 있다.

또한, 본 명세서에서, 유리 기판 상에 TFT를 제조하는 공정이 설명되었다. 그러나, 실리콘 웨이퍼 상에 반도체 장치/회로를 제조하는 공정에도 적용될 수 있다.

발명의 효과

위에서 설명된 바와 같이, 본 발명의 플라스마 CVD 방법에 따라, 박막을 형성할 때의 출력보다 낮은 출력으로 RF 전원이 발진되기 시작하기 때문에, 방전을 시작할 때의 RF 전극들간의 전압은 과도적으로 급격하게 변화하지 않게 된다. 따라서, 플라스마 CVD 공정 동안에 불량으로 되는 장치들이 감소하기 때문에, 수율이 향상될 수 있다.

또한, 본 발명은 플라스마 CVD 장치에서 RF 전원을 제어하는 방법을 변화시키는 것만으로, 예컨대 RF 전압을 변화시키는 것만으로 용이하게 실현될 수 있다.

(57) 청구의 범위

청구항 1.

반도체 장치의 제조 방법에 있어서,

적어도 하나의 박막 트랜지스터가 그 위에 형성된 기판을 준비하는 단계와;

상기 박막 트랜지스터 상에, 플라스마 CVD를 통해 층간 절연막을 형성하는 단계를 포함하며,

상기 층간 절연막은,

제 1 전압을 가진 RF 전원을 인가함으로써 챔버에서 산화 가스의 플라스마를 발생하는 단계와;

상기 플라스마를 발생한 후, 상기 RF 전원의 전압을 제 2 전압까지 증가시키는 단계와;

상기 RF 전원의 전압이 상기 제 2 전압에 도달함과 동시에 또는 도달한 후에 상기 챔버에 유기 실란(organic silane) 가스를 공급하며, 이에 의해 상기 산화 가스와 상기 유기 실란 가스의 플라스마로 상기 층간 절연막이 형성되는 단계에 의해 형성되는, 반도체 장치의 제조 방법.

청구항 2.

제1항에 있어서,

상기 RF 전원의 전압은 상기 제 2 전압까지 연속적으로 또는 단계적으로 증가되는, 반도체 장치의 제조 방법.

청구항 3.

제1항에 있어서,

상기 RF 전원의 제 1 전압은 상기 제 2 전압의 절반 또는 그 이하인, 반도체장치의 제조 방법.

청구항 4.

제1항에 있어서,

상기 박막 트랜지스터는,

불순물 영역들을 가진 반도체층과,

상기 반도체층 상의 게이트 절연막과,

양극 표면(anodic surface)을 가진 게이트 전극을 구비한, 반도체 장치의 제조 방법.

청구항 5.

제1항에 있어서,

상기 산화 가스는 산소를 함유하며,

상기 유기 실란은 테트라에톡시실란(tetraethoxysilane)을 함유하는, 반도체장치의 제조 방법.

청구항 6.

박막 트랜지스터 장치의 제조 방법에 있어서,

기판의 절연 표면 상에 비정질 실리콘을 포함하는 반도체막을 형성하는 단계와;

상기 반도체 막을 결정화하는 단계와;

상기 반도체 막의 아일랜드 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에, 알루미늄과 스칸듐을 포함하는 게이트 전극을 형성하는 단계와;

상기 게이트 전극의 표면을 양극 산화(anodizing)하는 단계와;

상기 게이트 전극을 마스크로서 이용하여 상기 실리콘 막에 불순물들을 주입하는 단계와;

유기 실란을 원료로 사용하여 산화 가스 분위기에서 플라스마 CVD를 통해 전체 기판 상에 층간 절연막을 형성하는 단계를 포함하며,

상기 층간 절연막을 형성하는 단계에서, RF 출력으로 산화 가스 플라스마를 발생하고 RF 출력 값을 상기 층간 절연막을 형성하는데 필요한 값까지 증가시킨 후, 유기 실란 가스가 공급되는, 박막 트랜지스터 장치의 제조 방법.

청구항 7.

제6항에 있어서,

상기 층간 절연막을 형성하는 단계는 상기 RF 출력값을 연속적으로 또는 단계적으로 증가시키는 단계를 포함하는, 박막 트랜지스터 장치의 제조 방법.

청구항 8.

제6항에 있어서,

산화 가스 플라즈마 발생시의 RF 출력은 상기 층간 절연막 형성시의 RF 출력의 절반 또는 그 이하인, 박막 트랜지스터 장치의 제조 방법.

청구항 9.

제6항에 있어서,

상기 산화 가스는 산소를 함유하며,

상기 유기 실란은 테트라에톡시실란을 함유하는, 박막 트랜지스터 장치의 제조 방법.

청구항 10.

제6항에 있어서,

상기 박막 트랜지스터는 액티브 매트릭스 장치에 포함되는, 박막 트랜지스터 장치의 제조 방법.

청구항 11.

제6항에 있어서,

상기 박막 트랜지스터는 액티브 매트릭스 회로의 픽셀 영역에 포함되는, 박막 트랜지스터 장치의 제조 방법.

청구항 12.

기판 상에 절연막을 형성하는 단계를 포함하는 반도체 장치의 제조방법에 있어서,

RF 전원의 제 1 출력이 반응 챔버에 인가되는 동안에, 제 1 가스의 플라즈마를 발생하기 위해 상기 반응 챔버에 상기 제 1 가스를 공급하는 단계와;

상기 플라스마를 발생한 후에, 절연막의 형성을 시작하기 위해 상기 RF 전원의 출력을 상기 제 1 출력으로부터 제 2 출력까지 증가시키는 단계와;

상기 RF 전원의 출력이 상기 제 2 출력까지 증가된 후에, 상기 반응 챔버에 상기 절연막의 원료를 포함하는 제 2 가스를 공급하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 13.

제12항에 있어서,

상기 RF 전원의 제 1 출력은 상기 제 2 출력의 절반 또는 그 이하인, 반도체장치의 제조 방법.

청구항 14.

반도체 장치의 제조 방법에 있어서,

반응 챔버에서 RF 전원을 제 1 출력값으로 발진하는 단계와;

상기 RF 전원의 출력이 상기 제 1 출력값인 동안에 제 1 가스의 플라즈마를 발생하기 위하여 상기 반응 챔버에 상기 제 1 가스를 공급하는 단계와;

상기 RF 전원의 출력이 제 2 출력값일 때 기판 상에 절연막을 형성하기 위해 상기 반응 챔버에 상기 절연막의 원료인 제 2 가스를 공급하는 단계를 포함하며,

상기 RF 전원의 출력은 상기 플라스마의 발생 후 상기 제 2 출력값에 도달할 때까지 증가되는, 반도체 장치의 제조 방법.

청구항 15.

제14항에 있어서,

상기 제 1 출력값은 상기 제 2 출력값의 절반 또는 그 이하인, 반도체 장치의 제조 방법.

청구항 16.

제14항에 있어서,

상기 제 1 가스는 산화 가스를 함유하고,

상기 제 2 가스는 유기 실란을 함유하는, 반도체 장치의 제조 방법.

청구항 17.

제14항에 있어서,

상기 절연막은 이산화 실리콘막인, 반도체 장치의 제조 방법.

청구항 18.

반도체 장치의 제조 방법에 있어서,

반응 챔버 내에 적어도 하나의 박막 트랜지스터가 그 위에 형성된 기판을 준비하는 단계와;

제 1 전압을 가진 RF 전원을 인가함으로써 상기 반응 챔버에서 제 1 가스의 플라스마를 발생하는 단계와;

상기 플라스마를 발생한 후, 상기 RF 전원의 전압을 상기 제 1 전압으로부터 제 2 전압까지 증가시키는 단계와;

상기 박막 트랜지스터 상에 절연막을 형성하기 위해, 상기 RF 전원의 전압이 상기 제 2 전압에 도달함과 동시에 또는 도달한 후에 상기 반응 챔버에 제 2 가스를 공급하는 단계를 포함하는, 반도체 장치의 제조 방법.

청구항 19.

제18항에 있어서,

상기 제 1 전압은 상기 제 2 전압의 절반 또는 그 이하인, 반도체 장치의 제조 방법.

청구항 20.

제18항에 있어서,

상기 박막 트랜지스터는,

불순물 영역들을 가진 반도체층과,

상기 반도체층과의 사이에 삽입된 게이트 절연막을 가진, 상기 반도체 층에 인접한 게이트 전극을 구비하는, 반도체 장치의 제조 방법.

청구항 21.

제18항에 있어서,

상기 제 1 가스는 산소를 함유하고,

상기 제 2 가스는 테트라에톡시실란을 함유하는, 반도체 장치의 제조 방법.

청구항 22.

박막 트랜지스터 장치의 제조 방법에 있어서,

절연 표면 상에 비정질 실리콘을 구비한 반도체 막을 형성하는 단계와;

상기 반도체막을 결정화하는 단계와;

상기 결정화된 반도체막 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계와;

유기 실란을 원료로서 사용하여 산화 가스 분위기에서 플라스마 CVD를 통해 전체 기판 상에 절연막을 형성하는 단계를 포함하며,

상기 절연막을 형성할 때, 상기 유기 실란 가스는, RF 출력으로 산화 가스의 플라스마를 발생하고 상기 RF 출력값을 상기 절연막을 형성하는데 필요한 값까지 증가시킨 후에 공급되는, 박막 트랜지스터 장치의 제조 방법.

청구항 23.

제22항에 있어서,

상기 절연막을 형성하는 단계는 상기 RF 출력값을 점진적으로 증가시키는 단계를 포함하는, 박막 트랜지스터 장치의 제조 방법.

청구항 24.

제22항에 있어서,

플라스마를 발생하는 단계에서의 상기 RF 출력값은 상기 절연막을 형성하는 단계의 RF 출력값의 절반 또는 그 이하인, 박막 트랜지스터 장치의 제조 방법.

청구항 25.

제22항에 있어서,

상기 산화 가스는 산소를 함유하며,

상기 유기 실란은 테트라에톡시실란을 함유하는, 박막 트랜지스터 장치의 제조 방법.

청구항 26.

제22항에 있어서,

상기 박막 트랜지스터는 액티브 매트릭스 장치에 포함되는, 박막 트랜지스터 장치의 제조 방법.

청구항 27.

반도체 장치의 제조 방법에 있어서,

제 1 가스를 반응 챔버에 도입하는 단계와;

상기 제 1 가스의 플라스마를 형성하기 위해 제 1 전압을 가진 RF 전원을 상기 제 1 가스에 인가하는 단계와;

상기 RF 전원을 상기 제 1 전압으로부터 상기 제 1 전압보다 높은 제 2 전압까지 증가시키는 단계와;

상기 RF 전원의 전압이 상기 제 2 전압에 도달한 후에 또는 그 도달함과 동시에, 상기 제 1 가스와는 다른 물질을 함유하는 제 2 가스를 상기 반응 챔버에 도입하는 단계와;

상기 제 1 및 제 2 가스로부터 상기 반응 챔버에서 플라스마 CVD를 통해 절연막을 형성하는 단계를 포함하는, 반도체 장치의 제조 방법.

청구항 28.

제27항에 있어서,

상기 제 2 전압은 상기 절연막의 형성 동안에 유지되는, 반도체 장치의 제조 방법.

청구항 29.

제27항에 있어서,

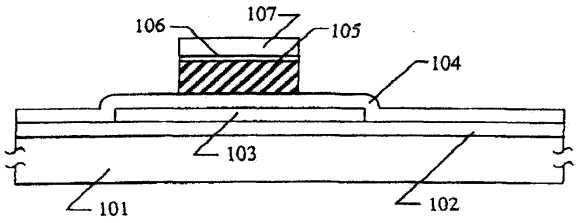
상기 제 1 가스는 산화 가스인, 반도체 장치의 제조 방법.

청구항 30.

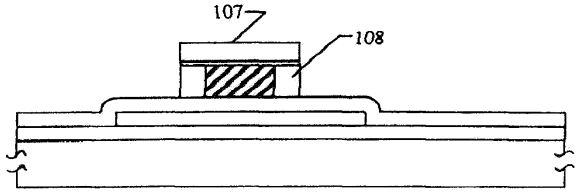
제27항에 있어서,

상기 제 2 가스는 실리콘 함유 가스를 포함하는, 반도체 장치의 제조 방법.

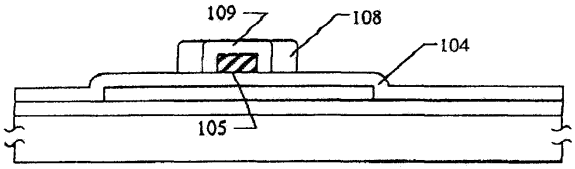
도면 1a



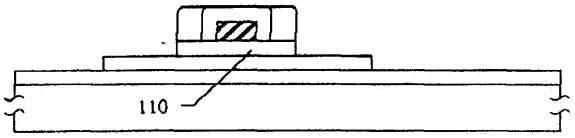
도면 1b



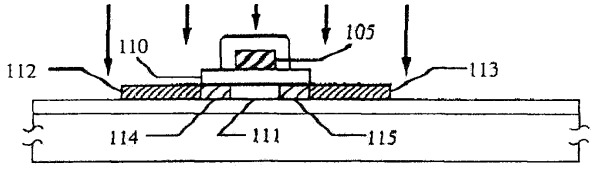
도면 1c



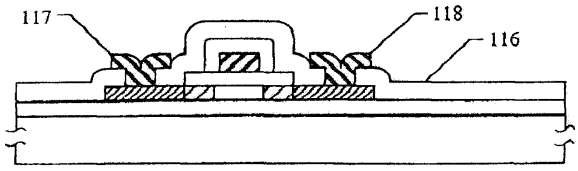
도면 1d



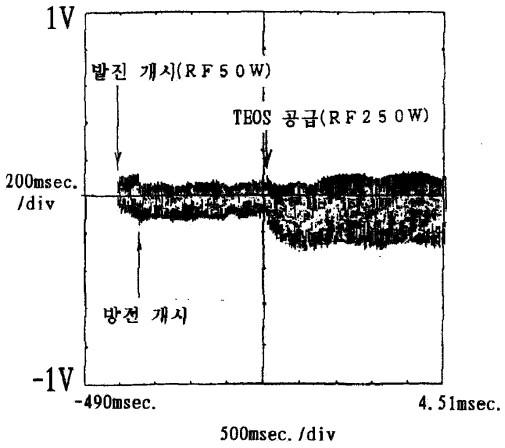
도면 1e



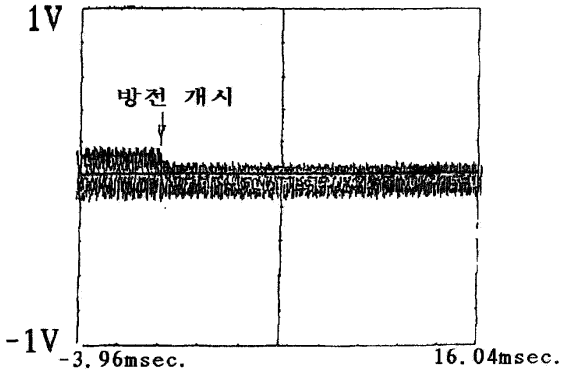
도면 1f



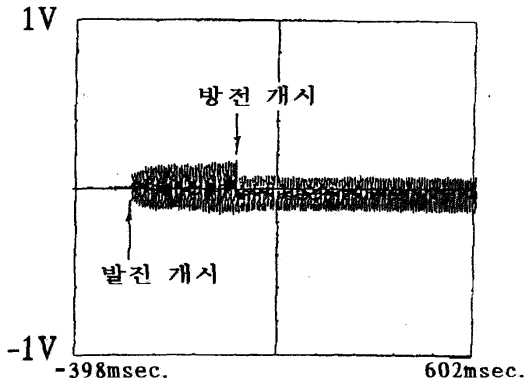
도면 2



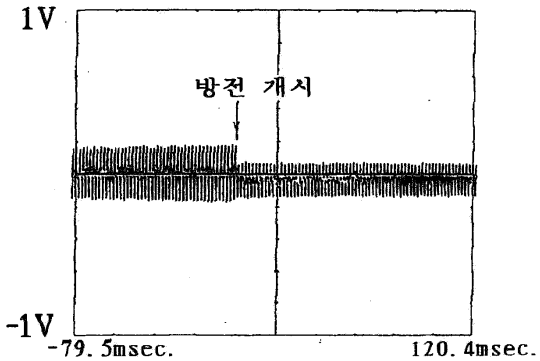
도면 3a



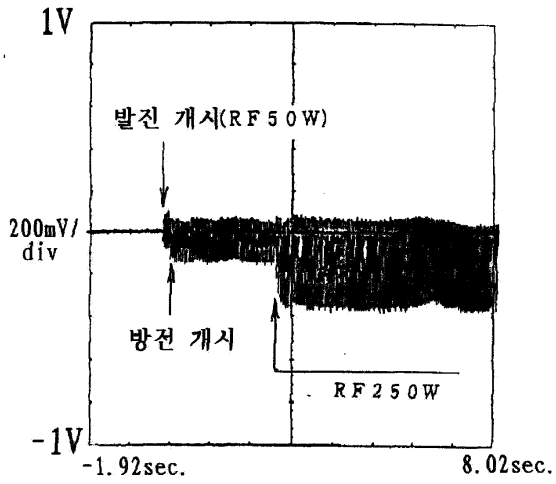
도면 3b



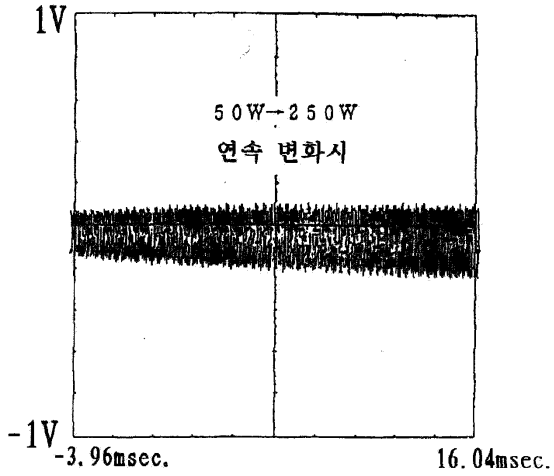
도면 3c



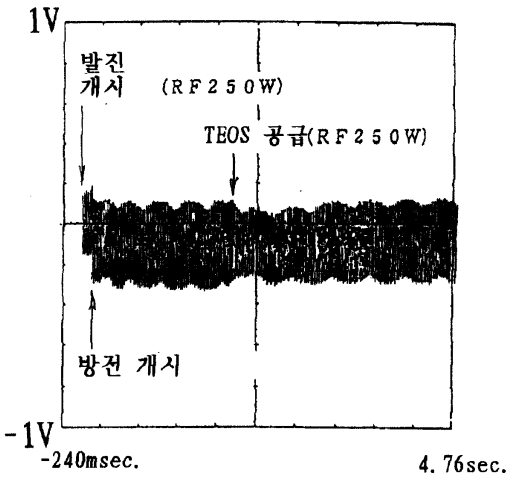
도면 4a


1V
발진 개시(RF 50W)
200mV/
div
방전 개시
RF 250W
-1V
-1.92sec.
8.02sec.

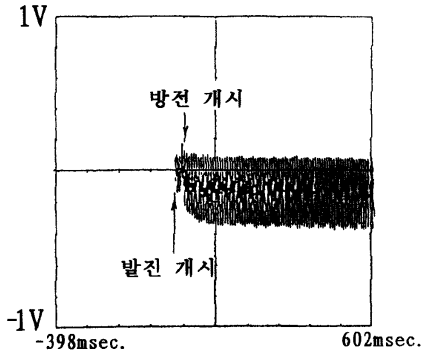
도면 4b


1V
50W→250W
연속 변화시
-1V
-3.96msec.
16.04msec.

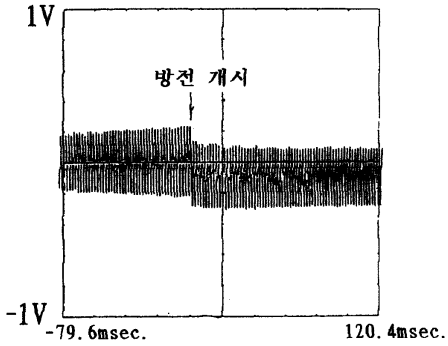
도면 5



도면 6a



도면 6b



도면 6c

