世界知的所有権機関
国際事務局

PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5
G11B 7/00

A1

(11) 国際公開番号 WO 93/16468

(43) 国際公開日 1993年8月19日 (19.08.1993)

(21) 国際出願番号 PCT/JP93/00186
(22) 国際出願日 1993年2月15日(15. 02. 93)

(30) 優先権データ
特願平4/59710 1992年2月14日(14. 02. 92) JP
特願平4/207074 1992年7月10日(10. 07. 92) JP

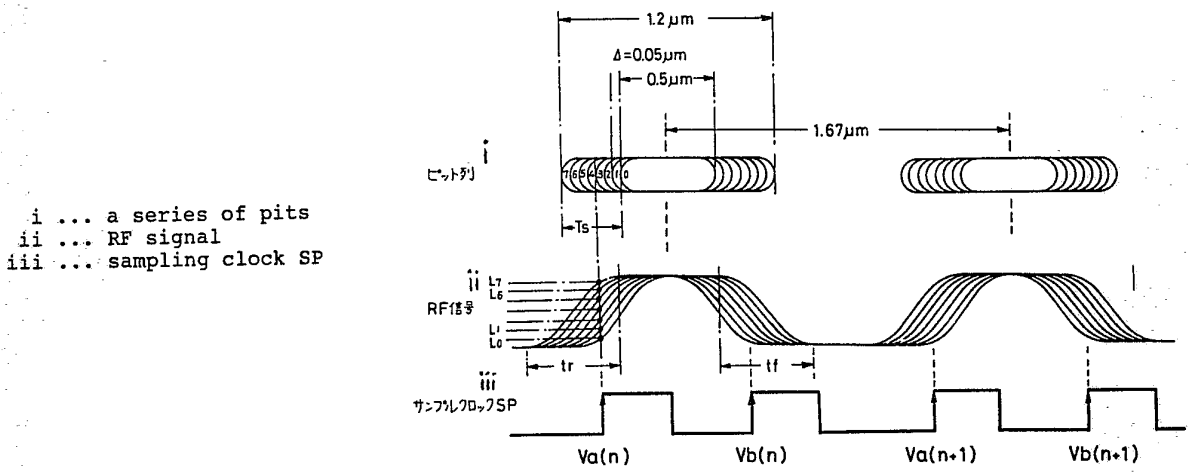
(71) 出願人(米国を除くすべての指定国について)
ソニー株式会社(SONY CORPORATION)〔JP/JP〕
〒141 東京都品川区北品川6丁目7番35号 Tokyo, (JP)
(72) 発明者;および
(75) 発明者/出願人(米国についてのみ)
小林誠司(KOBAYASHI, Seiji)〔JP/JP〕
岡村完成(OKAMURA, Hiroshige)〔JP/JP〕
山津久行(YAMATSU, Hisayuki)〔JP/JP〕
〒141 東京都品川区北品川6丁目7番35号
ソニー株式会社内 Tokyo, (JP)
(74) 代理人
弁理士 松隈秀盛(MATSUKUMA, Hidemori)
〒160 東京都新宿区西新宿1丁目8番1号 新宿ビル Tokyo, (JP)

(81) 指定国
AT(欧州特許), AU, BE(欧州特許), CA, CH(欧州特許),
DE(欧州特許), DK(欧州特許), ES(欧州特許), FR(欧州特許),
GB(欧州特許), GR(欧州特許), IE(欧州特許), IT(欧州特許),
KR, LU(欧州特許), MC(欧州特許), NL(欧州特許),
PT(欧州特許), SE(欧州特許), US.

添付公開書類 国際調査報告書

(54) Title : INFORMATION RECORDING MEDIUM, AND RECORDING AND REPRODUCING DEVICE THEREFOR

(54) 発明の名称 情報記録媒体, その記録装置および再生装置



i ... a series of pits
ii ... RF signal
iii ... sampling clock SP

(57) Abstract

In an information recording medium, information recorded in a series of pits is reproduced by an optical detecting system for generating reproduction signal corresponding to each pit by scanning the pits with a light beam. The edge position of the information pit is shifted stepwise from a predetermined reference position according to the digital information to be recorded in the range corresponding to a predetermined shift period shorter than the transient period of the reproduced signal. The transient period is determined by the transmission characteristics of the optical detecting system. Using this simple configuration, the data recorded at a high density can be reproduced accurately, and without emphasizing noise components, nonlinear interferences among codes can be reduced.

(57) 要約

ピット列に沿って光ビームで走査して各ピットに応じた再生信号を得る光学検出系によって前記各ピットに記録された情報が再生される情報記録媒体において、前記光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ピットのエッジ位置を、所定の基準位置から、記録すべきディジタル情報に応じてステップ状にシフトさせ、簡単な構成で、高記録密度のデータを正確に再生することができると共に、ノイズ成分を強調することなしに、非線形の符号間干渉を軽減することができるようにしたものである。

情報としての用途のみ
PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT オーストリア
AU オーストラリア
BB バルバードス
BE ベルギー
BF ブルキナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
CA カナダ
CF 中央アフリカ共和国
CG コンゴー
CH スイス
CI コート・ジボアール
CM カメルーン
CS チェッコスロヴァキア
CZ チェッコ共和国
DE ドイツ
DK デンマーク
FI フィンランド
ES スペイン
FR フランス
GA ガボン
GB イギリス
GN ギニア
GR ギリシャ
HU ハンガリー
IE アイルランド
IT イタリー
JP 日本
KP 朝鮮民主主義人民共和国
KR 大韓民国
KZ カザフスタン
LI リヒテンシュタイン
LK スリランカ
LU ルクセンブルグ
MC モナコ
MG マダガスカル
ML マリ
MN モンゴル
MR モーリタニア
MW マラウイ
NL オランダ
NO ノルウェー
NZ ニュージーランド
PL ポーランド
PT ポルトガル
RO ルーマニア
RU ロシア連邦
SD スーダン
SE スウェーデン
SK スロヴァキア共和国
SN セネガル
SU ソヴィエト連邦
TD チャード
TG トーゴ
UA ウクライナ
US 米国
VN ヴェトナム

明　　細　　書

発明の名称　　情報記録媒体、その記録装置および再生装置

技術分野

本発明は、例えば光ディスク等の情報記録媒体、この情報記録媒体に情報を記録し、または再生する場合に用いて好適な情報記録媒体その記録装置および再生装置に関する。

背景技術

従来のＣＡＶ（角速度一定）モードで用いられる光ディスクにおいては、各トラックの所定の位置に周期的にサーボバイト区間を設け、このサーボバイト区間に基準クロック生成用のクロックピットと、トラッキング用のウォブルドピットを形成するようにしている。そしてクロックピットに対応して基準クロック（チャンネルクロック）を生成し、この基準クロックの周期の整数倍の長さのピットにより、情報をディジタル的に記録するようにしている。また、例えば、ＣＤ（コンパクトディスク）のようなＣＬＶ（線速度一定）モードで用いられるシステムにおいては、クロックピットは存在しないが、記録されたピットの長さ及びピット間隔が、基準クロック（チャンネルクロック）の周期（0.3μm）整数倍の長さ（ＣＤの場合、約0.9～3.3μm の９種類の長さ）になるように選ばれており、このことを使ってクロック再生を行い、記録された情報をビット単位に切り出している。

ところで、同じ光ディスクであるビデオディスクでは、ＣＤよりもはるかに細かいピットの長さの差でビデオ信号を記録して、再生している。

いま、このことを、ＣＡＶモードで半径55mmの所に記録される信号を例に挙げて説明する。ビデオディスクでは、ビデオ信号中の最も明るい部分を9.3MHz、最も暗い部分を7.6MHzの信号として

記録しており、これは半径55mmのディスク上で、それぞれ1.075μmと1.316μmに相当する。このように記録されたディスクを再生すると、大変美しい映像が再生されるのは周知の事実である。この映像で、128階調の明るさの変化が表現できていると考えると、これは、ディスク上で、ピットの周期が128段階以上に細かく記録され、これが再生されていることを意味する。つまり、

(1.316μm－1.075μm) ÷128＝0.002μm

の細かいピット長及びピット間隔の変化が、ビデオ信号に反映されているのである。

ピットの長さの変化としては、このように細かい変化が記録できるのにも関わらず、ＣＤにおいて、ピット長の変化の最小単位を0.3μmと、大きくしなければならないのは、おもにその記録再生方法が最適でないことによる。

本出願人は、特願平３－１６７５８５号として、情報ピットの前方または後方エッジの位置を、記録情報に対応して所定の基準位置からステップ状にシフトして、ディジタル情報を記録することを先に提案した。この記録再生方法によれば、ピット長及びピットエッジの位置の変化を非常に高い精度で検出可能であるので、これまで不可能であると思われていた微小な変化で情報を記録ことが可能となり、この結果、これまで以上の高密度化を実現することができる。

第３３図は、本出願人が先に提案したエッジの位置をステップ状にシフトすることにより、情報を記録する原理を示している。同図に示すように、記録データに対応してＰＷＭ変調した記録信号（第３３図（Ｂ））を生成する。そして、その0クロス時における長さに対応するピット（第３３図（Ａ））を形成する。このようにすると、ピットのエッジの位置が基準クロック（第３３図（Ｃ））で示す位置からステップ状に変化する。この変化量に応

じて、１つのエッジについて０から７までの８段階（３ビット）のデータを記録することができる。

第３４図は、このようにして記録した信号を再生する原理を示している。情報記録媒体より再生したＲＦ信号（第３４図（Ａ））を大きく増幅して、２値化ＲＦ信号（第３４図（Ｂ））を得る。情報を記録したディスクにはクロックピットが形成されているため、これを基準として基準クロック（第３４図（Ｃ）を生成し、この基準クロックに同期して、さらに鋸歯状波信号（図３４図（Ｄ））を生成する。そして、この鋸歯状波信号と２値化ＲＦ信号とがクロスするタイミングを検出することにより、情報ピットのエッジの位置を検出するようにしている。

しかしながら、先の提案においては、隣接するエッジ間の符号間干渉が起こり、さらに記録密度を上げようとすると、正確な再生が困難となる問題があった。

この符号間干渉の影響を軽減するために、イコライザを用いることが考えられる。例えば、３タップのイコライザにより再生ＲＦ信号を一定距離Δだけ離間して、３回サンプリングし、この３つの値に線形演算を施す。この場合のインパルス応答は、

$$h(t) = \delta(t) - \kappa\{\delta(t+\Delta) + \delta(t-\Delta)\}$$

となるから、その周波数応答は次のようになる。

$$H(f) = 1 - \kappa \cos(2\pi\Delta f)$$

Δおよびκを適当に選ぶことにより、高周波領域の信号成分を強調して、符号間干渉の影響を軽減することができる。

しかしながら、行なわれる演算は線形であるため、非線形の符号間干渉には完全には適応することができない。また、符号間干渉除去の度合いを強めるために、結合係数κの値を大きくすると、高周波領域のノイズ成分が強調され、逆効果となってしまうようなことがあった。

また、先の提案においては、エッジの位置を検出するのに鋸歯状波を発生させ、その鋸歯状波からエッジの発生タイミングを検出するようにしているため、エッジの発生タイミングを読み取るための構成が複雑となり、その正確な検出が困難になる問題があった。

さらに、さきの提案においては、光ディスクに特有の振幅変動や、バイアス成分の変動などの影響が全く考慮されていなかった。このため、これらの変動によって正しいデータが読み取れなくなるという欠点があった。

発明の開示

本発明はこのような状況に鑑みてなされたものであり、簡単な構成で、高記録密度のデータを正確に再生することができると共に、ノイズ成分を強調することなしに、非線形の符号間干渉を軽減することができるようにするものである。

本発明による情報記録媒体は、例えば第1図および第2図に示す如くピット列に沿って光ビームで走査して各ピットに応じた再生信号を得る光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ピットのエッジ位置を、所定の基準位置から、記録すべきディジタル情報に応じてステップ状にシフトさせたことを特徴とする。

さらに、情報ピットのピット列に挿入され、その挿入位置に対応して予め設定された教育データに応じて、エッジ位置が所定の基準位置からステップ状にシフトされた教育ピットを付加する。

さらに、情報ピットのピット列に挿入され、エッジ位置のシフト量が最小値に設定された基準ピットを付加する。

さらに、情報ピットのピット列に挿入され、エッジ位置のシフト量が最大値に設定された基準ピットを付加する。

本発明による情報記録装置は、例えば第３２図に示す如くピット列に沿って光ビームで走査する光学検出系によって記録情報が再生される情報記録媒体に、前記光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ピットのエッジ位置を、所定の基準位置からステップ状にシフトして、ディジタル情報を記録する記録手段を具備することを特徴とする。

本発明による情報再生装置は例えば第５図に示す如く、ピット列に沿って光ビームで走査する光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ピットのエッジ位置を、所定の基準位置からステップ状にシフトして、ディジタル情報を記録した情報記録媒体から記録情報を再生する情報再生装置において、光学検出系から得られる再生信号に基づいて、前記基準位置に対して位相的に同期したクロックを生成するクロック生成手段と、クロックで規定されるタイミングで、再生信号の過渡期間における再生レベルを検出するレベル検出手段と、再生レベルに基づいて前記情報ピットのエッジ位置のシフト量に対応する記録情報を判定する判定手段とを具備することを特徴とする。

さらに、クロック生成手段は、シフト期間の中央に相当するタイミングでクロックを生成する。

さらに、クロック生成手段は、情報記録媒体のサーボ領域に記録された所定の基準位置を示す基準ピットから光学検出系を介して得られる再生信号に基づいて、基準位置に対して位相的に同期したクロックを生成する。

さらに、レベル検出手段は、前記クロックで規定されるサンプルタイミングで再生信号をアナログ／ディジタル変換することによって、再生レベルを検出するＡ／Ｄ変換回路によって構成され

ている。

さらに、判定手段は、情報ピットのピット列に対する挿入位置に応じて予め設定された教育データがピット列方向に隣接するエッジ位置の各々のシフト量として設定された教育ピットから、レベル検出手段によって順次検出される再生レベルによって規定される基準点と、情報ピットから順次検出される再生レベルによって規定される情報点とに基づいて、情報ピットのピット列方向に隣接するエッジ位置の各々のシフト量に対応した記録情報を判定する。

さらに、判定手段は、挿入位置に応じて予め設定された一対の教育データが、一対のエッジ位置の各々のシフト量として設定された教育ピットから、レベル検出手段によって検出された一対の再生レベルによって規定される基準点と、情報ピットから検出される一対の再生レベルによって規定される情報点とに基づいて、情報ピットのピット列方向に隣接する一対のエッジ位置の各々のシフト量に対応した一対の記録情報を判定する。

さらに、一対の教育データが設定された教育ピットから検出された一対の再生レベルの内、一方の再生レベルを上位アドレスとし、他方の再生レベルを下位アドレスとすることによって規定されるアドレスを基準点とし、この基準点に前記一対の教育データが復号データとして格納される記憶手段を設け、前記判定手段は、情報ピットから検出される一対の再生レベルの内、一方の再生レベルを上位アドレスとし、他方の再生レベルを下位アドレスとすることによって規定されるアドレスを情報点とし、この情報点に対応する記憶手段のアドレスに格納されている一対の復号データを、記録情報として判定する。

さらに、判定手段は、前記記憶手段の各基準点に格納されている復号データの内、前記情報点に最も近い基準点に格納されてい

る復号データを、記録情報と見做して判定する。

さらに、教育データが設定された教育ピットから検出された再生レベルによって規定される記憶手段のアドレスを基準点とし、この基準点に前記教育データを復号データとして格納するマッピング処理を行うマッピング手段を設ける。

さらに、マッピング手段は、記憶手段の各記憶点の内、基準点以外の各記憶点に、各記憶点に最も近い基準点に格納されてる復号データを各々格納する。

さらに、レベル検出手段によって検出された再生レベルから、エッジ位置のシフト量が最小値に設定された基準ピットから検出された再生レベルを減算するバイアス除去手段を設ける。

さらに、バイアス除去手段は、エッジ位置のシフト量が最小値に設定された複数の基準ピットから検出された複数の再生レベルの内、最大値と最小値を除く各値の平均値を、再生レベルから減算するディフェクト除去機能を有する。

さらに、エッジ位置のシフト量が最大値に設定された基準ピットから検出された再生レベルが所定の目標値となるように、レベル検出手段によって検出された再生レベルのゲインを調整するゲイン調整手段を設ける。

さらに、ゲイン調整手段は、エッジ位置のシフト量が最大値に設定された複数の基準ピットから検出された複数の再生レベルの内、最大値と最小値を除く各値の平均値が所定の目的値となるように、再生レベルのゲインを調整するディフェクト除去機能を有する。

本発明による情報記録媒体においては、光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ピットのエッジ位置が、所定の基準位置から、記録すべきディジタル情報に応じてステップ状にシフ

トしている。

したがって、本発明による情報再生装置によって、再生信号の過渡期間における1サンプルタイミングで、その再生レベルを検出することで、情報ピットのエッジ位置のシフト量に対応する記録情報を確実に判定することができ、従って、簡単な構成で、高記録密度の情報を正確に再生することが可能となる。

また、情報ピットのピット列に対する挿入位置に応じて予め設定された教育データがピット列方向に隣接するエッジ位置の各々のシフト量として設定された教育ピットから、順次検出される再生レベルによって規定される基準点と、情報ピットから順次検出される再生レベルによって規定される情報点とに基づいて、情報ピットのピット列方向に隣接するエッジ位置の各々のシフト量に対応した記録情報を判定することにより、ノイズ成分を強調することなく、非線形の符号間干渉を低減し、正確な復号が可能となる。

図面の簡単な説明

第1図は本発明の情報記録媒体のデータ領域とサーボ領域の構成を説明する図、第2図は本発明の情報記録媒体における情報ピットの構成例を説明する図、第3図は本発明の情報記録媒体における情報ピットの構成例を説明する図、第4図は本発明の情報記録媒体のトラック間の位相を説明する図、第5図は本発明の情報再生装置を応用した光ディスク再生装置の一実施例の構成を示すブロック図、第6図は第5図の実施例におけるＰＬＬ回路（7）の構成例を示すブロック図、第7図は第5図の実施例における二次元デコーダ（11）の構成例を示すブロック図、第8図は第5図の実施例におけるバイアス除去回路（10）と二次元デコーダ（11）構成例を示すブロック図、第9図は隣接するエッジの符号間干渉

を説明する図、第１０図は第８図のＲＡＭ（23）における基準点のマッピングの原理を説明する図、第１１図は隣接するエッジの影響を示す関数を説明する図、第１２図は隣接するエッジの影響と線密度の関係を説明する図、第１３図は第８図の実施例におけるサーボ領域の動作を説明するタイミングチャート、第１４図は第８図のＲＡＭ（23）における基準点のマッピングを説明する図、第１５図は第８図のＲＡＭ（23）における他の記憶点に対する基準点のマッピングを説明する図、第１６図は第８図のＲＡＭ（23）における全ての記憶点に対する基準点のマッピング状態を説明する図、第１７図は第８図のコントローラ（15）によるマッピング処理の手順を説明するためのフローチャート、第１８図は第８図の実施例におけるデータ領域における動作を説明するタイミングチャート、第１９図は第５図の実施例により実現されるエラーレートを説明する図、第２０図は情報記録ピットの他の構成例を説明する図、第２１図は情報記録ピットを第２０図に示すように構成した場合におけるサーボ領域の構成例を示す図、第２２図は本発明の情報再生装置を応用した光ディスク再生装置の他の実施例の構成を示すブロック図、第２３図は第２２図の実施例の動作を説明するタイミングチャート、第２４図は第２２図におけるゲイン可変アンプ（63），（66）の出力のレベルの変化を説明する図、第２５図は第２２図の実施例において実現されるエラーの発生状況を説明する図、第２６図は本発明の情報再生装置を応用した光ディスク再生装置のさらに他の実施例の構成を示すブロック図、第２７図は第２６図のディフェクト除去回路（73）の動作を説明する図、第２８図は第２６図のディフェクト除去回路（73）の構成例を示すブロック図、第２９図は第２６図のコントローラ（104）における演算を説明するテーブルの図、第３０図は第２６図のゲイン可変アンプ（63），（66）の出力のディフェクトによる影響

を説明する図、第３１図は教育データと再生データとの最小距離を求める他の構成例を示すブロック図、第３２図は本発明の情報記録装置を応用した光ディスク製造装置の一実施例の構成を示すブロック図、第３３図は従来の光ディスクにおけるデータ記録方法を説明する図、第３４図は従来の光ディスクにおけるデータ再生方法を説明する図である。

発明を実施するための最良の形態

以下、図面を参照して、本発明の実施例について説明する。

第１図は、本発明の情報記録媒体を適用した光ディスクの基本的フォーマットの一例を示している。

この実施例では、直径120mmの反射型（光ビームの反射面にピットが物理的な凹部または凸部によって形成されている）光ディスク１にＣＬＶモード、トラックピッチ1.6μmで、ピット列が記録されている。全ての情報は、一定周期1.67μm毎に配置されたピットの前端（立ち上り）と、後端（立ち下り）のエッジ位置の８段階のシフト量として記録されている。このシフト量の１単位である単位シフト量Δは、0.05μmに設定されている。

このように配列された各ピットのエッジ位置の８段階のシフト量で、各々３ビットの情報を記録することができるので、ピット列方向の線記録情報密度としては、0.28μm／bitと、現在のＣＤシステムの２倍以上となっている。

なお、ＣＤシステムにおいては、線速度を上限の1.2m/sとした場合においても、ＥＦＭ(Eight to Fourteen Modulation)変調により、記録すべき８ビットのデータ・ビットが１４ビットのインフォメーション・ビットと３ビットのマージン・ビットの計１７ビットのチャンネル・ビットに変換されて、ディスク上のピットに記録されるため、このＥＦＭ変調を勘案すると、線記録情報密

度は、約0.6μm／bitである。すなわち、約0.9μm の最短ピットが、3ビット分のチャンネル・ビットに相当するから、

(0.9÷3)×(17÷8)＝約0.6μm／bit

となる。

ここで、第2図に示すように、光ディスク1に記録されたピットのエッジ位置は、そのピットの中心の基準位置から、記録すべきディジタル情報に応じてステップ状にシフトしているが、そのシフト期間Ｔｓ（＝Δ×7）は、光学検出系の伝達特性に応じて決まるＲＦ信号（再生信号）の過渡期間（0レベル又は飽和レベルとなる定常状態以外の期間）である立ち上り期間ｔｒまたは立ち下り期間ｔｆよりも小なる期間に相当する範囲内に設定されている。

上記ＲＦ信号は、後述する再生装置のピックアップ3から出力されるものであり、このピックアップ3の伝達特性によって過渡期間が決まる。一般に、光学系の伝達特性は、その伝達関数（ＯＴＦ；Optical Transfer Function)の絶対値であるＭＴＦ（Modulation Transfer Function）によって規定され、このＭＴＦはレンズの開口率ＮＡとレーザの波長λに存在して決まる。

上記シフト期間Ｔｓ内で、単位シフト量Δを0.05μmよりもさらに小なる単位量でシフトさせれば、さらに記録密度を高めることができる。

このように記録されたピットの中心の基準位置に位相的に同期したサンプルクロックＳＰにより、ＲＦ信号をＡ／Ｄ変換することによって、ピットのエッジ位置のシフト量0～7に対応する再生レベルＬ0～Ｌ7を得ることができる。このように、ＲＦ信号の過渡期間における1サンプルタイミングで、その再生レベルＬ0～Ｌ7を検出することができる条件が、

シフト期間Ｔｓ≦過渡期間（立ち上り期間ｔｒまたは立ち下り

期間ｔｆ）ということになる。

ここで、サンプルクロックＳＰによるサンプリングタイミングとしては、シフト期間Ｔｓの中央に対応するタイミングが望ましく、このタイミングとすることにより、ＲＦ信号の過渡期間の全範囲に渡って再生レベルを検出することが可能となる。また、この実施例においては、光ビームの反射面に物理的な凹部または凸部としてピットが形成された、いわゆる反射型の光ディスク１を例に挙げて説明するが、光磁気膜の部分的な磁化の反転によってピットを形成する、いわゆるＭＯ（Magneto Optical）ディスク等にも適用することが可能である。

光ディスク１上に記録される情報は、３ビット単位に切り出され、記録データａｎとｂｎとして、ｎ番目のピットに記録される。第３図はこの様子を示したもので、ピットの前端エッジが記録データａｎに応じて０乃至７の８個のシフト位置のいずれかに設定される。同様にして、後端エッジの位置も記録データｂｎに応じて０乃至７の８個のシフト位置のいずれかに設定される。各シフト位置のピッチΔは、先に述べたように0.05μｍである。この結果、各ピットは記録データａｎ，ｂｎがいずれもシフト位置０のエッジに形成されたとき、最も短い長さＬＰ＝0.5μｍとなる。

再び、第１図に戻り、データが記録された４４個のデータピットからなるデータ領域の間に、サーボ用の５個のピットからなるサーボ領域が挿入されている。このサーボ領域に記録された５個のピットのうち、２個は教育ピットＰ１，Ｐ２とされ、残りの３個は基準ピットＰ３乃至Ｐ５とされている。教育ピットＰ２の図中左側の前端エッジは、その位置が０から７の８段階のシフト位置の何れかの位置Ｍに設定されており、また図中右側の後端エッジも、０から７までの８段階のシフト位置の何れかの位置Ｎに設定されている。

教育ピットＰ２の前端エッジの位置Ｍと後端エッジの位置Ｎは、各サーボ領域において、それぞれ異なる組合せとなるように、規則的組み合わせが設定されている。すなわち、ＭとＮが最初のサーボ領域においては、（０，０）とされ、次のサーボ領域においては（０，１）とされる。以下同様に、（０，２），（０，３），・・・，（７，６），（７，７）と規則的に組み合わせが設定されている。これにより、６４（＝８×８）個のサーボ領域において、教育ピットＰ２の前端エッジと後端エッジの全てのあり得る位置の組合せが用意されていることになる。

尚、教育ピットＰ１は、この場合ダミーとなる。即ち、教育データをピットＰ２の両端のエッジではなく、ピットＰ１の両端のエッジに形成することも論理的には可能である。しかしながらそのようにすると、ピットＰ１の左隣に隣接するピットがデータ領域のデータピットであるため、そのエッジの位置がデータに対応して変化する。その結果、教育ピットＰ１の、特にデータ領域側のエッジに対する干渉の度合いがデータに値によって変化する。従って、いつも一定の状態で教育データを後述するようにパターン化することが困難になる。そこで実施例のように、ピットＰ１の両端のエッジにではなく、教育ピットＰ２の両端のエッジに教育データを形成するようにすることが好ましい。このようにすると、教育ピットＰ２の後端エッジに隣接する基準ピットＰ３と、前端エッジに隣接する教育ピットＰ１が共にそのエッジが（０，０）のまま一定である（変化しない）ため、教育ピットＰ２の教育データを読み取ったとき、常に一定の符号間干渉を受け、一定のパターンを得ることができる。

基準ピットＰ３乃至Ｐ５は、（０，０）と（７，７）の基準位置のデータを得るためのピットである。この基準データも論理的には、例えばピットＰ５の両端のエッジに形成することも可能で

ある。しかしながらそのようにすると、教育ピットについて説明した場合と同様に、隣接するデータ領域からの干渉の割合が記録データによって変化することになるため、実施例のように基準ピットＰ５の図中右側の後端エッジには基準位置データを形成しないようにするのが好ましい。

第４図は、光ディスク１の平面的な構造を簡単に説明するものである。トラックピッチ1.6μmで記録された信号は、ＣＬＶモードで記録されているので、隣り合うトラック間ではピット位置の位相は合わず、この図に示されたように、ばらばらの位相でディスク上に記録されている。

第５図は、本発明の情報再生装置を応用した光ディスク再生装置の一実施例の構成を示すブロック図である。光ディスク１は、スピンドルモータ２により回転されるようになされている。この光ディスク１には、第１図および第２図に示した原理に基づいて情報が記録されている。即ち、情報ピットの前端と後端のエッジの少なくとも一方の位置を所定の基準位置からステップ状にシフトすることにより、ディジタル情報が記録されている。そして、この光ディスク１には、一定の周期でサーボ領域が形成されており、教育ピットＰ１，Ｐ２と基準ピットＰ３乃至Ｐ５が形成されている。データ領域にはデータピットが形成されているのはもとよりである。

ピックアップ（３）は、光ディスク（１）に対してレーザビームを照射し、その反射光から光ディスク（１）に記録されている信号を再生する。ピックアップ（３）が出力するＲＦ信号は、ヘッドアンプ（４）により増幅され、フォーカストラッキングサーボ回路（５）、ＡＰＣ回路（６）およびＰＬＬ回路（７）に供給されるようになされている。フォーカストラッキングサーボ回路（５）は、入力された信号からフォーカスエラー信号およびトラ

ッキング制御を実行する。また、ＡＰＣ回路（６）は、光ディスク（１）に対して照射されるレーザ光のパワーが一定になるようにサーボをかける。

ＰＬＬ回路（７）は、入力信号からクロック成分を抽出するものである。通常のＣＤシステムなどで使用されるＰＬＬ回路は、全てのＲＦ信号を使ってクロック再生を行うが、本実施例の場合は、サーボ領域の部分のＲＦ信号のみを使ってクロック再生を行う。すなわち、サーボ領域の部分は記録データで変調されていないので、記録データの影響を一切受けずに、安定なクロック再生を行うことが可能となる。

第６図はこのような機能を実現するＰＬＬ回路（７）の構成を示すブロック図である。この図において、先ずサーボエリアパターン判定回路（171）が、ＲＦ信号からサーボ領域と思われるパターンを検出すると、サーボ領域検出パルスを発生する。ここで、サーボ領域と同じパターンは、データ領域中に現われる可能性もあり、このパルスは必ずしも正しいとは限らないが、とりえあずこれが正しいものと仮定して、ロック検出回路（172）がこの信号をカウンタ（173）にリセットパルスとして供給し、カウンタ（173）をリセットする。

もしもこれが正しいサーボ領域であれば、その後も必ず同じタイミングで検出パルスが出力されるはずである。ロック検出回路（172）はこのことを検出して、ＰＬＬ回路（７）がロック状態にあるかどうかを判定する。

もしも正しい検出パルスでなかった場合には、一定時間経過してもロック検出の出力がないので、ロック状態になるまで上述の動作を繰り返す。

サーボ領域が正しく検出された後は、カウンタ（173）が正しいタイミングでリセットされているので、このカウンタ（173）

のカウント値をデコードすることで、サーボ領域が次に現われるタイミングをおおよそ予想することができる。

この原理を使って、カウンタ（173）のカウント値から、サーボ領域内の存在する特定のピットが出現するタイミングを生成し、これをゲート信号として、アンドゲート（176）へ供給する。

サーボ領域の両側に記録されたデータからの影響を除去するために、可能な限りサーボ領域の中央部にあるピットが選ばれるようにゲート信号のタイミングは調整される。

ＲＦ信号を微分回路（174）で微分してゼロクロス検出回路でゼロクロス点を検出した信号のうち、このアンドゲート（176）を通過したものが位相比較パルスとなりサンプルホールド回路（177）へ供給される。

サンプルホールド回路（177）は、カウンタ（173）の出力に基づいて鋸波発生回路（178）で発生された鋸波を、特定のピットが出現したタイミングで瞬間的にサンプルホールドすることにより、カウンタ（173）をカウントアップしているクロックと、光ディスク（１）上のサーボ領域に存在する特定のピットの時間差（位相誤差）を検出する。

この位相誤差信号は、フィルタ（179）を通過した後、ＶＣＯ（電圧制御発振器）のドライブ電圧としてフィードバックされ、光ディスク（１）上のサーボ領域に存在する特定ピットと、クロックが常に正しい位相関係を保つＰＬＬのループを構成する。

上述したカウンタ（173）の出力をデコーダ（181）でデコードすることにより、第１３図に示す所定の位相関係のサンプルクロックＳＰ、クロックＡ、クロックＢ、クロックＲＡ、クロックＲＢ、クロックＴＡ、クロックＴＢが生成される。これらのクロックは、第５図に示すように、Ａ／Ｄ変換回路（９）と、バイアス除去回路（10）と、二次元デコーダ（11）へ供給される。

第５図におけるスピンドルサーボ回路（８）は、第６図におけるＶＣＯ（180）のドライブ電圧が常に一定値になるようにスピンドルモータ（２）を制御し、光ディスク（１）が一定の角速度で回転するように制御する。

一方、ヘッドアンプ（４）が出力するＲＦ信号は、Ａ／Ｄ変換回路（９）に入力され、サンプルクロックＳＰの立ち上りのタイミングで、８ビットの２５６段階のレベルを示すディジタルデータ（再生レベル）にＡ／Ｄ変換される。この８ビットのデータがバイアス除去回路（10）に供給され、このバイアス除去回路（10）によりバイアス成分が除去された後、二次元デコーダ（11）とコントローラ（15）に供給される。コントローラ（15）は、各種演算を行うＣＰＵと、このＣＰＵで実行されるプログラムが格納されたプログラムＲＯＭ等によって構成されており、後述するマッピング処理等を実行する。

二次元デコーダ（11）は、バイアス除去回路（10）より供給された信号をデコードし、その出力を６－８ビット変換回路（12）に供給する。６－８ビット変換回路（12）は、入力された６ビットのデータを４組蓄積した後、８ビットの３組のデータに変換し、誤り訂正回路（13）に出力する。誤り訂正回路（13）は、入力されたデータの誤りを訂正した後、Ｄ／Ａ変換回路（14）に出力する。Ｄ／Ａ変換回路（14）は、入力されたデータをアナログ信号に変換して、図示せぬアナログオーディオアンプに出力する。

二次元デコーダ（11）は、例えば、第７図に示すように構成される。即ち、バイアス除去回路（10）より供給された８ビットの再生レベルデータは、遅延回路（21）と（22）により順次遅延される。そして初段の遅延回路（21）より出力されたデータと、後段の遅延回路（22）により遅延さたデータとが、ＲＡＭ（23）にアドレスデータとして出力される。そしてＲＡＭ（23）は、遅延

回路（21）と（22）より供給されたアドレスデータに対応するアドレスに書き込まれている6ビットの復号データを読み出し、これを6－8ビット変換回路（12）に出力する。

第8図は、バイアス除去回路（10）と二次元デコーダ（11）より詳細な構成例を示している。即ち、この実施例においては、A／D変換回路（9）より出力された8ビットのデータがラッチ回路（31）と（32）に供給されるとともに、減算回路（42），（44）とともにバイアス除去回路（10）を構成するラッチ回路（41）と（43）に供給されるようになされている。減算回路（42）は、ラッチ回路（31）にラッチさたデータからラッチ回路（41）にラッチされたデータを減算し、減算回路（44）は、ラッチ回路（32）にラッチされたデータからラッチ回路（43）にラッチされたデータを減算し、それぞれ出力する。

減算回路（42）と（44）の出力は、ＲＡＭ（23）にその8ビットの上位アドレスと8ビットの下位アドレスとして供給される。またラッチ回路（33）と（34）は、減算回路（42）と（44）より供給される各々8ビットの教育データを所定のタイミングでラッチし、ラッチした教育データをコントローラ（15）に出力するようになされている。コントローラ（15）は、この教育データをパターン化し、ＲＡＭ（23）にマッピングを行なうように予めプログラムされている。

次に、上記実施例の動作について説明するが、その前に本実施例における情報ピットのシフト位置の読み取りの原理について説明する。

いま、ピット間の距離が充分に離れているとして、隣接ピットからの符号間干渉を無視するとすると、第ｎ番目のピットの前端エッジおよび後端エッジのシフト期間におけるＡ／Ｄ変換回路9の出力データ（再生レベル）は、第9図に示すように、Ｖａ（ｎ），

Ｖｂ（ｎ）である。このＶａ（ｎ），Ｖｂ（ｎ）は、ＲＦ信号のレベルを表しており、次式で示すことができる。

Ｖａ（ｎ）＝Δｒｆ×ａｎ＋ｇａ（ｂｎ）

Ｖｂ（ｎ）＝Δｒｆ×ｂｎ＋ｇｂ（ａｎ）

ここで、Δｒｆは単位シフト量Δに定数ｋを乗じた値ｇａ（ｂｎ）およびｇｂ（ａｎ）は、２つのエッジ間の符号間干渉を表している非線形の関数であり、記録密度を上げるほど（即ち、２つのエッジが近づくほど）これらの値は大きくなる。データの復号は、この連立方程式を解き、観測されるＶａ（ｎ）およびＶｂ（ｎ）から記録された信号ａｎ，ｂｎを求めることである。

なお、上記非線形関数は、第９図に示すラインスプレッド関数（Line spread function）ｆに基づいて概略求められ、このラインスプレッド関数ｆは光ディスク１の反射面からの反射光の強度分布によって定まり、詳しくは、“APPLIED OPTICS / Vol.26, No.18 / 15 September 1987 P.3961～P.3973”に記載されている。

この信号ａｎ，ｂｎは、二次元空間上でのパターン認識の問題として把えることができる。即ち、すべての（ａｎ，ｂｎ）の組合せに対して、上記した式の計算を行ない、その結果得られるＶａ（ｎ）を例えばＸ軸、Ｖｂ（ｎ）をＹ軸の値として二次元空間にプロットすると、Ｖａ（ｎ），Ｖｂ（ｎ）の取り得る値は、第１０図に示すような情報点として表される。この二次元平面上においては、符号間干渉の影響を表わす関数ｇａ（ｂｎ）およびｇｂ（ａｎ）は情報点の位置歪として表現される。即ち、この関数ｇａ（ｂｎ）およびｇｂ（ａｎ）が０である場合においては（符号間干渉が起きない場合においては）、情報点は第１０図に破線で示す線の交差した位置（格子点）（基準点）に位置することになる。しかしながら実際には、例えば第１１図に示すような単調増加関数となる符号間干渉の関数ｇｂ（ａｎ），ｇａ（ｂｎ）が

発生する。その結果、第１０図に示すように、図中黒丸印で示す情報点が格子点（基準点）からずれることになる。

このずれは符号間干渉により発生するのであるから、符号間干渉が大きくなるほどこのずれも大きくなる。第１２図は、この様子を示している。即ち、第１２図（Ａ）は、線記録密度を0.32μｍ／bitとした場合のずれ（歪）を表しており、同図（Ｂ）と（Ｃ）は、それぞれ配線記録密度が0.36μｍ／bit または0.46μｍ／bitである場合における歪を表している。線記録密度が小さくなるほど（高密度になるほど）歪が大きくなることが理解される。

即ち、上記した教育ピットＰ２に記録した教育データを再生して、その再生レベルにより規定される情報点を、第１０図に黒丸印で示したように、基準点としてＲＡＭ（23）上にマッピングする。そして、データピットのデータを読み取って得られる情報点をＲＡＭ（23）上でプロットし、最も近い基準点がその情報点に対応する基準点であると判定するのである。そして、その基準点の示すエッジ位置（ａｎ，ｂｎ）が読み取った情報点のエッジ位置として出力されるのである。

次に、第１３図のタイミングチャートを参照して、最初にＲＡＭ（23）に対する基準点のマッピングの動作について説明する。

ピックアップ（３）は光ディスク（１）より、そこに記録されている信号を再生する。この再生ＲＦ信号はヘッドアンプ（４）を介してＡ／Ｄ変換回路（９）に供給され、サンプルクロックＳＰ（第１３図（Ｃ））の立ち上りのタイミングでＡ／Ｄ変換される。Ａ／Ｄ変換回路（９）より出力されたディジタルデータは、ラッチ回路（31），（32），（41），（43）にそれぞれ供給される。これらのラッチ回路には、クロックＡ（第１３図（Ｄ））、クロックＢ（第１３図（Ｅ））、クロックＲＡ（第１３図（Ｈ））、クロックＲＢ（第１３図（Ｉ））がそれぞれ供給されている。

第１３図に示すクロックＡ、クロックＢ、クロックＲＡ、クロックＲＢ、クロックＴＡ（第１３図（Ｆ））、クロックＴＢ（第１３図（Ｇ））は、ＰＬＬ回路（７）で生成されたクロックである。第１３図を参照して明らかなように、クロックＡとクロックＢは、それぞれ各ピットの前端エッジと後端エッジをサンプリングするタイミングの直後に発生される。また、クロックＲＡとＲＢは、それぞれサーボ領域の基準ピットＰ３の基準位置データ（０，０）をラッチするタイミングで発生される。

従って、ラッチ回路（41）とラッチ回路（43）には、前回のサーボ領域における基準ピットＰ３の前方エッジと後方エッジの基準位置データ（０，０）がラッチされている。ラッチ回路（31）と（32）により教育ピットＰ２の前端エッジと後端エッジの教育データがラッチされると、減算器（42）によりラッチ回路（31）のラッチデータからラッチ回路（41）のラッチデータが減算される。同様にして、ラッチ回路（32）によりラッチされたデータからラッチ回路（43）によりラッチされたデータが減算される。

即ち、減算回路（42）と（44）は、教育ピットＰ２の位置Ｍ（Ｍは０乃至７のいずれかの値）と位置０におけるレベルの差を出力することになる。また減算回路（44）は、位置Ｎ（Ｎは０乃至７のいずれかの値）と位置０のレベルの差を出力することになる。このように、位置０におけるレベルを減算することにより再生信号のＤＣ成分（バイアス成分）が除去されることになる。そして、このようにＤＣ成分が除去されたデータは、ラッチ回路（33）と（34）にそれぞれ供給さる。ラッチ回路（33）と（34）はクロックＴＡとＴＢが入力されたタイミングにおいて、このデータをラッチし、コントローラ（15）に出力する。即ち、ラッチ回路（33）と（34）は、ＤＣ成分が除去された教育データをラッチし、コントローラ（15）に出力することになる。

勿論、基準位置データ（0，0）の値を減算しないで、各シフト位置のデータの絶対的レベルをラッチすることも可能である。しかしながら、そのようにすると、ディスク1や光学系のバラツキなどに起因して、各シフト位置の絶対的レベルが変化するので、各シフト位置の判定が困難になる。そこで、このように基準位置データ（0，0）の値を減算することで、ディスク（1）や光学系のバラツキによる影響を軽減するのが好ましい。

コントローラ（15）は、ラッチ回路（33）から入力された教育データ第8図における下位アドレス、ラッチ回路（34）より入力される教育データ第8図における上位アドレスとして、その2つの座標により規定される情報点を基準点としてＲＡＭ（23）上にマッピングする。

以上のマッピング動作が64個のサーボ領域からの教育データに対応して行なわれると、64個の基準点が、第14図に示すように、ＲＡＭ（23）上の所定の記憶点にマッピングされることになる。

次に、コントローラ（15）は、ＲＡＭ（23）上の各記憶点の、64個の基準点が記憶された記憶点に対する距離を演算する。即ち、例えば第15図に示すように、記憶点ｍ1乃至ｍ17の、基準点（0，7）が記憶された記憶点ｍｉに対する距離を演算する。また同様にして、記憶点ｍ1乃至ｍ17の、基準点（1，7）が記憶された記憶点ｍｊに対する距離も演算する。そして、各記憶点に、基準点が記憶されている記憶点のうち、最も近い記憶点に記憶されている基準点と同一のデータを記憶させる。

ここで、Ａ／Ｄ変換回路（9）における1サンプル当りの量子化ビット数が8ビットであるので、その出力は256段階のレベルを有することになる。従って、ＲＡＭ（23）は横軸と縦軸のアドレスとして、それぞれ256個のアドレスを有することになる。

換言すれば、ＲＡＭ（23）は、２５６×２５６個の記憶点により構成されることになる。このうち、所定の記憶点に、第１４図に示すように基準点が記憶されることになる。

そして、この基準点が記憶されていないその他の記憶点に対しては、既に基準点が記憶されている記憶点との距離が演算され、最も近い距離の記憶点に記憶されている基準点と同一のデータが、各記憶点に記憶される。例えば第１５図の実施例においては、記憶点ｍ１乃至ｍ１７のうち、記憶点ｍ１乃至ｍ９は記憶点ｍｉ（基準点（０，７））に最も近く、記憶点ｍ１０乃至ｍ１７は記憶点ｍｊ（基準点（１，７））に最も近いことになる。そこで、記憶点ｍ１乃至ｍ９には、基準点（０，７）のデータ書き込まれる。即ち、これらの記憶点は、基準点（０，７）の領域Ａ（０，７）とされる。これに対して、記憶点ｍ１０乃至ｍ１７には、基準点（１，７）のデータが書き込まれる。即ち、これらの記憶点は、基準点（１，７）に対応する領域Ａ（１，７）とされる。

以上のようにして、２５６×２５６個の各記憶点に基準点のデータが書き込まれるため、各基準点に対応するＲＡＭ（23）上の領域を図に示すと、第１６図に示すようになる。各領域Ａ（ｉ，ｊ）に含まれる記憶点には、基準点（ｉ，ｊ）のデータが記憶されていることになる。

上述したコントローラ１５によるマッピング処理のフローチャートを、第１７図に示す。

まず、前述したように、光ディスク（１）の各サーボ領域の教育ピットＰ２の前端エッジの位置Ｍと後端エッジの位置Ｎは、各サーボ領域において、それぞれ異なる組合せに設定されている。これら教育データ（Ｍ，Ｎ）は、データ領域に対する挿入位置に対応して所定の順序となるように規則的に設定されている。すなわち、最初のサーボ領域においては、（０，０）とされ、次のサ

ーボ領域においては（0，1）とされ、以降同様に、（0，2），（0，3），・・・，（7，6），（7，7）と設定されている。

そこで、第17図に示すステップSP1においては基準位置データ（0，0）に対応する教育データ（0，0）を、順次到来するサーボ領域から検出し、最初のサーボ領域が検出された時点で、ステップSP2に進み、MとNが0に設定された後、ステップSP3へ進む。このステップSP3において、教育データ（0，0）で指定されるRAM（23）上のアドレス（記憶点）を基準点（0，0）として、復号データ（0，0）を格納する。以降同様にして、ステップSP3～SP8を繰り返し処理することによって、教育データ（0，1），・・・，（7，7）で指定されるRAM（23）上のアドレス（記憶点）に、復号データ（0，1），・・・，（7，7）を格納する。

その後、ステップSP9に進み、上述した補間演算処理により、基準点（i，j）以外の記憶点に、復号データ（i，j）を格納する。

以上のマッピング処理が、異なる光ディスク（1）が再生装置に装填される毎に、初期設定動作としてコントローラ（15）によって実行される。

次に、第18図のタイミングチャートを参照して、データ領域における動作について説明する。第18図（A）に示すピット列に対応して、同図（B）に示すRF信号がA／D変換回路9に入力される。各ピットの前端及び後端のエッジのレベルがサンプルクロックSP（第18図（C））の立ち上りに同期してサンプリングされる。第18図（A）および（B）にしすめように、RF信号の位相はピットのエッジの位置に対応して変化する。

そしてサンプルクロックSPは、このエッジのシフト期間に発生するので、エッジのシフト位置はRF信号のレベル変化として

検出することができる。

ラッチ回路（31）によりラッチされたデータピットの前端エッジのデータは、ラッチ回路（41）にラッチされている位置0のレベルとの差が減算回路（42）により演算された後、ＲＡＭ（23）に、その下位アドレス（第１０図における横軸のアドレス）として供給される。同様にして、ラッチ回路（32）によりラッチされたデータピットの後端のエッジのデータは、ラッチ回路（43）にラッチされている位置0のレベルが減算されてＤＣ成分が除去された後、ＲＡＭ（23）に上位アドレス（第１０図における縦軸のアドレス）として供給される。ＲＡＭ（23）は、横軸と縦軸により規定されるアドレスに記憶されている復号データを読み出して、出力する。この復号データとしてては、上述したマッピングによる教育データの基準点が書き込まれている。従って、情報点に最も近い基準点のデータ（ａｎ，ｂｎ）が選択された出力されることになる。

このようにして第5図に示す二次元デコーダ（11）より出力された6ビットの復号データ（ａｎ，ｂｎ）は、6－8ビット変換回路（12）に供給されて、8ビットのデータに変換される。即ち、光ディスク（１）に例えば音声信号が記録されるとき、音声信号は8ビットを単位として誤り訂正処理が実行される。しかしながら上述したように、本実施例においては、前端エッジ3ビット（8段階のシフト位置）、後端エッジ3ビット（8段階のシフト位置）の合計6ビットが基本的な単位としてデータが記録される。即ち、記録時に8ビットの区切りのデータを所定の方式に従って6ビット区切りのデータに変換して光ディスク（１）にデータを記録している。そこで、6－8ビット変換回路（12）において、この6ビット単位のデータを元の8ビット単位のデータに逆変換するのである。

これは、例えば6ビットの単位の4組のデータを復号した後、これらをまとめて8ビット単位の3組のデータを出力するように動作する。

6－8ビット変換回路（12）により逆変換された8ビットを単位とするデータは、誤り訂正回路（13）に供給され、その誤りが訂正された後、D／A変換回路（14）に供給され、D／A変換されて、例えば図示せぬアナログオーディオアンプで増幅され、スピーカなどから再生音として放音される。

第19図は、上述した実施例において、バイアス除去回路（10）を動作させない状態で、デコードして得られたデータのエラーレートを示している。同図に示すように、鋸歯波状を用いて行った従来のデコード方法（本出願人が先に提案した、特願平3－167585号に記載の方法）に較べ、上述したRAM（23）上にマッピングした基準点を用いて二次元デコードを行った場合の方がエラーレートが小さくなっていることが判る。また、線記録密度を小さくした場合の方がより効果が上がっていることが判る。

尚、上述した実施例においては、第1図に示すように、1つのピットの前端エッジと後端エッジを対として、それぞれにデータanとbnを記録するようにしたが、例えば第20図に示すように、隣接するピットのそれぞれ対向するエッジにデータanとbnを記録するようにすることもできる。この場合においては、サーボ領域における教育データと位置基準データも、第21図に示すように、2つのピットの対向するエッジにそれぞれの教育データと位置基準データを記録する。この実施例においては、教育ピットP1とP2のそれぞれ対向するエッジに教育データ（M，N）が記録されており、基準ピットP3とP4の対向するエッジに位置基準データ（0，0）が記録されており、基準ピットP4とP5のそれぞれ対向するエッジに位置基準データ（7，7）が記録

されている。

この場合においては、クロックAとクロックBが第18図（F）と（G）に示すように、それぞれピットの後方のエッジと前方のエッジにおいて発生するようにする。

再生データにより得られた情報点と、教育データにより得られた基準点との距離は、RAM（23）に予め記憶しておくのではなく、その都度演算することも可能であるが、そのようにすると迅速な判定が困難になるため、実施例のようにRAM（23）に予め書き込んでおくことが好ましい。

第5図に示す実施例においては、A／D変換回路（9）と二次元デコーダ（11）との間に、バイアス除去回路（10）を配置する構成としたが、バイアス除去回路（10）以外にゲイン調整回路を挿入することが可能である。第22図は、この場合の実施例を示している。即ち、この実施例においては、減算回路（42）の出力がゲイン可変アンプ（63）に供給されるとともに、ラッチ回路(61)に供給され、クロックKAでラッチされるようになされている。ラッチ回路（61）の出力が減算回路（62）に供給され、所定の目標振幅との差が演算されるようになされている。そして、減算回路（62）の出力がゲイン可変アンプ（63）に供給されている。

同様にして、減算（44）の出力がゲイン可変アンプ（66）に供給されるとともに、ラッチ回路（64）に供給されている。ラッチ回路（64）によりクロックKBのタイミングでラッチされたデータは、減算回路（65）に供給され、図示せぬ回路から供給される目標振幅が減算された後、ゲイン可変アンプ（66）に供給されるようになされている。

尚、ゲイン可変アンプ（63），（66）は、ROMにより構成することができる。このROMに、減算回路（42）と（62）（（44）と（65））の出力をアドレスとして入力し、そのアドレスに対応

するデータを読み出すようにする。

そして、ゲイン可変アンプ（63）の出力がＲＡＭ（23）とラッチ回路（33）に供給されるとともに、ゲイン可変アンプ（66）の出力がＲＡＭ（23）とラッチ回路（34）に供給されるようになされている。即ち、バイアス除去回路（10）の後段に、ゲイン調整回路（60）が接続された構成となっている。その他の構成は、第５図および第８図における場合と同様である。

次に、第２２図の実施例について、第２３図のタイミングチャートを参照して説明する。第２２図の実施例においては、第１図および第１３図に示す実施例の場合と異なり、教育ピットＰ１とＰ２のそれぞれ対向するエッジに教育データが配置されている。また、基準ピットＰ３とＰ４の対向するエッジに基準位置データ（０，０）が記録され、基準ピットＰ４とＰ５の対向するエッジに基準位置データ（７，７）が記録されている（第２３図（Ａ））。

この教育ピットＰ１，Ｐ２と、基準ピットＰ３乃至Ｐ５に対応して、第２３図（Ｂ）に示すＲＦ信号が得られる。これを第２３図（Ｃ）に示すサンプルクロックＳＰのタイミングでＡ／Ｄ変換回路（９）においてＡ／Ｄ変換し、このデータをクロックＡ（第２３図（Ｄ））のタイミングでラッチ回路（31）においてラッチするとともに、クロックＢ（第２３図（Ｅ））のタイミングでラッチ回路（32）においてラッチする。さらに、クロックＲＡ（第２３図（Ｆ））のタイミングでラッチ回路（41）においてラッチし、またクロックＲＢ（第２３図（Ｇ））のタイミングでラッチ回路（43）においてラッチする。

そして、減算回路（42）において、ラッチ回路（31）の出力からラッチ回路（41）の出力を減算するとともに、減算回路（44）において、ラッチ回路（32）の出力からラッチ回路（43）の出力を減算する。このようにして、ＤＣ成分に影響されないデータを

得ることができる（第１４図において、基準点（０，０）を、破線で示す直線が交差する格子点の位置に配置することができる）のは、上述した場合と同様である。

本実施例においては、さらにラッチ回路（61）において、減算回路（42）の出力がクロックＫＡ（第２３図（Ｈ））のタイミングでラッチされる。即ち、ラッチ回路（61）には基準ピットＰ４の後端エッジに記録されている位置基準データ７がラッチされる。このラッチ回路（61）の出力から、減算回路（62）において予め設定された目標振幅が減算される。そして、その差がゲイン可変アンプ（63）に供給される。ゲイン可変アンプ（63）は、減算回路（62）より供給される信号に対応して、減算回路（42）より供給される信号のゲインを調整する。即ち、これにより、ゲイン可変アンプ（63）より出力される信号の、第１０図において、基準点（７，７）で示される横軸方向の位置が目標振幅になるように設定される。

同様にして、ラッチ回路(64)において、クロックＫＢ（第２３図（Ｉ））のタイミングで減算回路（44）の出力がラッチされる。即ち、このラッチ回路（64）には、基準ピットＰ５の前端エッジに記録されている位置基準データ７がラッチされる。このラッチ回路（64）によりラッチされたデータは、減算回路（65）において目標振幅が減算された後、ゲイン可変アンプ（66）に供給される。ゲイン可変アンプ（66）は、減算回路（65）より供給される信号に対応して、減算回路（44）より供給される信号のゲインを調整する。これにより、ゲイン可変アンプ（66）より出力される信号の、第１０図において、基準点（７，７）で示す縦軸方向の位置が予め設定した目標振幅位置になるように調整される。

このように、ゲイン調整回路（60）により利得を調整することにより、第14図に示す基準点（７，７）の位置を所定の位置に常

に配置することができる。これにより、光ディスク（1）に局部的に特性のバラツキがあったような場合においても、データを正確に読み取ることが可能となる。

第24図は、ゲイン可変アンプ（63）（または（66））の出力を表している。同図（A）は、減算回路（62）の出力をゲイン可変アンプ（63）に供給しない場合のものであり、同図（B）は、供給した場合のものである。減算回路（62）の出力によりゲインを調整した方がレベル変動が抑制されていることが判る。

第25図は、第22図における実施例において、CDシステムに使われているエラー訂正の手法を応用したときのC1のエラーの数を測定した場合を示している。図中、白丸印は、ラッチ回路（41），（43）の出力を減算回路（42），（44）に供給するとともに、減算回路（62），（65）の出力をゲイン可変アンプ（63），（66）に供給しない場合のものであり、図中、黒丸印は、ラッチ回路（41），（43）の出力を減算回路（42），（44）に供給するとともに、減算回路（62），（65）の出力をゲイン可変アンプ（63），（66）に供給した場合のものである。後者の方が発生するエラーの数が減少していることが判る。また、記録線密度がCDの2倍であるにも関わらず、エラーの数がCDの規格を満足していることが判る。

以上のように、教育ピットP1，P2、あるいは基準ピットP3乃至P5に記録されているデータを基準として再生データを処理するのであるから、これらの基準となるデータに例えばドロップアウトなどがあると、正確なデータの読み取りが困難になる。これを防止するため、例えば第26図に示すように構成することができる。即ち、この実施例においては、第22図におけるラッチ回路（31）と（32）がFIFO（71）と（72）に置き換えられており、ラッチ回路（41）と（43）がディフェクト除去回路（73）

と（74）に置き換えられている。また、ラッチ回路（61）と（64）がディフェクト除去回路（82）と（84）に置き換えられるとともに、ゲイン可変アンプ（63）と（66）の前段にＦＩＦＯ（81）と（83）が挿入されている。その他の構成は第２２図における場合と同様である。

即ち、ディフェクト除去回路（73）は、Ａ／Ｄ変換回路（９）より入力されるデータを、第２７図に示すように、例えば４ブロック分記憶する。そして、各ブロックにおける位置基準データ（０，０）を比較し、最大と最小のデータを除く、２つのデータの平均を演算し、それを位置基準データ（０，０）のデータとする。このようにすれば、ドロップアウトなどにより位置基準データ（０，０）の値が異常な値となったとしても、その異常な値が基準データとして用いられるようなことが防止される。

このことは、他のディフェクト除去回路（74），（82），（84）においても同様である。

尚、ＦＩＦＯ（71），（72），（81），（83）は、ディフェクト除去回路（73），（74），（82），（84）において４ブロックのデータを記憶する必要があるため、これに基づく遅延時間だけデータを遅延して、減算回路（42），（44）またはゲイン可変アンプ（63），（66）に供給するためのものである。

第２８図は、ディフェクト除去回路（73）（（74），（82），（84）においても同様である）の構成例を示している。この実施例においては、Ａ／Ｄ変換回路（９）より入力されたデータがラッチ回路（91）乃至（94）にクロックＲＡに同期して順次ラッチされる。そしてラッチ回路（91）乃至（94）にラッチされたデータは、ゲート（95）乃至（98）がオンされることによりデータバスに読み出される。データバス上のデータは、ラッチ回路（99）乃至（102）に、コントローラ（104）が出力するクロックに同期

して所定のタイミングでラッチされる。このコントローラ（104）は、各種演算を行うＣＰＵと、このＣＰＵで用いられるプログラムが予め格納されたＲＯＭなどからマイクロコンピュータによって構成されている。

ラッチ回路（99）と（100）によりラッチされたデータは、比較回路（103）に供給され、そのレベルの大小が比較される。そして、その比較結果に対応した信号ＳＡＢがコントローラ（104）に供給される。コントローラ（104）は、ゲート（95）乃至（98）にそれぞれゲート制御信号ＥＡ，ＥＢ，ＥＣ，ＥＤを出力し、所定のデータをデータバスに読み出させるとともに、ラッチ回路（99）乃至（102）に出力するクロックを生成している。また、比較回路（103）より供給された信号から、ラッチ回路（91）乃至（94）にラッチされているデータのうち、最大値と最小値を第２９図に示すようなテーブルに従って判定する。

即ち、コントローラ（104）は、ゲート制御信号ＥＡ乃至ＥＤの所定のものを所定のタイミングで出力し、データバスを介してラッチ回路（99）と（100）に、ラッチ回路（91）乃至（94）にラッチされているデータのうち、所定の２つのデータをそれぞれラッチする。そして、このラッチしたデータの大小を比較回路（103）で判定する。この処理を何回か繰り返すことにより、ラッチ回路（91）乃至（94）にラッチされているデータの最大値と最小値が求められる。

第２９図においては、ラッチデータＲn-1 乃至Ｒn-2 のうち、最上行において左側に記載されているものが右側に記載されているものより大きいとき論理１、小さいとき論理０、不定のときＸで示されている。例えばラッチ回路（94）にラッチされているデータＲn-1 が、ラッチ回路（93）にラッチされているデータＲｎより大きく、ラッチ回路（94）にラッチされているデータＲn-1

が、ラッチ回路（92）にラッチされているデータＲn+1 より大きく、さらにラッチ回路（94）にラッチされているデータＲn-1 が、ラッチ回路（91）にラッチされているデータＲn+2 より大きいとき、ラッチ回路（94）にラッチされているデータＲn-1 が最大値となる。

また、Ｒn-1 がＲｎより小さく、ＲｎがＲn+1 より大きく、かつ、ＲｎがＲn+2 より大きい場合、Ｒｎが最大値となる。

以下同様にして、第２７図より最大値と最小値が求められる。

コントローラ（104）は、以上のようにして第２９図に示すテーブルからラッチ回路（91）乃至（94）に記憶されているデータＲn-1 乃至Ｒn+2 のうち、最大値と最小値が判ったとき、それを除く、他のデータをデータバス上に読み出し、これをラッチ回路（101）と（102）にラッチする。そして、ラッチ回路（101）と（102）にラッチされたデータは、加算回路（105）により加算され、乗算回路（106）により係数１／２が乗算された後、ラッチ回路（107）に供給され、ラッチされる。即ち、このラッチ回路（107）には、ラッチ回路（91）乃至（94）にラッチされたデータＲn-1 乃至Ｒn+2 のうち、最大値と最小値を除く２個のデータの平均値がラッチされる。このデータが減算回路（42）に供給されることになる。

第３０図は、第２６図においてディフェクト除去回路（73），（74），（82），（84）を用いた場合（同図においてＡで示す）と、用いない場合（同図においてＢで示す）のレベルの変化を示している。ディフェクト除去回路を用いない場合、レベルがドロップアウトなどに起因するディフェクトに対応して、ばらついていることが判る。これに対して、ディフェクト除去回路を用いた場合においては、ディフェクトが除去されるため、レベルのバラツキが抑制されていることが判る。即ち、それだけ正確にデータ

を判定することが可能になる。

この他、再生データにより得られる情報点と教育データにより設定された基準点との最小距離は、例えば第３１図に示すような構成により検出することもできる。

この実施例においては、再生ＲＦ信号がＡ／Ｄ変換回路（50）によりＡ／Ｄ変換され、ラッチ回路（51）と（52）によりラッチされるようになされている。ラッチ回路（51）は、上記した例えばピットの前方のエッジに対応したデータをラッチし、ラッチ回路（52）は、後方のエッジに対応したデータをラッチする。ラッチ回路（51）と（52）によりラッチされたデータは、６４個の相関器（53－１）乃至（53－64）に供給される。相関器（53－１）乃至（53－64）には、６４通りの教育データがそれぞれ供給される。そして各相関器（53－１）乃至（53－64）は、ラッチ回路（51），（52）より供給されたデータと教育データとの相関を演算し、その演算結果を最大値検出器（54）に出力している。最大値検出器（54）は、例えばＷｉｎｎｅｒ　Ｔｅｋｅ　Ａｌｌ回路により構成され、相関器（53－１）乃至（53－64）より供給される６４個のデータのうち、最大のものを検出し、それを出力する。

上述した実施例においては、ＣＬＶモードとした場合を例に挙げて説明したが、ＣＡＶモードとしても勿論かまわない。この場合に、隣接するトラック間でピットとピットの位置が互いに９０度の位相ずれを持つようにピットを配置することで、隣接トラック間のクロストークの影響を減らし、トラック方向にも高密度化を実現することが可能となる。

尚、上述した実施例においては、ＲＡＭ（23）に教育データに対応してすべての基準点をマッピングするようにしたが、その一部（例えば１６個）の基準点のみを教育データによりマッピングし、他の基準点は教育データによりマッピングされた基準点から

演算により補間するようにすることもできる。

最後に、上述した高記録密度の光ディスク（１）の記録装置の実施例について説明する。

第３２図において、情報源（201）は、記録すべき信号として、オーディオ信号をディジタル化して出力する。ＥＣＣ回路（202）は、情報源（201）より供給されたディジタルオーディオデータに誤り訂正符号を付加し、変換回路（203）に出力する。変換回路（203）は、入力されたデータを、３ビットを単位とするデータに変換する。すなわち、この実施例においては、各ピットのエッジ位置が０乃至７の８段階の位置の何れかに設定される。このため、各エッジの位置を特定するために、３ビットのデータが必要となる。変換回路（203）においては、この３ビットのデータが生成される。

クロック情報発生回路（205）は、光ディスク（１）に記録されているデータを読み取るために必要なクロックを生成するのに必要なデータを発生する。バイアスゲイン情報発生回路（206）は、バイアス点を示すデータ（基準点（０，０）を示すデータで、前端エッジと後端エッジの位置が、何れも０であることを示すデータ）と、ゲインを設定するデータ（基準点（７，７）を示すデータで、前端エッジと後端エッジの位置が、何れも７であることを示すデータ）を発生する。

ＰＬＬ引込信号発生回路（207）は、ＰＬＬを引き込ませるための信号を発生する。教育データ発生回路（208）は、エッジ位置（ａｎ，ｂｎ）が、（０，０）乃至（７，７）のエッジ位置に対応するデータを発生する。これらのクロック情報発生回路（205）、バイアスゲイン情報発生回路（206）、ＰＬＬ引込信号発生回路（207）、および教育データ発生回路（208）が出力するデータは、いずれも加算器（204）に供給され、変換回路（203）より

供給されるデータと加算される（時分割多重される）。

加算器（204）の出力は、記録エッジ位置計算回路（209）に供給され、この記録エッジ位置計算回路（209）の出力がエッジ変調回路（210）に出力されている。そして、エッジ変調回路（210）の出力がマスタリング装置（211）に供給され、カッティング、現像、メッキ処理、転写、アルミ蒸着、保護膜塗布などのプロセスを経て、光ディスク（１）が作成される。

以上の構成において、エッジ変換回路（210）は、記録エッジ位置計算回路（209）より出力されたデータに対応するタイミングのタイミング信号を発生し、これをマスタリング装置（211）に出力する。

ここで、エッジ位置変調回路（210）は、第２図に示すように、各ピットの前端および後端のエッジ位置を、それらのピットの中心の基準位置から、記録すべきディジタル情報に応じて各々８段階にシフトさせるタイミングのタイミング信号を発生するように構成されているが、各ピットのエッジ位置のシフト期間Ｔｓが、再生装置側の光学検出系（ピックアップ（３））の伝達特性に応じて決まるＲＦ信号の過渡期間（立ち上り期間ｔｒまたは立ち下り期間ｔｆ）よりも小なる期間に相当する範囲内に納まるように設定されている。

マスタリング装置（211）は、エッジ変調回路（210）より供給されたタイミング信号に同期して記録原盤上に塗布された感光膜をレーザビームによりカッティングする。カッティングされた原盤は現像され、メッキが施されて、スタンパが作成される。そして、このスタンパに形成されたピットをレプリカに転写し、このレプリカにアルミ蒸着を施し、さらに保護膜を塗布することにより、光ディスク（１）が製造される。

以上説明したように、本発明の情報記録媒体によれば、光学検

出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ピットのエッジ位置を、所定の基準位置から、記録すべきディジタル情報に応じてステップ状にシフトさせたので、従来のＣＤシステムと比較して2倍以上の記録密度が得られる。

また、本発明による情報記録媒体を再生する情報再生装置においては、再生信号の過渡期間における1サンプルタイミングで、その再生レベルを検出することができるので、情報ピットのエッジ位置のシフト量に対応する記録情報を確実に判定することができ、従って、簡単な構成で高記録密度の情報を正確に再生することができ、構成を簡略化し、低コスト化することが可能になる。

また、情報ピットのピット列に対する挿入位置に応じて予め設定された教育データがピット列方向に隣接するエッジ位置の各々のシフト量として設定された教育ピットから、順次検出される再生レベルによって規定される基準点と、情報ピットから順次検出される再生レベルによって規定される情報点とに基づいて、情報ピットのピット列方向に隣接するエッジ位置の各々のシフト量に対応した記録情報を判定することにより、ノイズ成分を強調することなく、非成形の符号間干渉を低減することができ、さらに記録密度を向上させることが可能であると共に、より正確な復号が可能となる。

また、基準点を記憶手段状にマッピングするようにしたので、エッジの位置を簡単に、かつ迅速に判定することが可能になる。

また、情報記録媒体に記録した教育ピットから基準点をマッピングするようにしたので、情報記録媒体のバラツキに影響されずに正確にデータの読み取りを行なうことができる。

また、基準点の一部を教育ピットから規定された基準点から演算により求めるようにしたので、情報記録媒体に記録する教育ピ

ットの数を少なくすることがてき、それだけ情報記録媒体の容量を有効に利用することができる。

また、教育ピットの再生レベルに対応するアドレスにより規定される記憶点に基準点を記憶させるようにしたので、情報点の対応する基準点の判定を容易に行なうことができるようになる。

また、教育ピットの再生レベルに対応するアドレスによる規定される記憶点以外の記憶点に、教育ピットの再生レベルに対応するアドレスにより規定される記憶点のうち、最も近い記憶点に記憶されている基準点を記憶させるようにしたので、対応する基準点の迅速な判定が可能となり、再生レベルが雑音により多少変動されても正確に復号可能となる。

また、情報記録媒体から再生された信号から、エッジのシフト量が最も小さいシフト位置にある基準ピットに対応する信号を減算するようにしたので、情報記録媒体などのバラツキに影響されずに、データを正確に読み取ることが可能となる。

また、情報記録媒体から再生された信号から、エッジのシフト量が最も大きいシフト位置にある基準ピットの対応する信号を減算するようにしたので、情報記録媒体自体の局部的な特性のバラツキの影響を受けずに、データを正確に読み取ることが可能になる。

また、情報記録媒体から再生された信号から、エッジのシフト量が最も小さいシフト位置と、最も大きいシフト位置にある基準ピットに対応する信号を減算するようにしたので、情報記録媒体の個々のバラツキや、内部の局部的なバラツキに拘らず、データを正確に読み取ることが可能になる。

また、教育ピットを形成するようにしたので、情報記録媒体や再生装置の特性のバラツキに影響されずに、記録データを正確に再生することが可能になる。

また、教育データをデータピットから離間して形成するようにしたので、教育データが記録データにより影響を受けることが軽減される。

また、シフト量が最も小さいシフト位置のエッジを有する基準ピットを、データピット以外の所定の位置に記録するようにしたので、個々のバラツキがあった場合においても、正確にデータを読み取ることが可能な情報記録媒体を実現することができる。

また、シフト量が最も大きいシフト位置のエッジを有する基準ピットを、データピット以外の所定の位置に記録するようにしたので、局部的に特性のバラツキがあった場合においても、データを正確に読み取ることが可能な情報記録媒体を実現することができる。

また、シフト量が最も小さいシフト位置のエッジと、シフト量が最も大きいシフト位置のエッジを有する基準ピットを、データピット以外の所定の位置に記録するようにしたので、個々のバラツキや、局部的なバラツキに拘らず、データを正確に読み取ることが可能な情報記録媒体を実現することができる。

さらに、本発明による情報記録装置によれば、記録されるピットの長さのダイナミックレンジが低く、このため記録時における蓄熱効果等の影響は、ほとんど無視することができ、高記録密度で記録した場合においても良好な信号特性が得られる。

請求の範囲

1．ピット列に沿って光ビームで走査して各ピットに応じた再生信号を得る光学検出系によって前記各ピットに記録された情報が再生される情報記録媒体において、

前記光学検出系の伝達特性に応じて決まる前記再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ピットのエッジ位置を、所定の基準位置から、記録すべきディジタル情報に応じてステップ状にシフトさせたことを特徴とする情報記録媒体。

2．前記情報ピットの前端及び後端のエッジ位置を、所定の基準位置から、記録すべきディジタル情報に応じてステップ状にシフトさせたことを特徴とする請求の範囲1に記載の情報記録媒体。

3．前記情報ピットは光ビームの反射面に物理的な凹部または凸部として形成されていることを特徴とする請求の範囲1に記載の情報記録媒体。

4．前記情報ピットは光磁気膜の部分的な磁化の反転によって形成されていることを特徴とする請求の範囲1に記載の情報記録媒体。

5．前記光学検出系に対して線速度一定で相対移動する場合に、前記情報ピットが一定距離間隔で配列されていることを特徴とする請求の範囲1に記載の情報記録媒体。

6．前記光学検出系に対して所定の回転中心を軸に角速度一定で相対移動する場合に、前記情報ピットが中心角に関して一定角度間隔で配列されていることを特徴とする請求の範囲1に記載の情報記録媒体。

7．前記所定の基準位置は、前記情報ピットの中心位置に対応して設定されていることを特徴とする請求の範囲1に記載の情報

記録媒体。

8．前記情報ピットのピット列に挿入され、その挿入位置に対応して予め設定された教育データに応じて、エッジ位置が前記所定の基準位置からステップ状にシフトされた教育ピットを具備することを特徴とする請求の範囲1に記載の情報記録媒体。

9．前記教育ピットのピット列方向に隣接する一対のエッジ位置が、前記挿入位置に対応して予め設定された一対の教育データに応じて、前記所定の基準位置からステップ状に各々シフトされていることを特徴とする請求の範囲8に記載の情報記録媒体。

10．前記一対の教育データとして、想定し得る全ての組み合わせが、前記挿入位置に対応して予め設定され、これら全ての組み合わせの教育データに対応する教育ピットを、前記情報ピットのピット列の挿入位置に順次挿入配置したことを特徴とする請求の範囲9に記載の情報記録媒体。

11．前記教育ピットは、前記情報ピットから少なくとも1個の他のピットを介在させた位置に配置されていることを特徴とする請求の範囲8、9又は10に記載の情報記録媒体。

12．前記教育ピットは、前記情報ピットに隣接する位置に配置されている場合においては、前記情報ピットに対向するエッジと反対側のエッジが、前記教育データに応じてステップ状にシフトしていることを特徴とする請求の範囲8，9又は10に記載の情報記録媒体。

13．前記情報ピットのピット列に挿入され、エッジ位置のシフト量が最小値に設定された基準ピットを具備することを特徴とする請求の範囲1、8、9又は10に記載の情報記録媒体。

14．前記基準ピットのピット列方向に隣接する一対のエッジ位置のシフト量が共に最小値に設定されていることを特徴とする請求の範囲13に記載の情報記録媒体。

15. 前記情報ピットのピット列に挿入され、エッジ位置のシフト量が最大値に設定された基準ピットを具備することを特徴とする請求の範囲１、８、９又は10に記載の情報記録媒体。

16. 前記基準ピットのピット列方向に隣接する一対のエッジ位置のシフト量が共に最大値に設定されていることを特徴とする請求の範囲15に記載の情報記録媒体。

17. 前記情報ピットのピット列に挿入され、各々のエッジ位置のシフト量が最小値と最大値に設定された一対の基準ピットを具備することを特徴とする請求の範囲１、８、９又は10に記載の情報記録媒体。

18. 前記２個の基準ピットのエッジ位置の内、ピット列方向に隣接する一対のエッジ位置のシフト量が共に最小値に設定されていると共に、ピット列方向に隣接する他の一対のエッジ位置のシフト量が共に最大値に設定されていることを特徴とする請求項の範囲17に記載の情報記録媒体。

19. ピット列に沿って光ビームで走査する光学検出系によって記録情報が再生される情報記録媒体に、前記光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ピットのエッジ位置を、所定の基準位置からステップ状にシフトして、ディジタル情報を記録する記録手段を具備することを特徴とする情報記録装置。

20. 前記記録手段は、前記情報ピットのピット列に挿入され、その挿入位置に対応して予め設定された教育データに応じて、エッジ位置が前記所定の基準位置からステップ状にシフトされた教育ピットを前記情報記録媒体に記録することを特徴とする請求の範囲19に記載の情報記録装置。

21. 前記記録手段は、前記情報ピットのピット列に挿入され、エッジ位置のシフト量が最小値に設定された基準ピットを前記情

報記録媒体に記録することを特徴とする請求の範囲19又は20に記載の情報記録装置。

22. 前記記録手段は、前記情報ピットのピット列に挿入され、エッジ位置のシフト量が最大値に設定された基準ピットを前記情報記録媒体に記録することを特徴とする請求の範囲19又は20に記載の情報記録装置。

23. 前記記録手段は前記情報ピットのピット列に挿入され、各々のエッジ位置のシフト量が最小値と最大値に設定された一対の基準ピットを前記情報記録媒体に記録することを特徴とする請求の範囲19又は20に記載の情報記録装置。

24. ピット列に沿って光ビームで走査する光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ピットのエッジ位置を、所定の基準位置からステップ状にシフトして、ディジタル情報を記録した情報記録媒体から記録情報を再生する情報再生装置において、

前記光学検出系から得られる再生信号に基づいて、前記基準位置に対して位相的に同期したクロックを生成するクロック生成手段と

前記クロックで規定されるタイミングで、前記再生信号の過渡期間における再生レベルを検出するレベル検出手段と、

前記再生レベルに基づいて前記情報ピットのエッジ位置のシフト量に対応する記録情報を判定する判定手段とを具備することを特徴とする情報再生装置。

25. 前記クロック生成手段は、前記シフト期間の中央に相当するタイミングでクロックを生成することを特徴とする請求の範囲24に記載の情報再生装置。

26. 前記クロック生成手段は、前記情報記録媒体のサーボ領域に

記録された前記所定の基準位置を示す基準ピットから前記光学検出系を介して得られる再生信号に基づいて、前記基準位置に対して位相的に同期したクロックを生成することを特徴とする請求の範囲24に記載の情報再生装置。

27. 前記レベル検出手段は、前記クロックで規定されるサンプルタイミングで前記再生信号をアナログ／ディジタル変換することによって、前記再生レベルを検出するA／D変換回路によって構成されていることを特徴とする請求の範囲24に記載の情報再生装置。

28. 前記A／D変換回路は、前記情報ピットのエッジ位置のシフト量で示されるビット数よりも多いビット数のディジタルデータに変換することを特徴とする請求の範囲27に記載の情報再生装置。

29. 前記判定手段は、前記情報ピットのピット列に対する挿入位置に応じて予め設定された教育データがピット列方向に隣接するエッジ位置の各々のシフト量として設定された教育ピットから、前記レベル検出手段によって順次検出される再生レベルによって規定される基準点と、前記情報ピットから順次検出される再生レベルによって規定される情報点とに基づいて、前記情報ピットのピット列方向に隣接するエッジ位置の各々のシフト量に対応した記録情報を判定することを特徴とする請求の範囲24に記載の情報再生装置。

30. 前記判定手段は、前記挿入位置に応じて予め設定された一対の教育データが、前記一対のエッジ位置の各々のシフト量として設定された教育ピットから、前記レベル検出手段によって検出された一対の再生レベルによって規定される基準点を学習し、この基準点と、前記情報ピットから検出される一対の再生レベルによって規定される情報点とに基づいて、前記情報ピットの

ピット列方向に隣接する一対のエッジ位置の各々のシフト量に対応した一対の記録情報を判定することを特徴とする請求の範囲24に記載の情報再生装置。

31. 前記一対の教育データが設定された教育ピットから検出された一対の再生レベルの内、一方の再生レベルを上位アドレスとし、他方の再生レベルを下位アドレスとすることによって規定されるアドレスを基準点とし、この基準点に前記一対の教育データが復号データとして格納される記憶手段を具備し、前記判定手段は、前記情報ピットから検出される一対の再生レベルの内、一方の再生レベルを上位アドレスとし、他方の再生レベルを下位アドレスとすることによって規定されるアドレスを情報点とし、この情報点に対応する前記記憶手段のアドレスに格納されている一対の復号データを、記録情報として判定することを特徴とする請求の範囲24に記載の情報再生装置。

32. 前記判定手段は、前記記憶手段の各基準点に格納されている復号データの内、前記情報点に最も近い基準点に格納されている復号データを、記録情報と見做して判定することを特徴とする請求の範囲31に記載の情報再生装置。

33. 前記教育データが設定された教育ピットから検出された再生レベルによって規定される前記記憶手段のアドレスを基準点とし、この基準点に前記教育データを復号データとして格納するマッピング処理を行なうマッピング手段を具備することを特徴とする請求の範囲31又は32に記載の情報再生装置。

34. 前記マッピング手段は、前記記憶手段の各記憶点の内、前記基準点以外の各記憶点に、前記各記憶点に最も近い基準点に格納されている復号データを各々格納することを特徴とする請求の範囲33に記載の情報再生装置。

35. 前記記憶手段は、随時書込み／読み出し可能な半導体メモリ

によって構成されていることを特徴とする請求の範囲31、32、33又は34に記載の情報再生装置。

36. 前記レベル検出手段によって検出された再生レベルから、エッジ位置のシフト量が最小値に設定された基準ピットから検出された再生レベルを減算するバイアス除去手段を具備することを特徴とする請求の範囲24、25、26、27、28、29、30、31、32、33、34又は35に記載の情報再生装置。

37. 前記バイアス除去手段は、エッジ位置のシフト量が最小値に設定された複数の基準ピットから検出された複数の再生レベルの内、最大値と最小値を除く各値の平均値を、前記レベル検出手段によって検出された再生レベルから減算するディフェクト除去機能を有することを特徴とする請求の範囲36に記載の情報再生装置。

38. エッジ位置のシフト量が最大値に設定された基準ピットから検出された再生レベルが所定の目標値となるように、前記レベル検出手段によって検出された再生レベルのゲインを調整するゲイン調整手段を具備することを特徴とする請求の範囲24、25、26、27、28、29、30、31、32、33、34又は35に記載の情報再生装置。

39. 前記ゲイン調整手段は、エッジ位置のシフト量が最大値に設定された複数の基準ピットから検出された複数の再生レベルの内、最大値と最小値を除く各値の平均値が所定の目標値となるように、前記レベル検出手段によって検出された再生レベルのゲインを調整するディフェクト除去機能を有することを特徴とする請求の範囲38に記載の情報再生装置。

40. 前記レベル検出手段によって検出された再生レベルから、エッジ位置のシフト量が最小値に設定された基準ピットから検出された再生レベルを減算するバイアス除去手段と、エッジ位置

のシフト量が最大値に設定された基準ピットから検出された再生レベルが所定の目標値となるように、前記バイアス除去手段から出力された再生レベルのゲインを調整するゲイン調整手段とを具備することを特徴とする請求の範囲24、25、26、27、28、29、30、31、32、33、34又は35に記載の情報再生装置。

41. 前記バイアス除去手段は、エッジ位置のシフト量が最小値に設定された複数の基準ピットから検出された複数の再生レベルの内、最大値と最小値を除く各値の平均値を、前記レベル検出手段によって検出された再生レベルから減算するディフェクト除去機能を有すると共に、前記ゲイン調整手段は、エッジ位置のシフト量が最大値に設定された複数の基準ピットから検出された複数のレベルの内、最大値と最小値を除く各値の平均値が所定の目標値となるように、前記レベル検出手段によって検出された再生レベルのゲインを調整するディフェクト除去機能を有することを特徴とする請求の範囲40に記載の情報再生装置。

FIG. 1

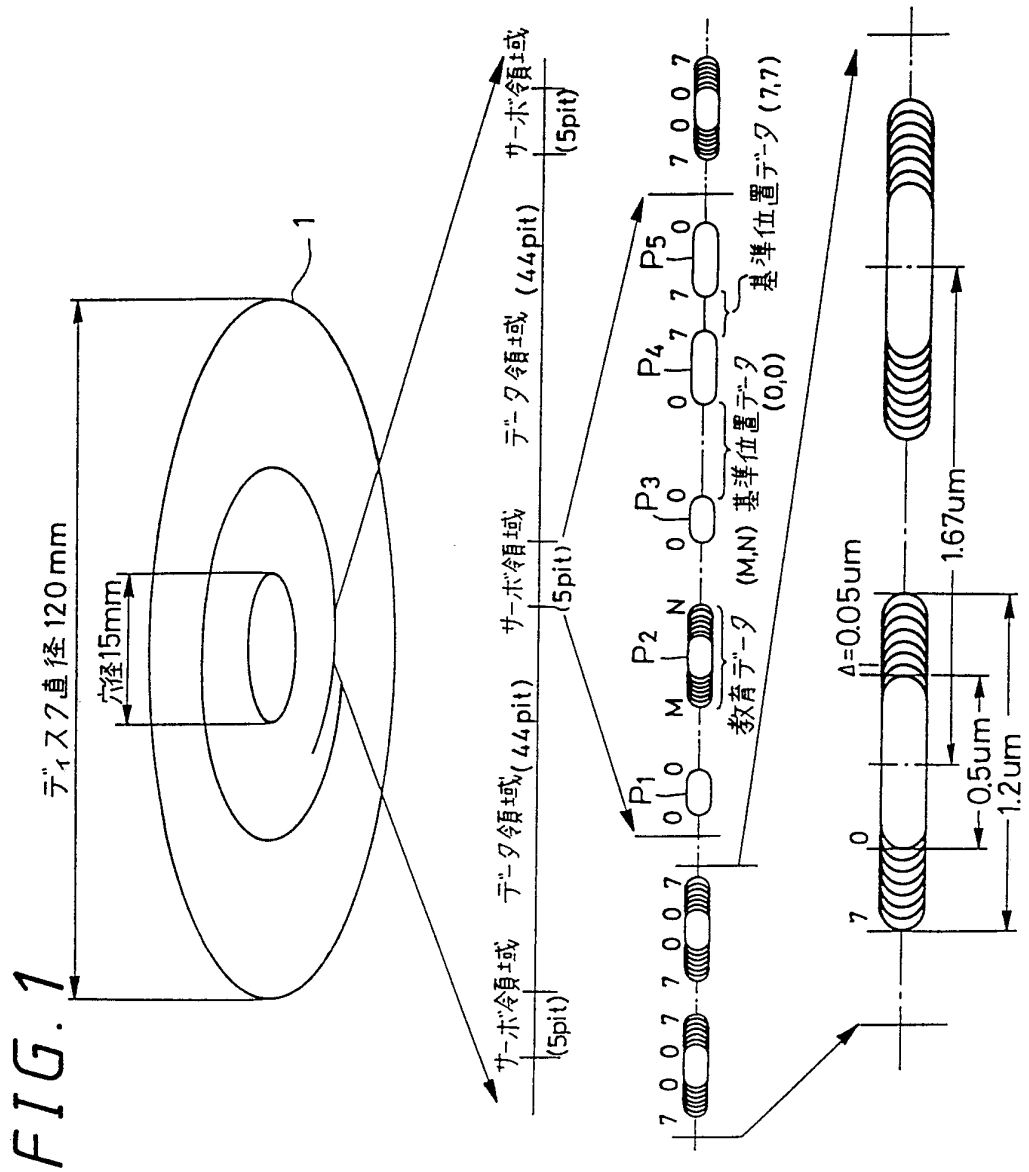

ディスク直径120mm
穴径15mm
1
サーボ領域
(5pit)
データ領域
(44pit)
サーボ領域
(5pit)
データ領域
(44pit)
サーボ領域
(5pit)
P1
P2
P3
P4
P5
M
N
教育データ
(M,N)
基準位置データ
(0,0)
基準位置データ (7,7)
7 0 0 7
Δ=0.05um
1.67um
0.5um
1.2um

FIG. 2

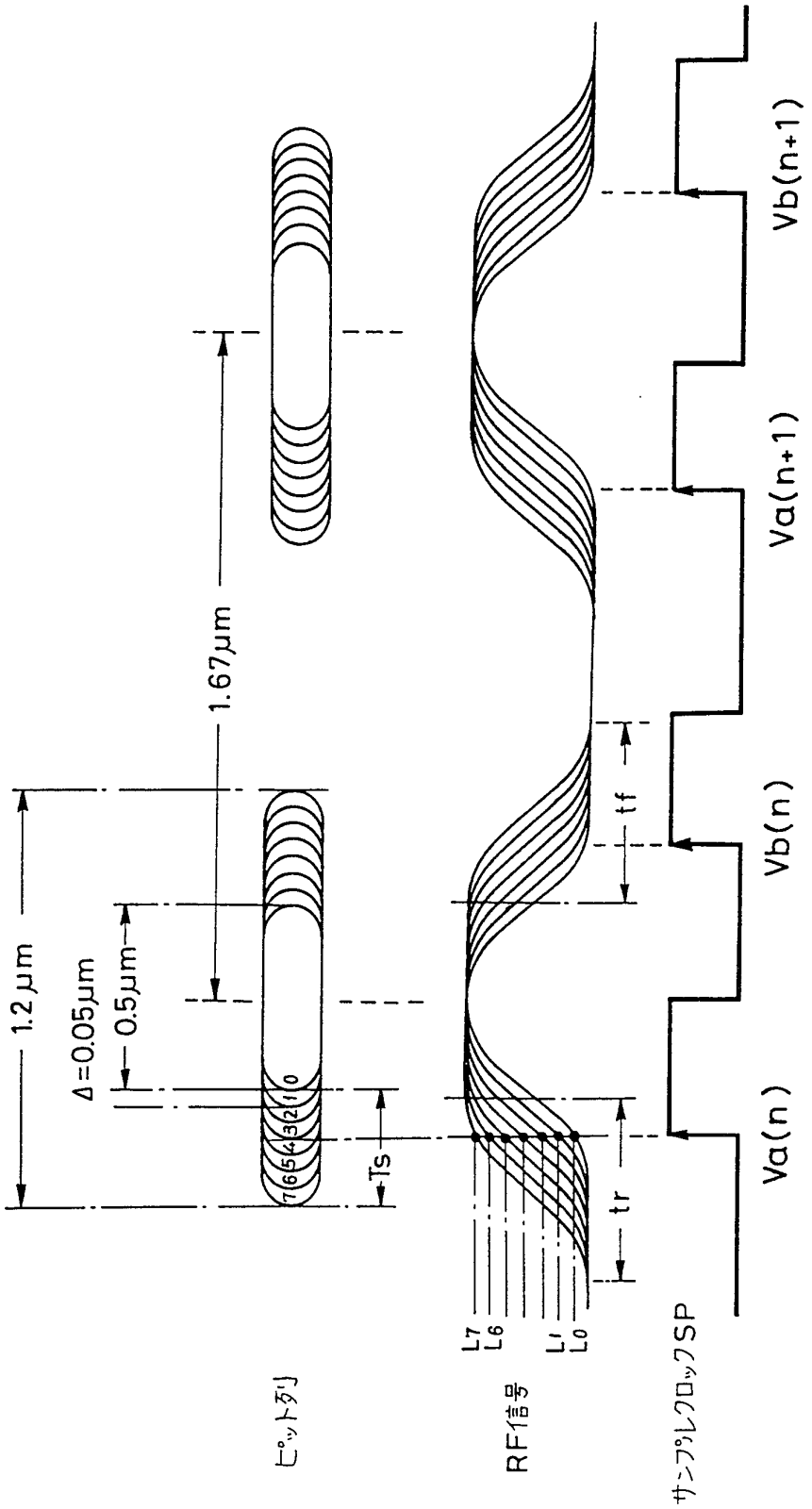

1.2μm
Δ=0.05μm
0.5μm
1.67μm
7 6 5 4 3 2 1 0
Ts
tf
tr
Vb(n+1)
Va(n+1)
Vb(n)
Va(n)
L7
L6
L1
L0
ピット列
RF信号
サンプリングクロックSP

FIG. 3

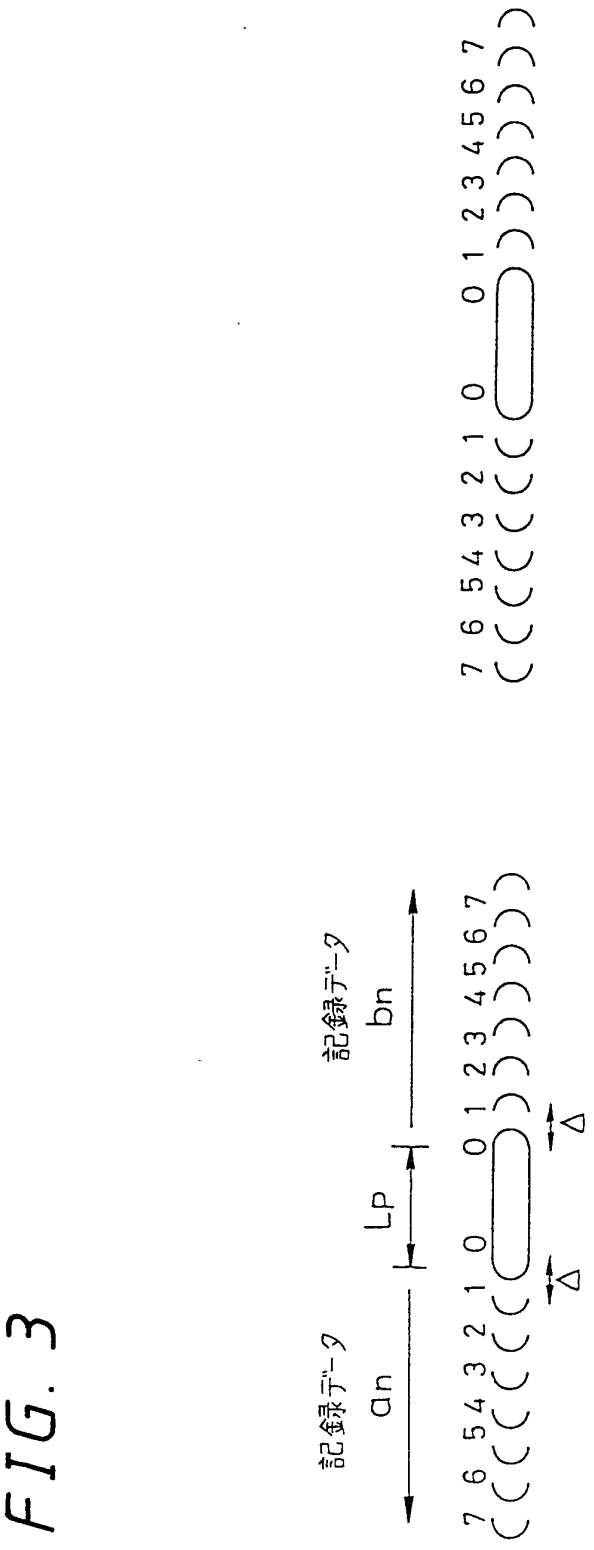


FIG. 4

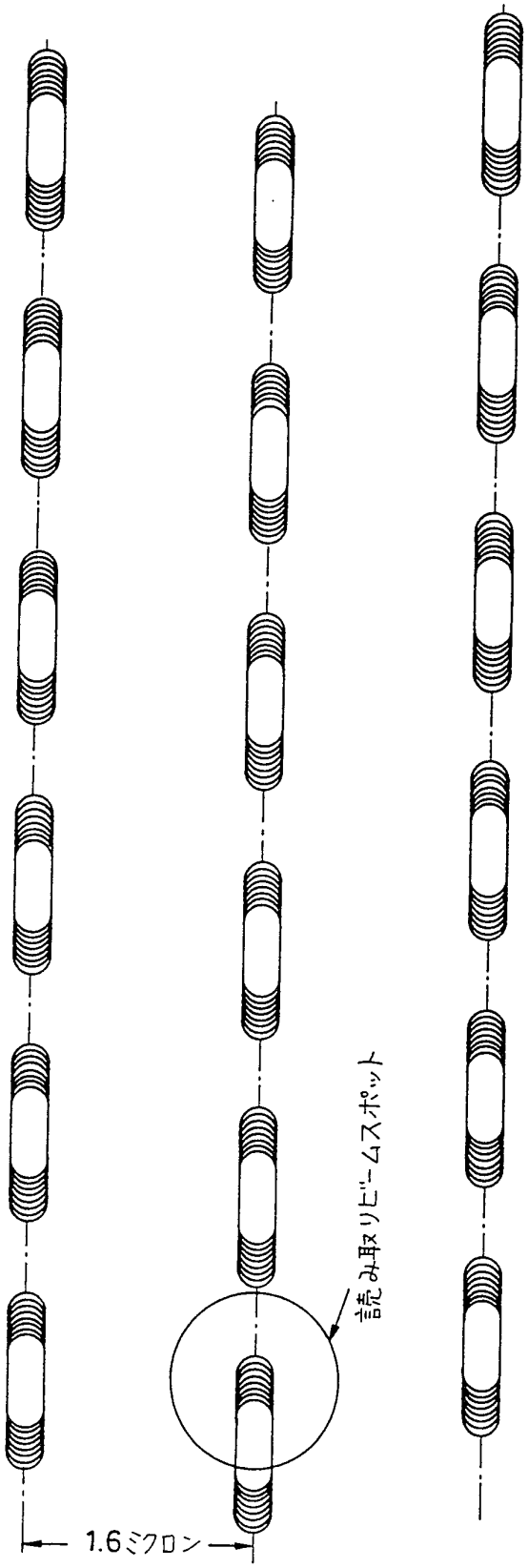


FIG. 5

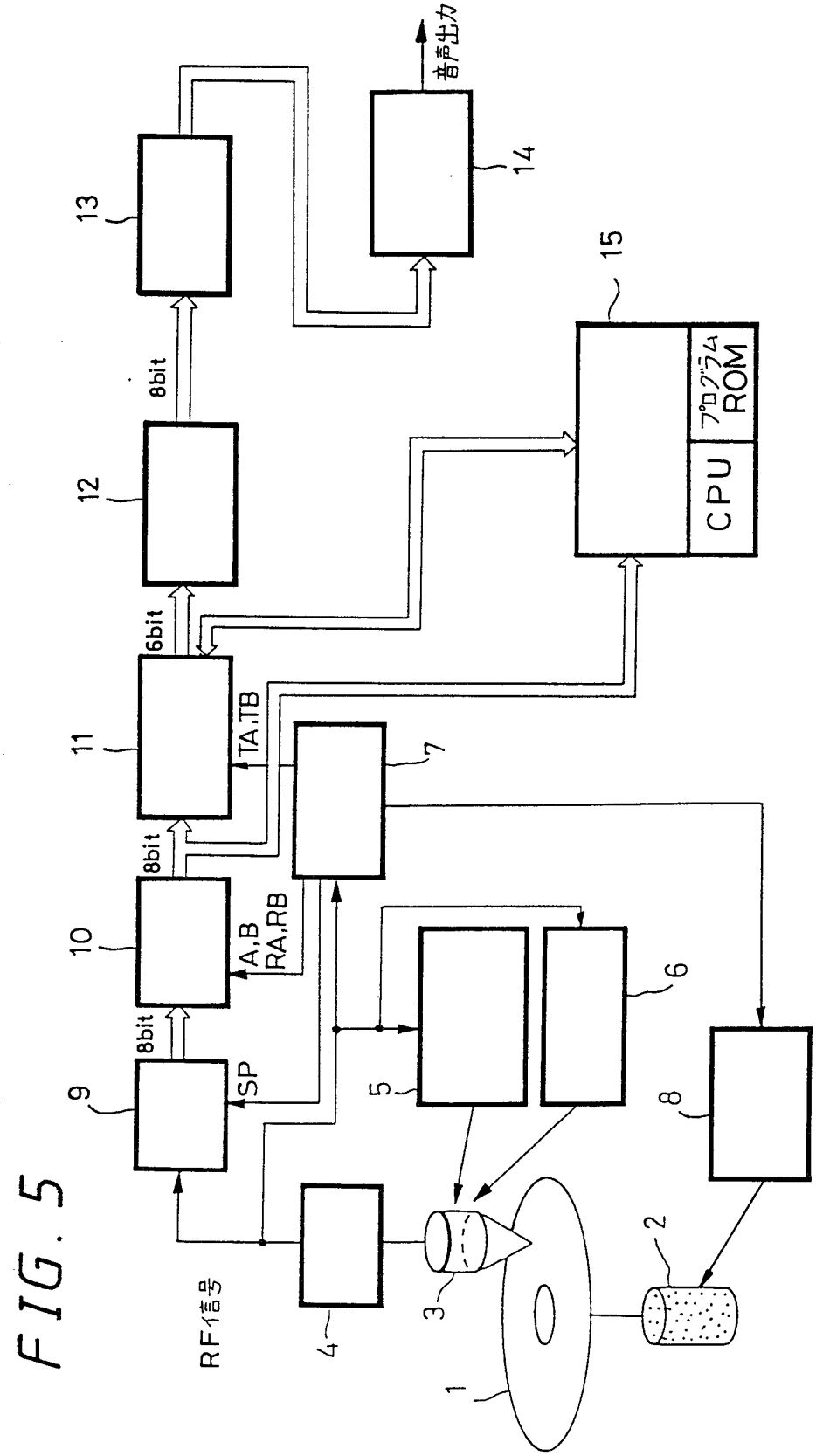

音声出力
14
13
15
8bit
12
CPU
プログラム ROM
6bit
11
TA,TB
7
8bit
10
A,B
RA,RB
8bit
9
SP
5
6
8
RF信号
4
3
2
1

FIG. 6

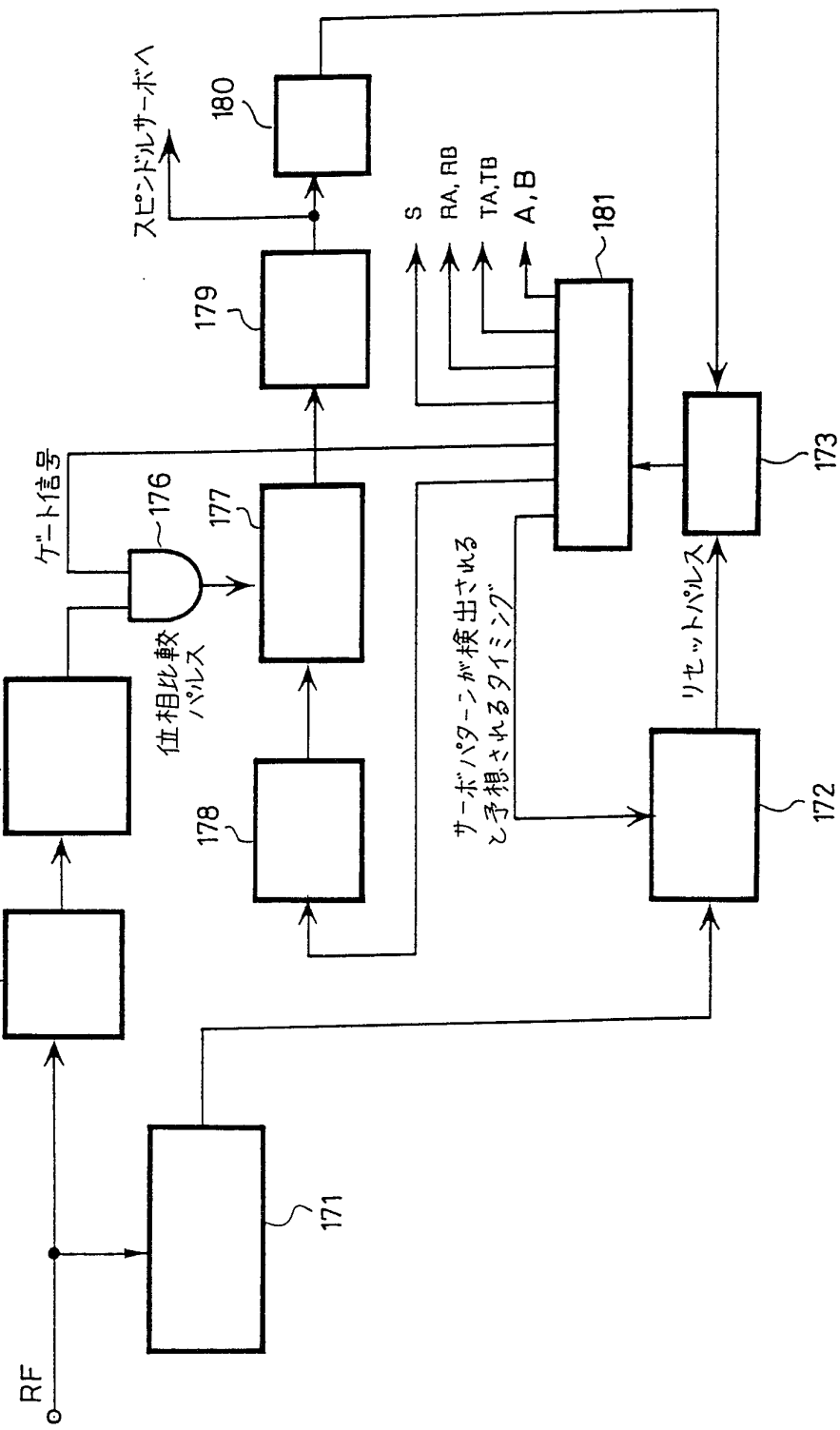

RF
171
172
173
174
175
176
177
178
179
180
181
ゲート信号
位相比較パルス
リセットパルス
サーボパターンが検出されると予想されるタイミング
スピンドルサーボへ
S
RA, RB
TA,TB
A, B

FIG. 7

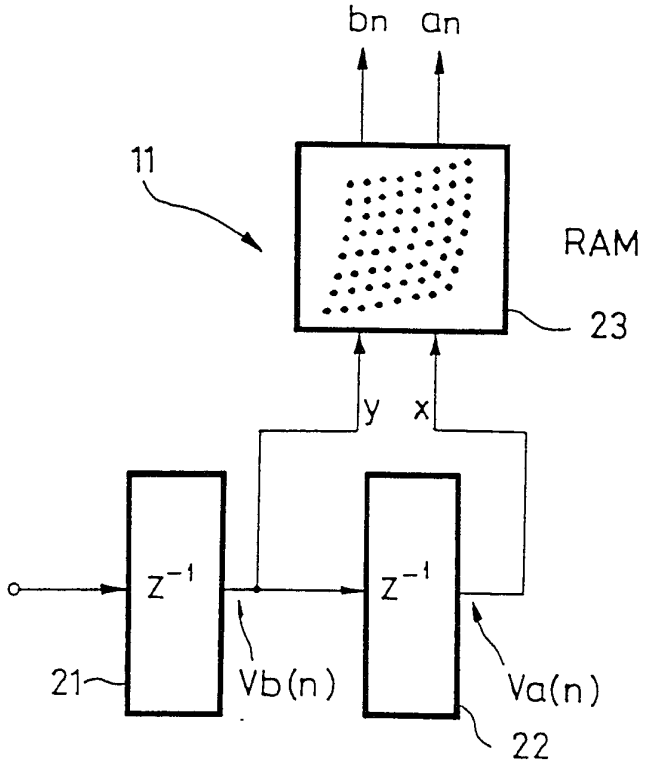


FIG. 8

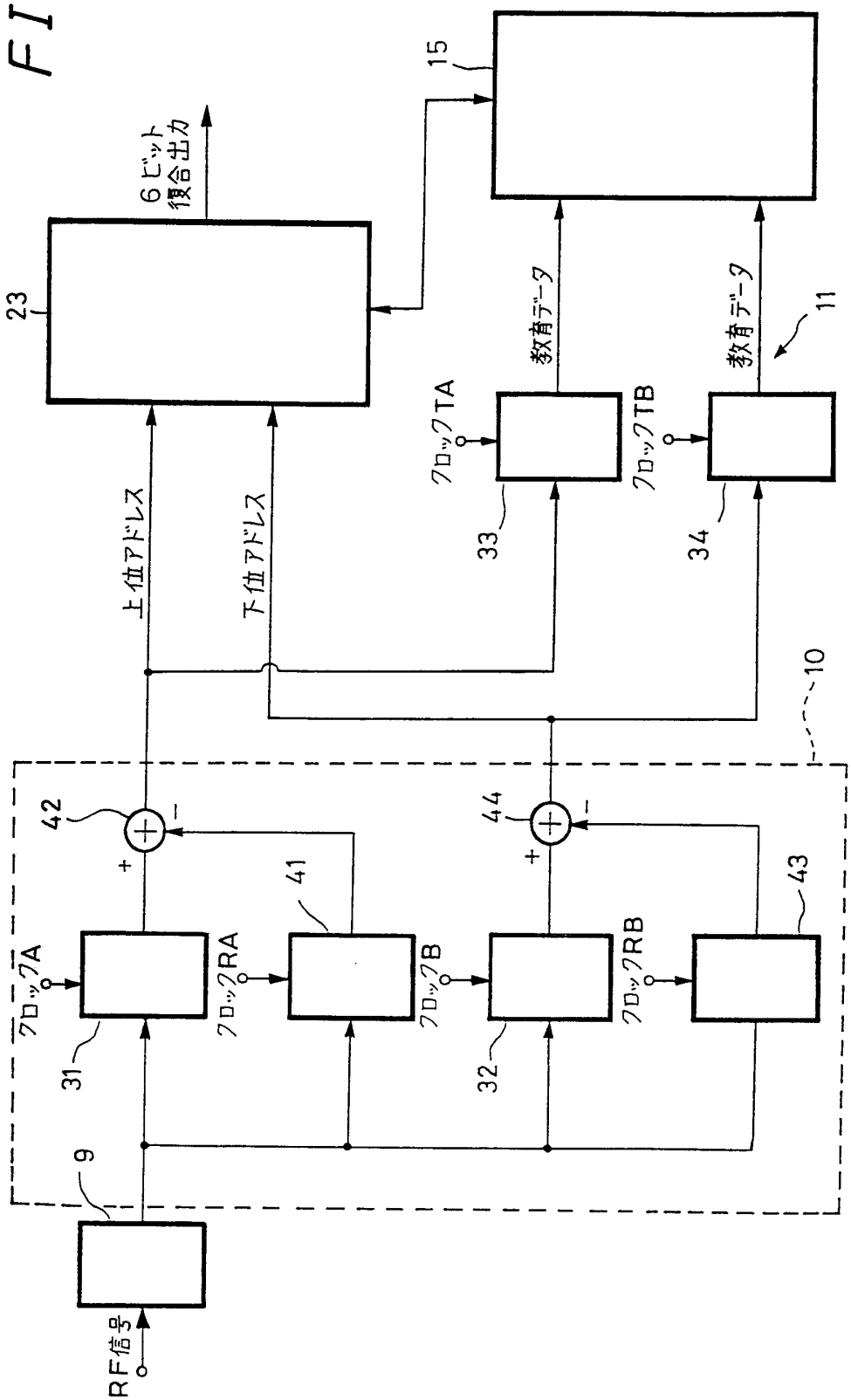

RF信号
9
ブロックA
31
ブロックRA
41
ブロックB
32
ブロックRB
43
42
44
10
上位アドレス
下位アドレス
ブロックTA
33
ブロックTB
34
教育データ
教育データ
11
23
6ビット
復合出力
15

FIG. 9

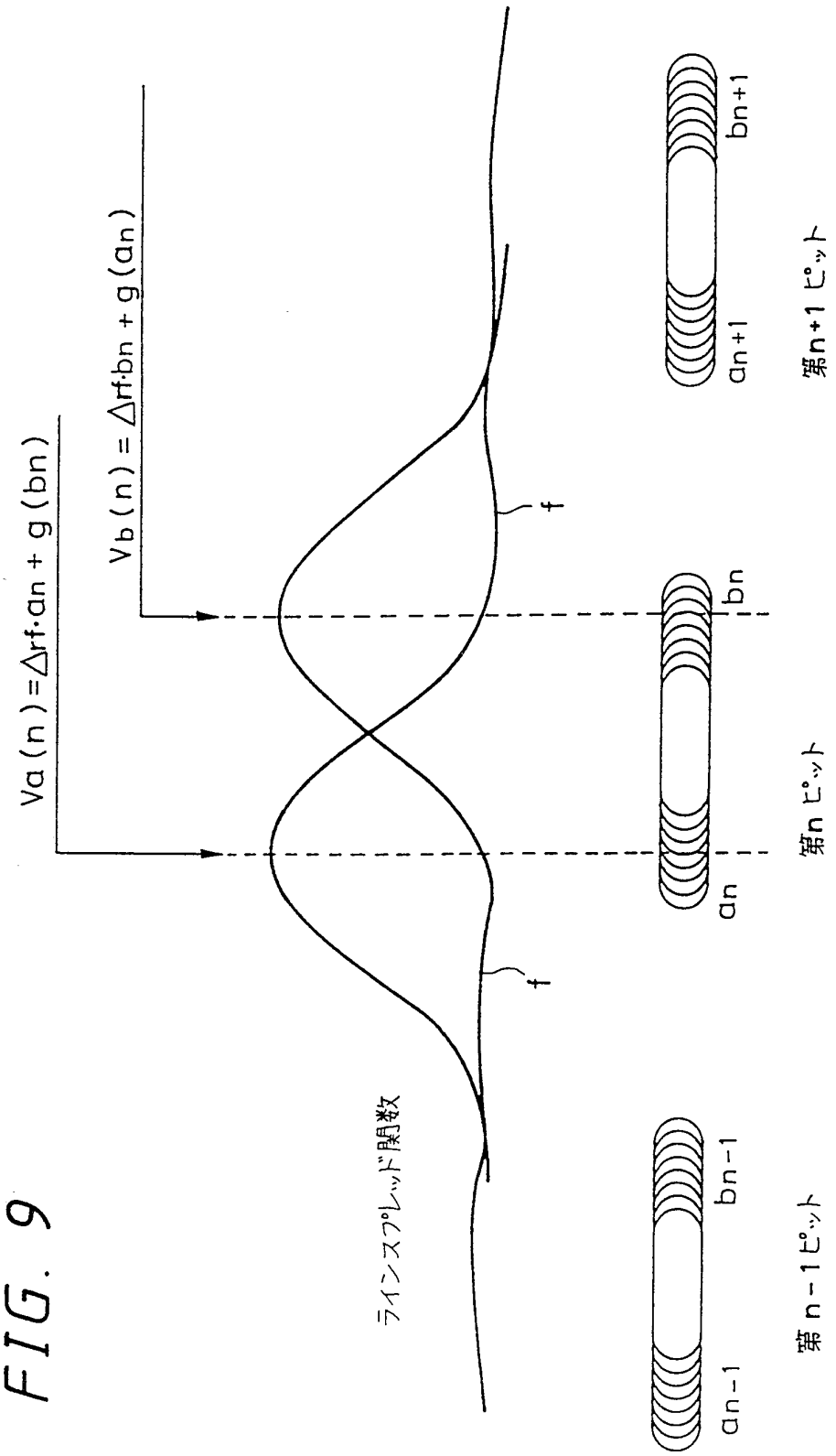

Va(n)=Δrf·an+g(bn)
Vb(n)=Δrf·bn+g(an)
ラインスプレッド関数
f
f
an-1
bn-1
an
bn
an+1
bn+1
第n-1ピット
第nピット
第n+1ピット

FIG. 10

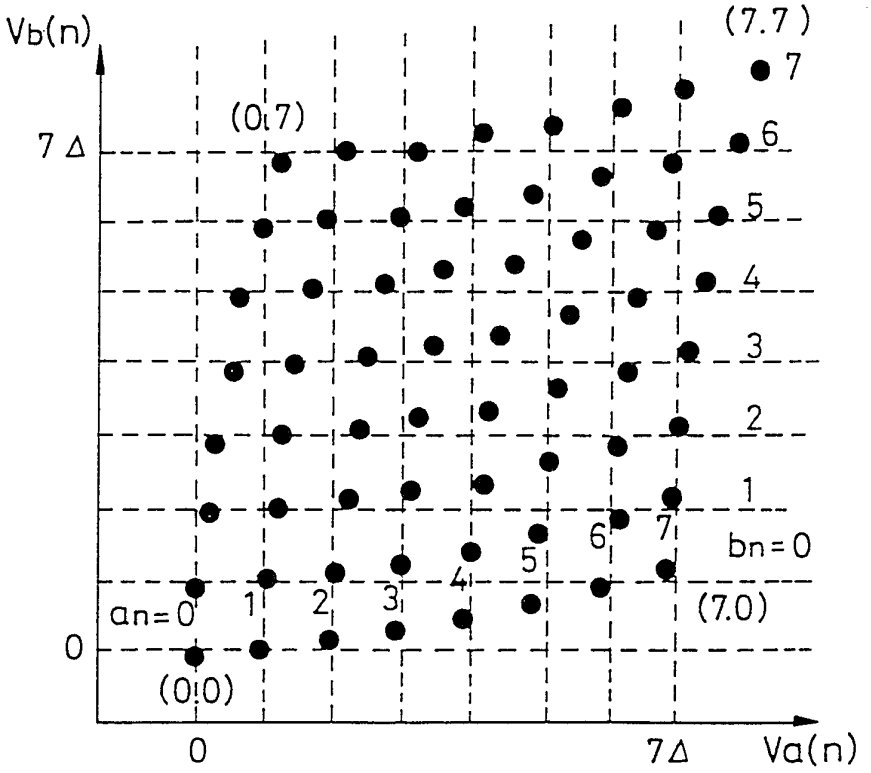


FIG. 11A

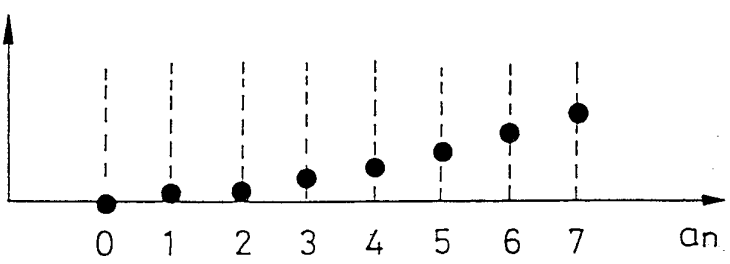


FIG. 11B

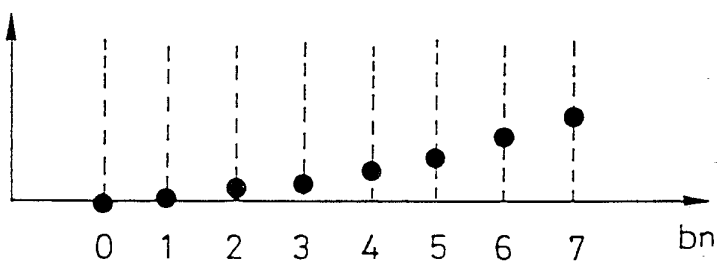


FIG. 12A

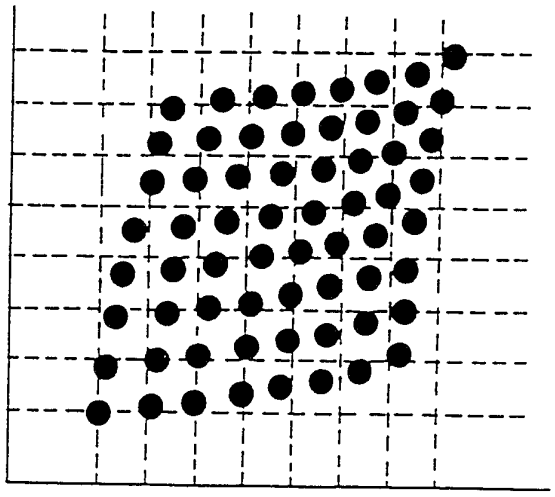


FIG. 12B

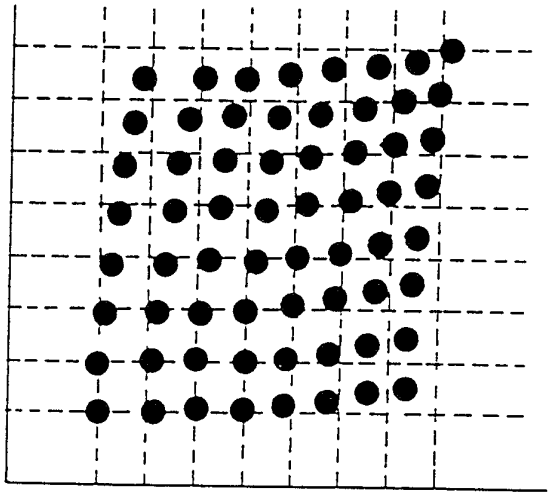
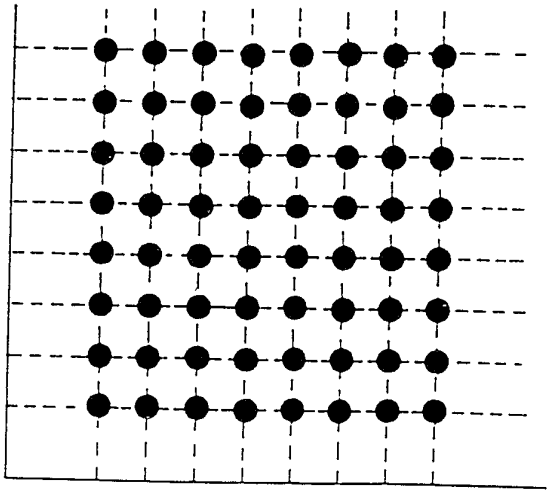


FIG. 12C



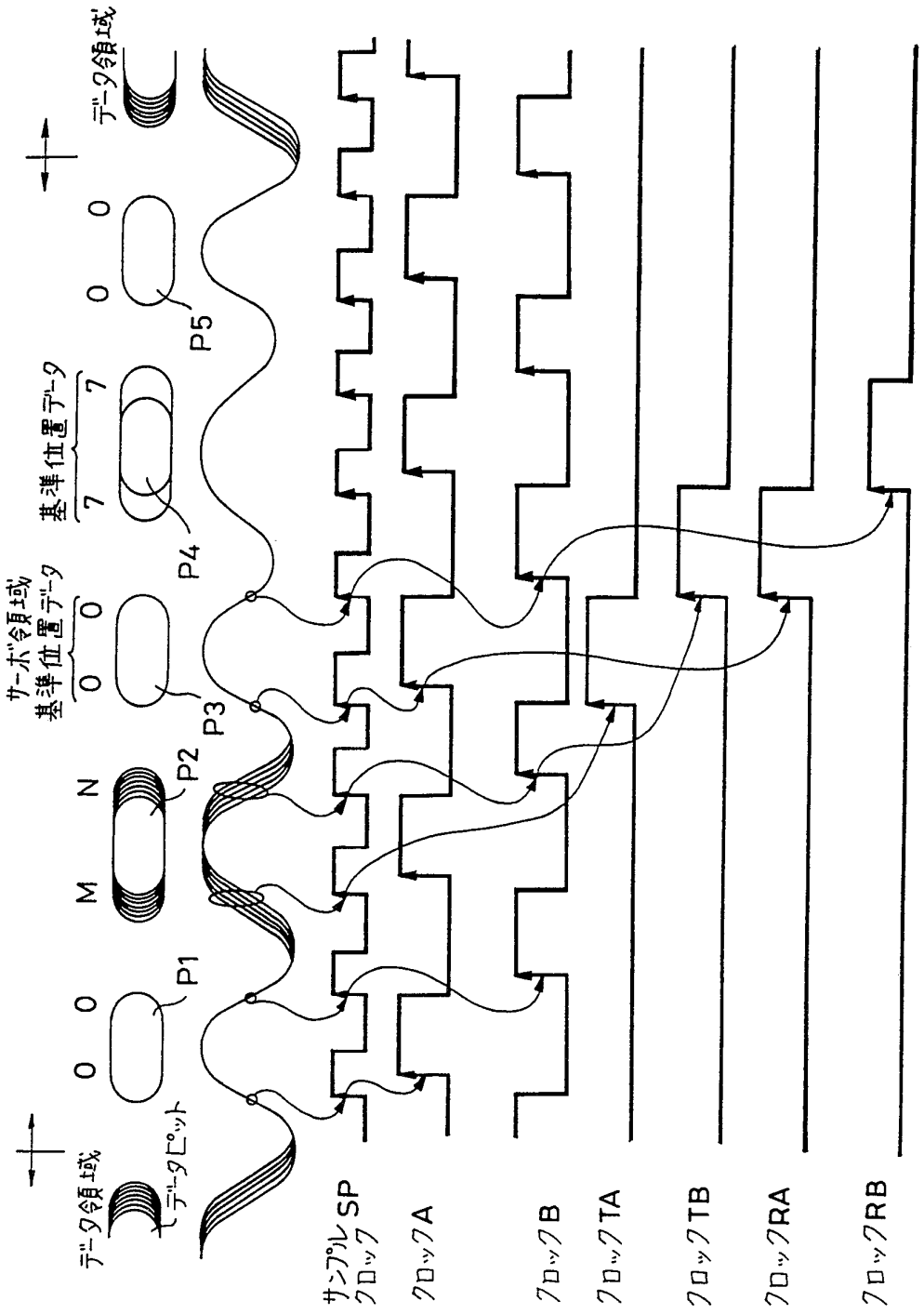


FIG. 13A
FIG. 13B
FIG. 13C
FIG. 13D
FIG. 13E
FIG. 13F
FIG. 13G
FIG. 13H
FIG. 13I

FIG. 14

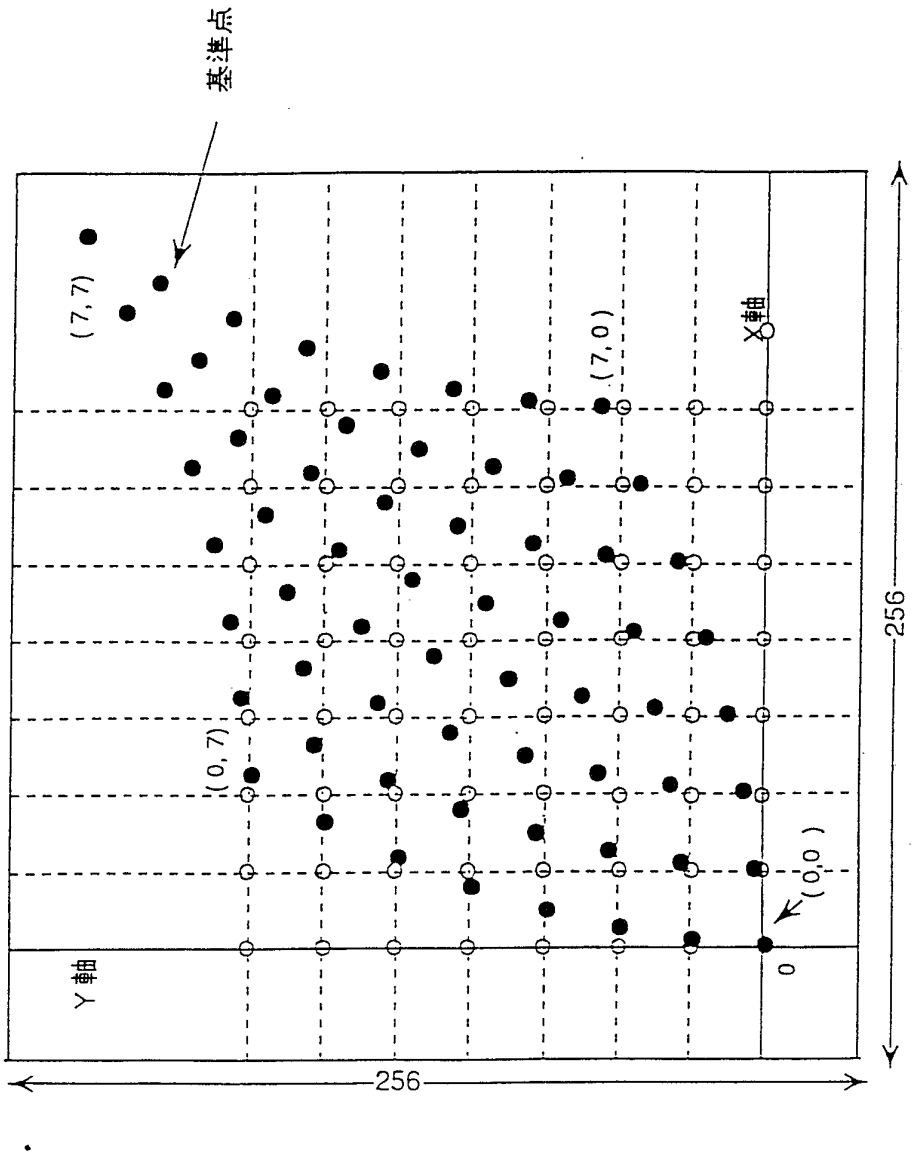


FIG. 15

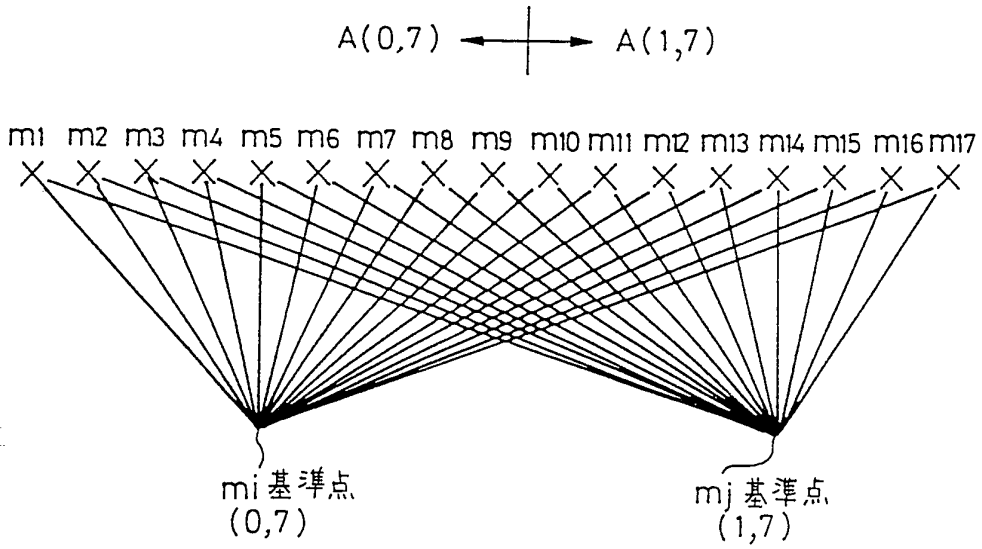

A(0,7)
A(1,7)
m1 m2 m3 m4 m5 m6 m7 m8 m9 m10 m11 m12 m13 m14 m15 m16 m17
mi基準点
(0,7)
mj基準点
(1,7)

FIG. 16

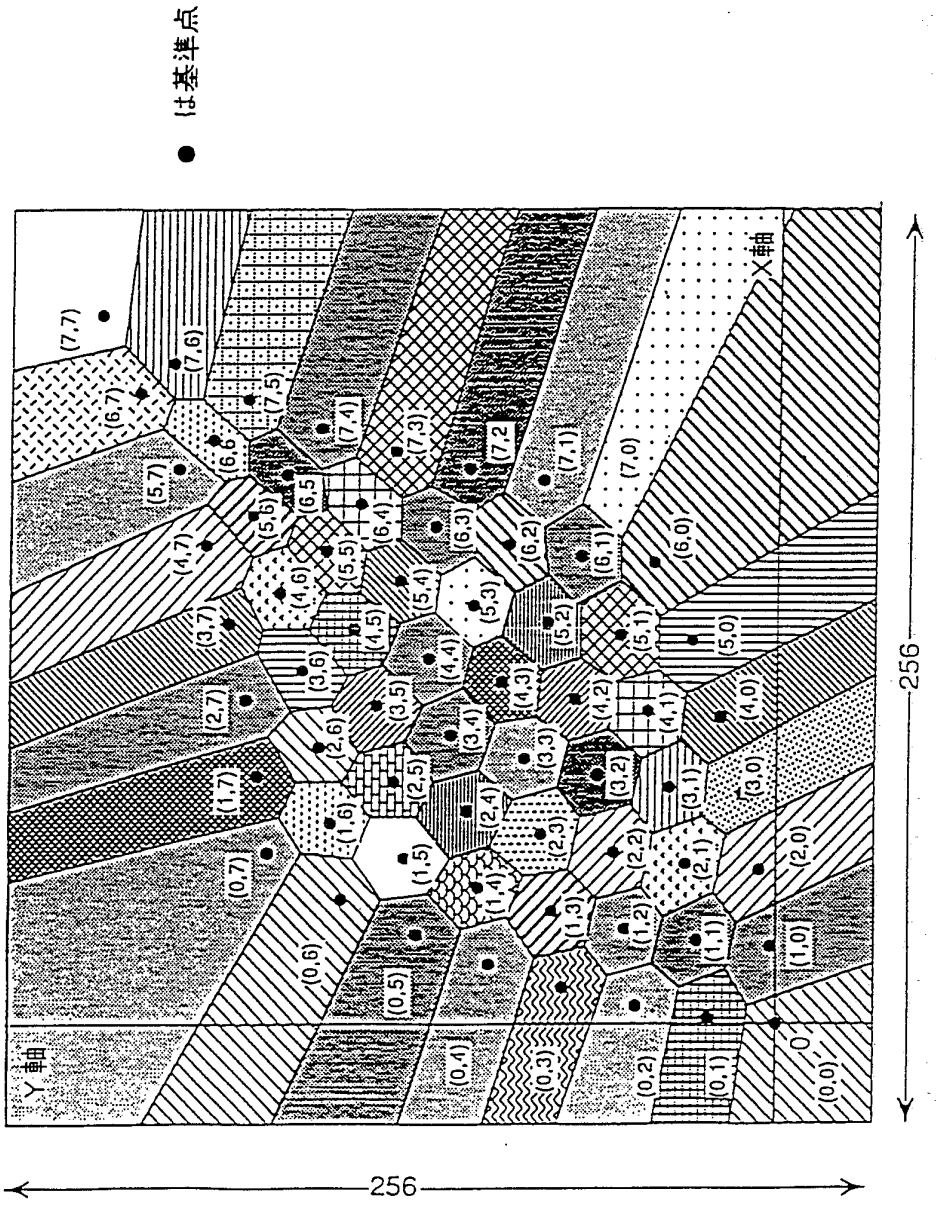
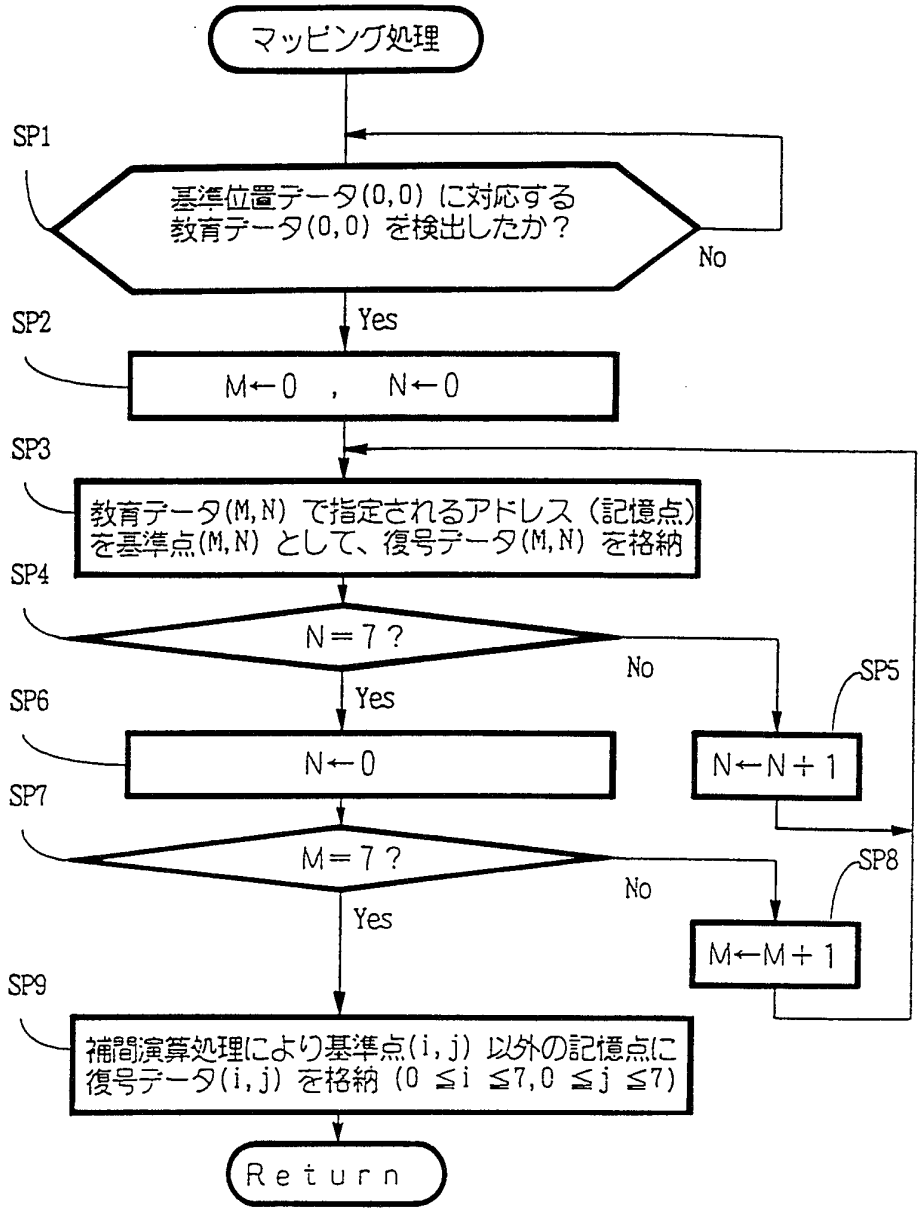


FIG. 17


マッピング処理
SP1
基準位置データ(0,0) に対応する
教育データ(0,0) を検出したか？
No
Yes
SP2
M←0 , N←0
SP3
教育データ(M,N) で指定されるアドレス（記憶点）
を基準点(M,N) として、復号データ(M,N) を格納
SP4
N＝7？
No
SP5
N←N＋1
Yes
SP6
N←0
SP7
M＝7？
No
SP8
M←M＋1
Yes
SP9
補間演算処理により基準点(i,j) 以外の記憶点に
復号データ(i,j) を格納 (0 ≦i ≦7,0 ≦j ≦7)
Return

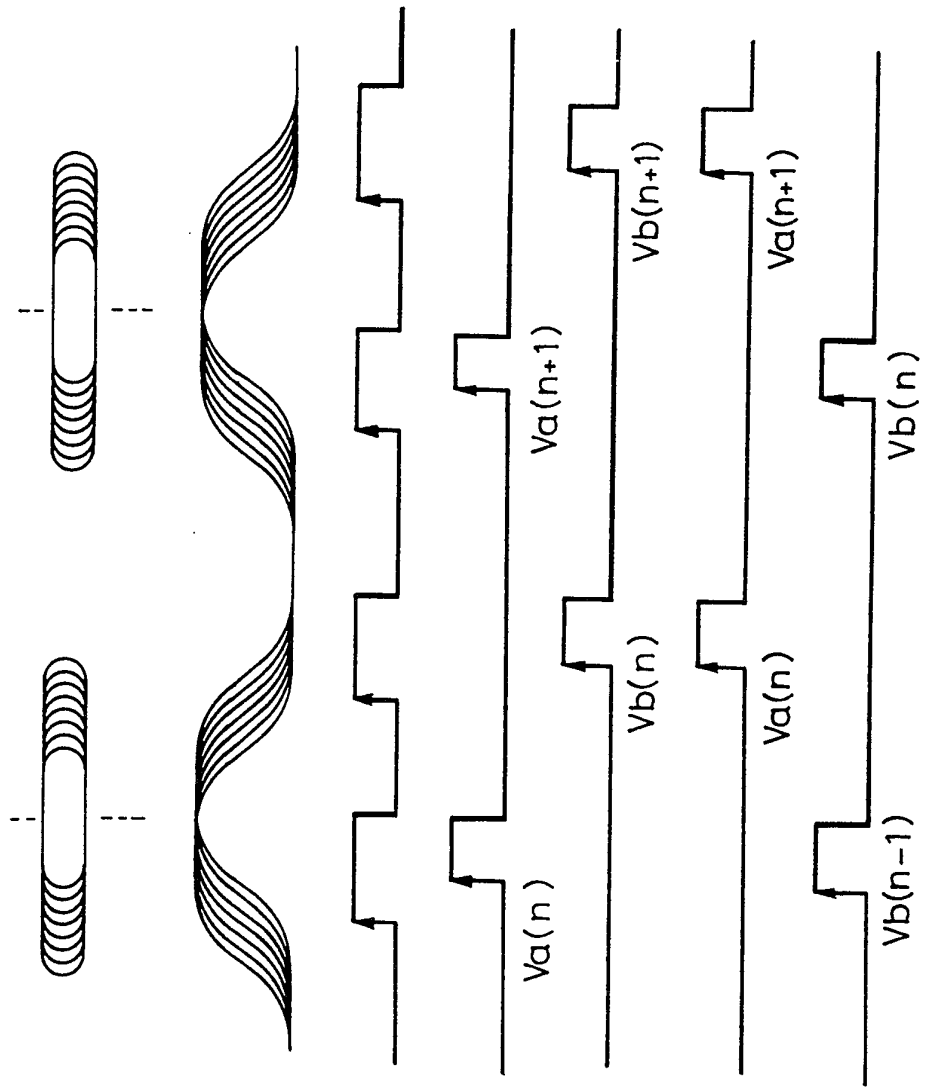


FIG. 18A

FIG. 18B

FIG. 18C

FIG. 18D

FIG. 18E

FIG. 18F

FIG. 18G

FIG. 19

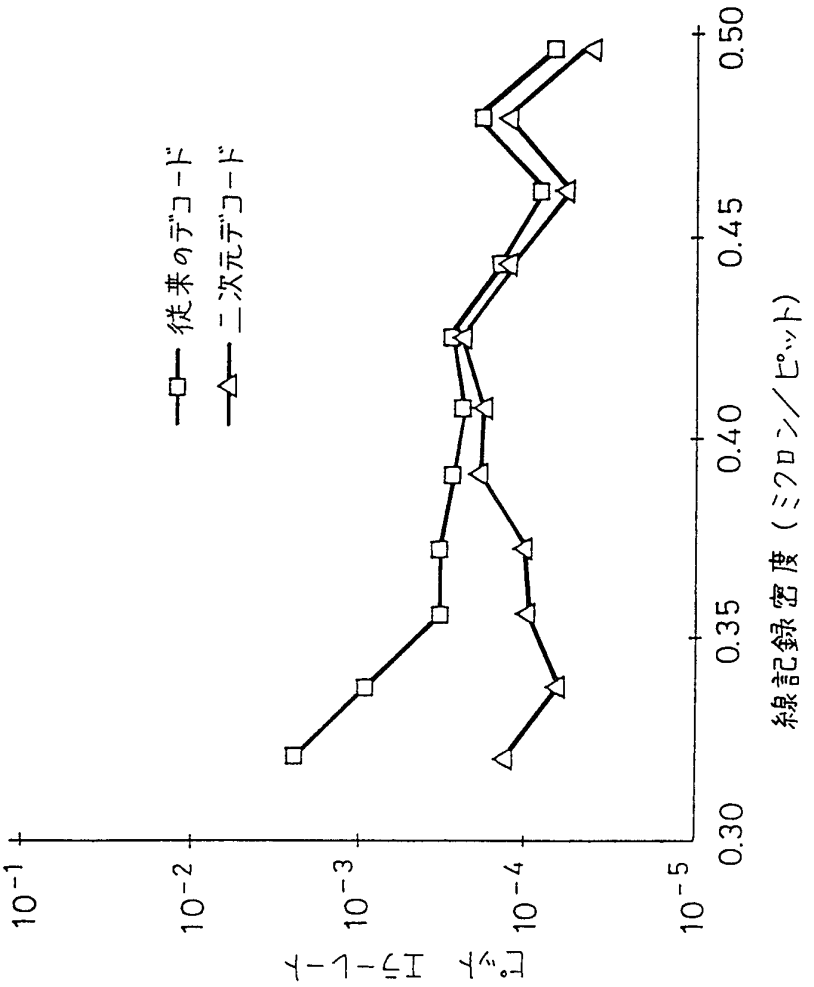

従来のデコード
二次元デコード
エラーレート
10^{-1}
10^{-2}
10^{-3}
10^{-4}
10^{-5}
0.30
0.35
0.40
0.45
0.50
線記録密度（ミクロン／ビット）

FIG. 20

FIG. 21

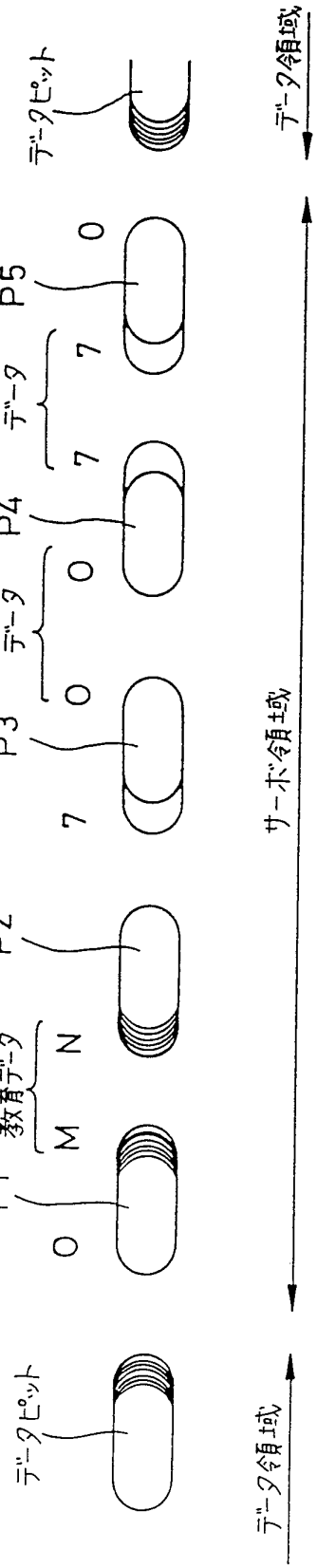
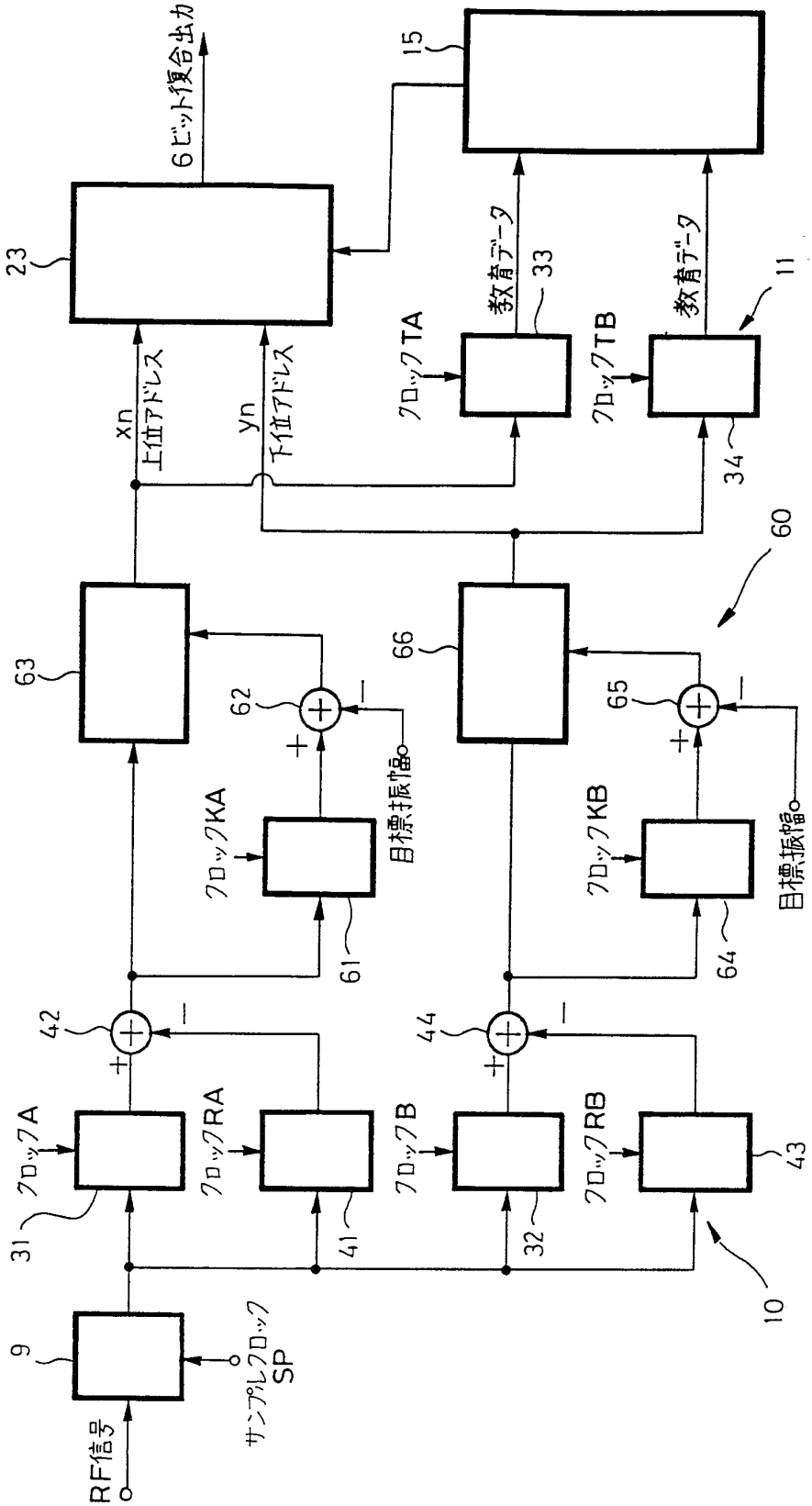

データピット
データ領域
P1
教育データ
M
N
0
P2
サーボ領域
P3
位置基準データ
0
7
P4
0
7
P5
位置基準データ
7
0
データピット
データ領域

FIG. 22


RF信号
サンプレクロック SP
9
10
11
15
23
31
32
33
34
41
42
43
44
60
61
62
63
64
65
66
フロックA
フロックRA
フロックB
フロックRB
フロックKA
フロックKB
目標振幅
目標振幅
フロックTA
フロックTB
教育データ
教育データ
xn 上位アドレス
yn 下位アドレス
6ビット復合出力

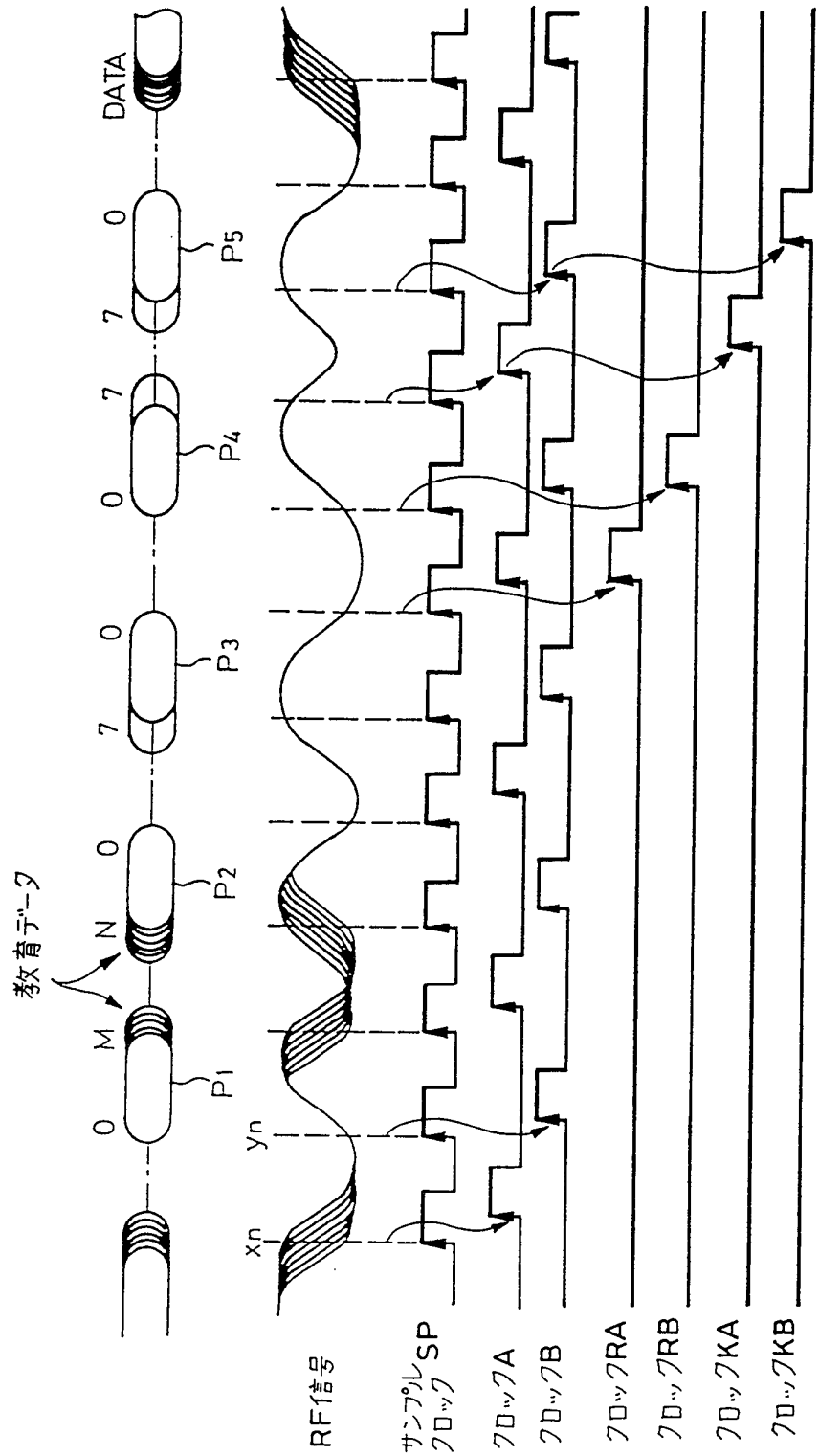


FIG. 23A
FIG. 23B
FIG. 23C
FIG. 23D
FIG. 23E
FIG. 23F
FIG. 23G
FIG. 23H
FIG. 23I

FIG. 24A

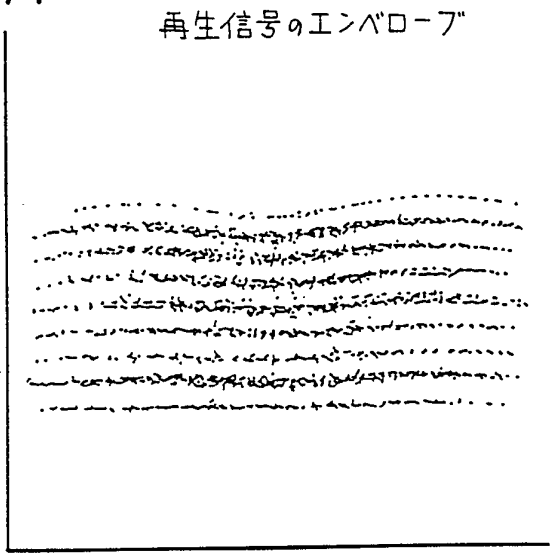


FIG. 24B

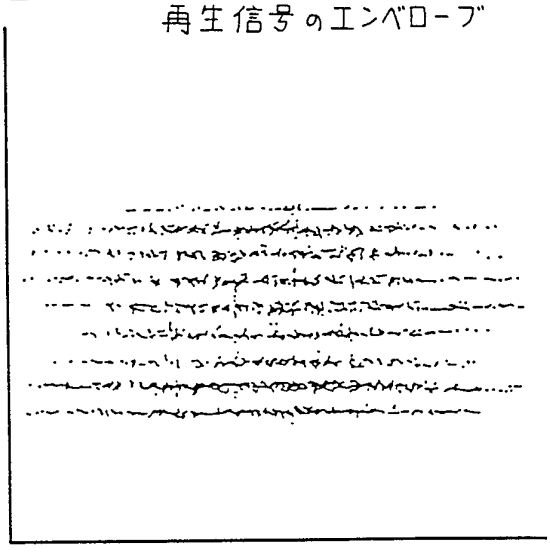


FIG. 25

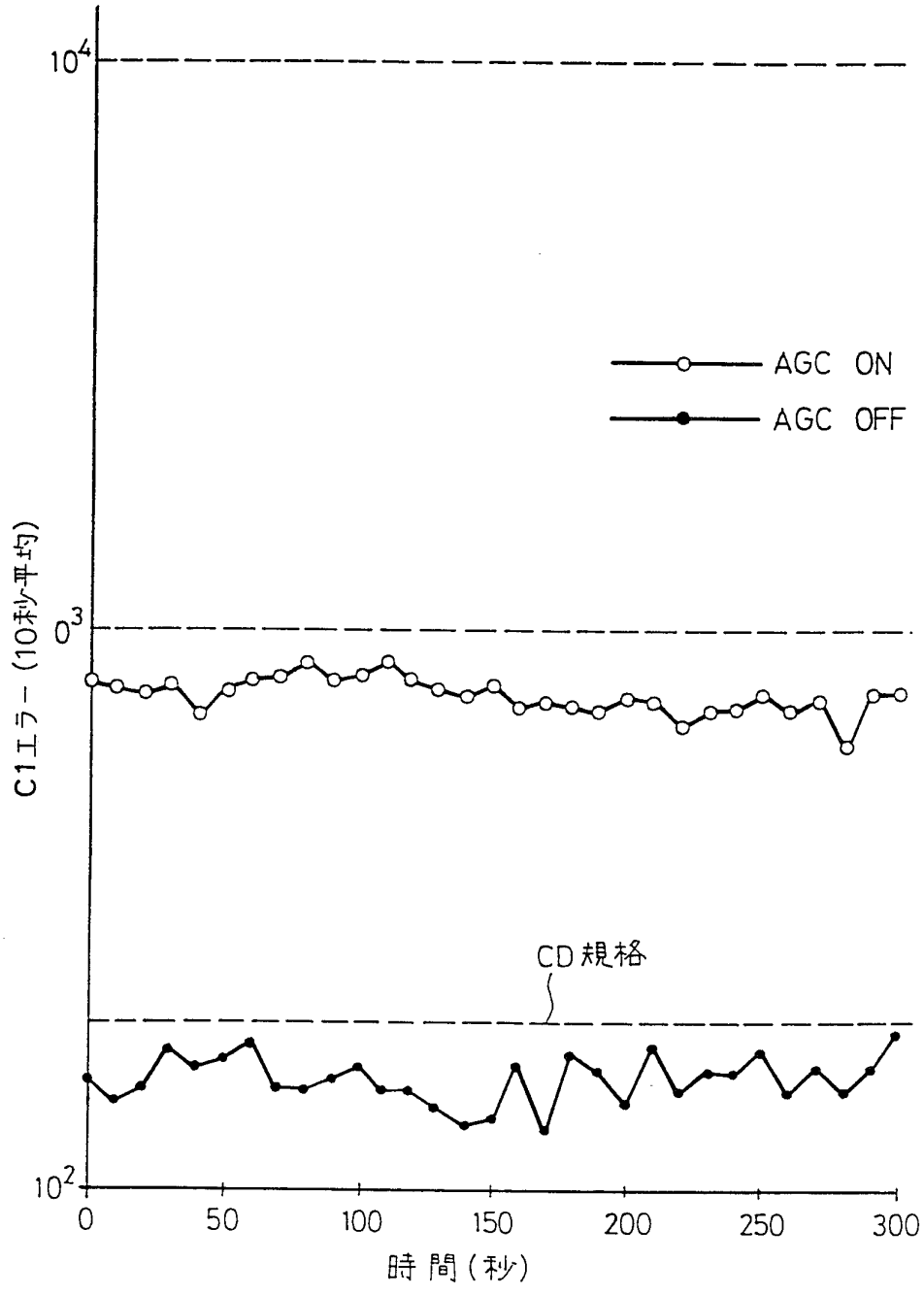

10^4
0^3
10^2
AGC ON
AGC OFF
CD規格
C1エラー（10秒平均）
0
50
100
150
200
250
300
時間（秒）

FIG. 26

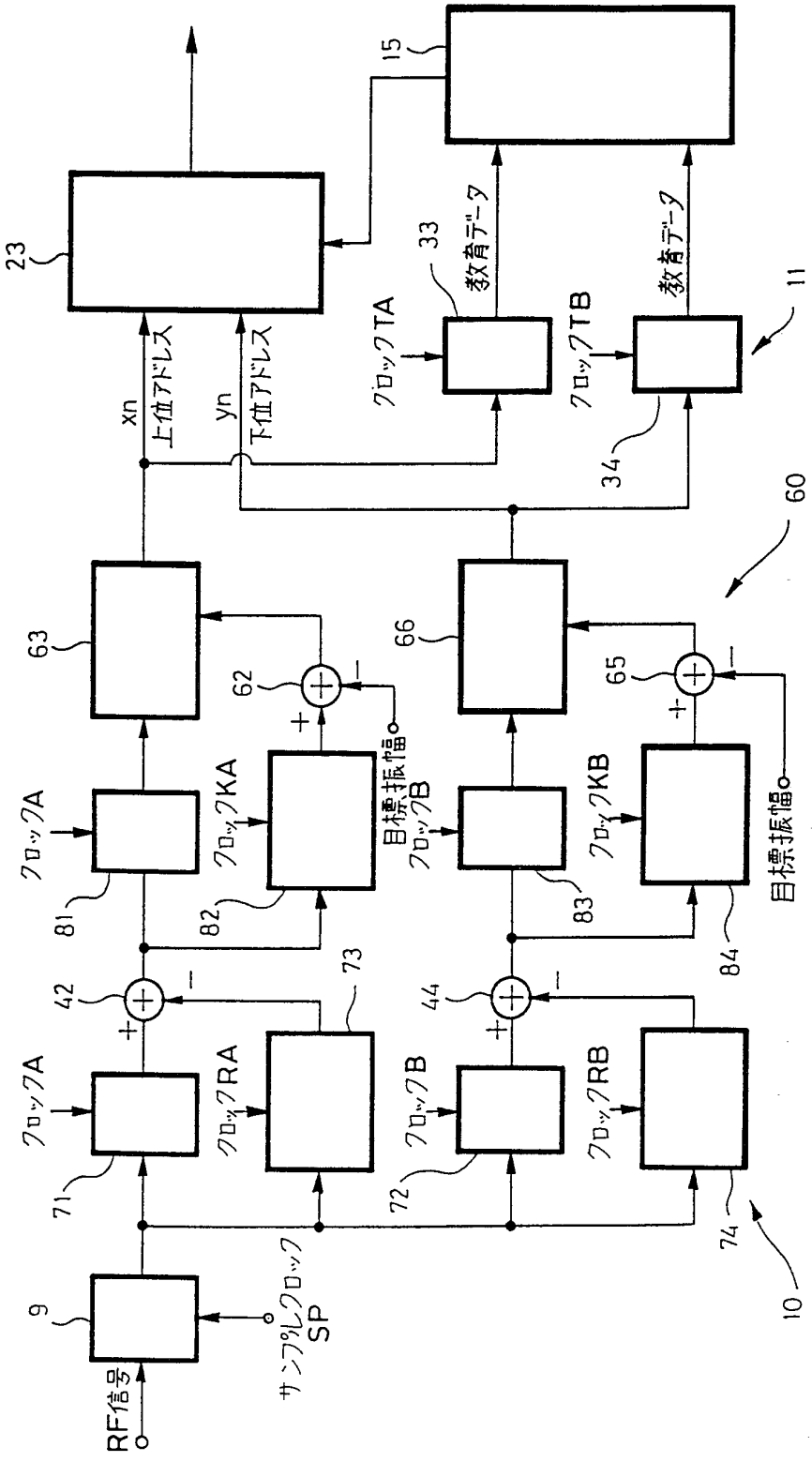
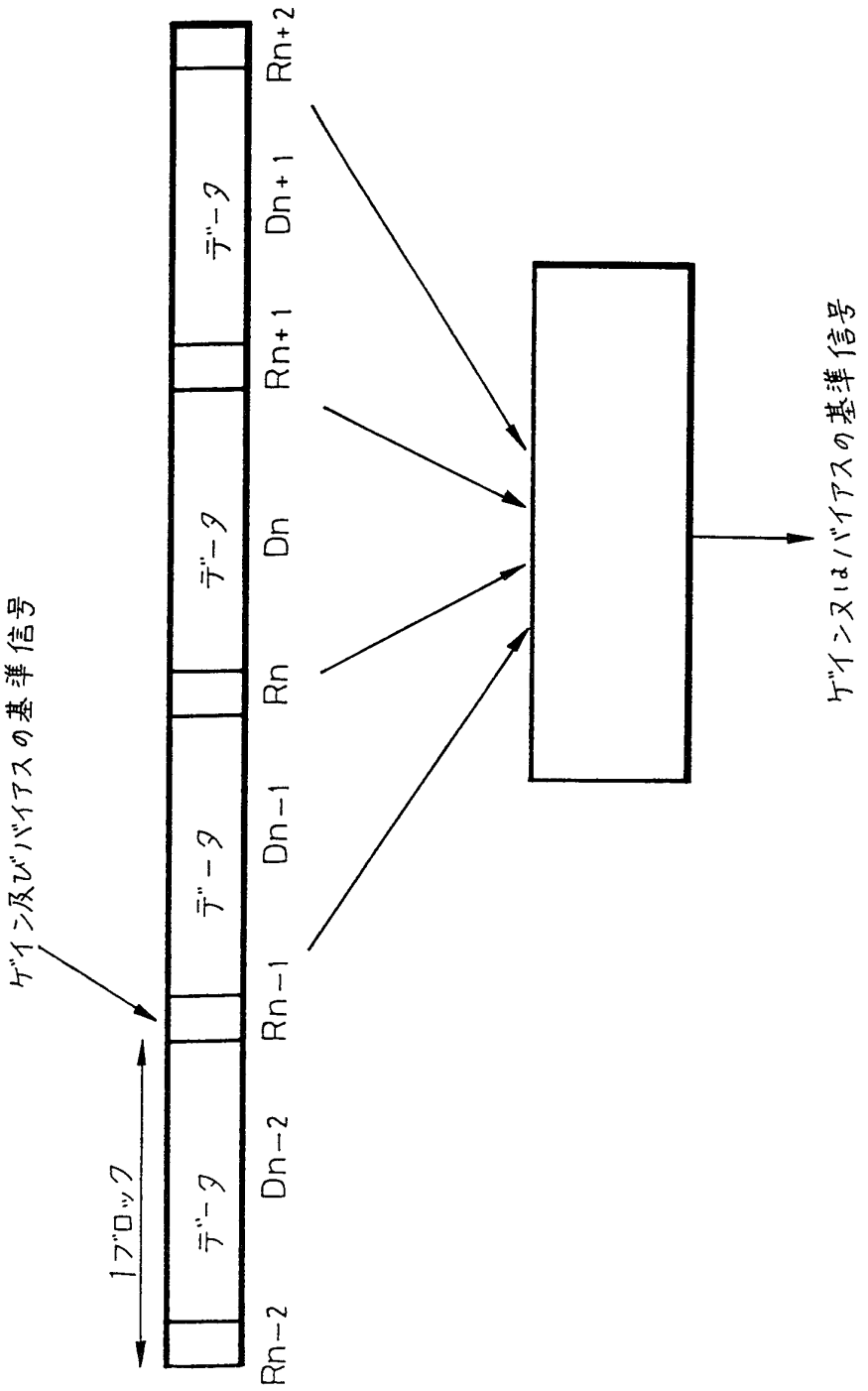

RF信号
サンプルクロック
SP
9
10
11
15
23
33
34
42
44
60
62
63
65
66
71
72
73
74
81
82
83
84
xn
上位アドレス
yn
下位アドレス
クロックTA
クロックTB
教育データ
クロックA
クロックRA
クロックB
クロックRB
クロックKA
クロックKB
目標振幅

FIG. 27


ゲイン及びバイアスの基準信号
17ブロック
データ
Rn-2
Dn-2
Rn-1
Dn-1
Rn
Dn
Rn+1
Dn+1
Rn+2
ゲインまたはバイアスの基準信号

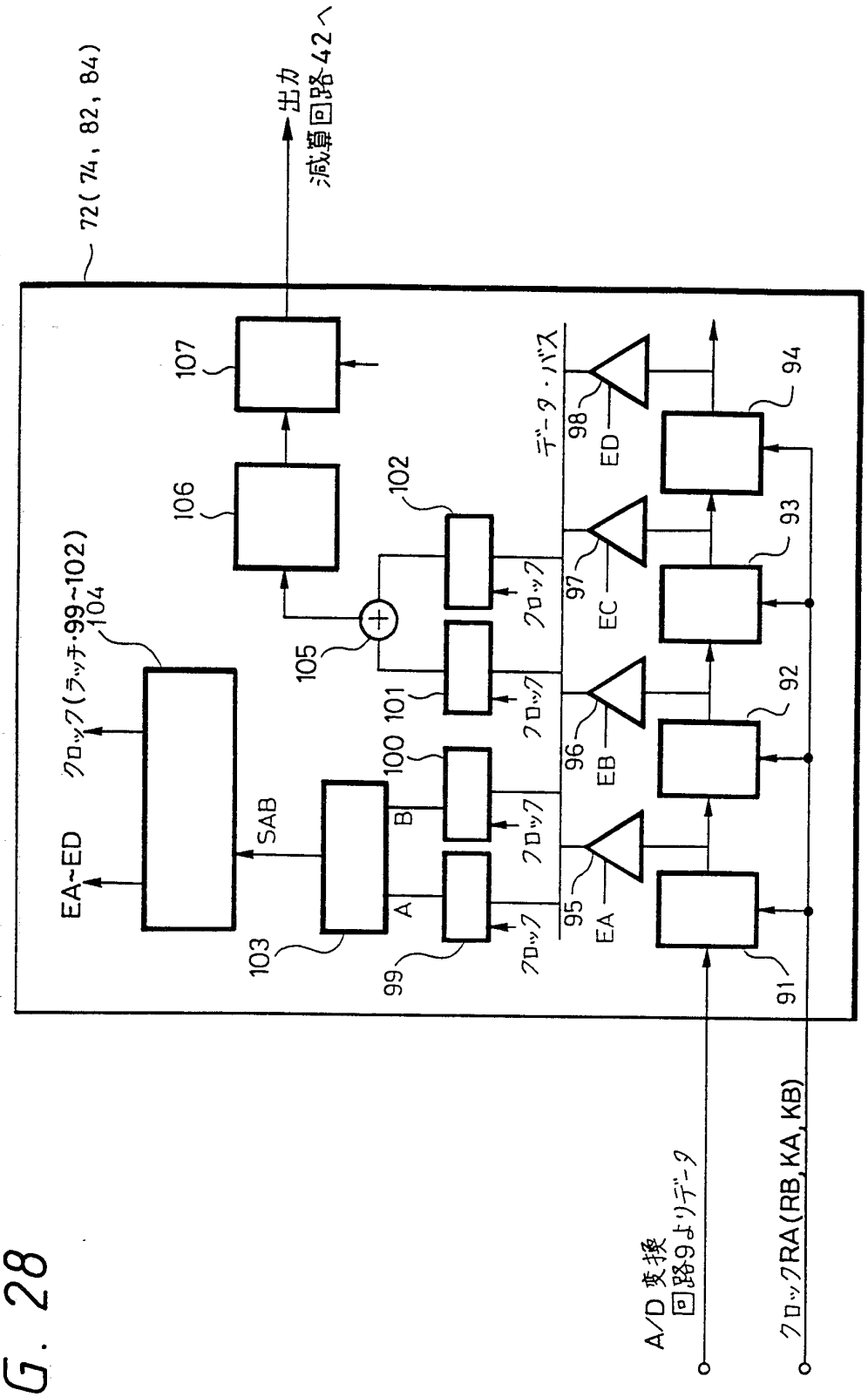

72(74, 82, 84)
出力
減算回路42へ
107
106
102
105
101
100
99
103
104
クロック(ラッチ・99~102)
EA~ED
SAB
A
B
クロック
データ・バス
98
97
96
95
94
93
92
91
ED
EC
EB
EA
A/D 変換
回路9よりデータ
クロックRA(RB, KA, KB)

FIG. 28

FIG. 29

	Rn-1とRn	Rn-1とRn+1	Rn-1とRn+2	RnとRn+1	RnとRn+2	Rn+1とRn+2
Rn-1 が最大値	1	1	1	x	x	x
Rn が最大値	0	x	x	1	1	x
Rn+1が最大値	x	0	x	0	x	1
Rn+2が最大値	x	x	0	x	0	0
Rn-1 が最小値	0	0	0	x	x	x
Rn が最小値	1	x	x	0	0	x
Rn+1が最小値	x	1	x	1	x	0
Rn+2が最小値	x	x	1	x	1	1

大小比較の結果信号SABから最大と最小を見つけだすためのテーブル

FIG. 30

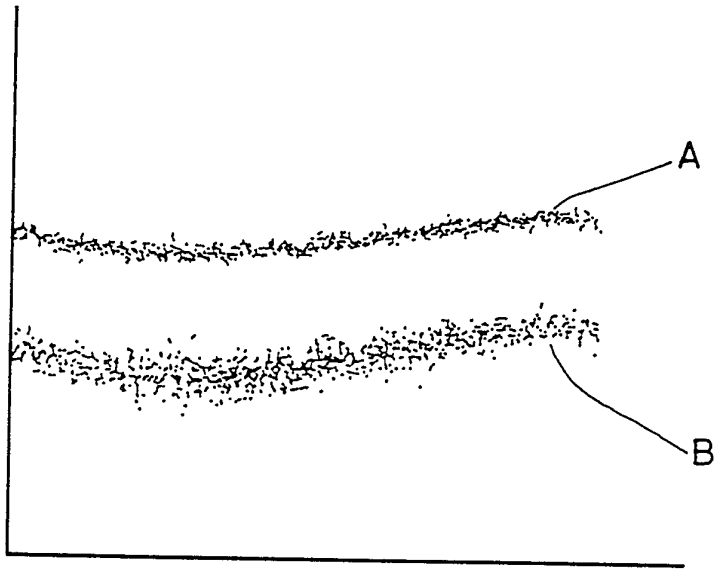


FIG. 31

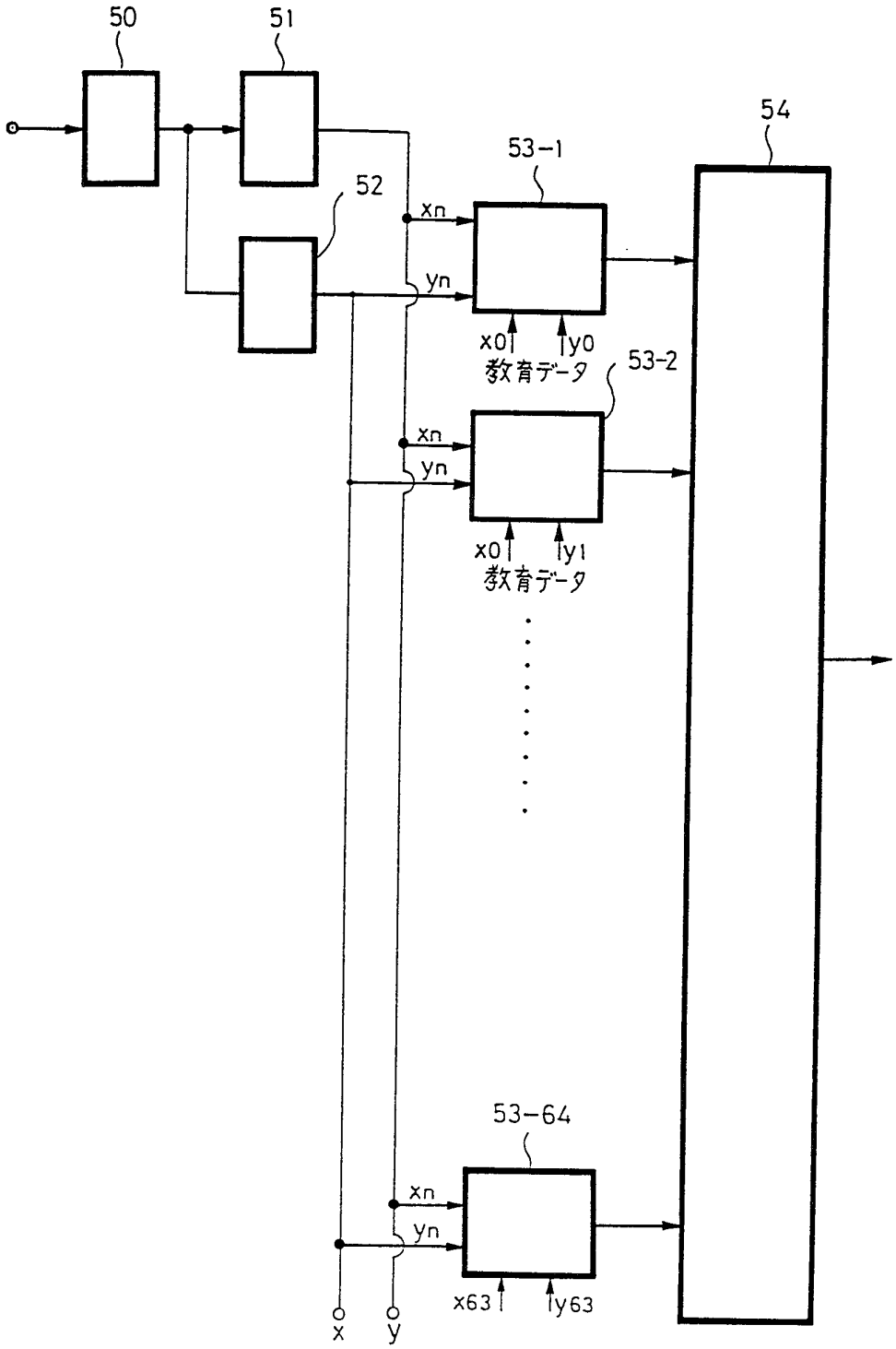
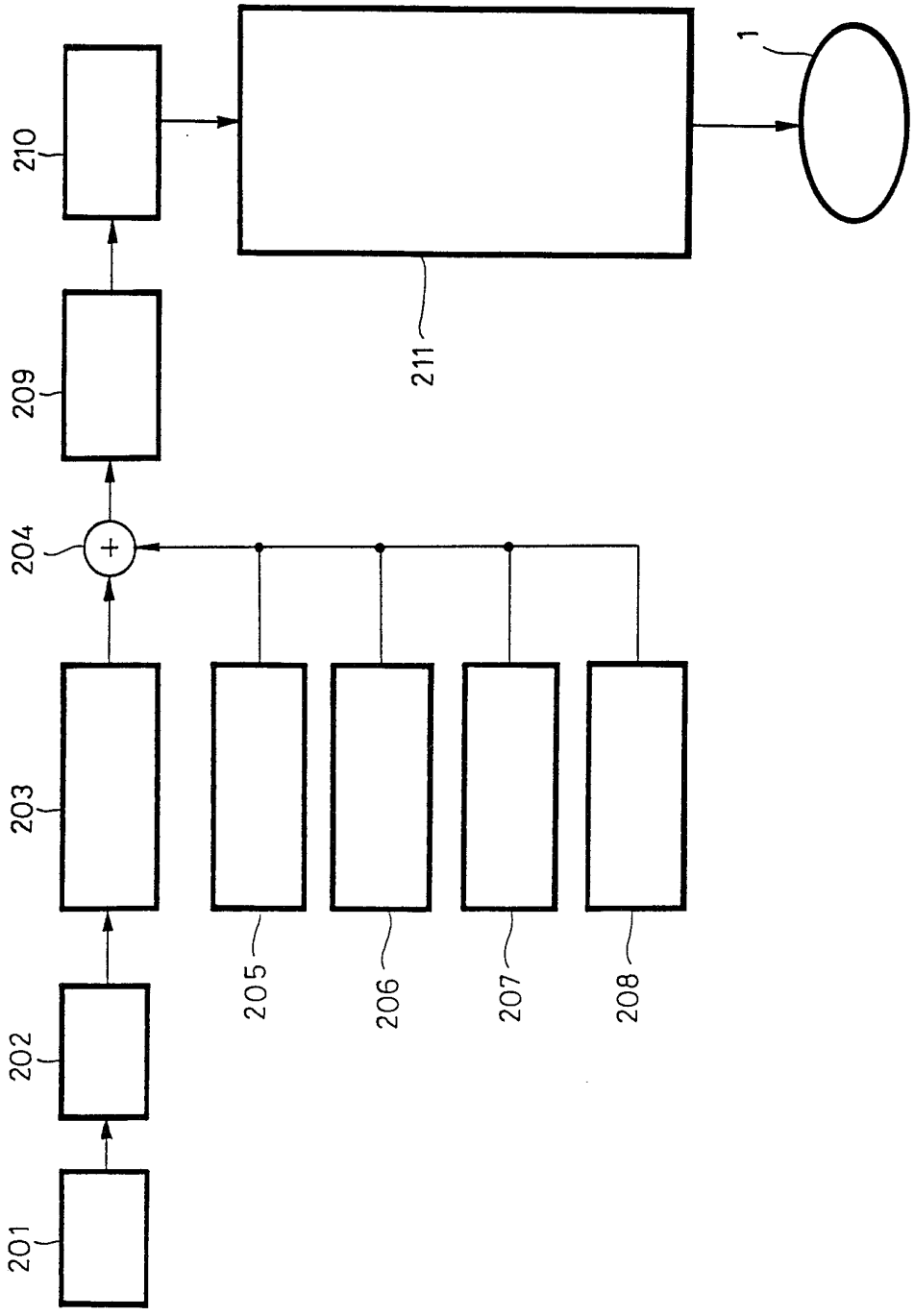

50
51
52
53-1
53-2
53-64
54
xn
yn
x0
y0
教育データ
x0
y1
教育データ
xn
yn
xn
yn
x63
y63
x
y

FIG. 32



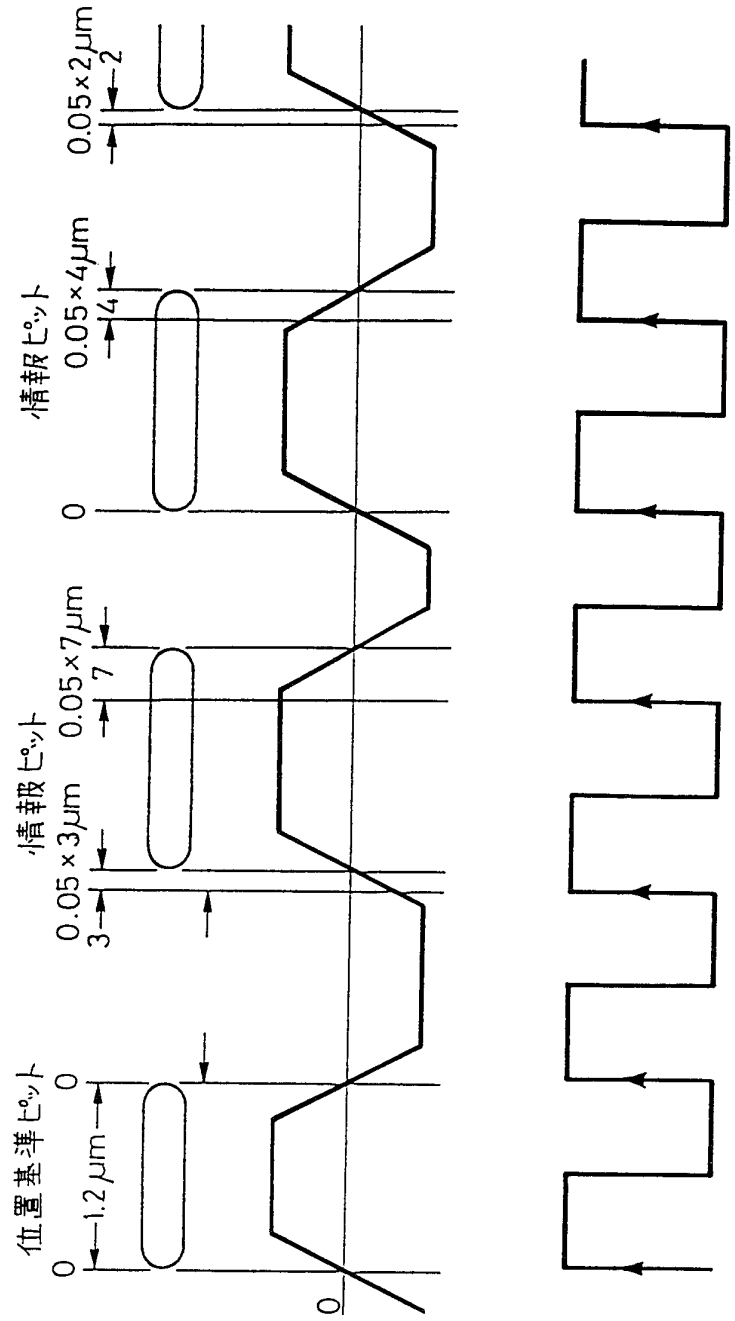


FIG. 33A

FIG. 33B

FIG. 33C

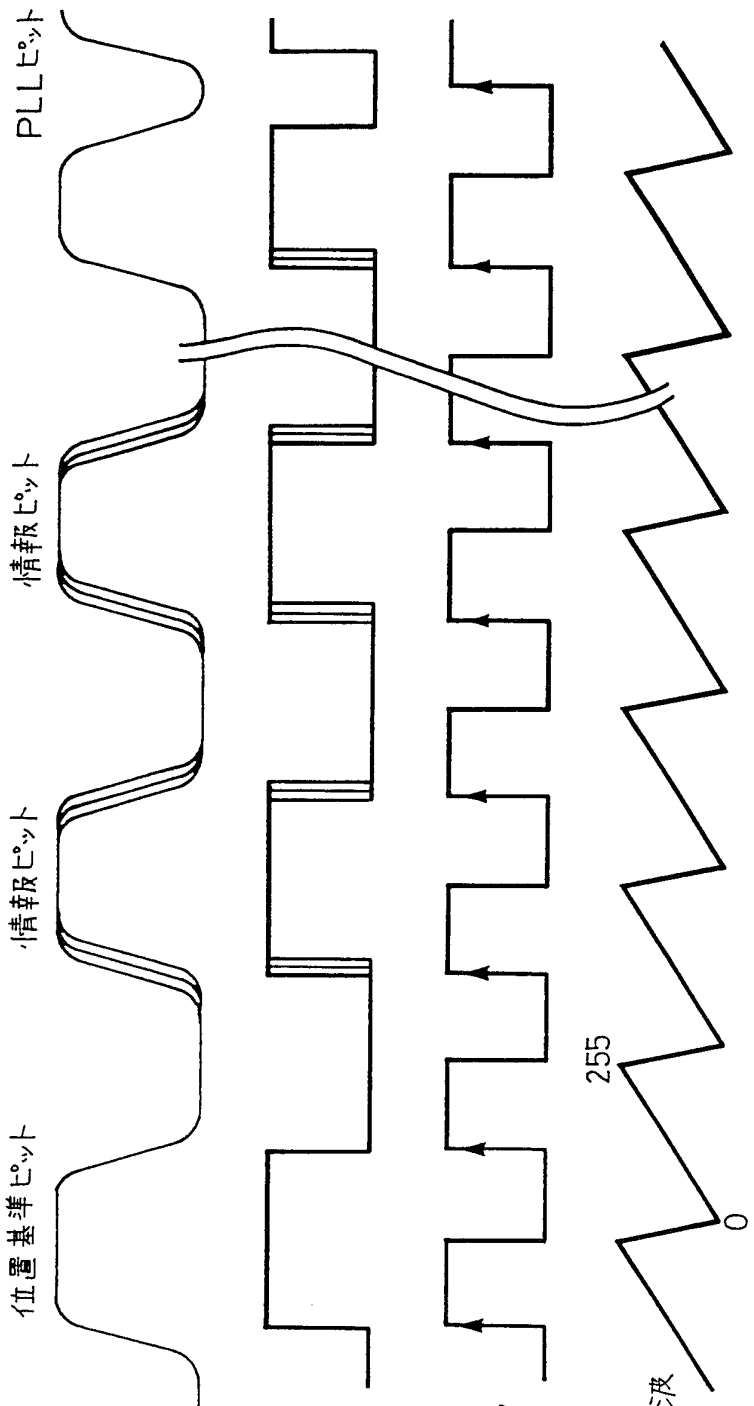


FIG. 34A

FIG. 34B

FIG. 34C

FIG. 34D

参照符号・事項の一覧表

参照符号	事　項
Ｔｓ	シフト期間
ｔｒ	立ち上り期間（過渡期間）
ｔｆ	立ち下り期間（過渡期間）
(1)	光ディスク（情報記録媒体）
(3)	ピックアップ（光学検出系）
(7)	ＰＬＬ回路（クロック生成手段）
(9)	Ａ／Ｄ変換回路（レベル検出手段）
(10)	バイアス除去回路
(11)	二次元デコーダ（判定手段）
(15)	コントローラ（判定手段）
(21), (22)	遅延回路
(23)	ＲＡＭ
(31), (32), (41), (43)	ラッチ回路
(60)	ゲイン調整回路
(63), (66)	ゲイン可変アンプ
(71), (72)	ＦＩＦＯ
(73), (74)	ディフェクト除去回路
(81), (83)	ＦＩＦＯ
(82), (84)	ディフェクト除去回路

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP93/00186

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl^5 G11B7/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl^5 G11B7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1971 - 1992
Kokai Jitsuyo Shinan Koho 1971 - 1992

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, A, 3-288331 (Canon Inc.), December 18, 1991 (18. 12. 91), Line 13, upper left column to line 20, upper right column, page 3 (Family: none)	1-41
P	JP, A, 4-74317 (Matsushita Electric Ind. Co., Ltd.), March 9, 1992 (09. 03. 92), Line 11, upper left column to line 5, lower right column, page 6 (Family: none)	1-41
P	JP, A, 4-366426 (Sony Corp.), December 18, 1992 (18. 12. 92), Line 7, left column, page 3 to line 9, left column, page 4 (Family: none)	1-41

[X] Further documents are listed in the continuation of Box C. [ ] See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
April 23, 1993 (23. 04. 93)	May 18, 1993 (18. 05. 93)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

国際調査報告

国際出願番号 PCT/JP 93/00186

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cℓ[5] G11B7/00

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cℓ[5] G11B7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1971－1992年
日本国公開実用新案公報 1971－1992年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP，A，3－288331（キヤノン株式会社） 18．12月．1991（18．12．91） 第3頁左上欄第13行－右上欄第20行（ファミリーなし）	1－41
P	JP，A，4－74317（松下電器産業株式会社） 9．3月．1992（09．03．92） 第6頁左上欄第11行－右下欄第5行（ファミリーなし）	1－41
P	JP，A，4－366426（ソニー株式会社）	1－41

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」先行文献ではあるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日
23．04．93

国際調査報告の発送日
18.05.93

名称及びあて先
日本国特許庁（ISA/JP）
郵便番号100
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）
三友英二 印
5D 9195

電話番号 03－3581－1101 内線 3553

様式PCT/ISA/210（第2ページ）（1992年7月）

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
	18．12月．1992（18．12．92） 第3頁左欄第7行－第4頁左欄第9行（ファミリーなし）	