



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0079110
(43) 공개일자 2009년07월21일

(51) Int. Cl.

H03L 7/16 (2006.01)

(21) 출원번호 10-2008-0005082

(22) 출원일자 2008년01월16일

심사청구일자 2008년01월16일

(71) 출원인

국민대학교산학협력단

서울특별시 성북구 정릉동 861-1 국민대학교내

(72) 발명자

김대정

서울 양천구 목동 신시가시아파트 530-1503호

(74) 대리인

특허법인지명

전체 청구항 수 : 총 13 항

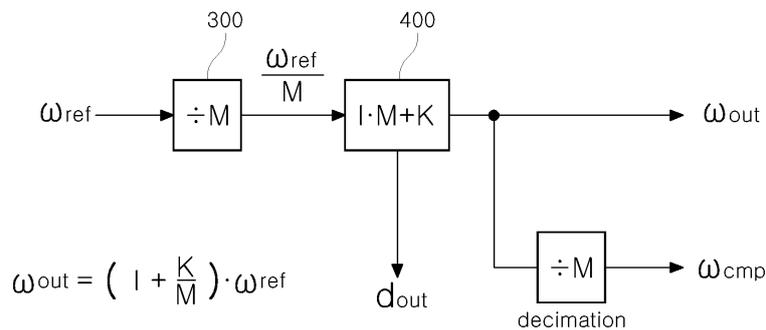
(54) 디엘엘 기반의 분수체배 주파수 합성 장치 및 방법

(57) 요약

본 발명은 정수 분주부를 통해 입력 신호의 주파수를 정수 분주하고, 디엘엘을 기반으로 하는 정수 체배부를 이용하여 분주된 출력 신호의 주파수를 정수 체배함으로써 스퍼 잡음을 발생시키지 않는 디엘엘 기반의 분수체배 주파수 합성 장치에 관한 것이다.

본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치는 입력 신호의 주파수를 정수 분주하는 정수 분주부; 및 상기 정수 분주부의 출력 신호의 주파수를 정수 체배하여 출력하는 정수 체배부를 포함하는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

입력 신호의 주파수를 정수 분주하는 정수 분주부; 및
 상기 정수 분주부의 출력 신호의 주파수를 정수 체배하여 출력하는 정수 체배부를 포함하는 것을 특징으로 하는 디엘엘 기반의 분수체배 주파수 합성 장치.

청구항 2

제1항에 있어서,
 상기 정수 분주부는 상기 입력 신호의 주파수를 M으로 정수 분주하며, 상기 정수 체배부는 상기 정수 분주부의 출력 신호의 주파수를 $(I \cdot M+K)$ 으로 정수 체배하는 것을 특징으로 하는 디엘엘 기반의 분수체배 주파수 합성 장치.

청구항 3

제2항에 있어서,
 상기 정수 체배부에서 출력된 출력 주파수는 입력 신호의 주파수 $\times (I+K/M)$ 인 것을 특징으로 하는 디엘엘 기반의 분수체배 주파수 합성 장치.

청구항 4

제1항에 있어서,
 상기 정수 체배부는 고리형 가변 지연기를 포함하는 인터저-N 주파수 합성 장치를 포함하는 것을 특징으로 하는 디엘엘 기반의 분수체배 주파수 합성 장치.

청구항 5

제4항에 있어서,
 복수 개의 단위 지연단이 고리 형태로 연결되며, 인가되는 전압에 따라 상기 정수 체배부에 입력되는 입력 신호의 주파수를 지연시키는 고리형 가변 지연부;
 상기 정수 분주부의 출력 신호의 주파수와 상기 고리형 가변 지연부의 출력 신호의 주파수의 위상을 비교하는 위상 비교부;
 상기 위상 비교부의 출력 신호에 따라 전압을 조정하여 상기 고리형 가변 지연부로 인가하는 전압 조정부; 및
 제어 신호를 생성하여 상기 복수 개의 단위 지연단에 상기 제어 신호를 인가하고, 상기 제어 신호에 따라 상기 고리형 가변 지연부로부터 출력되는 출력 신호를 합성주파수 발생부를 통해 원하는 합성 계수로 합성하도록 제어하는 제어부를 포함하는 것을 특징으로 하는 디엘엘 기반의 분수체배 주파수 합성 장치.

청구항 6

제5항에 있어서,
 상기 합성 계수는 $(I \cdot M+K)$ 인 것을 특징으로 하는 디엘엘 기반의 분수체배 주파수 합성 장치.

청구항 7

제5항에 있어서,
 상기 제어 신호는 상기 고리형 가변 지연부로 인가되며, 상기 제어 신호에 따라 입력 클럭 신호를 발생시키는 입력 클럭 발생부를 더 포함하는 것을 특징으로 하는 디엘엘 기반의 분수 체배 주파수 합성 장치.

청구항 8

제5항에 있어서,

상기 단위 지연단은,

상기 제어 신호에 따라 동작하고 입력 클럭 신호를 수신하는 입력 클럭단;

이전의 단위 지연단의 출력 클럭을 수신하는 출력 클럭 수신단;

상기 전압 조정부에 의해 조정되는 전압의 변화에 따라 지연의 크기를 변경하여 펄스를 출력하는 펄스 출력단; 및

상기 조정되는 전압의 변화에 따라 지연의 크기를 변경하여 출력 클럭을 상기 위상 비교부로 출력하는 출력 클럭단을 더 포함하는 것을 특징으로 하는 디엘엘 기반의 분수체배 주파수 합성 장치.

청구항 9

제5항 및 제8항 중 어느 한 항에 있어서,

상기 제어부는 상기 제어 신호에 따라 상기 복수 개의 단위 지연단 중 적어도 어느 하나를 선택하여 제어하는 것을 특징으로 하는 디엘엘 기반의 분수체배 주파수 합성 장치.

청구항 10

제5항 및 제8항 중 어느 한 항에 있어서,

상기 제어부는 상기 합성 계수가 상기 고리형 가변 지연부에 구비되는 상기 단위 지연단의 수보다 많은 경우, 상기 제어 신호를 변경하여 원하는 펄스 출력을 생성하도록 제어하는 것을 특징으로 하는 디엘엘 기반의 분수체배 주파수 합성 장치.

청구항 11

(a) 정수 분주부가 입력 신호의 주파수를 정수 분주하는 단계; 및

(b) 정수 체배부가 상기 정수 분주부의 출력신호의 주파수를 정수 체배하여 출력하는 단계를 포함하는 것을 특징으로 하는 디엘엘 기반의 분수체배 주파수 합성 방법.

청구항 12

제11항에 있어서,

상기 (b) 단계는,

(b-1) 제어부에서 생성된 제어 신호에 따라 고리형 가변 지연부에 입력 클럭 신호를 입력하는 단계;

(b-2) 상기 입력 클럭 신호를 상기 고리형 가변 지연부를 구성하는 단위 지연단에 입력하는 단계;

(b-3) 상기 단위 지연단에서 출력되는 출력 펄스 클럭을 카운트하는 단계;

(b-4) 상기 단위 지연단의 수와 합성계수의 수에 이르는 경우 상기 단위 지연단을 출력 클럭 신호의 위상과 상기 정수 분주부를 통해 분주된 기준 입력 클럭 신호의 위상을 비교하는 단계;

(b-5) 상기 위상이 일치하지 않는 경우 전압 조정부에서 공급되는 전압 V_c 를 조정하는 단계; 및

(b-6) 상기 제어부는 상기 제어 신호를 변경하여 상기 (b-1) 단계로 피드백하여 원하는 주파수의 파형을 출력하는 단계를 포함하는 것을 특징으로 하는 디엘엘 기반의 분수체배 주파수 합성 방법.

청구항 13

제12항에 있어서,

상기 (b-2) 단계는,

상기 입력 클럭 신호를 상기 단위 지연단에 순차적으로 입력하는 단계;

상기 고리형 가변 지연부를 구성하는 단위 지연단의 수보다 적은 시점에서 상기 입력 클럭 신호의 입력

을 중지하는 단계; 및

상기 단위 지연단을 통과하는 입력 클럭 신호의 수를 합성계수에 이르도록 유지하는 단계를 포함하는 것을 특징으로 하는 디엘엘 기반의 분수체배 주파수 합성 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 디엘엘 기반의 분수체배 주파수 합성 장치에 관한 것으로, 특히 정수 분주부를 통해 입력 신호의 주파수를 정수 분주하고, 디엘엘을 기반으로 하는 정수 체배부를 이용하여 분주된 출력 신호의 주파수를 정수 체배함으로써 스퍼 잡음을 발생시키지 않는 디엘엘 기반의 분수체배 주파수 합성 장치에 관한 것이다.

배경기술

<2> 일반적으로 피엘엘(PLL: phase locked loop)은 기준입력 신호와 전압 제어 발진기(VCO)의 발진 출력의 위상차를 검출하여 VCO의 주파수와 위상을 결정하는 회로로써 안정도가 높은 임의의 주파수 합성 장치에 사용된다.

<3> 피엘엘을 사용한 주파수 합성 장치에는 정수(integer-N) 방식과 분수(fractional-N) 방식이 있다.

<4> 정수 방식의 주파수 합성 장치는 입력 신호의 주파수가 정수 N배만큼 분주되어, 출력 신호의 주파수가 입력 신호의 주파수의 정수 1/N배로 출력되는 구조이다.

<5> 분수 방식의 주파수 합성 장치는 입력 신호의 주파수를 정수배 뿐만 아니라 분수배로도 분주할 수 있으며, 출력 신호의 주파수가 입력 신호의 주파수의 정수배 또는 분수배로 출력되는 구조이다.

<6> 따라서, 분수 방식의 주파수 합성 장치는 정수 방식의 주파수 합성 장치에 비해 더 높은 입력 주파수를 사용할 수 있다. 또한, 위상 비교기의 비교 시간이 짧아져서 정착 시간(setting time)이 짧아지고, 동일한 출력 신호의 주파수에 대해서 분주비가 낮아지므로 위상 잡음도 향상된다. 그러나, 분주비의 주기적인 변화로 인해 스퍼 잡음이 발생하며 주파수 합성 간격에 비례하여 정착 시간이 길어지는 단점이 발생한다.

<7> 통상적으로 주파수 합성 장치는 피엘엘을 주로 사용하며, 최근에 와서는 지터(jitter) 특성이 우수한 디엘엘(DLL: delay locked loop)의 사용을 시도하고 있다.

<8> 디엘엘 기반의 주파수 합성 장치는 다수의 가변 지연단 각각의 클럭 출력을 이용하여 다양한 종류의 위상을 합성하여 원하는 주파수를 발생한다.

<9> 도 1은 종래 기술에 따른 디엘엘 기반의 주파수 합성 장치로써, 합성 계수 N이 8인 경우의 예시도이며, 도 2는 도 1에 도시된 주파수 합성 장치에서 출력되는 출력 신호의 파형을 도시한 파형도이다.

<10> 도 1에 도시된 종래 기술에 따른 디엘엘 기반의 주파수 합성 장치의 동작은 다음과 같다.

<11> 위상 비교부(3)는 입력되는 기준 클럭 신호 CK_{ref} 와 가변 지연부(1)에서 가변 지연된 출력 클럭신호의 위상을 비교한다.

<12> 전압 조정부(4)는 위상 비교부(3)의 비교 결과에 따라 아날로그 전압 V_c 를 조정한다.

<13> 전압 조정부(4)에 의해 조정된 전압 V_c 가 가변 지연부(1)에 공급되면, 가변 지연부(1)를 구성하는 복수 개의 단위 지연단(2)이 출력 클럭 신호를 지연시켜 출력한다.

<14> 위상 비교부(3)는 단위 지연단(2)에서 지연되어 출력된 클럭 신호와 기준 클럭 신호 CK_{ref} 의 위상을 비교한다.

<15> 상기 과정을 반복하여 가변 지연부(1)의 출력 클럭 신호의 위상과 기준 클럭 신호 CK_{ref} 의 위상이 동일할 때까지 전압 조정부(4)는 아날로그 전압 V_c 의 값을 조정한다.

<16> 아날로그 전압 V_c 의 값의 변동이 없으면, 상기 출력 클럭 신호의 위상과 CK_{ref} 의 위상이 일치되어 라킹(locking) 상태가 된다.

<17> 위상 보간부(5)는 가변 지연부(1)를 구성하는 복수 개의 단위 지연단(2)의 클럭 신호를 수신하여 N배의 주파수를 합성한다. 즉, 도 2에 도시된 바와 같이, 단위 지연단(2)의 클럭 신호, CK1~ CK8의 출력 클럭 신호를 수신하여 듀티비(duty ratio)가 50%가 되도록 보간하여 합성주파수 NCK_{in} 을 구한다.

<18> 종래 기술에 따른 디엘엘 기반의 주파수 합성 장치는 합성계수 N의 값에 따라 단위 지연단(2)의 단수를 결정하므로, 합성계수 N이 증가하는 경우, 단위 지연단(2)의 단수가 증가한다. 따라서, 큰 값의 합성계수 N을 구현하기 위해서는 단위 지연단(2)의 단수를 증가시켜야 하므로, 가변 지연부(1)의 크기가 증가하여 하드웨어 구현이 어렵다는 단점이 있다. 또한, 가변 지연부(1)의 하드웨어 구현에 많은 비용이 소요되며, 제조가 어렵다는 문제가 있다.

발명의 내용

해결 하고자하는 과제

<19> 본 발명은 이러한 문제점을 해결하기 위한 것으로, 정수 분주부를 통해 입력 신호의 주파수를 정수 분주하고, 디엘엘을 기반으로 하는 정수 체배부를 이용하여 분주된 출력 신호의 주파수를 정수 체배함으로써 스퍼 잡음을 발생시키지 않는 디엘엘 기반의 분수체배 주파수 합성 장치를 제공하는 것을 그 목적으로 한다.

과제 해결수단

<20> 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치는 입력 신호의 주파수를 정수 분주하는 정수 분주부; 및 상기 정수 분주부의 출력 신호의 주파수를 정수 체배하여 출력하는 정수 체배부를 포함하는 것을 특징으로 한다.

<21> 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치의 상기 정수 분주부는 상기 입력 신호의 주파수를 M으로 정수 분주하며, 상기 정수 체배부는 상기 정수 분주부의 출력 신호의 주파수를 $(I \cdot M + K)$ 으로 정수 체배하는 것이 바람직하다.

<22> 이때, 상기 정수 체배부에서 출력된 출력 주파수는 입력 신호의 주파수 $\times (I + K/M)$ 이다.

<23> 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치의 상기 정수 체배부는 고리형 가변 지연기를 포함하는 인티저-N 주파수 합성 장치를 포함하는 것이 바람직하다.

<24> 이때, 상기 정수 체배부는 복수 개의 단위 지연단이 고리 형태로 연결되며, 인가되는 전압에 따라 상기 정수 체배부에 입력되는 입력 신호의 주파수를 지연시키는 고리형 가변 지연부; 상기 정수 분주부의 출력 신호의 주파수와 상기 고리형 가변 지연부의 출력 신호의 주파수의 위상을 비교하는 위상 비교부; 상기 위상 비교부의 출력 신호에 따라 전압을 조정하여 상기 고리형 가변 지연부로 인가하는 전압 조정부; 및 제어 신호를 생성하여 상기 복수 개의 단위 지연단에 상기 제어 신호를 인가하고, 상기 제어 신호에 따라 상기 고리형 가변 지연부로부터 출력되는 출력 신호를 합성주파수 발생부를 통해 원하는 합성 계수로 합성하도록 제어하는 제어부를 포함한다.

<25> 상기 합성 계수는 $(I \cdot M + K)$ 일 수 있으며, 상기 제어 신호는 상기 고리형 가변 지연부로 인가되며, 상기 제어 신호에 따라 입력 클럭 신호를 발생시키는 입력 클럭 발생부를 더 포함하는 것이 바람직하다.

<26> 상기 단위 지연단은, 상기 제어 신호에 따라 동작하고 입력 클럭 신호를 수신하는 입력 클럭단; 이전의 단위 지연단의 출력 클럭을 수신하는 출력 클럭 수신단; 상기 전압 조정부에 의해 조정되는 전압의 변화에 따라 지연의 크기를 변경하여 펄스를 출력하는 펄스 출력단; 및 상기 조정되는 전압의 변화에 따라 지연의 크기를 변경하여 출력 클럭을 상기 위상 비교부로 출력하는 출력 클럭단을 더 포함하는 것이 바람직하다.

<27> 이때, 상기 제어부는 상기 제어 신호에 따라 상기 복수 개의 단위 지연단 중 적어도 어느 하나를 선택하여 제어하며, 상기 합성 계수가 상기 고리형 가변 지연부에 구비되는 상기 단위 지연단의 수보다 많은 경우, 상기 제어 신호를 변경하여 원하는 펄스 출력을 생성하도록 제어한다.

<28> 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 방법은 (a) 정수 분주부가 입력 신호의 주파수를 정수 분주하는 단계; 및 (b) 정수 체배부가 상기 정수 분주부의 출력신호의 주파수를 정수 체배하여 출력하는 단계를 포함한다.

<29> 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 방법의 상기 (b) 단계는, (b-1) 제어부에서 생성된 제어 신호에 따라 고리형 가변 지연부에 입력 클럭 신호를 입력하는 단계; (b-2) 상기 입력 클럭 신호를 상기 고리형

가변 지연부를 구성하는 단위 지연단에 입력하는 단계; (b-3) 상기 단위 지연단에서 출력되는 출력 펄스 클럭을 카운트하는 단계; (b-4) 상기 단위 지연단의 수와 합성계수의 수에 이르는 경우 상기 단위 지연단을 출력 클럭 신호의 위상과 상기 정수 분주부를 통해 분주된 기준 입력 클럭 신호의 위상을 비교하는 단계; (b-5) 상기 위상이 일치하지 않는 경우 전압 조정부에서 공급되는 전압 V_c 를 조정하는 단계; 및 (b-6) 상기 제어부는 상기 제어 신호를 변경하여 상기 (b-1) 단계로 피드백하여 원하는 주파수의 파형을 출력하는 단계를 포함하는 것이 바람직하다.

<30> 이때, 상기 (b-2) 단계는, 상기 입력 클럭 신호를 상기 단위 지연단에 순차적으로 입력하는 단계; 상기 고리형 가변 지연부를 구성하는 단위 지연단의 수보다 적은 시점에서 상기 입력 클럭 신호의 입력을 중지하는 단계; 및 상기 단위 지연단을 통과하는 입력 클럭 신호의 수를 합성계수에 이르도록 유지하는 단계를 포함한다.

효과

<31> 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치는 디엘엘을 기반으로 하므로 위상 누적 오차가 발생하지 않아 잡음 특성이 우수하다는 장점이 있다. 또한, 분수 방식의 주파수 합성 장치의 사용 없이 정수 분주부 및 디엘엘을 기반으로 하는 정수 체배부를 사용하므로 스퍼 잡음이 발생하지 않는다.

<32> 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치는 고리형 가변 지연부를 사용하므로 레일형 가변 지연부보다 상대적으로 단위 지연단의 사용 갯수가 적어지므로 구현하기 쉬울 뿐더러, 임의 잡음에 따른 위상 잡음 및 스퍼 특성에 유리하다는 장점이 있다.

발명의 실시를 위한 구체적인 내용

<33> 본 발명에 따른 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명한다.

<34> 도 3은 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치를 주파수 영역에서 모델링한 경우의 개략도이다.

<35> 도 3을 참조하면, 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치는 정수 분주부(300) 및 정수 체배부(400)를 포함한다.

<36> 정수 분주부(300)는 입력 신호의 주파수를 정수 분주한다.

<37> 정수 분주부(300)는 도 3에 도시된 바와 같이 입력 신호의 주파수 ω_{ref} 를 M으로 정수 분주한다. 따라서, 정수 분주부(300)의 출력 신호의 주파수는 ω_{ref}/M 이다.

<38> 정수 체배부(400)는 정수 분주된 신호의 주파수를 정수 체배한다.

<39> 정수 체배부(400)는 정수 분주부(300)의 출력 신호의 주파수를 입력받아 $(I \cdot M + K)$ 만큼 정수 체배하여 출력한다. 정수 체배부(400)의 출력 신호의 주파수 ω_{out} 은 수학적 식 1과 같다. (이때, I, M, K = 정수)

수학적 식 1

<40>
$$\omega_{out} = \frac{\omega_{ref}}{M} \times (I \cdot M + K) = \omega_{ref} \times \frac{I \cdot M + K}{M} = \omega_{ref} \times \left(I + \frac{K}{M} \right)$$

<41> 도 4는 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치를 시간 지연 영역에서 모델링한 경우의 개략도이다.

<42> 도 4를 참조하면, 시간 지연 영역에서 모델링한 디엘엘 기반의 분수체배 주파수 합성 장치는 폐루프(closed loop)를 형성하며, RF 영역의 광 대역폭(wide bandwidth)에서 적용을 위해 적분 기능을 하는 캐패시터 부분을 이산시간 적분기인 $(1-z^{-1})^{-1}$ 을 사용한다.

<43> 시간 지연 영역에서 모델링한 디엘엘 기반의 분수체배 주파수 합성장치에 입력되는 T는 정수 분주부의 출력 신호의 주기, 즉, M/ω_{ref} 를 의미하며, 입력 신호는 차지 펄프인 K_{cp} 및 $(1-z^{-1})^{-1}$ 와 전압 제어 딜레이 라인인 K_{VCDL} 을 거쳐 출력 신호 (d_{out})으로 출력된다.

- <44> 이때, 출력 신호(d_{out})은 입력 신호가 피드백될 때까지 발생하는 시간을 의미하며, d_{err} 는 I값 또는 K값의 변화로 인해 발생하는 시간 지연 오차를 의미한다.
- <45> 바람직하게는, 출력 신호(d_{out})은 입력 신호의 주기 T를 목표로 피드백되며, 라킹 상태가 되면 $d_{out}=T$ 가 된다.
- <46> 도 5는 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치의 정수 체배부(400)의 구현예로써, 합성계수 N이 $I \cdot M+K$ 인 경우를 도시한 도면이다.
- <47> 본 발명에 따른 정수 체배부(400)는 위상 비교부(410), 전압 조정부(420), 고리형 가변 지연부(430) 및 제어부(440)를 포함한다.
- <48> 위상 비교부(410)는 정수 분주부(300)를 통해 분주된 기준 입력 클럭 신호 CK_{ref}/M 와 고리형 가변 지연부(430)에서 출력되는 출력 클럭 신호 CK_{cmp} 의 위상을 비교한다.
- <49> 고리형 가변 지연부(430)에서 출력되는 출력 클럭 신호 CK_{cmp} 는 고리형 가변 지연부(430)를 구성하는 복수 개의 단위 지연단의 수와 합성 계수의 수가 일치하는 경우에 위상 비교부(410)로 인가된다.
- <50> 전압 조정부(420)는 상기 분주된 기준 입력 클럭 신호 CK_{ref}/M 와 출력 클럭 신호 CK_{cmp} 의 위상이 일치하지 않는 경우 V_c 를 조정하여, 조정된 전압 V_c 를 고리형 가변 지연부(430)에 인가한다.
- <51> 고리형 가변 지연부(430)는 제어부(440)로부터 수신한 제어 신호 S_i 에 따라 입력 클럭 발생부(450)에서 생성된 입력 클럭 신호 CK_{in} 을 고리형 가변 지연부(430)를 구성하는 단위 지연단(430a)(도 6 참조)에 인가한다.
- <52> 이때, 제어부(440)에 의해 변경된 제어 신호 S_i 에 따라 단위 지연단(430a)의 출력 노드는 CK_{out} 과 연결되며, 변경된 제어 신호 S_i 는 고리형 가변 지연부(430)를 구성하는 전체 단위 지연단을 1회 통과한 것을 의미한다. 이때, 단위 지연단(430a)을 통과한 입력 클럭 신호 CK_{in} 의 수가 합성계수 N보다 작은 경우에는 새로운 하나의 단위 지연단을 시작으로 상기 단위 지연단을 통과하는 입력 클럭 신호의 수가 합성계수 N에 이르도록 반복하여 출력 클럭 신호를 구한다.
- <53> 또한, 변경된 제어 신호 S_i 에 따라 새롭게 선택되어 있는 단위 지연단에 지연단 입력 클럭(CK_{in})이 다시 입력되며, 상기 과정은 반복된다.
- <54> 출력된 CK_{out} 은 위상 비교부(410)의 입력단에 인가되어 분주된 기준 입력 클럭 신호 CK_{ref}/M 와 위상 비교가 수행된다. 상기 위상 비교의 결과에 의해 아날로그 전압 V_c 이 조정되며, 조정된 전압 V_c 는 고리형 가변 지연부(430)를 구성하는 복수개의 단위 지연단의 지연의 크기를 수정한다. 그에 따라, 출력펄스 P_i 의 주기가 조정되므로 원하는 클럭 출력 파형과 출력 클럭을 구할 수 있다.
- <55> 고리형 가변 지연부(430)를 구성하는 단위 지연단(430a)(도 6 참조)은 입력 클럭 신호 CK_{in} 을 인가받아 출력 클럭 펄스 P_i 를 발생시킨다. 이때, 입력 클럭 발생부(450)는 총 단위 지연단(430a)의 수에 이르기 전에 상기 입력 클럭 신호 CK_{in} 의 생성을 중단한다. 발생된 출력 클럭 펄스 P_i 는 합성 주파수 발생부(460)에서 합성되어 제어부(440)로 입력된다.
- <56> 제어부(440)는 합성 계수 N을 입력받아 내부 레지스터에 저장하고, 단위 지연단(430a)(도 6 참조)을 제어하는 제어 신호 S_i 를 생성하여 고리형 가변 지연부(430)에 제공한다.
- <57> 제어부(440)는 총 단위 지연단(430a)을 통과한 클럭의 수와 합성 계수 N의 수가 일치하면 단위 지연단(430a)의 출력 클럭 신호 CK_{cmp} 를 위상 비교부(410)에 제공한다. 또한, 제어부(440)는 합성 주파수 발생부(460)로부터 합성되어 입력받은 출력 클럭 펄스 P_i 의 수를 카운트하고, 출력 클럭 펄스 P_i 의 수가 합성계수 N의 값에 도달하기 직전에 N의 개수에 해당하는 단위 지연단(430a)을 통과하도록 제어 신호 S_i 값을 변경한다. 변경된 제어 신호 S_i 는 고리형 가변 지연부(430)에 제공한다.
- <58> 도 6은 본 발명에 따른 고리형 가변 지연부(430)로써, 단위 지연단(430a)을 8개 연결한 경우의 실시예이며, 도 7은 도 6의 단위 지연단(430a)의 외형을 나타낸 구성도이다.
- <59> 도 6을 참조하면, 고리형 가변 지연부(430)는 시작 단과 마지막 단의 구분이 없는 고리 형태로 연결된 단위 지연단(430a)을 포함한다. 이때, 단위 지연단(430a)의 수는 변동이 가능하다.
- <60> 본 발명에 따른 고리형 가변 지연부(430)는 전압 조정부(420)로부터 조정된 전압 V_c 값을 도 6의 V_c 입력단(43

1)으로 인가한다. V_c 입력단(431)에 인가되는 조정된 전압 V_c 는 단위 지연단(430a)의 지연을 연속적인 값으로 조절한다. 이때, 단위 지연단(430a)은 V_c 입력단(431)에 인가된 조정된 전압 V_c 의 값이 증가함에 따라 단위 지연단(430a)의 지연의 크기가 감소하는 형태로 설계할 수 있다.

- <61> 고리형 가변 지연부(430)에는 입력 기준 클럭(CKref)(435)의 ‘하이’ 부분이 전체 단위 지연단 수의 전체 지연의 크기보다 크지 않도록 조절된 신호, 즉, 단위 지연단의 입력 클럭 신호(CKin)(434)가 복수 개의 단위 지연단 중에서 제어신호 Si(433)에 의해 선택된 단위 지연단의 입력단 b에 입력된다. 상기 제어신호 Si 신호에 의해 선택된 상기 단위 지연단의 출력 c가 출력 클럭단인 CKout에 연결된다.
- <62> 상기 제어신호 Si에 의해 단 하나의 신호만이 ‘하이’를 유지하며, 상기 단위 지연단의 펄스 출력단(435a)(도 7 참조)으로 펄스 출력 Pi가 출력된다.
- <63> 도 7을 참조하면, 본 발명에 따른 단위 지연단(430a)은 아날로그 조절 전압단(431a), 동작신호 입력단(432a), 입력 클럭단(433a), 출력클럭 수신단(434a), 펄스 출력단(435a) 및 출력 클럭단(436a)를 포함한다.
- <64> 아날로그 조절 전압단(431a)에는 전압 조정부(420)(도 5 참조)에 의해 조정된 조정 전압 V_c 가 입력된다.
- <65> 동작신호 입력단(432a)은 제어신호 Si에 의해 단위 지연단을 선택하고, 상기 제어신호 Si를 입력한다.
- <66> 입력 클럭단(433a)은 도 6의 노드 b와 동일하며, 입력 클럭 CKin을 수신한다.
- <67> 출력클럭 수신단(434a)은 도 6의 노드 a와 동일하며, 이전의 단위 지연단의 출력 클럭 CKout을 수신한다.
- <68> 펄스 출력단(435a)은 펄스를 출력한다.
- <69> 출력 클럭단(436a)은 출력 클럭 신호 CKout2를 출력한다.
- <70> 도 8은 도 5에 도시된 주파수 합성 장치에서 출력되는 출력 주파수를 도시한 파형도로써, $M=8$, $I=2$, $K=4$ 일 경우의 도면이다.
- <71> 도 8을 참조하면, 기준 입력 클럭 신호가 정수 분주부에 의해 M 으로 분주되면 첫번째 파형의 펄스(830)와 같다. 이때, 정수 체배부에서 초기 스텝(stuck) 및 하모닉 라킹(harmonic locking)을 방지하기 위해 고리형 가변 지연부의 각 단을 최소 지연 시간으로부터 시작하도록 설계하면, 초기 상태에는 두번째 파형의 펄스(840)와 같다. 상승한 V_c 의 조정 과정을 통해 라킹(locking) 상태에 도달하면 네번째 파형의 펄스(850)와 같으며, 이를 M 으로 데시메이션(decimation)한 신호 CKcmp의 출력 파형의 펄스(860)의 위상과 CK_{ref}/M 의 출력 파형의 펄스(830)의 위상은 동일함을 알 수 있다.
- <72> 도 9는 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치의 동작 순서도이다.
- <73> 도 9를 참조하면, 제어부의 제어에 따라 고리형 가변 지연부에 입력 클럭 신호가 입력된다(S910). 상기 제어부는 합성 계수 N 을 입력받아 저장하고, 상기 고리형 가변 지연부에 구비된 단위 지연단을 제어하는 제어 신호 Si를 생성하여 상기 고리형 가변 지연부에 입력 클럭 신호 CKin을 입력한다.
- <74> 상기 입력 클럭 신호가 상기 단위 지연단에 순차적으로 입력되며, 상기 고리형 가변 지연부에 구비된 상기 단위 지연단의 수보다 적은 시점에서 입력 클럭 신호의 입력을 정지하고, 상기 입력 클럭 신호는 통과하는 단위 지연단의 수를 상기 합성 계수 N 에 이르도록 유지한다(S920).
- <75> 상기 단위 지연단에서 출력된 출력 펄스 클럭을 합성 주파수 발생부에서 카운트한다(S930).
- <76> 상기 단위 지연단의 수가 합성 계수 N 에 이르면 상기 제어부는 상기 단위 지연단의 출력 클럭 신호의 위상을 위상 비교기에 제공하여 정수 분주부에 의해 분주된 기준 입력 클럭 신호의 위상과 비교한다(S940).
- <77> 상기 출력 클럭의 위상과 상기 분주된 기준 입력 클럭 신호의 위상이 일치하지 않는 경우 전압 조정부는 공급되는 전원 V_c 를 조정한다(S950).
- <78> 상기 제어부는 상기 제어 신호 Si를 변경하여 S910으로 피드백 시켜 원하는 주파수의 파형을 출력한다(S960).
- <79> 이상에서 본 발명에 따른 바람직한 실시예를 설명하였으나, 이는 예시적인 것에 불과하며 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 여타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 보호 범위는 이하의 특허청구범위에 의해서 정해져야 할 것이다.
- <80> 따라서 본 명세서에 개시된 실시예들은 본 발명을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실

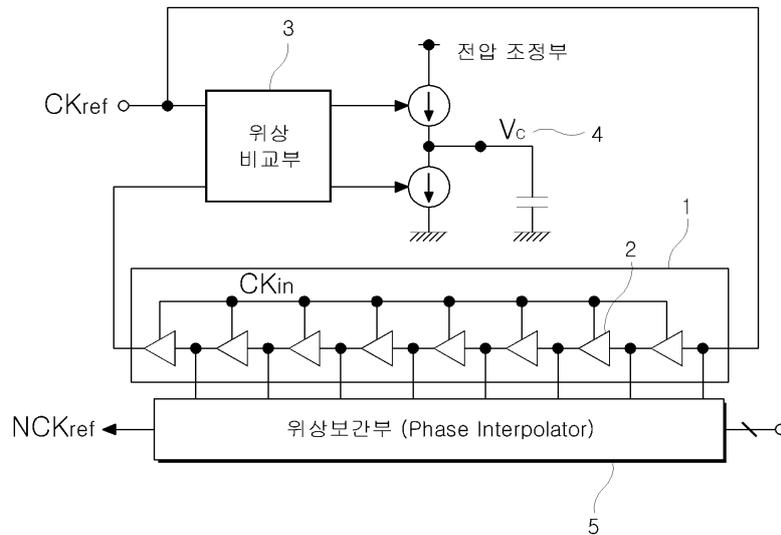
시예에 의하여 본 발명의 사상과 범위가 한정되는 것은 아니다. 본 발명의 범위는 아래의 청구범위에 의해 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면의 간단한 설명

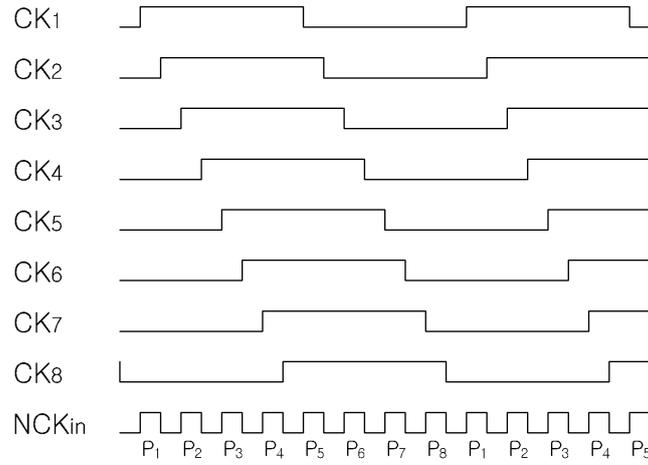
- <81> 도 1은 종래 기술에 따른 디엘엘 기반의 주파수 합성 장치로써, 합성 계수 N이 8인 경우의 예시도.
- <82> 도 2는 도 1에 도시된 주파수 합성 장치에서 출력되는 출력 신호의 파형을 도시한 파형도.
- <83> 도 3은 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치를 주파수 영역에서 모델링한 경우의 개략도.
- <84> 도 4는 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치를 시간 지연 영역에서 모델링한 경우의 개략도.
- <85> 도 5는 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치의 정수 체배부(400)의 구현예.
- <86> 도 6는 본 발명에 따른 고리형 가변 지연부(430)로써, 단위 지연단(430a)을 8개 연결한 경우의 실시예.
- <87> 도 7은 도 6의 단위 지연단(430a)의 외형을 나타낸 구성도.
- <88> 도 8은 도 5에 도시된 주파수 합성 장치에서 출력되는 출력 주파수를 도시한 파형도.
- <89> 도 9는 본 발명에 따른 디엘엘 기반의 분수체배 주파수 합성 장치의 동작 순서도.

도면

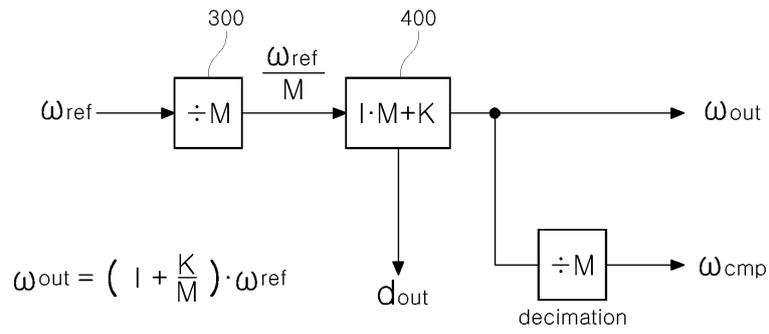
도면1



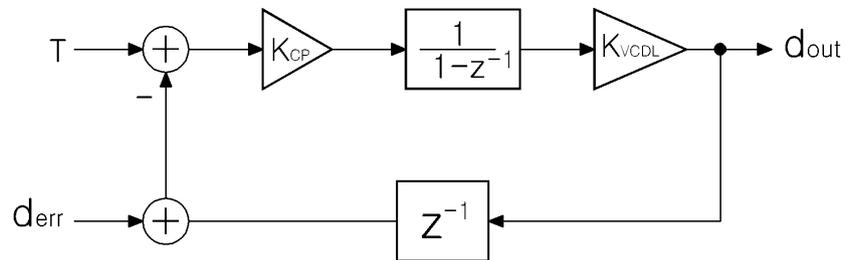
도면2



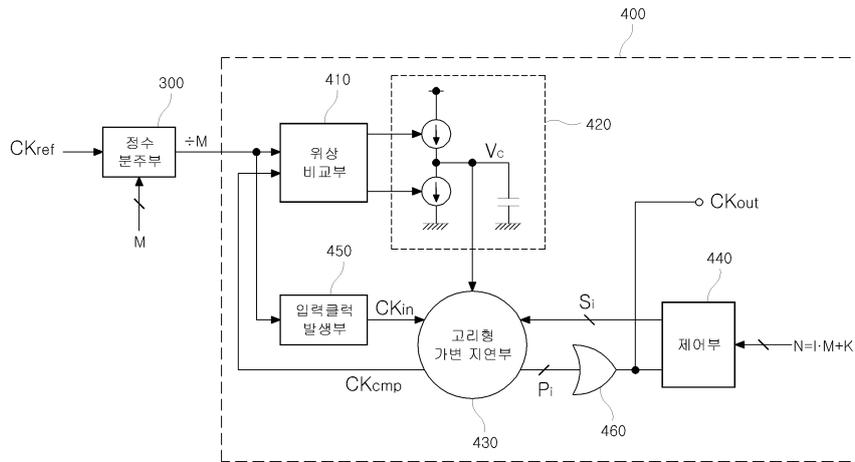
도면3



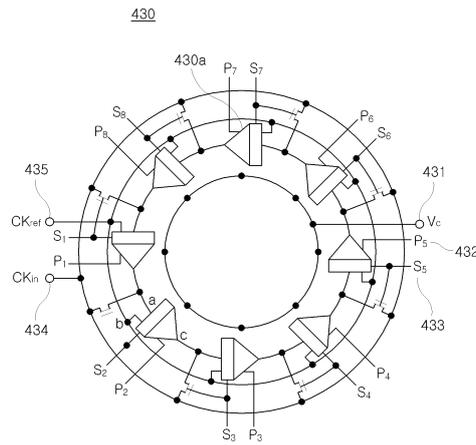
도면4



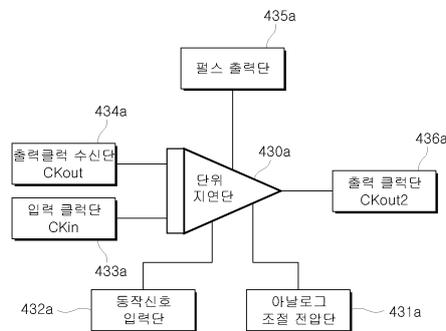
도면5



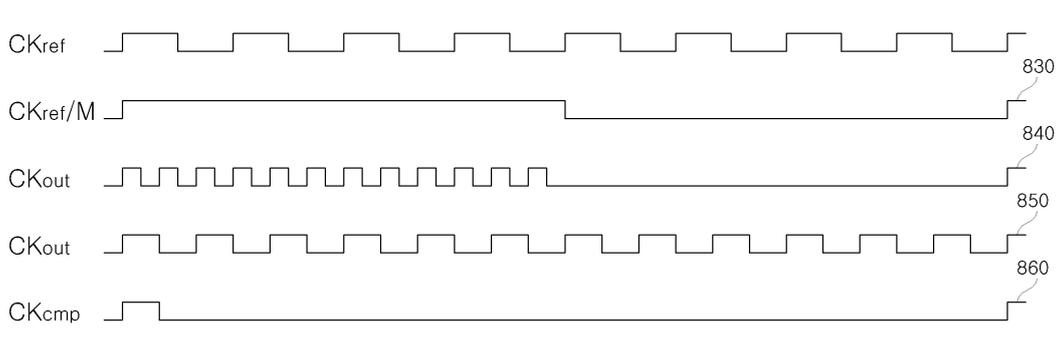
도면6



도면7



도면8



도면9

